[19]中华人民共和国专利局

[51]Int.Cl[6]
H01L 27/148
H04N 5/335

[12]发明专利说明书

[21] ZL 专利号 94120782.X

[45]授权公告日 1997 年 8 月 20 日

[11] 授权公告号 CN 1035705C

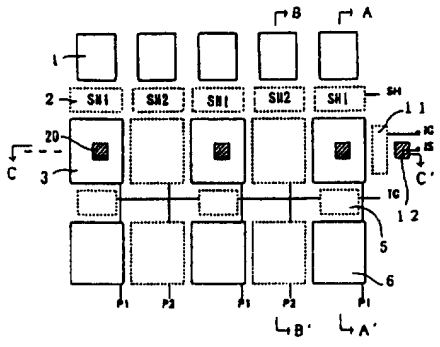
[22]申请日 94.12.14 [24]颁证日 97.5.28
[21]申请号 94120782.X
[30]优先权
[32]93.12.15[33]JP[31]342217/93
[73]专利权人 株式会社东芝
地址 日本神奈川县
[72]发明人 物井诚 铃木研二 藤井洁
[74]专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 杨国旭
[56]参考文献
EP553869A2
审查员 赵百令

权利要求书 2 页 说明书 13 页 附图页数 19 页

[54]发明名称 固体摄像装置及其电荷传送方法

[57]摘要

提供了一种固体摄象装置及其电荷传送方法，其特征是设置了传送剩余电荷排出装置，它能在由半导体基片象素 1 供给的信号电荷在寄存器间传送前使由输入部件 11、12 供给的超零电荷 20 在寄存器间传送，检出只使超零电荷在寄存器间传送时的传送剩余电荷，进行相应量的信号补偿。或者在使信号电荷在寄存器间传送之前，将在此前的寄存器间传送中剩余的电荷排出。



权　利　要　求　书

1.一种固体摄象装置，它配备有:

半导体基片;

设置在上述半导体基片上的用以将入射光变换成信号电荷的多个感光象素;

形成在上述半导体基片上的，具有用以传送在上述感光象素上产生的信号电荷的多个传送电极而且相互并排列的多个CCD寄存器;

配置在上述CCD寄存器间的用以将这多个CCD寄存器内的规定CCD寄存器内的信号电荷向相邻的CCD寄存器传送的寄存器间传送部件;

形成在上述半导体基片上的超零电荷供给装置；其特征在于

上述超零电荷供给装置在使规定的信号电荷在寄存器间传送时将超零电荷加给此信号电荷。

2.按照权利要求1所说的固体摄象装置,其特征在于所说的超零电荷供给装置由与上述电荷传送部件连接的电荷输入电极和电荷输入漏极区构成。

3. 按照权利要求1或2所说的固体摄象装置，其特征在于用以排出由超零电荷供给装置供给的超零电荷的装置形成在上述半导体基片上。

4.一种固体摄象装置的电荷传送方法，包括:

将超零电荷供给形成在半导体基片上的第一CCD寄存器的步

骤;

将上述超零电荷通过位于上述半导体基片上的寄存器间传送部件向第二 CCD 寄存器传送的步骤;

将由位于上述半导体基片上的多个感光象素生成的信号电荷向第一 CCD 寄存器传送的步骤;

将上述信号电荷通过上述寄存器间传送部件向第二 CCD 寄存器传送的步骤;

使上述信号电荷在上述第二 CCD 寄存器内传送并从输出部件输出的步骤; 其特征在于

上述超零电荷与上述信号电荷同时在上述第二 CCD 寄存器内传送, 上述信号电荷在第二 CCD 寄存器内传送前在上述第二 CCD 寄存器内传送, 或者, 由上述半导体基片排出。

说　明　书

固体摄像装置及其电荷传送方法

本发明涉及有多线CCD寄存器结构的在记录装置间传送时即使产生剩余电荷也容易进行信号输出补偿的固体摄像装置。

现在，CCD图像传感器用于各种图像读出装置中。以CCD线性图像传感器为例进行说明，通常如图32所示它是由如下各部分构成：与入射光量相应产生信号电荷并按一维排列的象素列1；将在象素列产生的信号电荷向输出部件传送，由电荷耦合器件（CCD）组成的电荷传送部件3；将信号电荷从象素向电荷传送部件3传送的移位门电路2；将信号电荷变换成适当的信号电压的输出部件4。近年来图象读出装置的高析象度、高速化已取得长足进步，即使对CCD图象传感器也强烈要求高析象度化、高速化。作为解决此问题的方法有图33所示的多线CCD寄存器结构的图象传感器。此图是形成在半导体基片上的这种图象传感器的示意平面图。例如，来自奇数象素1的信号电荷向外侧的CCD寄存器6移动，来自偶数象素1的信号电荷移向内侧的寄存器3。这些信号电荷在多个CCD寄存器3，6内传送并通过输出缓冲存储器4，7输出到外部。从而在使用相同间距的CCD寄存器时，由于运送两倍的信号电荷，由于以二倍间距配列象素，使象素的配列密度提高。

图 34 – 图 36 是图 33 所示的形成在半导体基片上的图像传感器的许多象素部分的放大平面图。而且，放大图象传感器，将表示其主要部分的平面图绘于图 39，在图 38 中示出在传送寄存器规定的一个信号电荷的传送时刻 t_1 – t_5 期间的驱动定时脉冲。移位门电路 2 和传输门电路 5 分别与驱动脉冲线 SH、TG 连接，在 CCD 寄存器 3，6 上驱动脉冲线 P_1、P_2 与进行排列的传送电极交替连接。

首先，在 t_1 时刻，信号电荷 21 存储在象素 1 中。接着在 t_2 时刻，脉冲电压加到移位门电路 2 使门电路开启，信号电荷从象素 1 向移位门电路 2 移动。随后在 t_3 时刻信号电荷向 CCD 寄存器 31，32 的下方移动。在 t_4 时刻只 CCD 寄存器 31 的信号电荷向传输门电路 5 下方移动，在 t_5 时刻向 CCD 寄存器 61 移动。然后，CCD 寄存器 31 和 CCD 寄存器 61 的信号电荷用二相脉冲线 P_1、P_2 在 CCD 寄存器内传送，从输出缓冲存储器 4，7 向外部输出。

在此结构中，由于用多个 CCD 寄存器 3，6 同时读出信号，输出速度加快，而且相应于相同的 CCD 寄存器的间隔，由于只设置整数倍（本数倍）的象素，对高析像度也是有利的。

参照图 34 – 36 详细说明传送信号电荷的方法。CCD 寄存器 3，6，借助加有脉冲电压 P_1、P_2 的二相驱动结构，将进行寄存器间的电荷传送的传输电极 5 设置在寄存器间。首先如图 34 所示，每隔一象素开启移位门电路 2，将信号电荷移向寄存器 3。随后，看图 35，开启传输门电路 5 将电荷从 CCD 寄存器 3 移向 CCD 寄存器 6。最后，看图 36，开启移位寄存器 2，将电荷从剩余象素向 CCD

寄存器3传送。然后在寄存器中将信号电荷向输出部件传送。

但是，在此多线CCD寄存器结构中，将信号电荷在寄存器间传送时，容易产生传送剩余（图35中央的电荷）。此剩余电荷成为图象缺陷，成为特性上的致命的缺陷。由于剩余量在信号电荷达规定量以上时有剩余一定量的性质，所以正常电荷8、有剩余的电荷9、加有剩余电荷的电荷10的信号电荷量与寄存器间传送后的电荷量呈图37这样的关系。然而由于信号电荷量小时呈非线性特性，所以难以用信号处理补偿。图37是表示输出电荷量对信号电荷量依存特性的特性图，纵轴表示输出，横轴表示信号电荷量。

本发明的目的是鉴于上述情况，提供这样一种固体摄象装置，它有多线CCD寄存器结构，即使在寄存器间传送时有剩余电荷，也容易进行信号输出的补偿，并能无明显的电荷剩余。

本发明的特征是在寄存器间传送时将超零（フアシトゼロ）电荷注入CCD寄存器，使信号信荷与超零电荷合并，进行寄存器间传送，在信号电荷的寄存器间传送前使超零电荷在寄存器间传送，检测出在只把超零电荷在寄存器间传送时的传送剩余电荷，再进行与其相应量的信号补偿，或者设置在将信号电荷在寄存器间传送开始之前排出在此前在寄存器间传送中剩余电荷等的传送剩余电荷排出装置。也就是说，本发明的固体摄象装置备置有：半导体基片；设置在上述半导体基片上的用以把入射光变换为信号电荷的多个感光象素；形成在上述半导体基片上，有用以传送在上述感光象素上产生的信号电荷的多个传送电极而且相互并排排列的多个CCD寄

存器；配置在上述 CCD 寄存器间，用以将这多个 CCD 寄存器内规定的 CCD 寄存器内的信号电荷向相邻的 CCD 寄存器传送的寄存器间传送部件；和形成在上述半导体基片上的超零电荷供给装置。上述超零电荷供给装置在使规定信号电荷在寄存器间传送时，将超零电荷加给此信号电荷。

上述超零电荷供给装置可以由与上述电荷传送部件连接的电荷输入电极和电荷输入漏极（ドレイン ）区域组成。排出由超零电荷供给装置供给的超零电荷的装置最好形成在上述半导体基片上。本发明的固体摄象装置的特征在于它备配有：将超零电荷供给形成在半导体基片上的第一 CCD 寄存器的装置；使上述超零电荷通过形成在上述半导体基片上的寄存器间传送部件向第二 CCD 寄存器传送的装置；将由设置在上述半导体基片上的多个感光象素生成的信号电荷向第一 CCD 寄存器传送的装置；将上述信号电荷通过寄存器间传送部件向第二 CCD 寄存器传送的装置；和使上述信号电荷在第二 CCD 寄存器内传送并从输出部件输出的装置。上述超零电荷可以与上述信号电荷一起在上述第二 CCD 寄存器内传送，也可以在上述信号电荷在第二 CCD 寄存器内传送之前在上述第二 CCD 寄存器内传送，或者从上述半导体基片排出。

由于在寄存器间传送时即使有电荷剩余也能容易地进行信号输出的正确补正，可无明显的电荷剩余。

下面将参照附图说明本发明的实施例。

图 1 是本发明第一实施例的固体摄象装置的部分平面图。

图 2 是第一实施例的固体摄象装置的部分平面图.

图 3 是第一实施例的固体摄象装置的部分平面图.

图 4 是第一实施例的固体摄象装置的部分平面图.

图 5 是第一实施例的固体摄象装置的部分平面图.

图 6 是第一实施例的固体摄象装置的部分平面图.

图 7 是沿图 1 的 C － C'线的剖视图.

图 8 是沿图 1 的 A － A'线的剖视图.

图 9 是沿图 1 的 B － B'线的剖视图.

图 10 是第一实施例的固体摄象装置的电荷传送定时图.

图 11 是表示本发明的寄存器间传送后的输出与信号电荷的关系的特性图.

图 12 是第二实施例的固体摄象装置的部分平面图.

图 13 是第二实施例的固体摄象装置的部分平面图.

图 14 是第二实施例的固体摄象装置的部分平面图.

图 15 是第二实施例的固体摄象装置的部分平面图.

图 16 是第二实施例的固体摄象装置的电荷传送定时图.

图 17 是第三实施例的固体摄象装置的部分平面图.

图 18 是第三实施例的固体摄象装置的部分平面图.

图 19 是第三实施例的固体摄象装置的部分平面图.

图 20 是第三实施例的固体摄象装置的部分平面图.

图 21 是第三实施例的固体摄象装置的部分平面图.

图 22 是第三实施例的固体摄象装置的部分平面图.

图 23 是第三实施例的固体摄象装置的电荷传送定时图.

图 24 是第四实施例的固体摄象装置的部分平面图.

图 25 是第四实施例的固体摄象装置的部分平面图.

图 26 是第四实施例的固体摄象装置的部分平面图.

图 27 是第四实施例的固体摄象装置的部分平面图.

图 28 是第四实施例的固体摄象装置的部分平面图.

图 29 是第四实施例的固体摄象装置的部分平面图.

图 30 是第四实施例的固体摄象装置的电荷传送定时图.

图 31 是沿图 24 的 A － A'线的剖视图.

图 32 是已有的图象传感器的平面图.

图 33 是本发明和已有的多线 CCD 结构的线性图象传感器的平面图.

图 34 是已有的图象传感器的部分平面图.

图 35 是已有的图象传感器的部分平面图.

图 36 是已有的图象传感器的部分平面图.

图 37 是表示已有的寄存器间传送后的输出与信号电荷量的关系的特性图.

图 38 是第一实施例的固体摄象装置的电荷传送定时图.

图 39 是图 33 的图象传感器的部分平面图.

首先参照图 1 － 11，图 33 说明第一实施例。图 1 － 6 是表示图 33 所示的形成在半导体基片上的图象传感器的多个象素部分及说明其工作的放大平面图，图 7 － 图 9 分别是沿图 1 的 A － A'线、B

－ B'线及 C － C'线剖切的半导体基片的剖视图，图 10 是在传送寄存器的规定的一个信号电荷的传送时刻 t_1 － t_6 之间的驱动定时图。图 11 是表示本发明的图象传感器的输出电荷量对信号电荷量的依存性的特性图，纵轴表示输出，横轴表示信号电荷量。图 33 是有本发明和已有的多线 CCD 寄存器结的图象传感器形成在半导体基片上的示意性平面图。例如，来自图左的奇数象素 1 的信号电荷移向外侧的 CCD 寄存器 6，来自图左的偶数象素 1 的信号电荷移向内侧的 CCD 寄存器 3．这些信号电荷在各 CCD 寄存器 3， 6 内传送，通过输出缓冲存储器 4， 7 向外部输出。移位门电路 2 和传输门电路 5 分别与多个专用驱动脉冲线 SH（ SH_1、 SH_2）、 TG 连接，在 CCD 寄存器 3， 6 上，驱动脉冲线 P_1、 P_2 与进行该种排列的传送电极交替连接。

在移位门电路 2 上，驱动脉冲线 SH_1、 SH_2 与进行该种排列的电极交替连接。如图 1 所示，配置成移位门电路 2 的多电极与驱动脉冲线 SH_1、 SH_2 中的任一个交替连接，由于此图以外的各图所示的移位门电路 2 都与图 1 的结构相同，所以 SH_1、 SH_2 的表示省略。驱动脉冲线 SH_1 与图 1 的 A － A'线部分的电极连接，驱动脉冲线 SH_2 与相邻的 B － B'线部分的电极连接。如图 7 － 图 9 所示，象素 1 由形成在半导体基片 100 的表面区域的杂质扩散区构成，移位门电路 2、传输门电路 5CCD 寄存器 3， 6 由形成在半导体基片 100 上的多晶硅等的电极构成。在此实施例中，注入了超零电荷的输入部件 11、 12 形成在 CCD 寄存器 3 上。输入部件 11 由形成在半导体基

片 100 上的多晶硅等的电极组成，此电极与驱动脉冲线 SH 连接。输入部件 12 由形成在半导体基片 100 的表面区域上的杂质扩散区域构成，构成光电变换部件。

下面，一边参照图 1 - 图 6 和图 10 的定时图一边说明本发明的图象传感器的工作。首先，使输入部件 11 的驱动脉冲线 IG 接通，超零电荷 20 从输入部件注入 CCD 寄存器 3（图 1）。接着，在 t_2 时刻，使传输门电路 5 的驱动脉冲线 TG 接通，超零电荷从 CCD 寄存器 3 向 CCD 寄存器 6 传送（图 2）。这时图中央的超零电荷使剩余电荷残留在 CCD 寄存器 3，并向 CCD 寄存器 6 传送。随后在 t_3 时刻用移位寄存器 2 的驱动脉冲线 SH_1 每隔一个象素 1 将信号电荷 21 向 CCD 寄存器 3 传送（图 3）。在 t_4 时刻，在其有剩余电荷时将信号电荷与该信号电荷一起从 CCD 寄存器 3 通过传输门电路 5 移向 CCD 寄存器 6（图 4）。超零电荷的剩余电荷残存在最初的 CCD 寄存器 3 中。然后，在时刻 t_5 借助移位寄存器 2 的驱动脉冲线 SH_2 将信号电荷从剩余的象素 1 向 CCD 寄存器 3 传送（图 5）。

下面在时刻 t_6 借助二相脉冲 P_1、P_2 使信号电荷在 CCD 寄存器 3 内传送并与上述超零电荷的剩余电荷合并（图 6）。同样，CCD 寄存器 6 内的信号电荷也借助二相脉冲的驱动在内部传送并由输出缓冲存储器输出。如图 6 所示，来自象素 1 的信号电荷与超零电荷或剩余电荷合并，除正常的信号电荷 15 外，还得到加了剩余电荷的信号电荷 16，加了正常的超零电荷的信号电荷 13，加了有剩余电荷的超零电荷的信号电荷 14。这时的信号电荷量和寄存器间传送后

的电荷量即输出变成如图 11 所示。图 11 是表示此实施例的输出电荷量与信号电荷量的依存关系的特性图，纵轴表示输出，横轴表示信号电荷量。由于信号电荷量小时也维持非线性特性，可以根据有无剩余来变化补偿，因为保持线性使信号的补偿容易进行。在图中，直线 23 表示寄存器 6 的无剩余的输出，直线 24 表示寄存器 6 的有剩余的输出，直线 25 表示寄存器 3 的无剩余的输出，直线 26 表示寄存器 3 的有剩余的输出。

下面参照图 12 - 图 16 说明第二实施例。

图 12 - 图 15 是图 33 所示的形成在半导体基片上的图象传感器的多个象素部分及说明其工作的放大平面图，图 16 是其工作的定时图。在此实施例中，超零电荷与信号电荷合并，一起进行寄存器间传送。首先在 t_1 时刻使输入部件 11 的驱动脉冲线 IG 和移位寄存器 2 的驱动脉冲线 SH_1 导通，将超零电荷从输入部件注入 CCD 寄存器 3 时在 t_2 时刻每隔一个象素 1 向 CCD 寄存器 3 传送信号电荷(图 12)。接着在 t_3 时刻使传输门电路 5 的驱动脉冲线 TG 导通，将信号电荷和超零电荷从 CCD 寄存器 3 向 CCD 寄存器 6 传送(图 13)。这时图中央的超零电荷使剩余电荷残留在 CCD 寄存器 3 并传送。随后在 t_4 时刻借助移位寄存器 2 的驱动脉冲线 SH_2 将信号电荷从剩余象素 1 向 CCD 寄存器 3 传送(图 14)。

下面在 t_5 时刻借助二相脉冲 P_1、P_2 使信号电荷在 CCD 寄存器 3 内传送，并使其与上述超零电荷的剩余电荷合并(图 15)。同样，CCD 寄存器 6 内的信号电荷也借助二相脉冲的驱动在内部传送并由

输出缓冲存储器输出。与第一实施例相同，来自象素1的信号电荷与超零电荷或剩余电荷合并，除正常的信号电荷15外还能得到加有剩余电荷的信号电荷16、加上正常超零电荷的信号电荷13，加上有剩余的超零电荷的信号电荷14（参看图11）。即使在此实施例中，由于信号电荷量小维持非线性特性，根据有无剩余变化补偿，由于保持线性容易进行信号的补偿。

像此实施例这样，使超零电荷与信号电荷合并时，可以将背景光照射到象素上使在象素产生超零电荷。由于在信号电荷和超零电荷合并的寄存器6中传送电荷量比寄存器3大，就要使寄存器的最大传送电荷量大。

而且，信号电荷的传送在图2的状态时向输出部件传送寄存器中的电荷，将其输出再现借助图5的工作从传送信号电荷时的输出中扣除可求得真正的信号电荷量.

以上是寄存器间传送一次的情况，在进行多次寄存器间传送时，在该寄存器间传送中剩余电荷有必要在寄存器中的同一电极中.

下面参照图17－图23说明第三实施例。

图17－图22是表示图33所示的形成在半导体基片上的图象传感器的多个象素部分及说明其工作的放大平面图，图23是其工作的定时图。在此实施例中，其特征是设置有用以排出CCD寄存器6的电荷的电荷排出部件13、14。电荷排出部件13由形成在半导体基片上的多晶硅等的电极构成，与驱动脉冲线OFG连接。电荷排出部

件 14 由在半导体基片的表面区域形成的杂质扩散区域构成，与驱动脉冲线 OFD 连接。首先，在 t_1 时刻使输入部件 11 的驱动脉冲线 IG 导通，从输入部件向 CCD 寄存器 3 注入饱和零电荷（图 17）。接着在 t_2 时刻使传输门电路 5 的驱动脉冲线 TG 接通，超零电荷从 CCD 寄存器 3 向 CCD 寄存器 6 传送（图 18）。这时，图中央的超零电荷使剩余电荷残留在 CCD 寄存器 3 并向 CCD 寄存器 6 传送。随后在 t_3 时刻使与电荷排出部件 13 连接的驱动脉冲线 OFG 接通，使 CCD 寄存器 6 的超零电荷向电荷排出部件 14 传送，并将此超零电荷从寄存器传送路排除（图 19）。

下面在 t_4 时刻借助移位寄存器 2 的驱动脉冲线 SH_1，每隔 1 个象素 1 将信号电荷向 CCD 寄存器 3 传送（图 20）。在 t_5 时刻，在其有剩余电荷时将信号电荷与该剩余电荷一起通过传输门电路 5 从 CCD 寄存器 3 移向 CCD 寄存器 6（图 21）。超零电荷的剩余电荷残留在最初的 CCD 寄存器 3 中。随后在 t_6 时刻借助移位寄存器 2 的驱动脉冲线 SH_2 将信号电荷从剩余的象素 1 向 CCD 寄存器 3 传送。然后在 t_7 时刻借助二相脉冲 P_1、P_2 使信号电荷在 CCD 寄存器 3 内传送并与上述超零电荷的剩余电荷合并（图 22）。同样，CCD 寄存器 6 内的信号电荷也通过二相脉冲的驱动在内部传送并从图 33 所示的输出缓冲存储器 4，7 输出。像图 19 所示那样，使超零电荷在寄存器间传送后一旦将 CCD 寄存器 6 的电荷排出后，由于加给信号电荷的只是剩余电荷，勿须将用 CCD 寄存器转送的电荷量加大，而且由于将超零电荷加给信号电荷，不受含超零电荷的噪音的影

响。接近CCD寄存器设置一组传输门电路和CCD寄存器代替电荷排出部件，将超零电荷传送到该处也是可能的。

下面参考图24－图31说明第四实施例。

在此实施例中，其特征是在使信号电荷进行寄存器间传送之前，将寄存器6中的电荷完全排出，进行而在传送下面的信号电荷前排出寄存器3中的剩余电荷。 图24－图29是表示图33所示的形成在半导体基片上的图象传感器的多象素部分及说明其工作的放大平面图，图30是其工作定时图，图31是沿图24的A－A'线剖切的半导体基片100的剖视图。在此实施例中，其特征是设置了用以排出CCD寄存器3， 6的电荷的电荷排出部件15， 16。电荷排出部件15， 16由埋置在位于半导体基片上的寄存器电极3， 6的正下方的N型杂质扩散区（以下称为埋置区）构成，与驱动脉冲线D_1， D_2连接。首先在t_1时刻使输入部件的驱动脉冲线IG导通，使超零电荷从输入部件注入CCD寄存器3（图24）。

接着在t_2时刻使传输门电路5的驱动脉冲线TG导通，超零电荷从CCD寄存器3向CCD寄存器6传送（图25）。这时图中央的超零电荷使剩余电荷残留在CCD寄存器3并向CCD寄存器6传送。随后在t_3时刻，借助移位寄存器2的驱动脉冲线SH_1，每个隔1个象素1将信号电荷向CCD寄存器3传送（图26）。在t_4时刻使与电荷排出部件16连接的驱动脉冲线D_2导通，排出CCD寄存器6的超零电荷（图26）。然后在t_5时刻当其有剩余电荷时将信号电荷与此剩余电荷一起通过传输门电路5从CCD寄存器3向CCD寄存器

6传送（图27）。超零电荷的剩余电荷残留在最初的CCD寄存器3中。

下面在t_6时刻，使与电荷排出部件15连接的驱动脉冲线D_1导通，排出CCD寄存器3的剩余超零电荷（图28）。随后在t_7时刻通过移位寄存器2的驱动脉冲线SH_2将信号电荷从剩余象素1向CCD寄存器3传送。然后在t_8时刻借助二相脉冲P_1、P_2使信号电荷在CCD寄存器3内传送（图29）。同样，CCD寄存器内的信号电荷也借助二相脉冲的驱动在内部传送。

在此实施例中，在使信号电荷在寄存器间传送前将寄存器6中的电荷完全排出，进而在传送下面的信号电荷前将寄存器3中的剩余电荷排出。由此最终剩下的是无剩余的完全信号电荷。

以上在本发明中由于包括超零电荷，还因为信号电荷寄存器间传送时的剩余信号电荷量无关，通常是一定的，所以即使产生剩余也容易进行信号补正。通过排出信号电荷能除去信号电荷的剩余电荷。

说 明 书 附 图

图 1

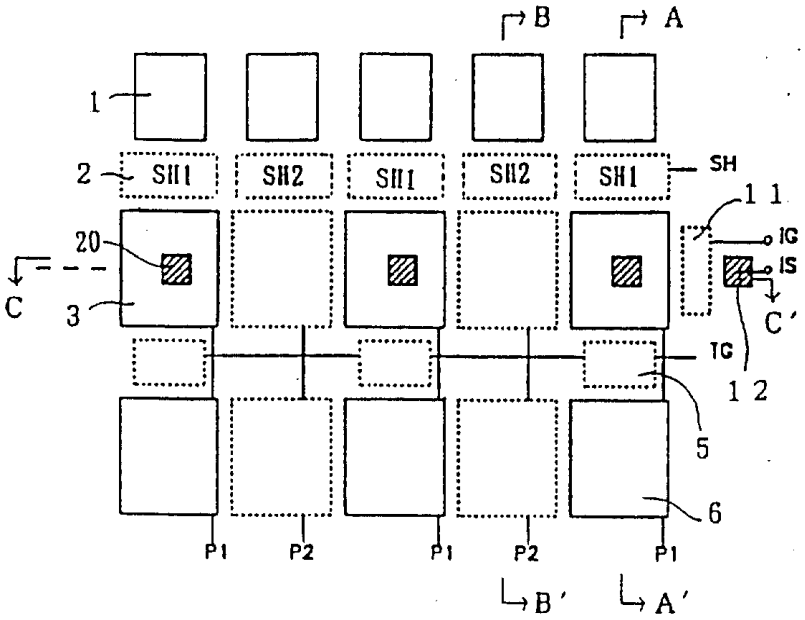

B
A
1
2
SH1
SH2
SH1
SH2
SH1
SH
11
IG
IS
C'
20
C
3
TG
12
5
6
P1
P2
P1
P2
P1
B'
A'

图 2

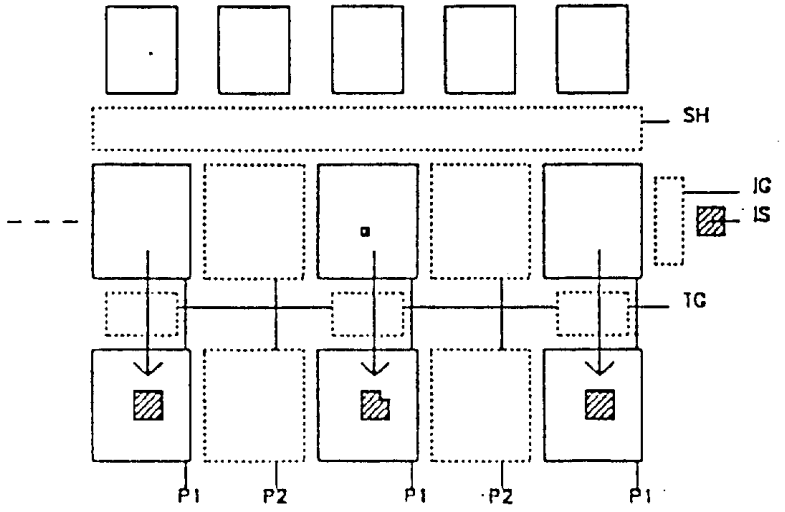

SH
IG
IS
TG
P1
P2
P1
P2
P1

图 3

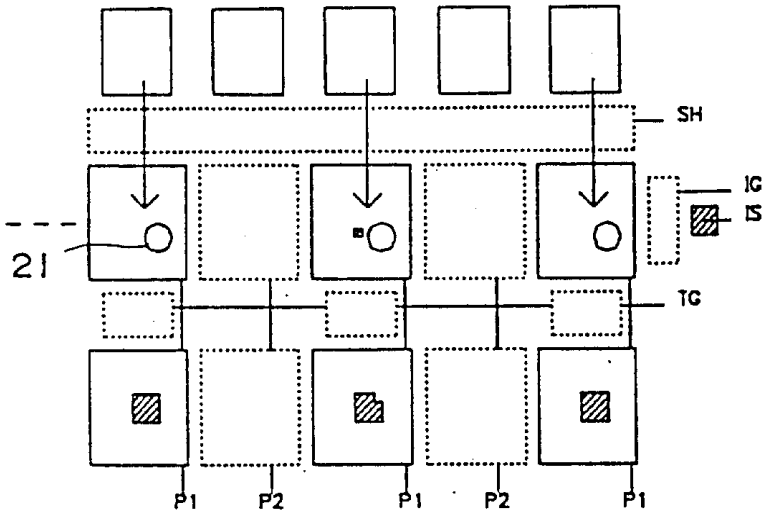


图 4

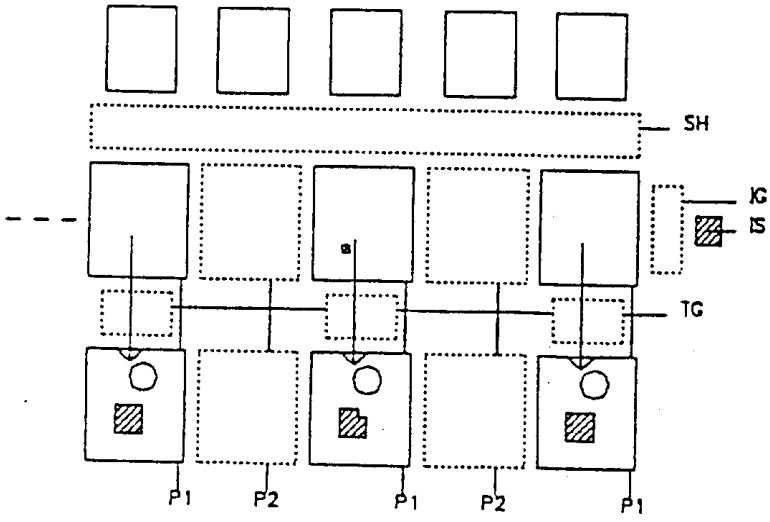


图 5

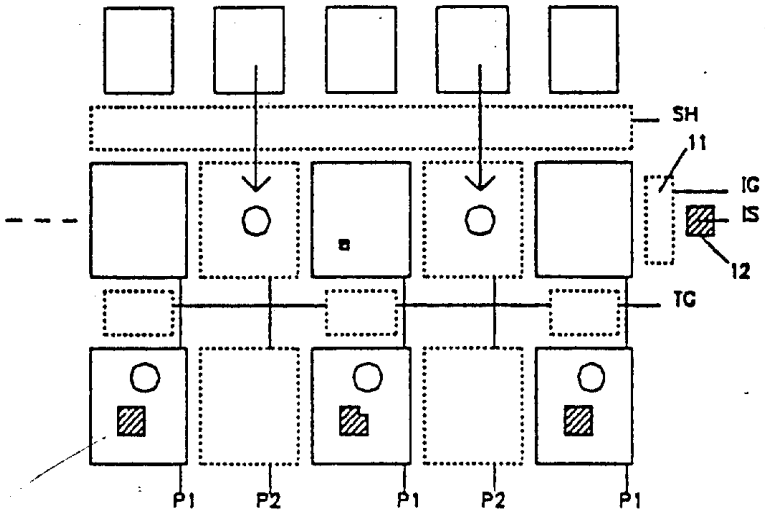


图 6

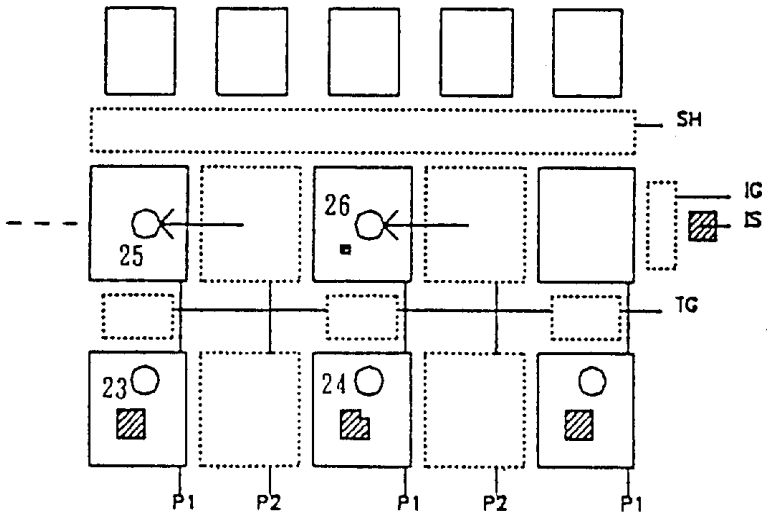


图 7

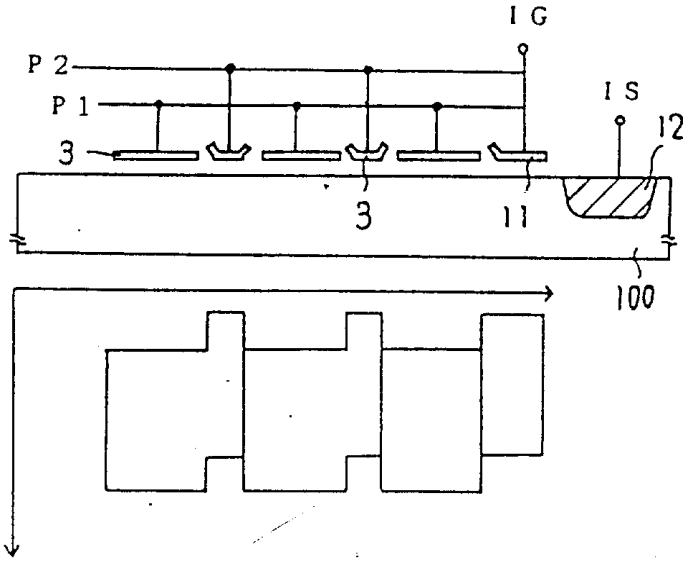


图 8

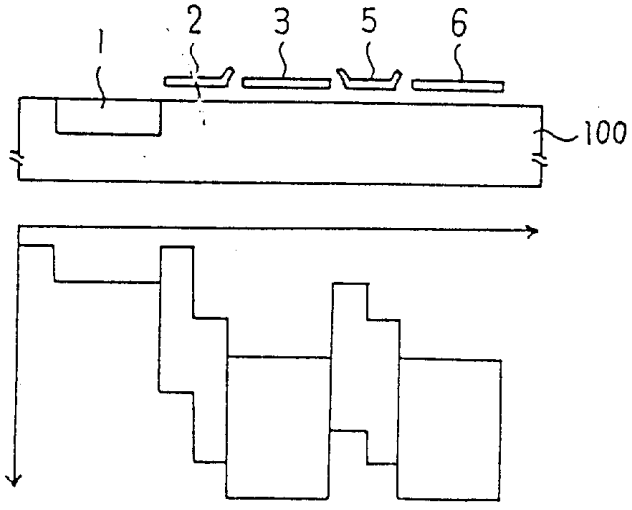


图 9

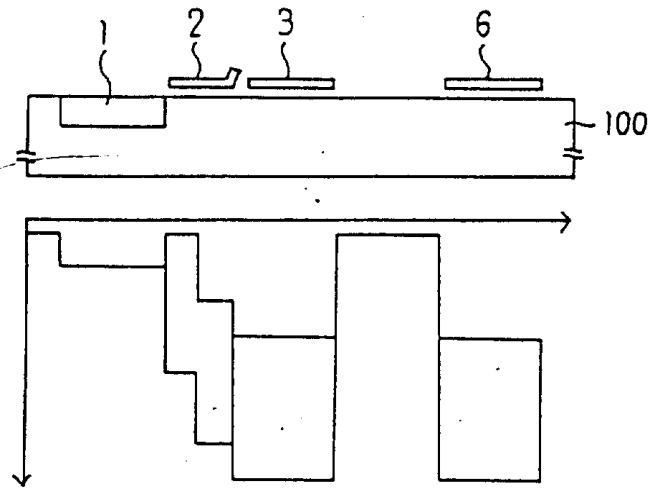


图 10

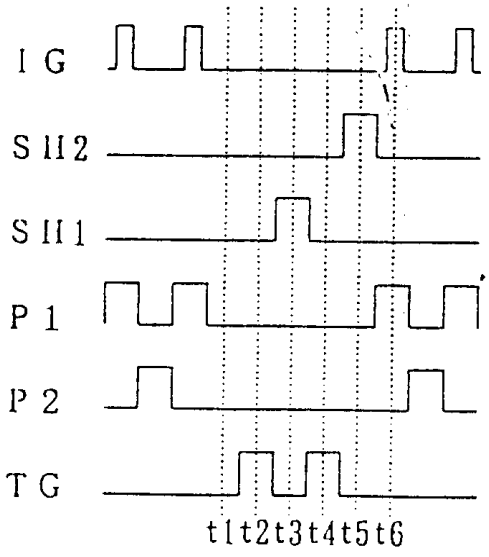


图 11

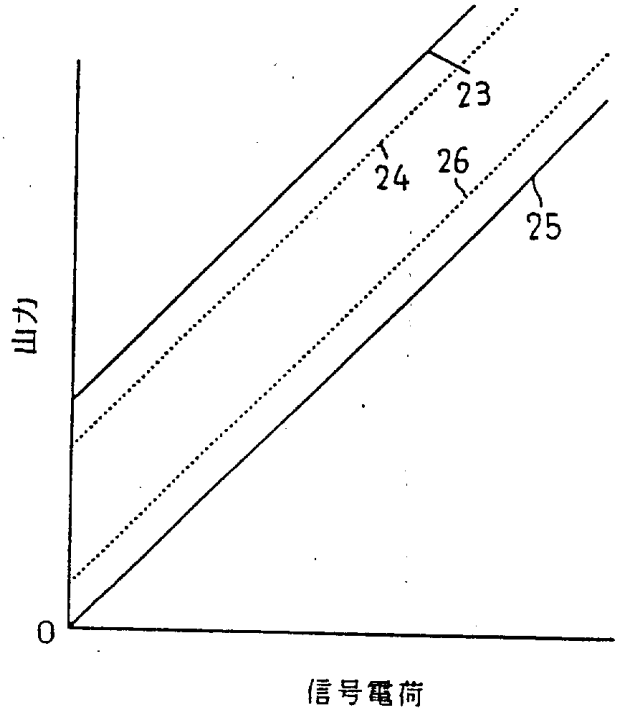


图12

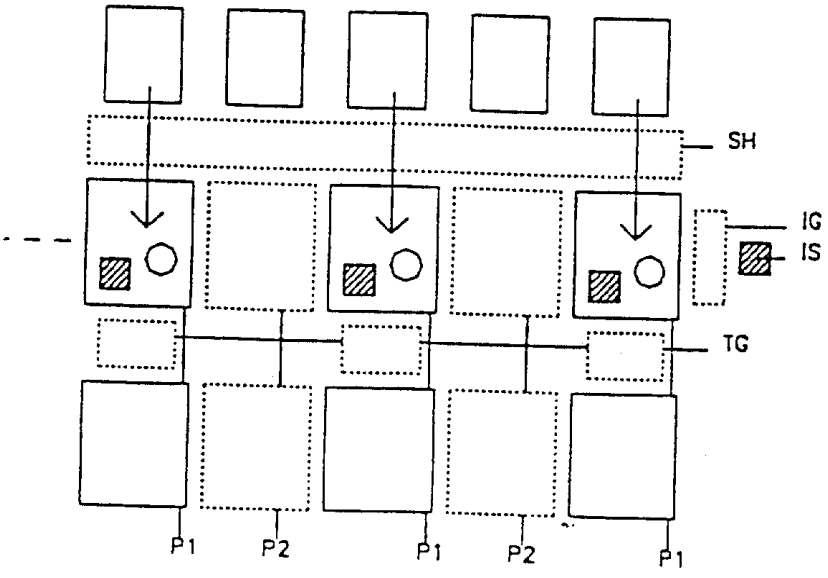


图 13

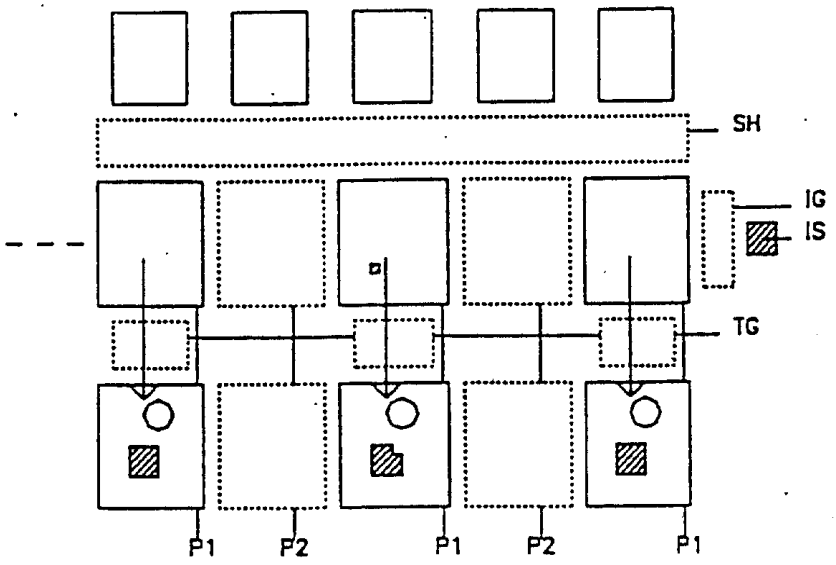


图 14

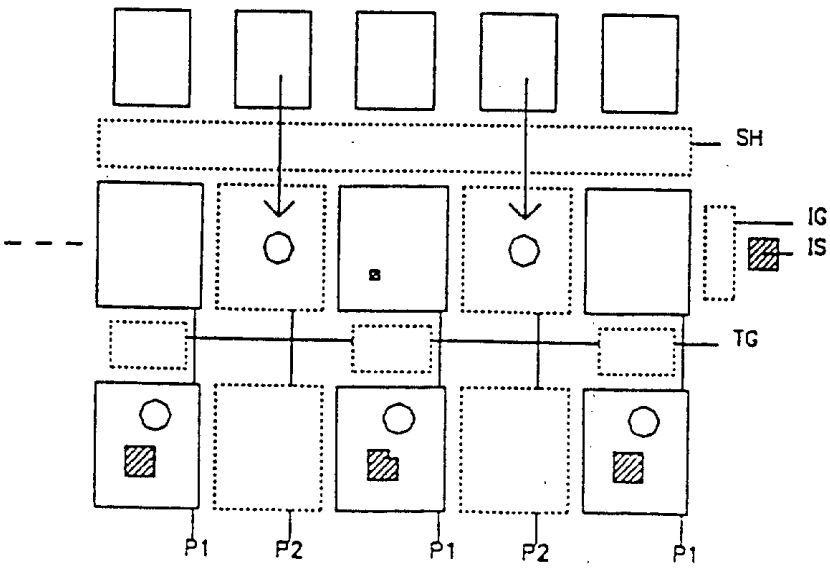


图 15

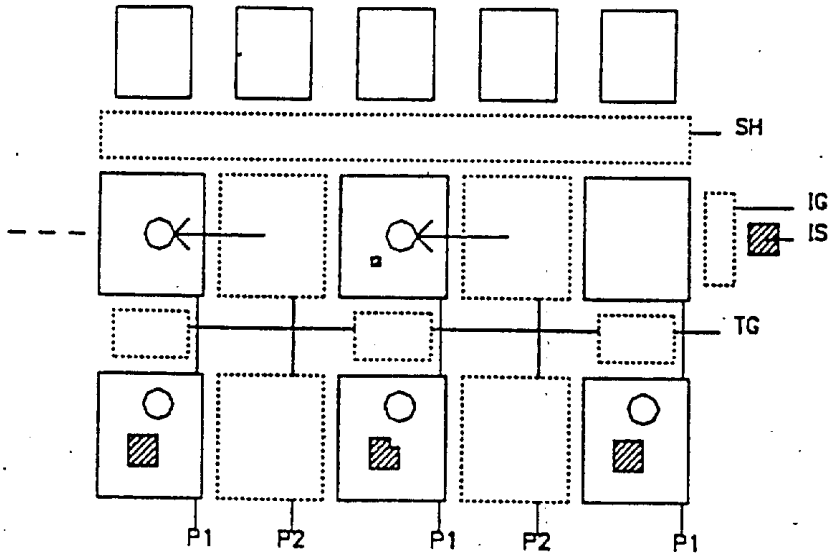


图 16

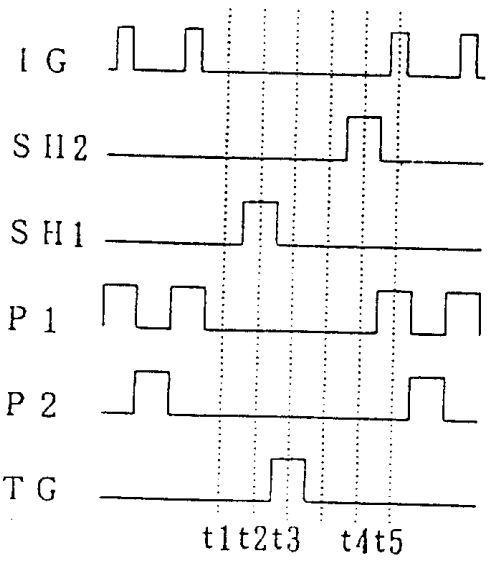


图 17

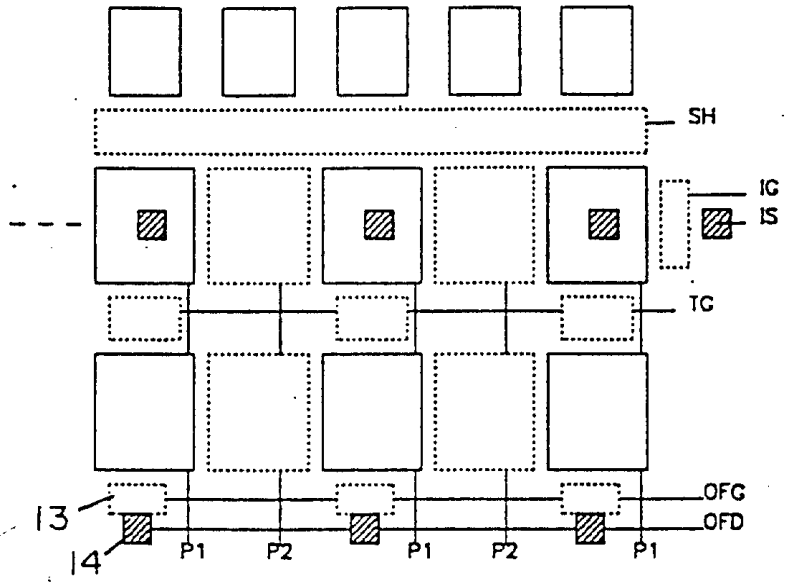

SH
IG
IS
TG
OFG
OFD
13
14
P1
P2
P1
P2
P1

图18

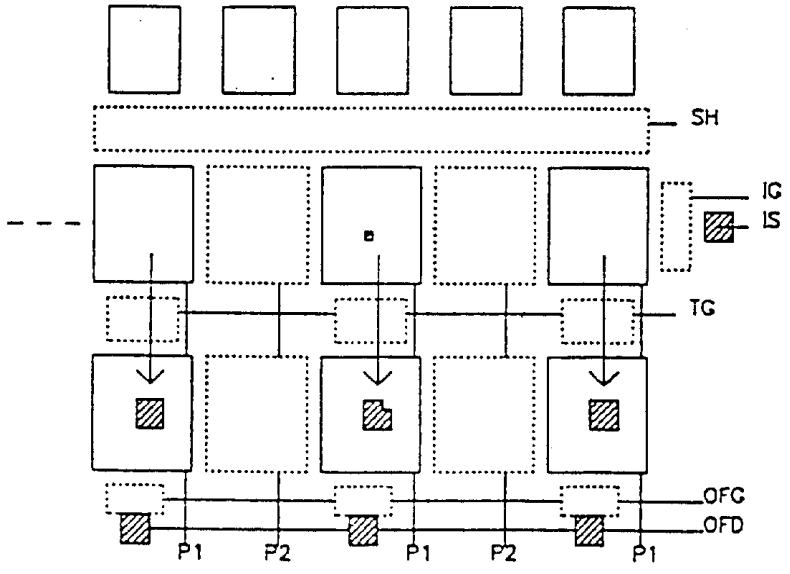

SH
IG
IS
TG
OFG
OFD
P1
P2
P1
P2
P1

图 19

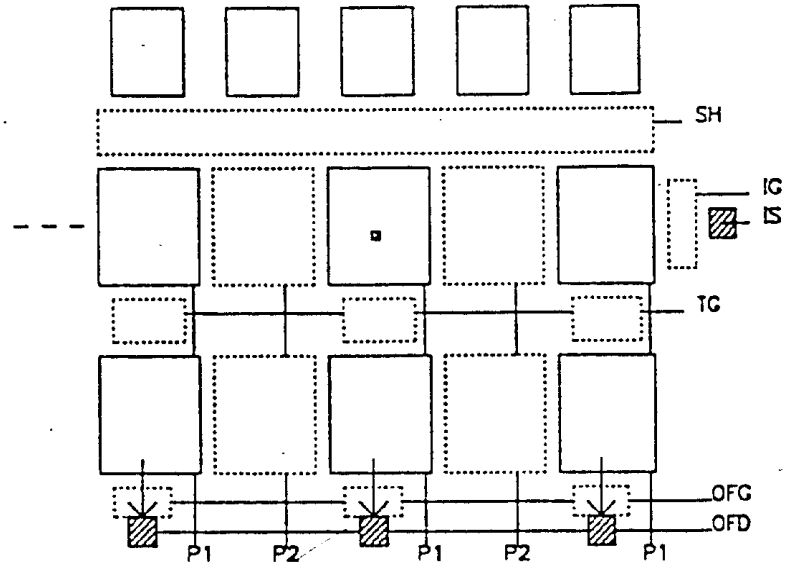


图 20

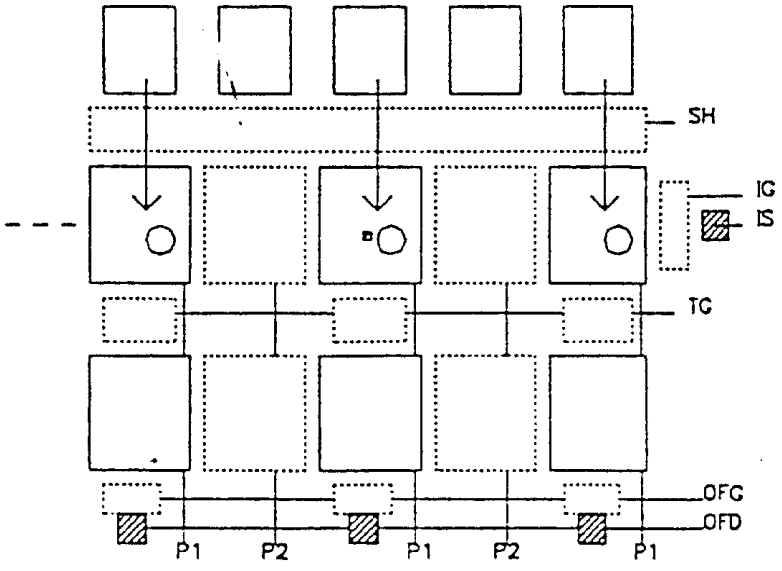


图 21

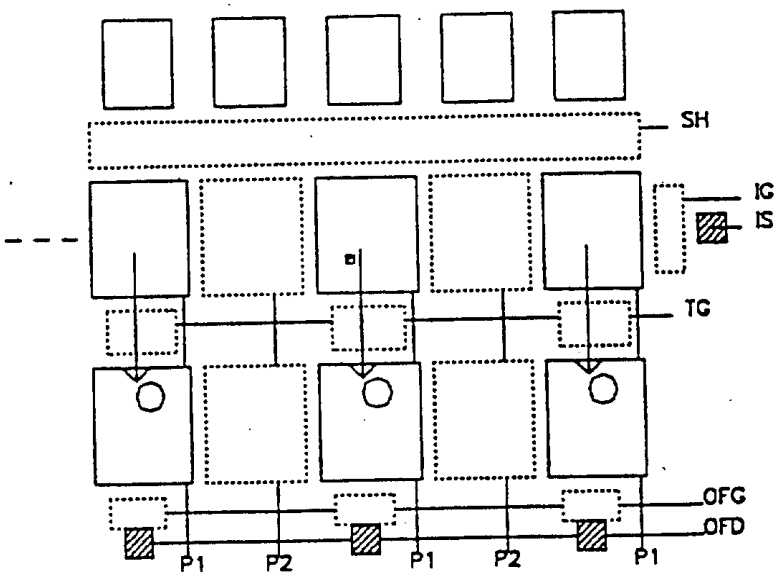


图 22

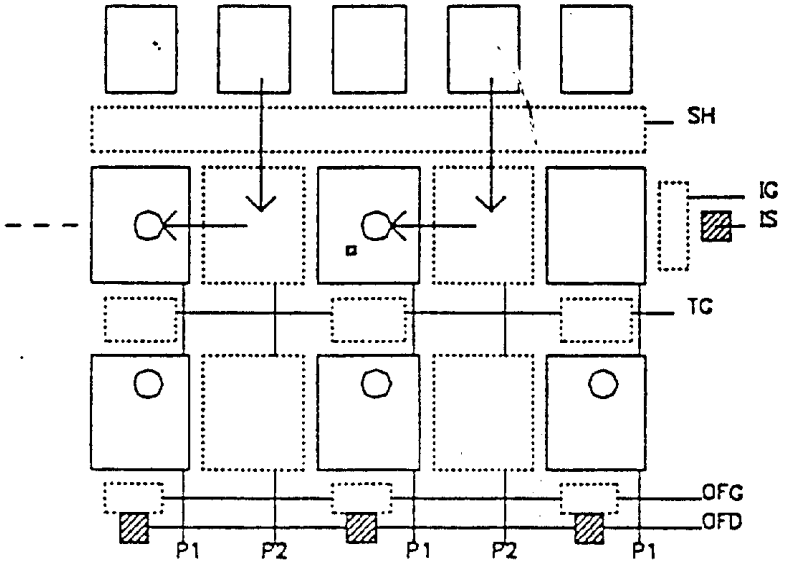


图 23

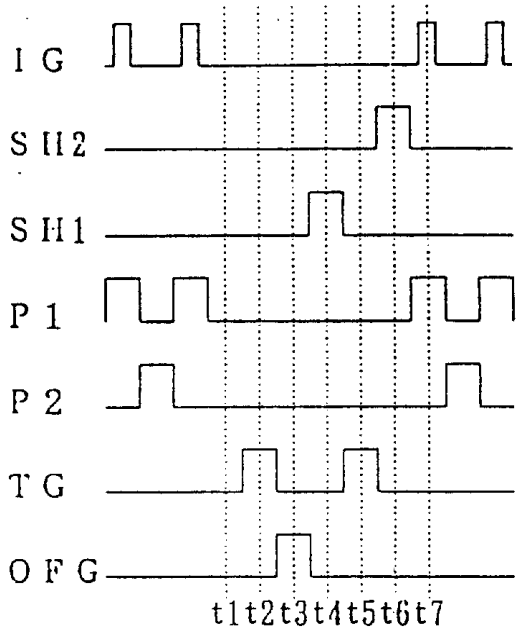


图 24

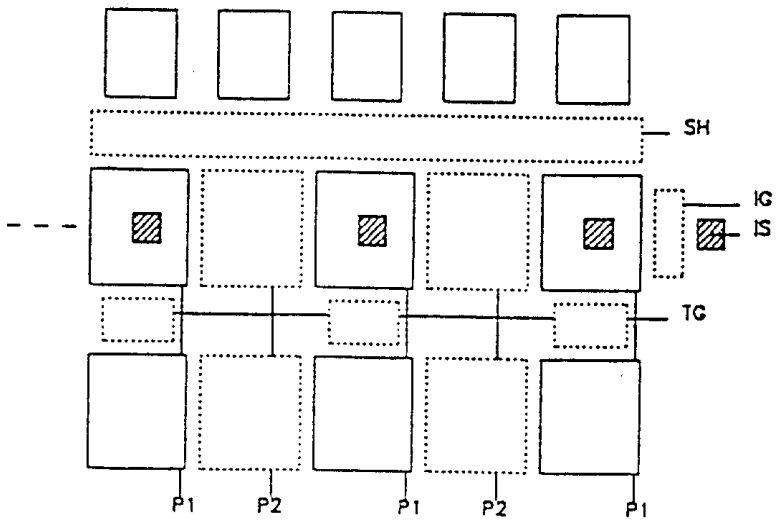


图 25

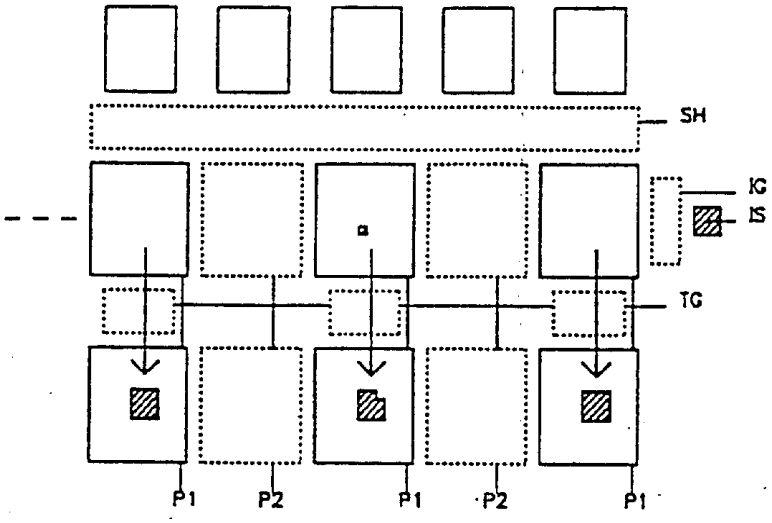


图 26

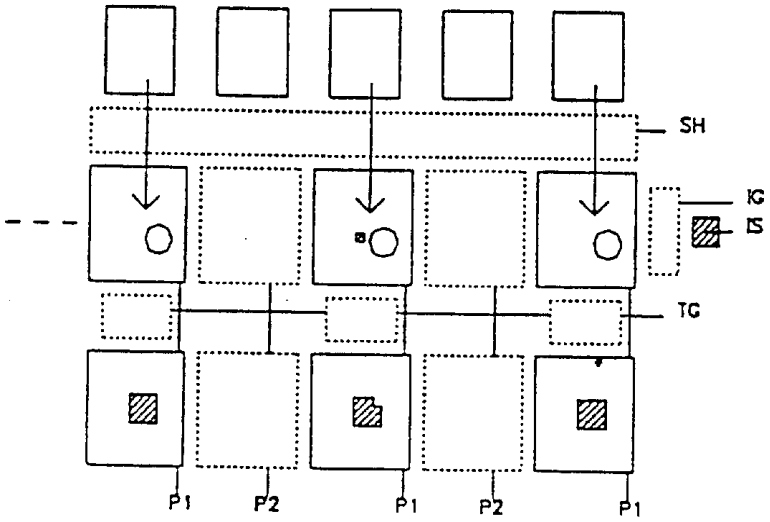


图 27

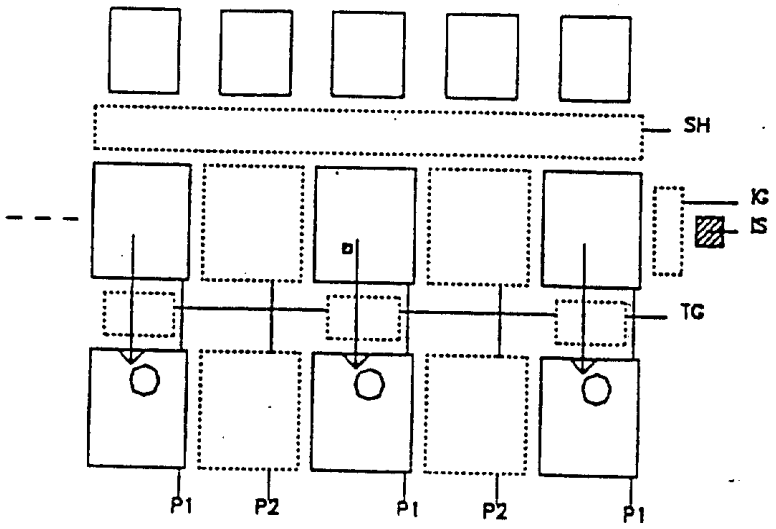


图 28

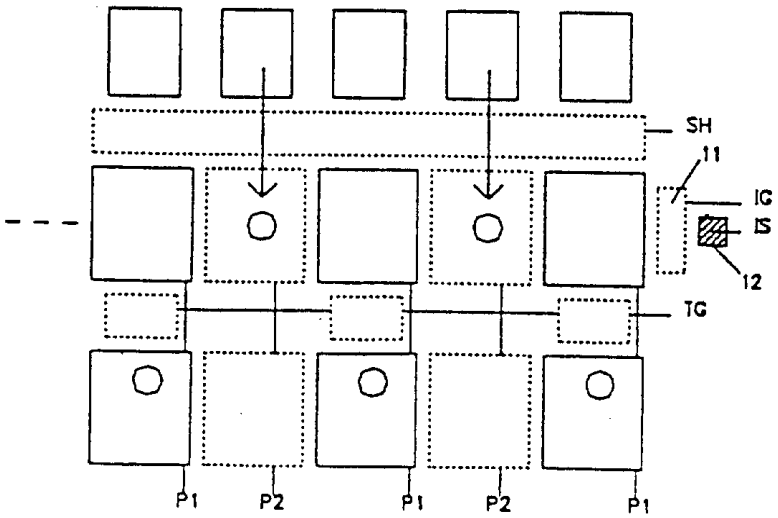


图 29

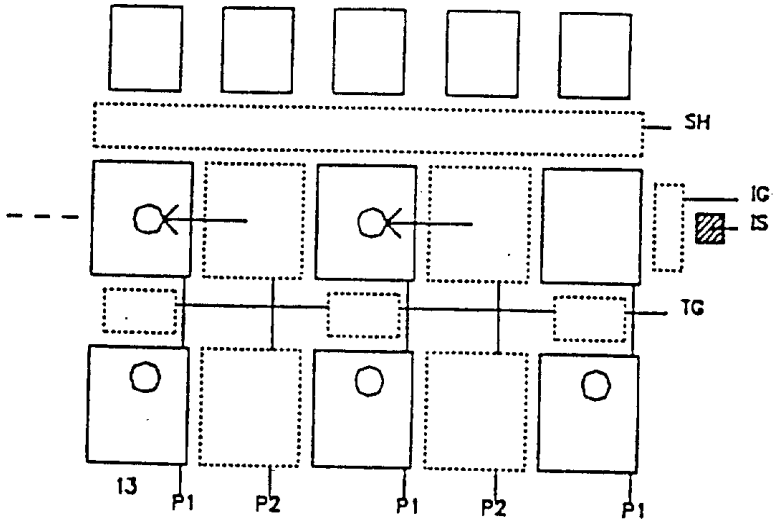

SH
IG
IS
TG
13
P1
P2
P1
P2
P1

图 30

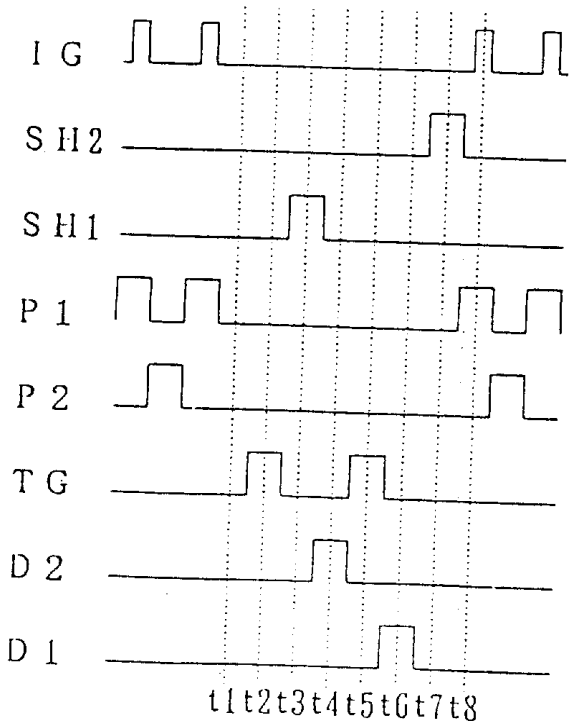

I G
S H2
S H1
P 1
P 2
T G
D 2
D 1
t1t2t3t4t5tGt7t8

图 31

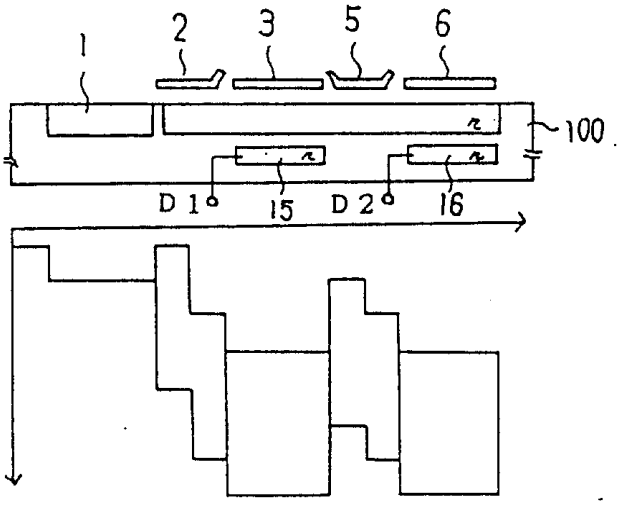


图 32

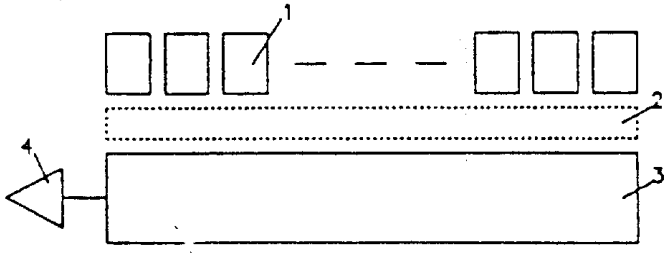


图 33

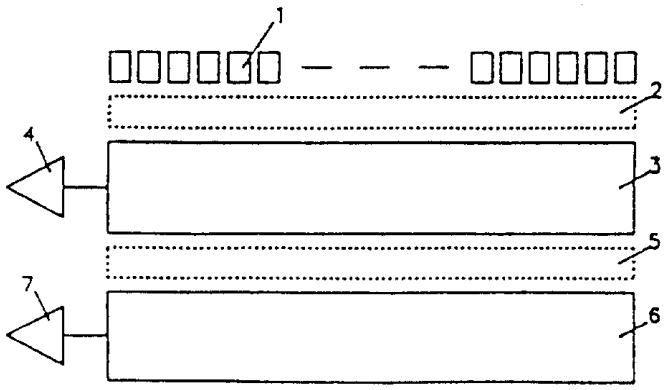


图 34

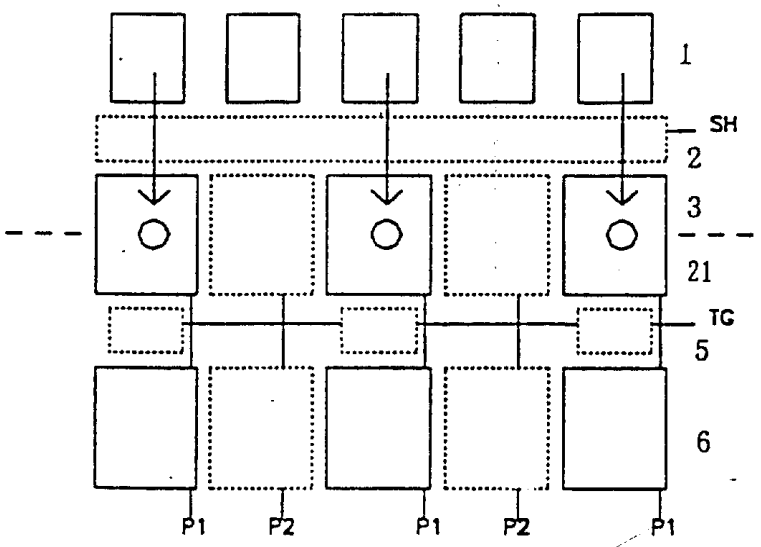


图 35

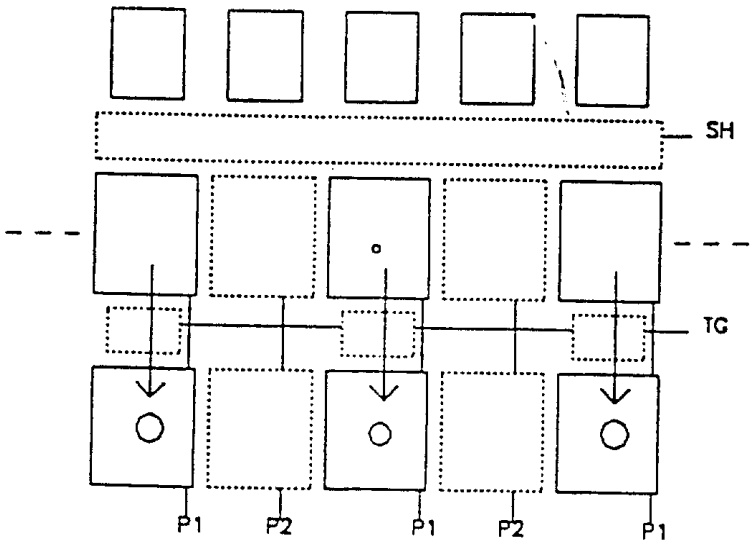


图 36

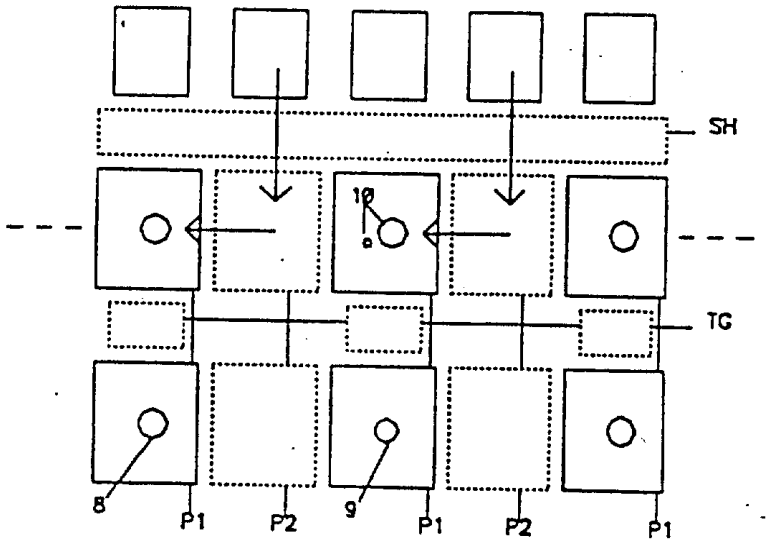


图 37

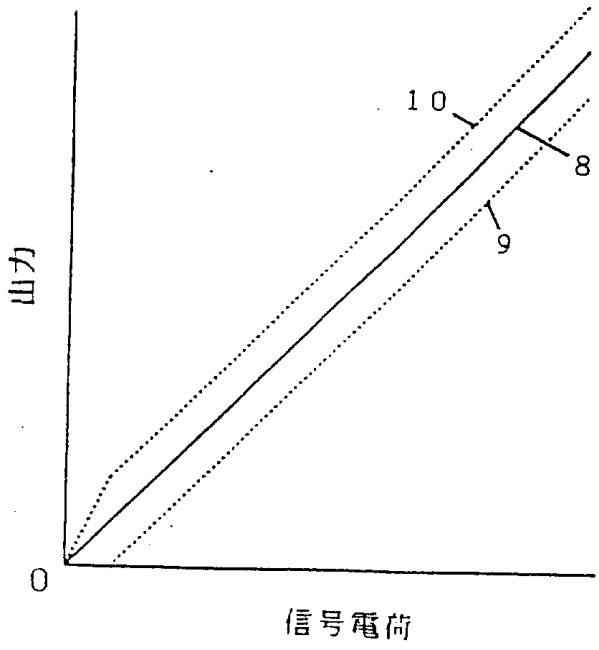


图38

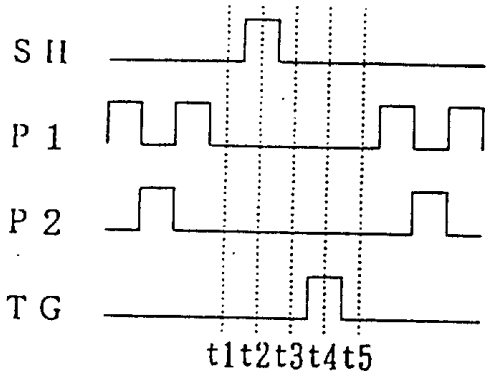
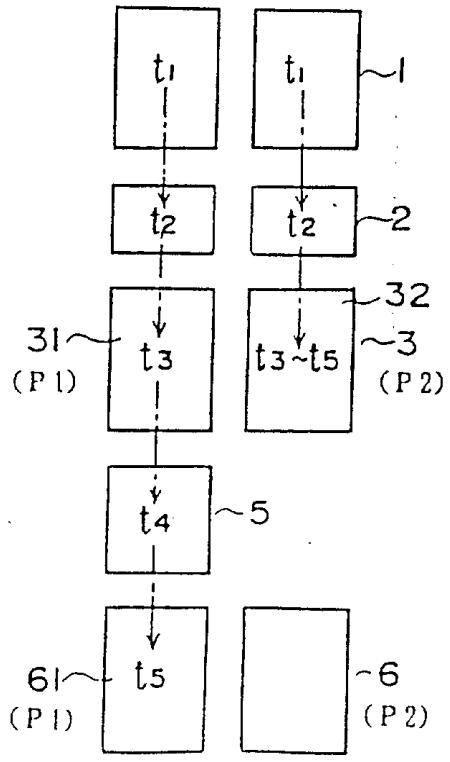

SH
P1
P2
TG
t1t2t3t4t5

图39


t1
t1
1
t2
t2
2
32
31
(P1)
t3
t3~t5
3
(P2)
t4
5
61
(P1)
t5
6
(P2)