



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 601 28 440 T2 2008.01.24

(12)

Übersetzung der europäischen Patentschrift

(97) EP 1 213 260 B1

(51) Int Cl.⁸: **B81B 3/00** (2006.01)

(21) Deutsches Aktenzeichen: 601 28 440.2

(96) Europäisches Aktenzeichen: 01 128 169.8

(96) Europäischer Anmeldetag: 27.11.2001

(97) Erstveröffentlichung durch das EPA: 12.06.2002

(97) Veröffentlichungstag
der Patenterteilung beim EPA: 16.05.2007

(47) Veröffentlichungstag im Patentblatt: 24.01.2008

(30) Unionspriorität:
724506 27.11.2000 US

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Microscan Systems Inc., Renton, Wash., US;
Xerox Corp., Stamford, Conn., US

(72) Erfinder:
Scharf, Bruce R., Seattle, Washington 98103, US;
Gulvin, Peter M., Webster, New York 14580, US;
Chen, Jingkuang, Rochester, New York 14618, US;
Kubby, Joel A., Rochester, New York 14622, US;
Lin, Chuang-Chia, San Pablo, California 94806, US;
Tran, Alex T., Ithaca, New York 14850, US

(74) Vertreter:
Grünecker, Kinkeldey, Stockmair & Schwanhäusser, 80538 München

(54) Bezeichnung: **Verfahren zur Herstellung von mikromechanischen und mikrooptomechanischen Strukturen mit einem aufgebrachten Muster**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelebt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung**GEBIET DER ERFINDUNG**

[0001] Mikromechanische und mikrooptomechanische Strukturen, die auf Silizium-auf-Isolator (SOI)-Wafern gefertigt sind, werden beschrieben. Insbesondere werden mikromechanische und mikrooptomechanische Komponenten beschrieben, die durch chemisches und mechanisches Modifizieren von SOI-Wafern und durch Metallisieren einer Rückseite der Komponenten erzeugt werden.

HINTERGRUND

[0002] Inhärente Dünnfilmmeigenschaften von Materialien schränken viele Oberflächenmikrobearbeitungsverfahren ein. Zum Beispiel kann die Variabilität der Materialeigenschaften in Polysilizium-Dünnfilmen (wie z.B. Youngs Modulus und Poisson-Verhältnis, Eigenspannung und Spannungsgradienten) die Herstellung von erwünschten Mikrostrukturen verhindern. Dies betrifft insbesondere mikrooptische Komponenten wie z.B. Spiegel, Linsen und Beugungsgitter, die für eine hohe optische Leistungsfähigkeit sehr glatt sein müssen und die normalerweise in Einkristall-Siliziumschichten ausgebildet werden müssen. Da konventionelle Oberflächen-Mikrobearbeitung es erfordert, dass alle Komponenten in Polysiliziumschichten hergestellt werden, kann die optische Leistungsfähigkeit eingeschränkt sein.

[0003] Die führenden kommerziellen mikroelektromechanischen (MEMS) Verfahrenstechnologien sind (1) Volumen-Mikrobearbeitung von Silizium-Einkristallen, und (2) Oberflächen-Mikrobearbeitung von polykristallinem Silizium. Jede dieser Verfahrenstechnologien hat entsprechende Vorteile und Einschränkungen. Volumen-Mikrobearbeitung von Silizium-Einkristallen, einem exzellenten Material mit gut zu kontrollierenden elektrischen und mechanischen Eigenschaften in seinem puren Zustand, verwendet historisch anisotropes Nassätzten, um die mechanischen Elemente zu bilden. In diesem Verfahren ist die Ätzrate abhängig von den Kristallebenen, die der Ätzlösung ausgesetzt sind, so dass mechanische Elemente gebildet werden, die zu den ätzratenlimitierten kristallografischen Ebenen ausgerichtet sind. Für Silizium sind diese Ebenen die (1,1,1)-Kristallebenen. Die Ausrichtung der mechanischen Merkmale auf die kristallografischen Ebenen führt zu Einschränkungen der Geometrien, die unter Verwendung dieser Technik erzeugt werden können. Typische Geometrien schließen V-Rillengräben und invertierte, pyramidenförmige Strukturen in (1,0,0)-orientierten Siliziumwafern ein, wobei die Gräben und invertierten Pyramiden an die (1,1,1)-Kristallebenen gebunden sind. Geometrien, die konkav; Ecken einschließen, sind nicht möglich, außer zusätzliche Maßnahmen werden durchgeführt, um die Kristallebenen vor dem Ätzen zu schützen, die die Ecken bilden. Die Ätzrate variiert auch mit der Dotierungsmittelkonzentration, so dass die Ätzrate modifiziert werden kann durch Einführung von Dotierungsatomen, die die Siliziumatome in dem Kristallgitter ersetzen. Eine Bor-Dotierungskonzentration in der Größenordnung von $5 \times 10^{19}/\text{cm}^3$ reicht aus, den Ätzvorgang vollständig anzuhalten, so dass mechanische Elemente, die durch andere Kristallebenen begrenzt werden, unter Verwendung von Dotierungs-Ätzstop-Techniken erzeugt werden können. Jedoch reichen Dotierungskonzentrationen dieser Größe aus, die gewünschten elektrischen und mechanischen Eigenschaften des puren Silizium-Einkristallmaterials zu modifizieren, was dazu führt, dass der Geräteentwurf und die Herstellbarkeit eingeschränkt ist. Kürzliche Fortschritte beim tiefen reaktiven Ionenätzen (DRIE, Deep Reactive Ion Etching) (siehe z.B. J.K. Bhardwaj und H. Ashraf, "Advanced silicon etching using high density plasmas", Micromachining and Microfabrication Process Technology, 23–24. Oktober 1995, Austin, Texas, SPIE Proceedings, Band 2639, Seite 224), das Seitenwandpassivierung und Ionenstrahlbündelung verwendet, um Ätzanisotropie zu erreichen, haben die Lage hinsichtlich der Einschränkungen für den geometrischen Entwurf in der Ebene entspannt, erfordert aber immer noch Ätzstoptechniken, um die Tiefe des Ätzens in den Wafer zu steuern, und zusätzliche Verfahrensschritte sind erforderlich, um eine Struktur zu unterschneiden, um sie von dem Substrat zu lösen.

[0004] Im Gegensatz zur Volumenmikrobearbeitung verwendet die Oberflächen-Mikrobearbeitung von polykristallinem Silizium chemische Dampfabscheidung (CVD, chemical vapor deposition) und reaktives Ionenätzen (RIE, reactive ion etching) als Strukturierungstechniken, um mechanische Elemente aus übereinander gestapelten Schichten von Dünnfilmen zu bilden (siehe z.B. R.T. Howe, "Surface micromachining for microsensors and microactuators", J. Vac. Sci. Technol. B6, (1988) 1809). Typischerweise wird CVD-Polysilizium verwendet, um mechanische Elemente zu bilden. CVD-Nitrid wird verwendet, um elektrische Isolatoren zu bilden, und CVD-Oxid wird als Opferschicht verwendet. Durch die Entfernung des Oxids durch Nass- oder Trockenätzen werden die Polysilizium-Dünnfilmstrukturen gelöst. Der Vorteil der Oberflächen-Mikrobearbeitungsverfahren ist die Fähigkeit, komplexe Strukturen in senkrechter Richtung zur Waferoberfläche herzustellen, indem lösbare Polysiliziumschichten gestapelt werden (siehe z.B. K.S.J. Pister, M.W. Judy, S.R. Burgett und R.S. Fearing, "Microfabricated hinges", Sensors and Actuators A33, (1992) 249 und L.Y. Lin, S.S. Lee, K.S.J. Pfister

und M.C. Wu, "Micromachined three-dimensional micro-optics for free-space optical system", IEEE Photon. Technol. Lett. 6, (1994) 1445), und die vollständige geometrische Entwurfsfreiheit in der Ebene des Wafers, da die Geräteebenen unter Verwendung von isotropen RIE-Ätztechniken strukturiert werden. Ein zusätzlicher Vorteil der Oberflächen-Mikrobearbeitung ist, dass sie Dünnfilmmaterialien, wie z.B. Polysilizium, Oxid, Nitrid und Aluminium verwendet, die allgemein bei der Herstellung mikroelektronischer Geräte verwendet werden, wenn auch mit unterschiedlichen Materialeigenschaften, die eher in mechanischer Hinsicht optimiert werden als im Hinblick auf elektrische Leistungsfähigkeit. Diese Allgemeinheit der Materialien erlaubt eine höhere Integration von mikroelektronischen und mikromechanischen Komponenten in demselben Herstellungsprozess, wie es z.B. in dem integrierten Beschleunigungssensor von Analog Devices und in dem integrierten Drucksensor von SSI Technologies demonstriert wird.

[0005] Während die Oberflächen-Mikrobearbeitung die Lage hinsichtlich vieler inhärenter Einschränkungen bei der Volumen-Mikrobearbeitung von Silizium-Einkristallen entspannt, weist sie nichts desto weniger ihre eigenen Einschränkungen bei Dünnfilmmeigenschaften auf. Die maximale Schichtdicke, die mit CVD-Techniken abgeschieden werden können, sind auf einige Mikrometer beschränkt, so dass dickere Strukturen durch aufeinanderfolgende Abscheidungen aufgebaut werden müssen. Dickere Geräteschichten sind für dynamische optische Elemente erforderlich, wo dynamische Verformungen die optischen Eigenschaften beeinflussen können, und sind für optische Elemente erforderlich, die zusätzliche Dünnschichtbeschichtungen benötigen, die stressinduzierte Krümmung verursachen können. Die mechanischen Dünnfilmmeigenschaften, wie z.B. Youngs Modulus und das Poisson-Verhältnis, hängen von den Verfahrensparametern und der thermischen Vorgeschichte des Herstellungsprozesses ab und können typischerweise um bis zu 10 % von Lauf zu Lauf variieren. Dies ist eine wichtige Einschränkung für eine robuste Herstellbarkeit, wo diese mechanischen Dünnfilmmeigenschaften einen kritischen Parameter für die Geräteleistungsfähigkeit darstellen können.

[0006] Eine zusätzliche Einschränkung der konventionellen Oberflächen-Mikrobearbeitung ist, dass Löcher durch die mechanischen Elemente in dem Entwurf eingeschlossen sein müssen, um es den Ätzmitteln, die verwendet werden, um die mechanischen Elemente abzulösen, zu erlauben, die Opferschichten erreichen. Während dies keine wichtige Einschränkung für optische Elemente, wie z.B. Fresnel-Linsen und Beugungsgitter ist, die Löcher in ihrem Design einschließen, ist es eine wichtige Einschränkung für optische Elemente, wie z.B. Spiegel, wo Löcher die optischen Eigenschaften beeinträchtigen. Glattheit und Reflektivität sind auch wichtige optische Entwurfskriterien, die durch konventionelle Oberflächen-Mikrobearbeitungsverfahren beeinflusst werden können. Dünnfilmstress und Stressgradienten, die typisch für Polysilizium-Dünnfilme sind, können dazu führen, dass sich die optischen Oberflächen verziehen. Zusätzlich ist die Oberfläche von Polysilizium-Dünnfilmen, so wie sie abgeschieden wird, nicht poliert und erfordert deshalb als Nachbearbeitungstechniken chemisch-mechanisches Polieren (CMP, Chemical Mechanical Polishing), um eine optische Qualität des Oberflächenzustandes zu erhalten.

[0007] J. Kubby beschreibt in "Micro-Opto-Electromechanical Systems Manufacturing", die eine öffentliche Präsentation bei dem 1999 Advanced Technology Progress National Meeting in San José am 15. November 1999 war, einen SCS-SMM-Prozess, der i) ein Polysilizium-Oberflächen-Mikrobearbeitungsverfahren an der Oberseite eines SOI-Wafers implementiert, ii) eine SCS-Geräteschicht des SOI-Wafers für kritische optische, elektrische und mechanische Anwendungen verwendet; und iii) Polysiliziumschichten für nicht-kritische Anwendungen, wie z.B. Gelenke und Führungen verwendet. Dies wird auch in der US 6002507 offenbart.

ZUSAMMENFASSUNG DER ERFINDUNG

[0008] Die vorliegende Erfindung stellt ein Verfahren zur Herstellung mikromechanischer oder mikrooptomechanischer Strukturen gemäß Anspruch 1 bereit.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0009] [Fig. 1](#) veranschaulicht in einer perspektivischen Ansicht eine MEMS-Vorrichtung mit verschiedenen optischen und mechanischen Elementen, die gemäß des Verfahrens der vorliegenden Erfindung gebildet wurden; und

[0010] [Fig. 2](#) ist eine Querschnittsansicht eines Silizium-auf-Isolator (SOI, silicon-on-insulator)-Wafers, in dem MEMS- und MOEMS-Vorrichtungen gemäß der vorliegenden Erfindung erzeugt werden können;

[0011] [Fig. 3–Fig. 18](#) zeigen eine Ausführungsform der Verfahrensschritte, die verwendet werden, um ein MEMS-Gerät, wie das in [Fig. 1](#) abgebildet ist, zu erzeugen.

AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

[0012] Nachfolgend wird eine Ausführungsform des vorliegenden erfinderischen Verfahrens und der Vorrichtung beschrieben. Die Ausführungsform veranschaulicht nur einen von verschiedenen Wegen, mit dem die vorliegende Erfindung ausgeführt werden kann. Obwohl die Ausführungsform in Verbindung mit einem beweglichen Spiegel auf einem Silizium-auf-Isolator (SOI)-Chip beschrieben wird, kann sie leicht auf andere Komponenten angewendet werden. In der Beschreibung, die folgt, repräsentieren die gleichen Bezugszeichen gleiche Elemente oder Schritte in allen Figuren. Zum Beispiel wenn die Nummer **10** in einer Figur dazu verwendet wird, ein bestimmtes Element oder einen Schritt zu bezeichnen, bezeichnet die Nummer **10**, die in jeder anderen Figur erscheint, dasselbe Element.

[0013] [Fig. 1](#) veranschaulicht einige der sehr komplexen mikromechanischen (MEMS) und mikrooptomechanischen (MOEMS) Vorrichtungen, die auf einem Siliziumwafer unter Verwendung der Ausführungsform der vorliegenden Erfindung konstruiert werden können. Die Vorrichtung **200** schließt bewegliche optische Elemente ein, die aus dem Silizium-Einkristall, der über einem Isolator liegt, erstellt wurden, wie z.B. ein Beugungsgitter **202**, ein Gitter **204**, und eine Fresnel-Linse **206**. Aktive elektronische Elemente können auch in der Silizium-Einkristallschicht definiert werden, einschließlich flip-chip-gebondete Licht erzeugende Laserdioden **201**, Licht erfassende Fotodioden **203**, oder konventionelle CMOS-Logikschaltkreise **205**. Volumenmodifizierungen (Bulk modifications), die für die Verpackung oder zur Montage des Substrats erforderlich sind, werden auch möglich, wie z.B. durch die geätzte Aushöhlung **208** veranschaulicht wird, und hinzugefügte Polysiliziumschichten können verwendet werden für mechanische Elemente, wie z.B. ein Gelenk **209**.

[0014] [Fig. 2](#) zeigt eine Ausführungsform eines Silizium-auf-Isolator (SOI)-Wafers **10**, der geeignet ist zur Verwendung in der Ausführungsform des Verfahrens, das hier beschrieben wird. Der SOI-Wafer **10** schließt eine dünne Silizium-Einkristall-Gerätewaferschicht **12** und eine Substratschicht **14** ein. Die Substratschicht **14** ist vorzugsweise Polysilizium. Zwischen diesen beiden Schichten **12** und **14** befindet sich eine Schicht **16** aus vergrabenem Oxid (BOX, buried oxide), das die Geräteschicht **12** und die Substratschicht **14** integral zusammenverbindet. Diese vergrabene Oxidschicht **16** kann auch als Ätzstopp in Nass- und Trockenätzverfahren verwendet werden, um eine dünne Membran zu bilden. Zusätzlich gibt es eine Rückseitenoxidschicht **18** auf der Rückseite der Substratschicht **14**, die verwendet wird, das Herunterätzen auf den Übergang zwischen der Geräteschicht **12** und der Substratschicht **14** von der Rückseite zu kontrollieren. Vorzugsweise ist der Wafer rund mit einem Durchmesser von $100 \text{ mm} \pm 0,5 \text{ mm}$ und einer Dicke von $525 \pm 25 \text{ Mikrometer}$. Die Gesamtdicke des Wafers setzt sich zusammen aus $1 \pm 0,5 \text{ Mikrometer}$ Rückseitenoxid $20,1 \pm 0,05 \text{ Mikrometer}$ vergrabenen Oxids (BOX) und $5 \pm 0,5 \text{ Mikrometer}$ des Silizium-Einkristalls. Der Rest der Dicke besteht aus dem Substrat.

[0015] Vor dem Beginn des Verfahrens wird der Wafer inspiziert, um sicherzustellen, dass er die Hersteller-spezifikationen erfüllt. Wenn er die Spezifikationen erfüllt, wird der Wafer mit einer Lot- und Wafernummer beschriftet, gereinigt, und 2000 Å thermischen Oxids **20** werden auf die Silizium-Einkristallschicht **12** aufgewachsen, um als Ätzstopp in einer späteren Polysilizium-Ätze zu dienen, und um die Dotierung des SCS durch eine spätere Polysilizium-Glasschicht (PSG, polysilicon glass) zu verhindern.

[0016] Die [Fig. 3–Fig. 18](#), die in Verbindung mit den folgenden ausführlichen Schritten **1–84** betrachtet werden, veranschaulichen eine Ausführungsform eines Verfahrens, das auf dem Wafer der [Fig. 2](#) verwendet wird, um das Gitter **204** der Mikrostruktur **200**, die in [Fig. 1](#) dargestellt ist, zu erzeugen. Das Verfahren, das unten veranschaulicht wird, kann auch für andere Typen von Komponenten verwendet werden; alles hängt davon ab, was in den Wafer strukturiert wird. Die Strukturierung der Muster auf dem Wafer wird unter Verwendung von Standard-Fotolithografietechniken, die im Stand der Technik gut bekannt sind, durchgeführt, welche typischerweise die Abscheidung von Schichten des korrekten Materials auf den Wafer, Auftragen von Fotolack auf den Wafer, Belichten des Fotolacks in den zuzufügenden Bereichen (Lichtmaske) oder in den zu entfernenden Bereichen (Dunkelmaske) und dann Durchführung von geeignetem Ätzen umfassen.

Schritt #	Prozess	Kommentare
1.	thermische Oxidation	1000°C, 2000 Å
2.	Fotolithographie Maske #1: Substrat_Kontakt	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm², 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
3.	Oxid ätzen	reaktives Ionen-Ätzen (RIE): CF ₄ , Ätzratenziel: 2500 Å/Minute
4.	Silizium Einkristall (SCS) ätzen	RIE: HBr, Cl ₂ , Ätzratenziel: 5000 Å/Minute
5.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute
6.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
7.	Fotolithographie Maske #2: SCS_Vertiefung	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm², 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
8.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute
9.	SCS ätzen	RIE: HBr, Cl ₂ , Ätzratenziel: 5000 Å/Minute
10.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute
11.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
12.	Polysilizium Abscheidung	LPCVD, 3 µm
13.	Polysilizium Ätzen	RIE: HBr, Cl ₂ , Ätzratenziel: 5000 Å/Minute
14.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute

15.	Fotolithographie Maske #3: SCS_Gitter	<ul style="list-style-type: none"> a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm², 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
16.	SCS ätzen	RIE: HBr, Cl₂, Ätzratenziel: 5000 Å/Minute
17.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
18.	Fotolithographie Maske #4: SCS_Loch	<ul style="list-style-type: none"> a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm², 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
19.	SCS ätzen	RIE: HBr, Cl₂, Ätzratenziel: 5000 Å/Minute
20.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
21.	TEOS Abscheidung	LPCVD, 8 µm
22.	Verdichten	800°C, 1 Stunde
23.	CMP (chemisch-mechanisches Polieren)	bis 2 ± 0,2 µm stehenbleibt
24.	Fotolithographie Maske #5: Anker SCS	<ul style="list-style-type: none"> a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm², 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten

25.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Mi-nute
26.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
27.	Nitridabscheidung	LPCVD, 6000 Å
28.	Fotolithographie Maske #6: Nitrid_Strukt	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm ² , 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
29.	Nitrid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Mi-nute
30.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
31.	Polysiliziumglas abscheiden	LPCVD, 5000 Å
32.	Fotolithographie Maske #7: Poly0_Strukt	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm ² , 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
33.	Abziehen des Rückseiten-Polysi-liziums	RIE: SF ₆ , O ₂
34.	Polysilizium ätzen	RIE: HBr, Cl ₂ , Ätzratenziel: 5000 Å/Minute
35.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
36.	Polysiliziumglas (PSG) abschei-den	PECVD, 2 µm

37.	Fotolithographie Maske #8: Poly1_Vertiefung	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm², 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
38.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute
39.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
40.	Fotolithographie Maske #9: PSG1_Loch	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm², 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
41.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute
42.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
43.	Polysiliziumglas abscheiden	LPCVD, 2 µm
44.	PSG abscheiden	PECVD, 2000 Å
45.	Tempern (annealen)	1000°C, 1 Stunde
46.	Abziehen des Rückseiten-Polysiliziums	RIE: SF ₆ , O ₂
47.	Fotolithographie Maske #10: Poly1_Strukt	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm², 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten

48.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute
49.	Polysilizium ätzen	RIE: HBr, Cl ₂ , Ätzratenziel: 5000 Å/Minute
50.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
51.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute
52.	Oxid abscheiden	PECVD, 7500 Å
53.	Fotolithographie Maske #11: PSG2_Loch	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm ² , 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
54.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute
55.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
56.	Fotolithographie Maske #12: PSG2_PSG2_Loch	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm ² , 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
57.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute
58.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
59.	Polysiliziumglas abscheiden	LPCVD, 1,5 µm
60.	Oxid abscheiden	PECVD, 2000 Å
61.	Tempern (annealen)	1000°C, 1 Stunde

62.	Fotolithographie Maske #13: Poly2_Strukt	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm ² , 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
63.	Abziehen des Rückseiten-Polysiliziums	RIE: SF ₆ , O ₂
64.	Oxid ätzen	RIE: CF ₄ , Ätzrateziel: 2500 Å/Minute
65.	Polysilizium ätzen	RIE: HBr, Cl ₂ , Ätzrateziel: 5000 Å/Minute
66.	Oxid ätzen	RIE: CF ₄ , Ätzrateziel: 2500 Å/Minute
67.	Photolack abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
68.	Oxid ätzen	RIE: CF ₄ , Ätzrateziel: 2500 Å/Minute
69.	Fotolithographie Maske #14: SCS_Freilegen	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm ² , 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
70.	Oxid ätzen	HF
71.	Fotolithographie Maske #15: Dick_Metall	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm ² , 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
72.	Metall aufdampfen	Cr/Au: 300 Å/5000 Å

73.	Lift off	Hot 1112A
74.	Fotolithographie Maske #16: Dünn_Metall	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm ² , 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
75.	Metall aufdampfen	Cr/Au: 200 Å/300 Å
76.	Lift off	Hot 1112A
77.	Fotolithographie Maske #17: Rückseite	a) Ausheizen bei 110°C, 15 Minuten b) HMDS, 5.OK, 30 Sekunden c) AZ1813, 4.OK, 30 Sekunden, 1.3 µm d) sanft Ausheizen bei 90°C, 30 Minuten e) Belichten, 5.0 mW/cm ² , 12 Sekunden f) Entwickeln MF 319, 1.1 Minuten g) Spülen, DI Wasser, 4 Minuten h) Spin-Trocknen i) intensiv Ausheizen bei 110°C, 30 Minuten
78.	Nitrid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute
79.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute
80.	Vorderseite schützen	Spin-On Beschichten (propriétär)
81.	Photolack (Rückseite) abziehen	Hot PRS2000, 20 Minuten Spülen, DI Wasser, 5 Minuten Spin-Trocknen
82.	KOH ätzen	45%, 65–85°C
83.	Nitrid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute
84.	Oxid ätzen	RIE: CF ₄ , Ätzratenziel: 2500 Å/Minute

[0017] [Fig. 3](#) veranschaulicht den Wafer nach Abschluss von Schritt 6. Substratkontaktlöcher **22** mit ungefähr 4 Mikrometer Breite werden auf die SCS-Schicht **12** des Wafers strukturiert. Reaktives Ionenätzen (RIE) des thermischen Oxids **20** wird durchgeführt, und die SCS-Schicht **12** wird durch das vergrabene Oxid **16** geätzt, ebenso unter Verwendung des reaktiven Ionenätzens. Der Photolack, der verwendet wurde, um die Löcher **22** zu strukturieren, wird zurückgelassen, um den Rest des Oxids **20** zu schützen, und eine RIE-Ätze des freigelegten vergrabenen Oxids **16** um 1 Mikrometer nach unten wird durchgeführt. Dadurch wird die BOX-Schicht **16** weggeätzt und hinterlässt die Substratschicht **14** am Boden der Kontaktlöcher **22** freigelegt.

[0018] [Fig. 4](#) veranschaulicht den Zustand des Wafers nach Abschluss des Schrittes 14. SCS-Vertiefungslö-

cher **24** mit 4 Mikrometer Breite werden auf der SCS-Schicht **12** strukturiert und eine RIE-Ätze des thermischen Oxids **20** wird durchgeführt, gefolgt von einer RIE-Ätze der SCS-Schicht **12** durch die BOX-Schicht **16**. Der Fotolack wird zurückgelassen, um den Rest des thermischen Oxids **20** zu schützen und eine RIE-Ätze der freigelegten BOX-Schicht **16** wird durchgeführt, bis ungefähr die Hälfte der Dicke der BOX-Schicht weggeätzt ist. Der Fotolack wird entfernt Polysilizium **26** wird abgeschieden, um die Vertiefung **24** und die Substrat-Kontaktlöcher **22** zu füllen. In dieser Ausführungsform sollten 2,5 Mikrometer Polysilizium ausreichen, da die Vertiefungen **24** und die Substratlöcher **22** 4 Mikrometer breit sind. Das Polysilizium **26** wird mit RIE unter Verwendung des thermischen Oxids **20** als Ätzstopp geätzt. Dies entfernt das Polysilizium **26** überall, außer in der Vertiefung und den Substrat-Kontaktlöchern wo die Dicke des Polysiliziums geringer ist als auf dem Rest des Wafers, abhängig von dem Betrag des Polysilizium-Überätzens.

[0019] [Fig. 5](#) veranschaulicht den Zustand des Wafers nach Abschluss des Schrittes **17**. Ein Muster in Form eines Gitters **28** wird zuerst auf der SCS-Schicht **12** angelegt. Das Gitter **28** muss in dieser frühen Verarbeitungsstufe an den Wafer angelegt werden. Optimale Fokussierung der angelegten Maske ist notwendig, da der Linienabstand des Gitters in derselben Größenordnung liegt wie die Wellenlänge des Lichts, was bedeutet, dass die Auflösung so gut wie möglich sein muss. Um einen optimalen Fokus sicherzustellen, muss das Gitter **28** an dem Wafer angelegt werden, wenn es noch wenig oder keine Topographie gibt, die bereits ausgebildet ist. Dies stellt sicher, dass es keine Probleme gibt mit der Tiefe des Fokus, der die Qualität des sich ergebenden Gitters beeinflussen würde. Zusätzlich stellt das Anlegen des Gitters, während es minimale Topografie auf dem Wafer gibt, sicher, dass es keine nachteiligen Effekte von Schatten gibt, die von vorhandenen topografischen Merkmalen geworfen werden. Ist das Gitter **28** einmal auf dem Wafer strukturiert, wird eine schnelle RIE-Oxidätze durchgeführt, um das thermische Oxid **20** zu entfernen, gefolgt von einer 3 Mikrometer RIE-Ätze der SCS-Schicht **12**. Der Fotolack, der verwendet wird, um das Gitter **28** anzulegen, wird dann entfernt.

[0020] Verschiedene Typen von Gitter **28** können auf der SCS-Schicht **12** angelegt werden; der exakte Gittertyp hängt von der Anwendung der besonderen mikromechanischen oder mikrooptomechanischen Vorrichtung ab. Beispiele für Gitter schließen ein Fresnel-Muster, das für reflektive optische Anwendungen nützlich ist, ein einheitliches Quadratgitter, das für Lichtfrequenzauftrennung in Anwendungen, wie z.B. einem Spektrumanalysator nützlich ist, und ein Gitter mit variablem Abstand ein, wobei Liniensätze in dem Gitter in variablen Schrittweiten beabstandet sind, um eine bessere spektrale Abdeckung von bestimmten Wellenlängen zu erreichen und um die optische Leistung zu verbessern. Unterschiedliche Gitter können auch verwendet werden für andere optische Zwecke, wie z.B. einem Kristallozillator, der die Resonanz, basierend auf Oberflächeneffekten, ändert, oder für nicht-optische Zwecke, wie z.B. chemische oder biologische Sensoren, wobei das Gitter den verfügbaren Oberflächenbereich für chemische oder biologische Bindungen erhöht.

[0021] [Fig. 6](#) veranschaulicht den Wafer nach Abschluss des Schrittes **23**. Die SCS-Schicht **12** wird mit voll-tiefen Merkmalen **30** strukturiert, und eine schnelle RIE-Ätze wird durchgeführt, um das thermische Oxid **20** zu entfernen. Eine Chlor-basierende RIE-Ätze wird auf dem Weg durch die SCS-Schicht **12** durchgeführt unter Verwendung der BOX-Schicht **16** als ein Ätzstopp. 0,2 Mikrometer eines nicht-dotierten, chemischen Niederdruck-Dampfabscheidungsoxids (LPCVD) (nicht gezeigt) werden abgeschieden, um die Seitenwände der voll-tiefen Merkmale **30** zu schützen. Sechs (6) Mikrometer Planarisierungsoxid (POX) **32** werden abgeschieden, so dass der Wafer nach späterem chemischem, mechanischem Polieren (CMP, chemical mechanical polishing) flach ist; das Planarisierungsoxid **32** ist vorzugsweise Borpolysilikatglas (BPSG) oder thermisch gestütztes Oxid (TEOS, thermally enhanced oxide). Eine zeitlich festgelegte chemisch-mechanische Politur des POX **32** wird durchgeführt, bis $2 \pm 0,2$ Mikrometer des Planarisierungsoxids **32** auf der SCS-Schicht **12** übrig bleiben.

[0022] [Fig. 7](#) veranschaulicht den Wafer nach Abschluss des Schrittes **27**. Ein Paar Löcher **34** werden in die POX-Schicht **32** strukturiert und eine RIE-Ätze wird durchgeführt, um das Muster in das POX **32** und nach unten auf die SCS-Schicht zu übertragen. Der Fotolack wird entfernt und eine Nitridschicht **36** mit einer Dicke von 0,6 Mikrometer wird über LPCVD abgeschieden. Eine zweite Nitridschicht **38** wird auch auf der Rückseite des Wafers für eine Extraselektivität während einer späteren Kaliumhydroxid-(KOH)-Ätze abgeschieden.

[0023] [Fig. 8](#) veranschaulicht den Wafer nach Abschluss des Schrittes **31**. Der Lack auf dem Vorderseitenmuster wird mit Nitridstrukturen strukturiert und das Muster wird auf die Vorderseiten-Nitridschicht **36** unter Verwendung einer RIE-Ätze übertragen. Eine Schicht mit LPCVD-Polysilizium **40** wird auf der Vorderseite abgeschieden und eine ähnliche Schicht **42** wird auf der Rückseite des Wafers aufgetragen; beide Schichten besitzen eine Dicke von 0,5 µm.

[0024] [Fig. 9](#) veranschaulicht den Wafer nach Abschluss des Schrittes **36**. Die Vorderseite des Wafers wird

mit Polysiliziumstrukturen **44** strukturiert und dann RIE geätzt, um das Muster auf die Polysiliziumschicht **40** zu übertragen. Der Fotolack wird beibehalten, der Wafer umgedreht und eine andere Schicht Polysilizium (nicht gezeigt) wird auf der Rückseite abgeschieden und RIE geätzt. Der Wafer wird wieder umgedreht und der Vorderseitenlack wird entfernt, der als eine Schutzschicht für die Vorderseite diente, als er umgedreht war. Eine Schicht PECVD-Polysiliziumglas (PSG) **46** wird auf die Vorderseite des Wafers hinzugefügt und auf 2 Mikrometer verdichtet.

[0025] [Fig. 10](#) veranschaulicht den Wafer nach Schritt **46**. Löcher **48** werden in die PSG-Schicht **46** strukturiert und eine RIE-Ätze wird durchgeführt, um das Muster auf die PSG-Schicht zu übertragen unter Verwendung der Polysiliziumschicht **40** als ein Ätzstopp. Der Fotolack wird entfernt und eine Vorderseitenschicht **50** und eine Rückseitenschicht **52** von LPCVD-Polysilizium mit 2 Mikrometer Dicke werden abgeschieden, gefolgt von einer Abscheidung von 0,2 Mikrometer von PECVD-Polysiliziumglas (PSG) (nicht gezeigt), und der Wafer wird bei 1000°C für eine Stunde temperaturbehandelt, um die Polysiliziumschichten **50** und **52** zu dotieren und den Stress zu reduzieren.

[0026] [Fig. 11](#) veranschaulicht den Wafer nach Abschluss des Schrittes **52**. Die PSG-Schicht **46** wird mit Polysiliziumstrukturen **56** strukturiert und eine RIE-Ätze wird durchgeführt, um das Muster auf eine PSG-Hartmaske zu übertragen, gefolgt von einer RIE-Ätze, um das Muster auf die Polysiliziumschicht **50** zu übertragen. Der Lack wird beibehalten und der Wafer wird umgedreht und RIE geätzt, um das Rückseiten-Polysilizium **52** zu entfernen unter Verwendung des Vorderseitenlacks und der Hartmaske, um die Vorderseite zu schützen. Danach wird der Wafer wieder umgedreht, der Fotolack entfernt, und die Hartmaske wird mit einer RIE-Ätze entfernt, was alles freiliegendes Oxid um ungefähr 0,3 Mikrometer verdünnt. Eine Schicht aus PECVD-Polysiliziumglas (PSG2) **54** wird abgeschieden und auf 0,75 Mikrometer verdichtet.

[0027] [Fig. 12](#) veranschaulicht den Wafer nach Abschluss des Schrittes **55**. Löcher **58** werden in die PSG2-Schicht **54** strukturiert und eine RIE-Ätze wird durchgeführt, um das Muster auf das PSG zu übertragen unter Verwendung der Polysiliziumschicht als Ätzstopp. Der Fotolack wird dann entfernt.

[0028] [Fig. 13](#) veranschaulicht den Wafer nach Abschluss des Schrittes **68**. Die thermische Oxidschicht **20** wird mit Polysiliziumstrukturen strukturiert und eine RIE-Ätze wird durchgeführt, um das Muster auf die PSG-Hartmaske zu übertragen. Eine RIE-Ätze wird durchgeführt, um das Muster auf das Polysilizium **54** zu übertragen. Der Wafer wird umgedreht und eine RIE-Ätze wird durchgeführt, um das Rückseiten-Polysilizium zu entfernen unter Verwendung des Vorderseitenlacks und der Hartmaske, um die Vorderseite zu schützen. Der Lack wird entfernt und die Hartmaske wird mit einer RIE-Ätze entfernt.

[0029] [Fig. 14](#) veranschaulicht den Wafer nach Abschluss des Schrittes **70**. Bereiche auf der Vorderseite, wo das POX **32** entfernt werden sollte, werden strukturiert. Diese Schicht sollte nur in Bereichen verwendet werden, wo kein Polysilizium oder Metall vorhanden ist, da diese als Ätzstopps für die darauffolgenden Ätzvorgänge wirken würden. Ein Nassätzschritt wird durchgeführt, um die thermische Oxidschicht **20** zu entfernen, wodurch ausgewählte Bereiche der SCS-Schicht **12** freigelegt werden. Die Designer müssen vorsichtig sein, dass die nebenan liegenden Strukturen nicht durch die Flusssäure (HF)-Ätze beschädigt werden. Polysiliziumschichten, die vorher auf der SCS-Schicht zugefügt wurden, können weggeätzt werden, ohne dass etwas von der SCS-Schicht geätzt wird, da die SCS-Schicht **12** selbst einen Ätzstopp erzeugt.

[0030] Das Freilegen von ausgewählten Bereichen der SCS-Schicht an diesem Punkt in dem Verfahren erlaubt es, dass mechanische, elektrische und optische Strukturen direkt auf den ausgewählten Bereichen aufgebaut werden, nachdem andere wichtige strukturelle (d.h. nicht zu opfernde) Merkmale auf der SCS ausgebildet wurden. Diese mechanischen, elektrischen und optischen Strukturen sind so besser in der Lage, die Vorteile der nützlichen Eigenschaften der SCS-Schicht zu nutzen. In der gezeigten Ausführungsform wird eine Metallschicht **60** direkt auf das Gitter **28**, das vorher in die SCS-Schicht **12** (siehe [Fig. 15](#)) geätzt wurde, aufgetragen. Das Auftragen der Metallschicht **60** wandelt das Gitter **28** in ein reflektierendes Gitter um. Ähnlich können Metallelemente auf die SCS-Schicht aufgetragen werden, um elektrischen Strom zu leiten, isolierende Elemente können auf das SCS unter Verwendung von Nitrid- oder Oxidschichten aufgebaut werden, oder es können Elemente auf die SCS-Schicht aufgebaut werden, die sowohl leitende als auch isolierende Teile umfassen.

[0031] [Fig. 15](#) veranschaulicht den Wafer beim Abschluss des Schrittes **76**. Ein Fotolack wird für eine Lift-Off-Metallisierung strukturiert und 0,5 Mikrometer des Metalls **60** werden auf dem Gitter **28** auf der Vorderseite der SCS-Schicht **12** abgeschieden. Der Lack wird abgehoben und entfernt dabei das Metall in diesen Bereichen. Ein Muster wird aufgetragen mit Bereichen, wo Metall entfernt werden soll und 200 Å Chrom (Cr) werden auf der Vorderseite des Gitters **28** abgeschieden, gefolgt von 300 Å Gold (Au). In diesem Fall erhöht das

Gold die Reflektivität des Gitters und aufgrund dessen, wie es aufgetragen wurde, glättet es auch die Ränder des Gitters. Andere Metalle mit der erforderlichen Reflektivität können auch auf dem Gitter **28** verwendet werden; Beispiele schließen Aluminium (Al) und Platin (Pt) ein. Der Lack und der Metallbeschichtungslack werden dann entfernt.

[0032] [Fig. 16](#) veranschaulicht den Wafer nach Abschluss des Schrittes **84**. Die Rückseiten-Nitrid/Oxidschicht **38** wird mit Löchern strukturiert, die so in der Größe ausgelegt sind, dass KOH in der gewünschten Tiefe ätzt. Die Unbestimmtheit der Waferdicke beeinflusst die Größe der Löcher, die auf der anderen Seite des Wafers entstehen. Das Muster wird auf die Nitridschicht **38** mit einer RIE-Ätze übertragen und dasselbe Muster wird auch auf die Oxidschicht **18** mit einer RIE-Ätze übertragen. Eine KOH-Ätze durch den Wafer hindurch wird durchgeführt, während die Vorderseite mit einer abgeschiedenen Schicht geschützt wird. Wenn eine Beschichtung verwendet wird, sollte sie für den nächsten Schritt zurückbleiben, die das Entfernen des Rückseitennitrid-Oxids unter Verwendung einer Nitrid-RIE-Ätze und dann einer Oxid-RIE-Ätze beinhaltet, die das freigelegte, vergrabene SCS ablöst. Die Schutzschicht, die möglicherweise von dem letzten Schritt vorhanden ist, wird die Vorderseite schützen. Rückseitenätzten des Wafers **10** ist in diesem Verfahren möglich, wegen der Verwendung von verschiedenen Materialien für die Substratschicht **14** (die aus Polysilizium gemacht ist) und der Geräteschicht **12** (die aus Silizium-Einkristall gemacht ist). Dies ermöglicht es, dass das Substrat weggeätzt wird, ohne dass die Rückseite der Geräteschicht weggeätzt wird, und erlaubt es, dass beide Seiten der Geräteschicht verwendet werden, um verschiedene mechanische und optische Komponenten herzustellen, wie z. B. der gezeigte zweiseitige Spiegel.

[0033] Um das zweiseitige Gitter **204** herzustellen, wird eine Deckschicht aus 0,1 Mikrometer Metall **62** auf der Rückseite des Wafers abgeschieden, um die Rückseite des Spiegels zu metallisieren. Das Metall wird auf die Rückseite des Wafers gesputtert; geeignete Metalle für die Metallisierung der Rückseite schließen all die Metalle ein, die für die Vorderseitenschicht **60** verwendet wurden. Wenn die Komponente, deren Rückseite metallisiert werden soll, Löcher hat, die durch die Geräteschicht hindurchgehen, muss das Rückseitenmetall sorgfältiger abgeschieden werden, um sicherzustellen, dass das Metall nicht durch die Löcher fließt und die Qualität der vorderen Oberfläche des Gerätes ruiniert. Dies ist bei optischen Komponenten besonders wichtig, wo die Vorderseitenfläche eine nahezu perfekte optische Qualität aufweisen muss und wo kein Durchfluss von der Rückseite zur Vorderseite toleriert werden kann. Ein effektiver Weg, dieses Problem des Metallflusses durch die Vorderseitenfläche anzusprechen, ist es, den Wafer zu kippen, während das Metall auf die Rückseite gesputtert wird; dies verhindert den Durchfluss des Metalls. Alle freigelegten Löcher in der SCS-Schicht **12** müssen klein gehalten werden (ungefähr 2 Mikrometer) um zu vermeiden, dass gesputtertes Metall den ganzen Weg durch den Wafer wandert. Dieselbe Technik kann verwendet werden, wenn Metall auf die Vorderseite des Wafers gesputtert wird, wenn eine zweiseitige optische Komponente benötigt wird.

[0034] Die Metallisierung der Rückseite einer Komponente, wie z.B. das Gitter **204**, hat verschiedene Vorteile. Unter anderem hilft die Rückseitenmetallisierung beim Ablösen der Komponente, wenn sie fertig ist. Wenn sie auf einem einseitigen optischen Gerät, wie z.B. einem Spiegel, verwendet wird, reduziert die Rückseitenmetallisierung die Transmission von Licht durch den Spiegel. Die Rückseitenmetallisierung hilft auch sicherzustellen, dass der ganze Reststress in dem Spiegel ausgeglichen wird, so dass das Gitter **204** nicht gestört wird. Schließlich erlaubt die Rückseitenmetallisierung die Fertigung von zweiseitigen optischen Komponenten.

[0035] Die [Fig. 17](#) und [Fig. 18](#) veranschaulichen den Wafer nach Abschluss des Verfahrens, nachdem das Gitter **204**, das in den Wafer eingebaut wurde, herausgelöst wurde. Das Herauslösen kann durch irgendeines von verschiedenen Verfahren, einschließlich Standard-MUMPS-Verfahren durchgeführt werden, das einschließt (1) Abstreifen des Fotolacks durch Tränken in Aceton für 20 bis 30 Minuten unter sanfter Bewegung, (2) Ätzen in 49 % reiner HF für 2 1/2 bis 3 Minuten und Spülen in deionisiertem Wasser für 10 Minuten, oder (3) Spülen in IPA für 5 Minuten und Ausheizen des Chips bei 100 bis 110°C für 10 bis 15 Minuten.

[0036] Da die Herstellungstechnologie, die verwendet wird, um mikrooptoelektronische (MOEMS) Komponenten herzustellen, zu Herstellungshindernissen in den Dünnschicht-eigenschaften führen kann, die mit dem Verfahren zusammenhängen, schließt die vorliegende Erfindung einen Herstellungsprozess für mikrooptoelektronische Systeme ein, der es ermöglicht, Hindernisse in der optomechanischen Eigenschaften der Dünnschichtstrukturen zu überwinden. Die Schlüsselneuerung, diese Dünnschicht-eigenschaften zu überwinden, ist, Silizium auf Isolator-(SOI)-Wafer als Startsubstrat in einem Oberflächen-Mikrobearbeitungsverfahren (siehe [Fig. 1](#)) zu verwenden. SOI ist eine gattungsmäßige Bezeichnung, die sich auf eine Struktur bezieht, in der eine Siliziumschicht durch ein dielektrisches Material unterstützt ist. In dieser Ausführungsform weist eine Siliziumgeräteschicht, die auf einem konventionellen Siliziumträgerwafer gebondet ist, eine SiO₂-Dünnschicht an seiner Schnittstelle auf. Dies erlaubt es, kritische optische und elektronische Komponenten in einer

Silizium-Einkristall-Geräteschicht herzustellen, die von dem Trägerwafer durch Ätzen des Oxids an der Schnittstelle zwischen der Geräteschicht und dem Substrat abgelöst werden kann.

[0037] Die Oxidschicht an der Schnittstelle kann auch verwendet werden als Rückseitenätz stoppschicht zum Ablösen optischer Komponenten, wie z. B. einem Spiegel, der keine Ätzlöcher enthalten darf. Die Geräteschicht hat eine benutzerspezifische Dicke, die geeignet ist für eine gegebene Anwendung und hat ausgezeichnete und reproduzierbare elektrische und Dünnfilmeigenschaften. Sowohl die Rückseite als auch die Vorderseite der Geräteschicht wird poliert und solche optische Elemente, die in dieser Schicht hergestellt wurden, erfordern keine zusätzlichen Nachbearbeitungstechniken durch chemisch-mechanisches Polieren (CMP), um einen Oberflächenzustand in optischer Qualität zu erreichen. Da die Geräteschicht Silizium-Einkristall ist, weist sie keinen intrinsischen Stress oder Stressgradienten bei Abwesenheit von Dünnfilmbeschichtungen auf. Da sie dicker gemacht werden können als konventionelle, mit chemischer Dampfabscheidung (CVD) abgeschiedene Dünnfilme, haben optische Komponenten, die in dieser Schicht hergestellt wurden, minimale Störungen, nachdem Dünnfilme abgeschieden wurden, wie z.B. Aluminium, um die Oberflächenreflektivität zu erhöhen, oder dielektrische Dünnfilme, um die Oberflächenreflektivität zu vermindern. Die zusätzliche Dicke ist auch wichtig, Störungen für dynamisch angetriebene optische Elemente zu minimieren.

Patentansprüche

1. Verfahren zur Herstellung einer mikromechanischen oder mikrooptomechanischen Struktur (**200**), die folgende Schritte umfasst:

Strukturieren und Ätzen einer Struktur an einer Stirnfläche einer Einkristallsiliziumschicht (**12**), die durch eine Isolierschicht (**16**) von einer Substratschicht (**14**) getrennt ist, worin die Struktur (**28**) Merkmale mit Abmessungen in der Größenordnung der Wellenlänge von Licht einschließt, und worin die Strukturen (**28**) gebildet werden, bevor irgend eine andere Struktur auf der Einkristallsiliziumschicht (**12**) gebildet wird;

Strukturieren und Ätzen von mindestens einer Komponente (**204**) der mikromechanischen oder mikrooptomechanischen Struktur in der Einkristallsiliziumschicht (**12**);

Abscheiden und Ätzen einer Polysiliziumschicht (**40**) über der Einkristallsiliziumschicht (**12**), wobei das Polysilizium beibehalten wird, das mechanische oder optische Elemente der Struktur bildet; und Lösen der gebildeten Struktur.

2. Verfahren nach Anspruch 1, worin die Strukturierung und das Ätzen einer Struktur (**28**) auf einer Stirnfläche der Einkristallsiliziumschicht folgendes umfasst:

photolithographisches Definieren der Struktur auf einer Stirnfläche der Einkristallsiliziumschicht (**12**); und Bedecken der Struktur mit einer schützenden Oxidschicht (**32**).

3. Verfahren nach Anspruch 2, das weite hin die Entfernung der Schutzschicht (**32**) des Oxis umfasst, nachdem die mechanischen oder optischen Elemente aus Polysilizium ausgebildet wurden.

4. Verfahren nach Anspruch 1, worin die Struktur (**28**) ein optisches Gitter ist

5. Verfahren nach Anspruch 4, worin das optische Gitter aus der Gruppe bestehend aus einem optischen Fresnel-Gitter, einem regelmäßigen optischen Gitter und einem proportional beabstandeten optischen Gitter ausgewählt wird.

6. Verfahren nach Anspruch 4, das weiterhin das Aufbringen einer Beschichtung auf die Struktur (**60**) umfasst.

7. Verfahren nach Anspruch 6, worin die Beschichtung (**60**) ein Metall ist, das aus der Gruppe bestehend aus Gold, Aluminium, Chrom und Platin ausgewählt wird.

8. Verfahren nach Anspruch 1, worin das Ätzen des Einkristallsiliziums (**12**) weiterhin den Schritt des photolithographischen Strukturierens und Trockenätzens der Einkristallsiliziumschicht umfasst.

9. Verfahren nach Anspruch 1, worin die Isolierschicht (**16**) eine Oxidschicht ist.

Es folgen 7 Blatt Zeichnungen

Anhängende Zeichnungen

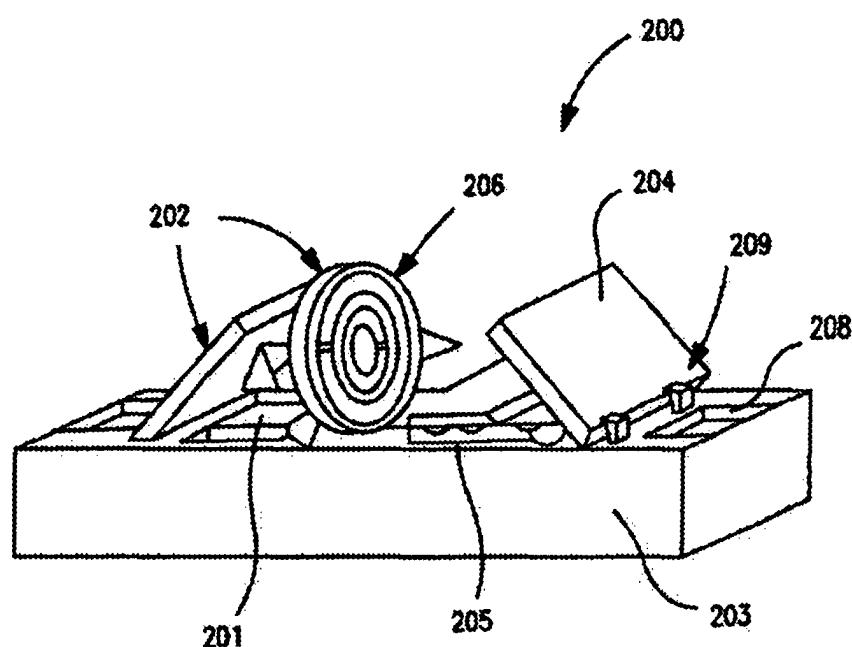


FIG. I

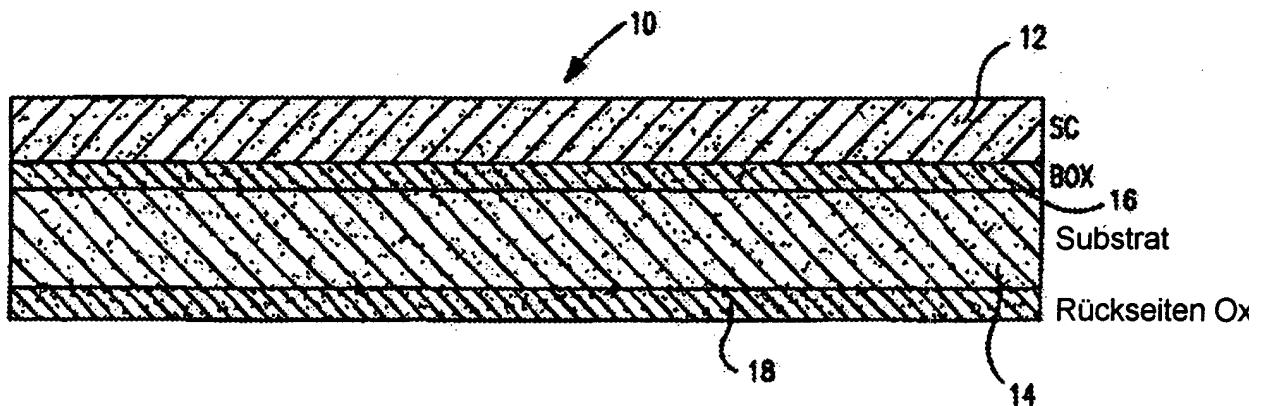


FIG. 2

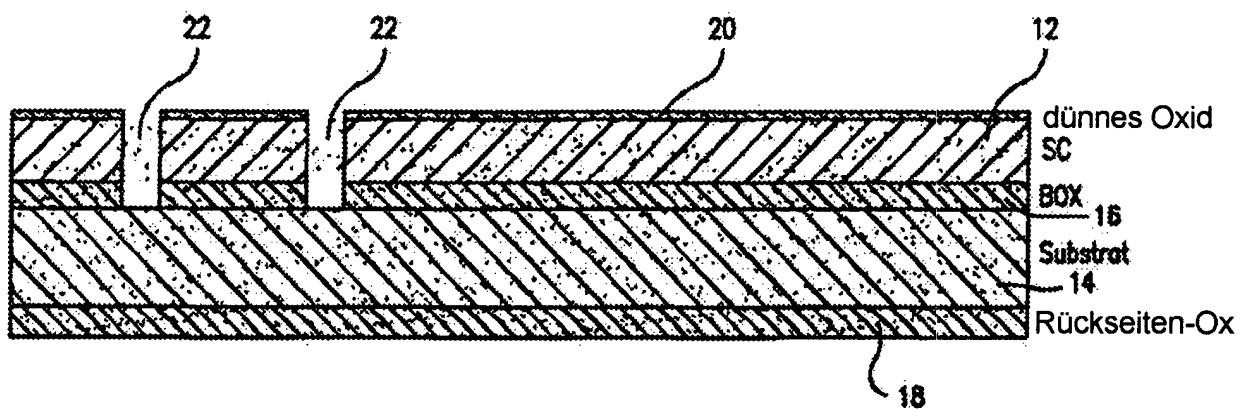


FIG. 3

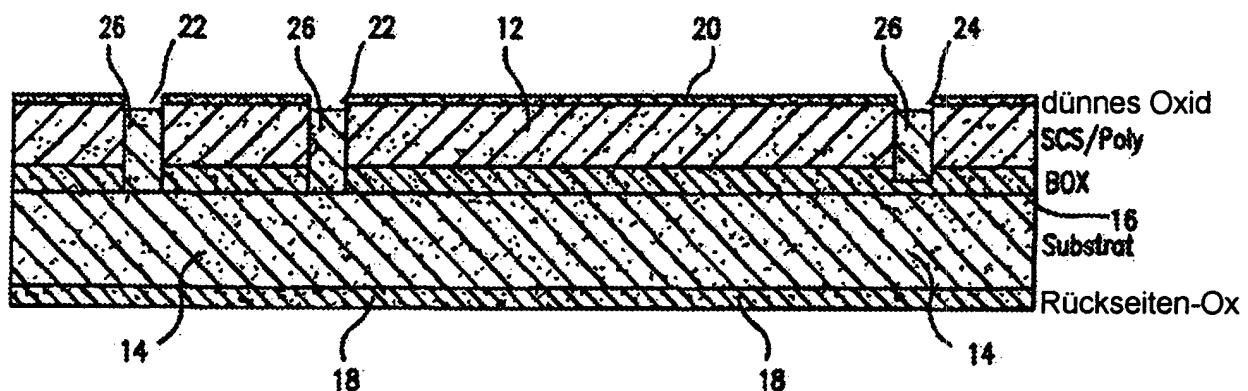


FIG. 4

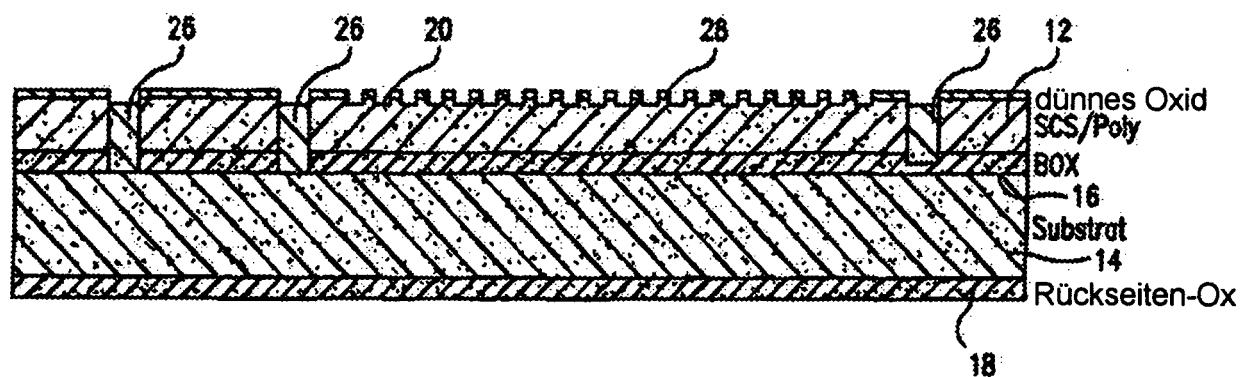


FIG. 5

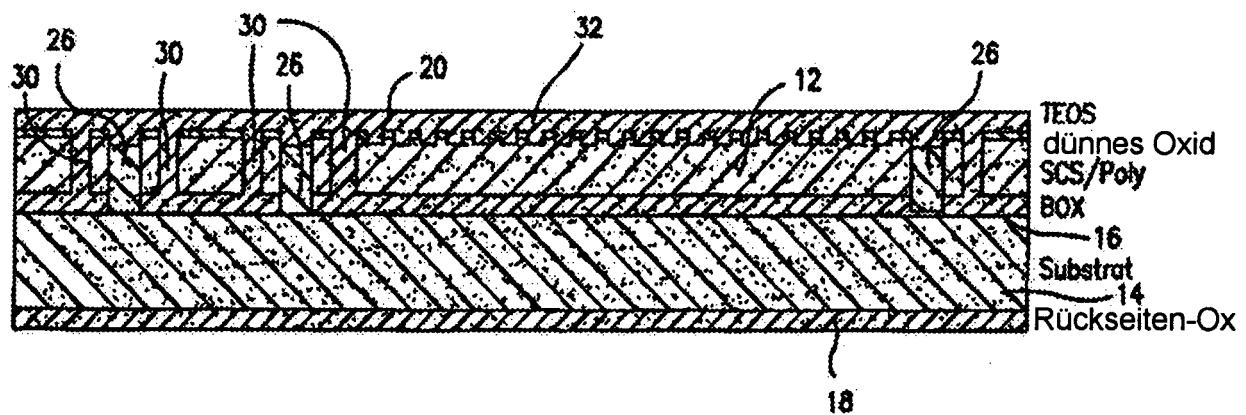


FIG. 6

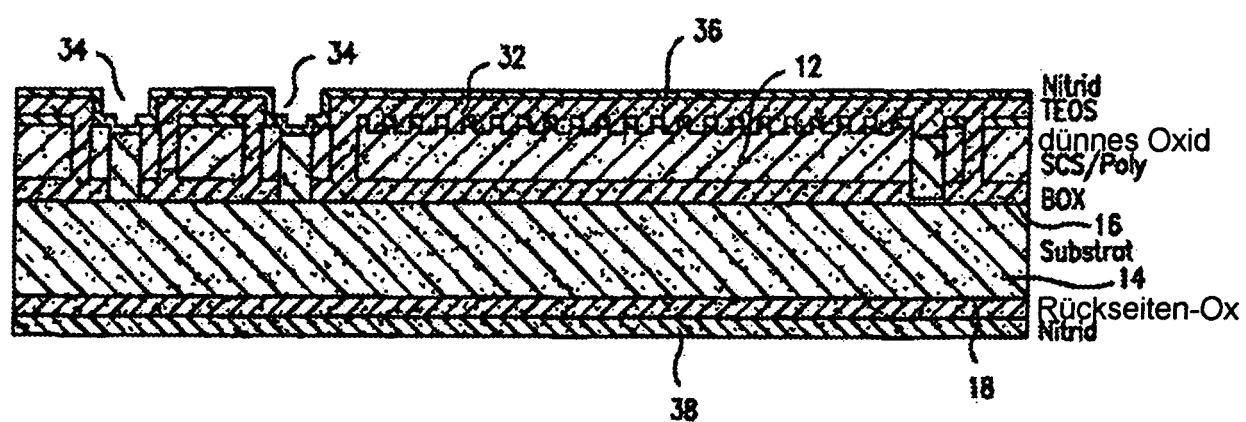


FIG. 7

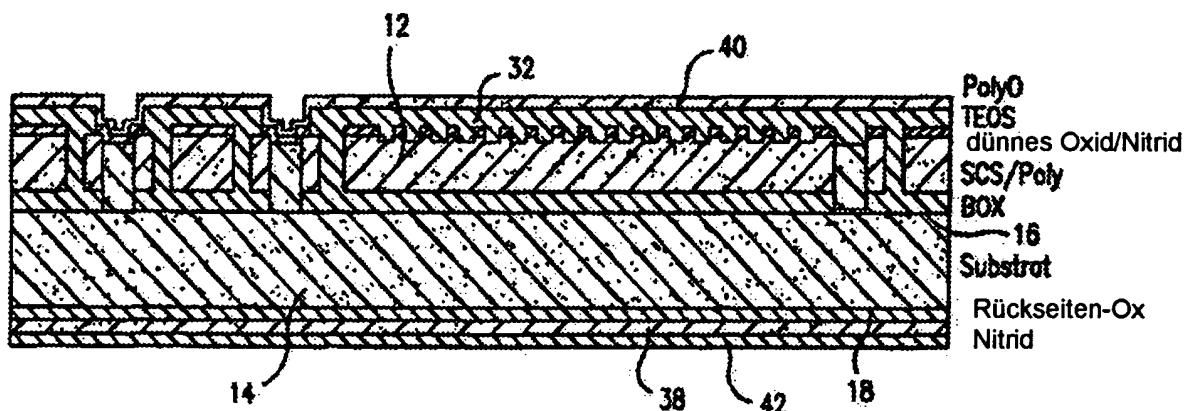


FIG. 8

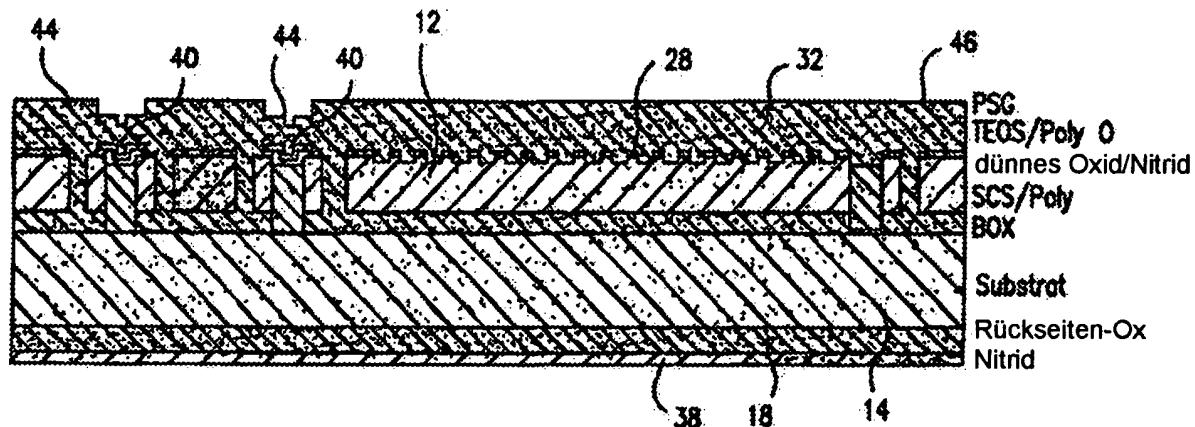


FIG. 9

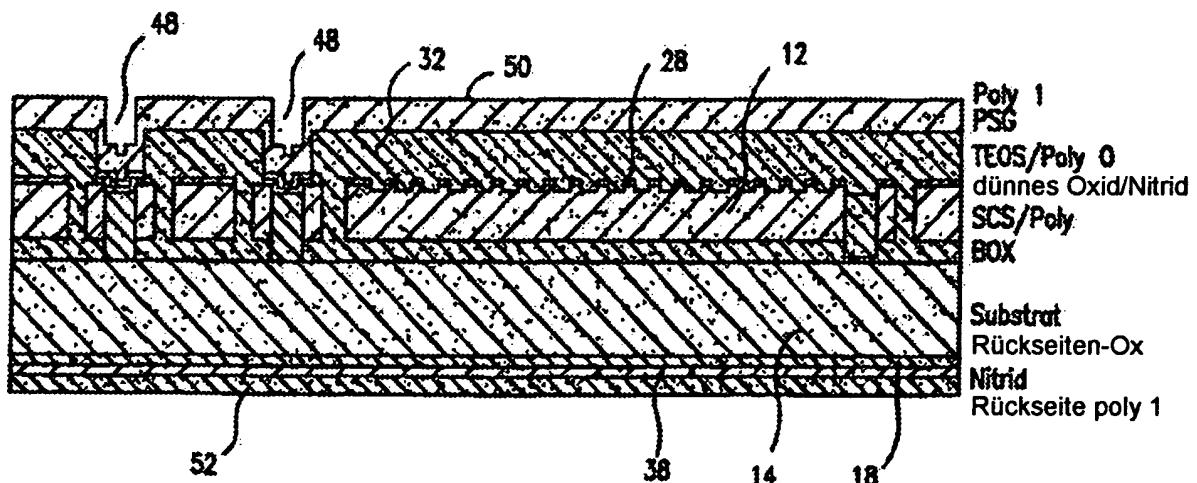
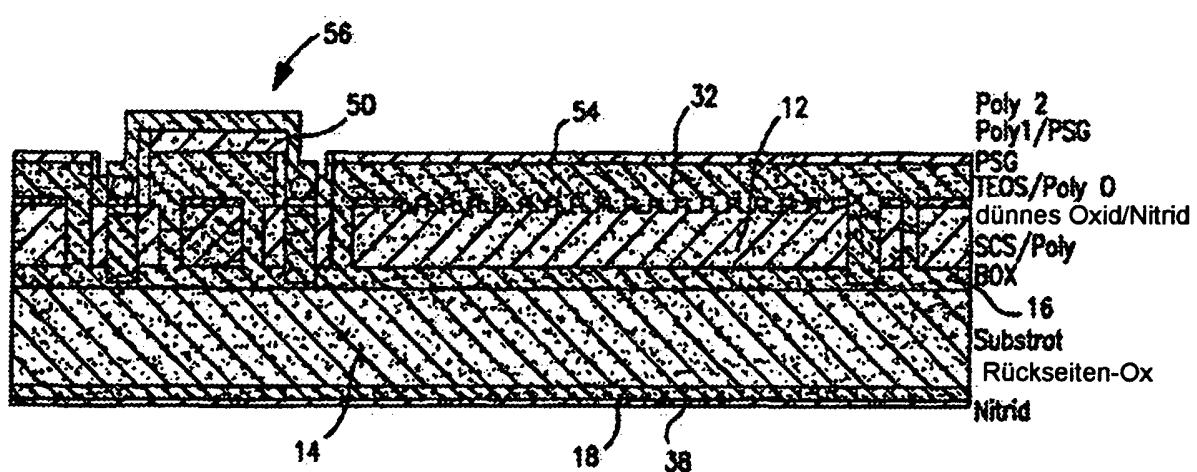
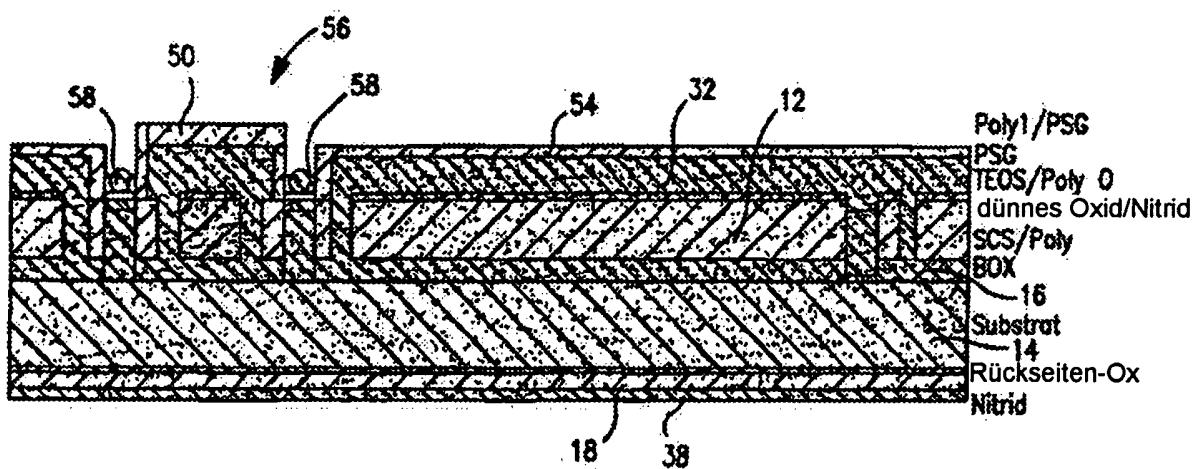
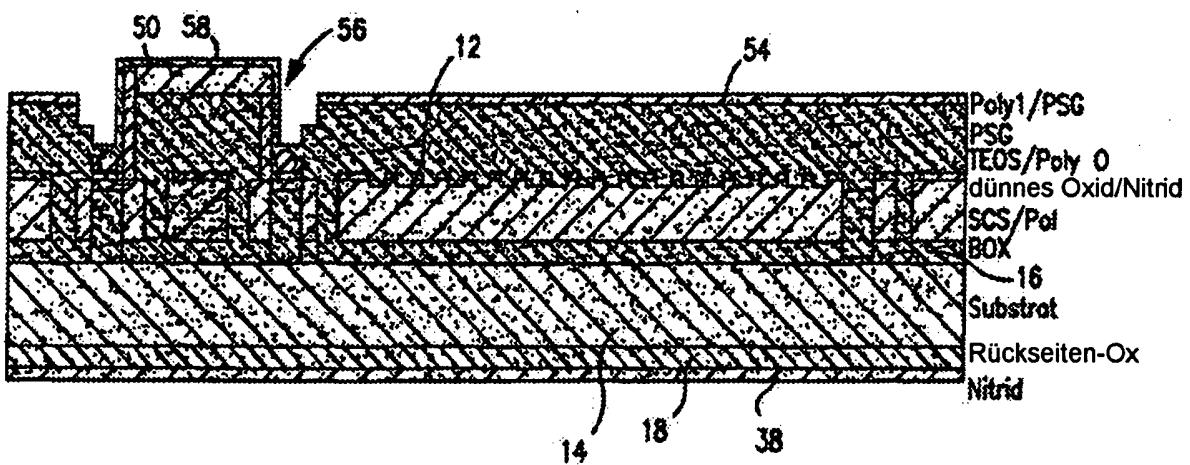


FIG. 10



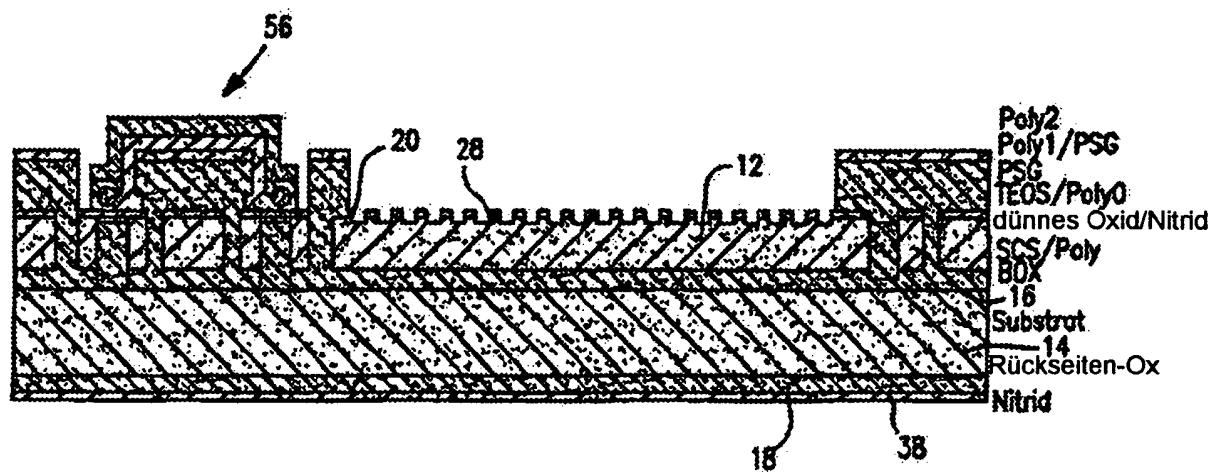


FIG. 14

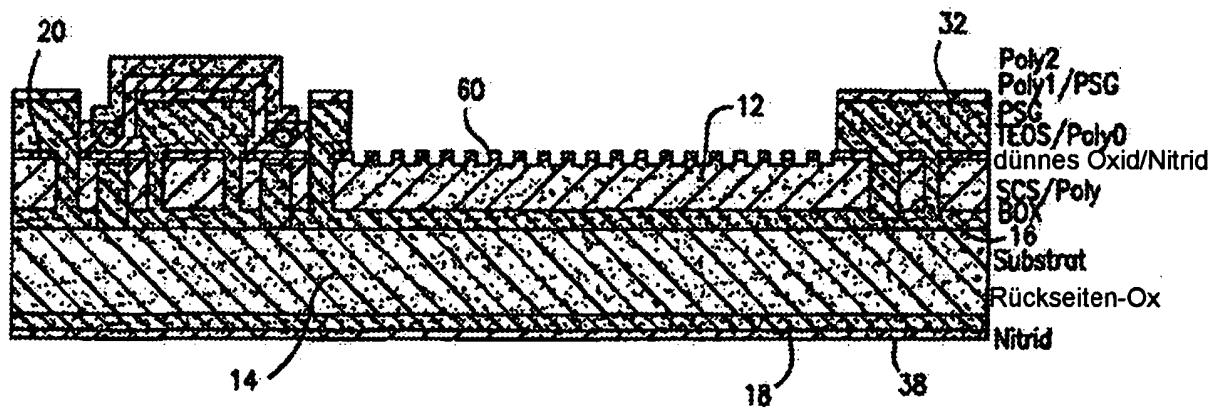


FIG. 15

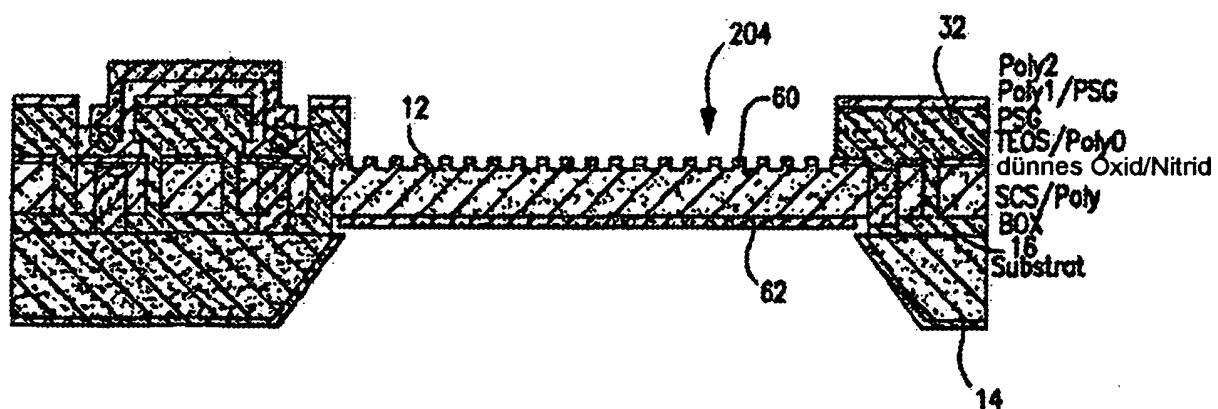


FIG. 16

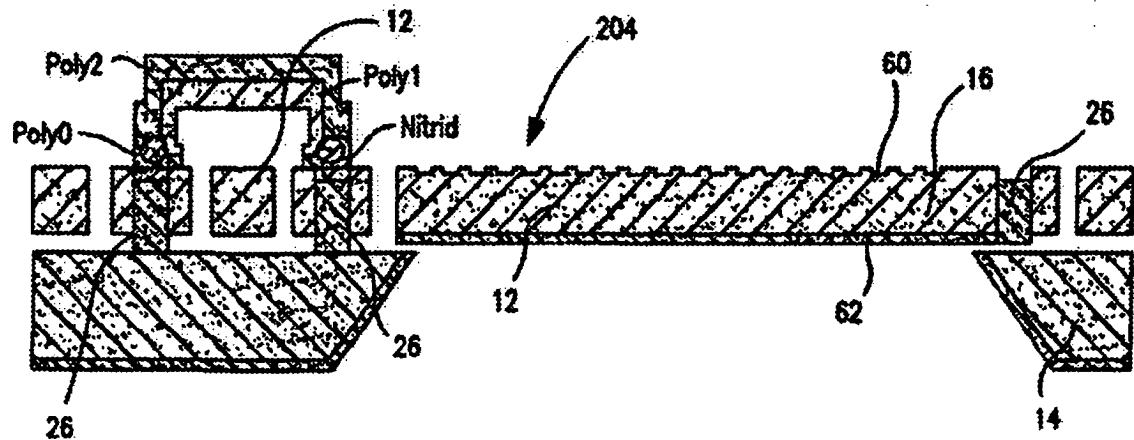


FIG. 17

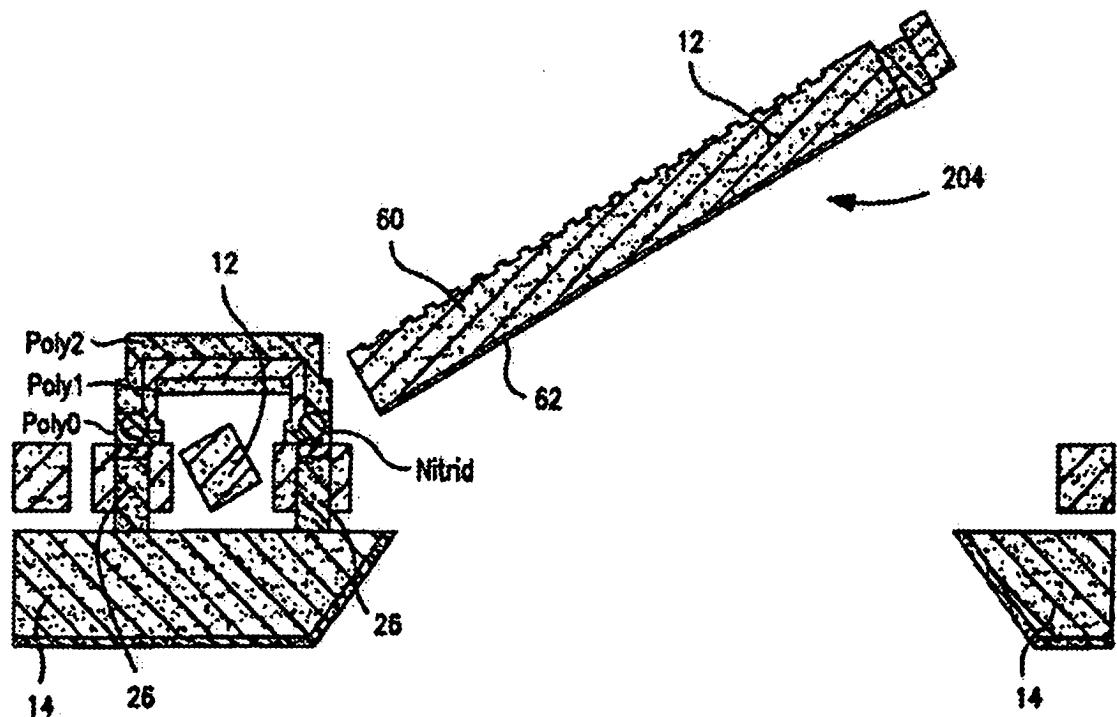


FIG. 18