

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014年7月31日(31.07.2014)



(10) 国際公開番号  
WO 2014/115840 A1

- (51) 国際特許分類:  
H04B 10/61 (2013.01)
- (21) 国際出願番号: PCT/JP2014/051501
- (22) 国際出願日: 2014年1月24日(24.01.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2013-012403 2013年1月25日(25.01.2013) JP  
特願 2013-036126 2013年2月26日(26.02.2013) JP
- (71) 出願人: 日本電信電話株式会社(NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).
- (72) 発明者: 堀越 建吾 (HORIKOSHI Kengo); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 芝原 光樹 (SHIBAHARA Kohki); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 山崎 悦史 (YAMAZAKI Etsushi); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 吉田 光輝 (YOSHIDA Mitsuteru); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP).

Tokyo (JP). 石原 浩一 (ISHIHARA Koichi); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 小林 孝行 (KOBAYASHI Takayuki); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 木坂 由明 (KISAKA Yoshiaki); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 大原 拓也 (OHARA Takuya); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 富沢 将人 (TOMIZAWA Masahito); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP). 片岡 智由 (KATAOKA Tomoyoshi); 〒1808585 東京都武蔵野市緑町3丁目9-11 N T T 知的財産センタ内 Tokyo (JP).

(74) 代理人: 特許業務法人 志賀国際特許事務所 (SHIGA INTERNATIONAL PATENT OFFICE); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,

[続葉有]

(54) Title: LIGHT-RECEIVING DEVICE AND PHASE CYCLE SLIP REDUCTION METHOD

(54) 発明の名称: 光受信装置および位相サイクルスリップ低減方法

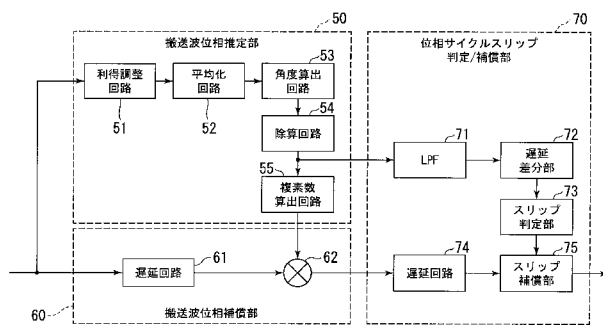


FIG. 1:  
50 Carrier phase estimation unit  
51 Gain adjustment circuit  
52 Averaging circuit  
53 Angle calculation circuit  
54 Dividing circuit  
55 Complex number calculation circuit  
60 Carrier phase compensation unit  
61 Delay circuit  
70 Phase cycle slip determination/compensation unit  
72 Delay difference section  
73 Slip determination section  
74 Delay circuit  
75 Slip compensation section

(57) Abstract: This light-receiving device, which receives an optical signal which has been modulated by means of phase modulation or quadrature amplitude modulation, converts the received optical signal into an electric signal by means of coherent detection, and applies phase compensation to the converted received signal, has: a carrier phase estimation section that estimates a carrier phase error in a received symbol string obtained from the received signal; a gain adjustment section that executes a gain adjustment of the symbols input to the carrier phase estimation unit; a phase cycle slip reduction section that detects coarse noise causing a phase cycle slip through statistical processing of outputs from the carrier phase estimation unit and reduces the phase cycle slip; and a phase compensation circuit that uses the outputs of the carrier phase estimation unit to compensate for the carrier phase error contained in the received signal.

(57) 要約: 位相変調又は直交振幅変調により変調された光信号を受信し、受信した光信号をコヒーレント検波を用いて電気信号に変換し、変換した受信信号に対して位相補償を行う光受信装置は、前記受信信号から得られる受信シンボル列のキャリア位相誤差を推定するキャリア位相推定部と、前記キャリア位相推定部の入力シンボルの利得調整を行う利得調整部と、前記キャリア位相推定部の出力を統計処理することにより、位相サイクル

スリップの原因となる粗大ノイズを検出し、前記位相サイクルスリップを低減する位相サイクルスリップ低減部と、前記キャリア位相推定部の出力を用いて前記受信信号に含まれるキャリア位相誤差を補償する位相補償回路とを有する。



WO 2014/115840 A1



LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

### 発明の名称：光受信装置および位相サイクルスリップ低減方法 技術分野

[0001] 本発明は、通信システムに係るものであって搬送波同期回路におけるサイクルスリップの発生を低減させる技術に関する。

本願は、2013年1月25日に日本に出願された特願2013-12403号および2013年2月26日に日本に出願された特願2013-36126号に基づき優先権を主張し、その内容をここに援用する。

### 背景技術

[0002] 基幹系光伝送システムにおいては、高速なクライアント信号を経済的に収容し、大容量の情報を伝送することが求められている。前記目的の実現にむけて、周波数利用効率向上の観点から、コヒーレント検波とデジタル信号処理を組み合わせたデジタルコヒーレント伝送方式が検討されており、前記伝送方式を用いた波長多重伝送により高速大容量の情報伝送の実現が期待されている。前記伝送方式においては、デジタル信号処理により、搬送波位相同期が確立されている。搬送波位相同期回路（CPR：Carrier Phase Recovery）の構成は、回路規模や変調フォーマットを考慮して、各種アルゴリズム・実装法が検討されている。

[0003] 一方、コヒーレント検波を適用した光伝送システムにおいては、振幅及び振幅の情報をを用いるため、位相方向の雑音である位相雑音の影響を顕著に受ける。主な原因としては、送受信端に用いられるレーザの線幅に起因する位相雑音、送受信端のレーザの周波数による周波数オフセット、及び非線形光学効果による位相雑音などが挙げられる。受信側においてブラインドで搬送波位相同期を行うアルゴリズムとして、例えば、ピタビ・ピタビアルゴリズム（非特許文献1）がある。

[0004] 図38は、ピタビ・ピタビアルゴリズムを適用した搬送波位相同期回路（CPR）の構成を示すブロック図である。ここでは、変調フォーマットとし

てQPSK (Quadrature Phase Shift Keying) を用いる場合について説明する。この場合M=4に対応する。また、入力シンボルは同相成分Iと直交成分Qとを有する複素数値として表す。

CPRは搬送波位相推定部150および搬送波位相補償部160により構成される。搬送波位相推定部150は、M乗回路151、平均化回路152、角度算出回路153、アンラップ回路(図示しない)、除算回路154、複素数算出回路155から構成される。搬送波位相補償部160は、遅延回路161、及び乗算回路162を備えている。

[0005] CPRに順次入力される入力シンボルは、式(1)で表される。

[0006] [数1]

$$r_k = A_k \exp(j\theta_k + \phi_k) + w_k \quad \dots (1)$$

[0007] ここで、kは時刻であり、 $s_k = A_k \exp(j\theta_k)$ は送信シンボルであり、 $w_k$ は加法性雑音であり、 $\phi_k$ は位相雑音である。ビタビ・ビタビアルゴリズムでは、変調方式はM-PSK (M-ary Phase Shift Keying) を仮定することで、 $A_k$ は一定であり、 $\theta_k$ は $2\pi mk/M$ と表せることを利用する。但し、mkは0から、M-1の整数である。

入力されたシンボル $r_k$ はM乗回路151と遅延回路161とに入力される。M乗回路151は入力シンボルをM乗する。入力シンボルに対するM乗の演算により、 $w_k \neq 0$ のとき、出力は式(2)となる。

[0008] [数2]

$$\begin{aligned} r_k^M &= A_k^M \exp(jM\theta_k + jM\phi_k) \\ &= A_k^M \exp(j2\pi m_k + jM\phi_k) \\ &= A_k^M \exp(jM\phi_k) \quad \dots (2) \end{aligned}$$

[0009] 実際には、 $w_k \neq 0$ なので、M乗回路151の出力は平均化回路152に入力され、雑音の影響を低減する。平均化回路152は、例えば、M乗回路151で算出された入力シンボルのM乗値を、前後の入力シンボルのM乗値を含む平均化ウィンドウ幅L個ごとに複素平面上で足し合わせることで平均化し、雑音成分を低下させる。次に、平均化回路152の出力は角度算出回路153に入力される。

[0010] 角度算出回路153は、平均化回路152において平均化されたシンボル（複素数）の偏角を算出する。平均化回路152により十分に雑音が低下していれば、角度算出回路153の出力は $M\phi_k$ となる。算出方法は、例えば、平均化回路152の出力の同相成分（I）、および直交成分（Q）を算出し、 $\arctan(Q/I)$ を算出することによりシンボルは角度に変換される。アンラップ回路は、角度算出回路153が算出する角度に残っている任意性（ $360^\circ \times n$ 、 $n$ は整数）を補正する。具体的には、アンラップ回路は、一つ前の入力シンボルに対する角度と現在の角度との差が小さくなるように角度を補正する。

[0011] 除算回路154は、アンラップ回路において補正された角度を（ $1/M$ ）倍して搬送波位相推定値を算出する。複素数算出回路155は、除算回路154で算出される搬送波位相推定値を偏角とする大きさ1の複素数を算出し、乗算回路162に出力する。

遅延回路161は、M乗回路151から複素数算出回路155までの演算に要する時間分の遅延を入力シンボルに与えて、入力シンボルを当該入力シンボルに対応する大きさ1の複素数と同じタイミングで乗算回路162に出力する。乗算回路162は、遅延回路161で遅延を与えられた入力シンボルと、複素数算出回路155で算出された複素数とを乗算し、入力シンボルの搬送波位相に同期する。

## 先行技術文献

## 非特許文献

[0012] 非特許文献1：A. J. Viterbi, A. M. Viterbi "Nonlinear Estimation of PS

K-Modulated Carrier Phase with Application to Burst Digital Transmission,” IEEE Trans. On Info. Theory, vol. IT-29, July 1983.

## 発明の概要

### 発明が解決しようとする課題

[0013] 上述のアルゴリズムによって推定される搬送波位相推定値は、シンボル位相を4倍(QPSKの場合)にしているため、0度から90度までの範囲でしか推定できない。そのため、推定した結果は、0度から90度、90度から180度、180度から270度、及び、270度から360度のいずれかの角度に含まれる4通りの可能性があり、入力シンボルごとに4通りの中から正しく推定することができない。仮に初期値として正しい位相シフト量が既知でありシンボルごとに搬送波位相推定を連続的に行うことができたとしても、位相方向に大きな雑音や非線形光学効果などによる干渉が急に加わった場合、推定位相量に正しくない不連続が生じる。このような不連続が生じると、その後の入力シンボルに対して搬送波位相推定を正しく行うことができなくなる。このような現象は位相サイクルスリップとして知られている。

[0014] 位相サイクルスリップへの対策として、例えば差動コーディング方式及びパイロットシンボルによる補正方式が有効であるとされている。差動コーディング方式は、隣接するシンボル間の位相の差を光位相変調信号で伝送することにより、位相サイクルスリップが生じても、影響をその前後のシンボル内のビット誤りに留めることができる。しかし、差動コーディング方式を適用する場合と、適用しない場合とを比較すると、ビット誤り率が2倍になってしまうという欠点がある。この欠点は、前方誤り訂正技術を利用して信頼できる通信を確立するために必要な伝送路の信号対雑音電力比を1.11～1.4 dB程度上げてしまうという問題がある。

[0015] 一方、パイロットシンボルによる補正方式は、既知信号パターンを伝送することで位相サイクルスリップを検出し補正する方式である。しかし、位相サイクルスリップが生じた場合、その後再び既知信号パターンを用いて絶対

位相を同期させるまでの間でバーストエラーが発生してしまう。バーストエラーが発生する期間を短くするために既知信号パターンを挿入する周期を短くすると、オーバーヘッドが大きくなり伝送効率が低下してしまうという問題がある。

[0016] 本発明は、上記問題に鑑みてなされたものであり、その目的は、ビット誤り率を増加させたり伝送効率を低下させたりすることなく、位相サイクルスリップの発生頻度を低減させることができる位相サイクルスリップ低減システム、及び位相サイクルスリップ低減方法を提供することにある。

### 課題を解決するための手段

[0017] 上記問題を解決するために、本発明の一態様は、位相変調又は直交振幅変調を用いて変調された電気信号から生成される光信号を受信し、受信した光信号をコヒーレント検波を用いて電気信号に変換し、電気信号をデジタル信号に変換した受信信号に対して位相補償を行う位相サイクルスリップ低減システムにおいて、CPRの入力シンボルの振幅と位相に対して逓倍および累乗による利得調整をする利得調整部を備え、搬送波位相推定部から出力される搬送波位相推定値を用いて、位相サイクルスリップを判定するスリップ判定部を備え、位相サイクルスリップ判定部の判定結果に基づいて、位相サイクルスリップを補償するスリップ補償部を備える位相サイクルスリップ低減システムである。

### 発明の効果

[0018] この発明によれば、位相サイクルスリップが生じたとしても、位相サイクルスリップ判定／補償部において、位相サイクルスリップを検出し補償することで、位相サイクルスリップの頻度を低減することができる。さらに、利得調整回路により、搬送波位相推定部の搬送波位相推定値の推定精度を向上させることで、位相サイクルスリップ判定／補償部の検出精度を向上し、位相サイクルスリップの頻度をさらに低減することができる。

そのため、事前に処理を施したシンボルを送信せずとも位相を精度よく推定できるので、ビット誤り率を増加させたり伝送効率を低下させたりするこ

となく、位相サイクルスリップの発生頻度を低減させることができる。

### 図面の簡単な説明

[0019] [図1]本発明の第1の実施形態に係る搬送波位相同期回路（CPR）を示すブロック図である。

[図2]図1に示された利得調整回路を示すブロック図である。

[図3]本発明の実施形態の位相サイクルスリップ率の低減効果を示すグラフである。

[図4]本発明の第2の実施形態に係る受信装置を示すブロック図である。

[図5]本発明の第3の実施形態に係る位相補償回路を示すブロック図である。

[図6]本発明の第4の実施形態に係る位相補償回路の構成を示すブロック図である。

[図7]図6に示されたキャリア位相推定部が出力する推定誤差位相の一例を示すグラフである。

[図8]本発明の第5の実施形態に係る光通信システムの構成例を示すブロック図である。

[図9]第5の実施形態における光信号受信装置の構成例を示すブロック図である。

[図10]第5の実施形態における位相補償回路の構成例を示すブロック図である。

[図11]第5の実施形態におけるキャリア位相推定回路の構成例を示すブロック図である。

[図12]第5の実施形態における位相 $m$ 逡倍回路の構成例を示すブロック図である。

[図13]第5の実施形態におけるKシンボル平均化回路の構成例を示すブロック図である。

[図14]第5の実施形態における遅延差分回路の構成例を示すブロック図である。

[図15]第5の実施形態におけるスリップ判定回路が行うスリップ判定処理を

示すフローチャートである。

[図16]光伝送実験データの取得に用いた実験装置の構成を示す概略ブロック図である。

[図17]図16に示した実験装置により得られた光伝送実験データのオフライン復調を行った結果を示すグラフである。

[図18]本発明の第6の実施形態に係る位相補償ブロックの構成を示すブロック図である。

[図19]第6の実施形態における閾値算出回路の構成例を示すブロック図である。

[図20A]第6の実施形態において、検出閾値を固定値にした場合のビット誤り率およびシンボルスリップ率と周波数オフセットとの関係を示すグラフである。

[図20B]第6の実施形態において、検出閾値を遅延差分値に応じて定めた場合のビット誤り率およびシンボルスリップ率と周波数オフセットとの関係を示すグラフである。

[図21]本発明の第7の実施形態に係る位相補償ブロックの構成を示すブロック図である。

[図22]本発明の第8の実施形態に係る位相補償ブロックの構成を示すブロック図である。

[図23]本発明の第9の実施形態に係る受信装置の構成例を示すブロック図である。

[図24]第9の実施形態における位相補償部の構成例を示すブロック図である。

[図25]第9の実施形態におけるN乗回路においてシンボルをN乗した後のコンスタレーションマップの一例を示すグラフである。

[図26]第9の実施形態におけるタップ係数算出回路の構成例を示すブロック図である。

[図27]本発明の第10の実施形態に係るタップ係数算出回路の構成例を示す

ブロック図である。

[図28]本発明の第11の実施形態に係るタップ係数算出回路の構成例を示すブロック図である。

[図29]本発明の第12の実施形態に係るタップ係数算出回路の構成を示すブロック図である。

[図30]本発明の第13の実施形態に係るタップ係数算出回路の構成を示すブロック図である。

[図31]本発明の第14の実施形態に係るタップ係数算出回路の構成を示すブロック図である。

[図32]本発明の第15の実施形態における位相補償部の構成を示すブロック図である。

[図33]第15の実施形態におけるタップ係数算出回路の構成を示すブロック図である。

[図34]変形例における前処理回路の構成を示すブロック図である。

[図35]本発明の第16の実施形態に係る位相補償部の構成を示すブロック図である。

[図36]光伝送実験データの取得に用いた実験装置の概略を示す図である。

[図37]第15の実施形態における位相補償部に対応する位相サイクルスリップ率の評価結果を示すグラフである。

[図38]従来の搬送波位相同期回路を示すブロック図である。

### 発明を実施するための形態

[0020] 以下、図面を参照して、本発明の実施形態における位相サイクルスリップ低減システム、及び位相サイクルスリップ低減方法を説明する。

(第1の実施形態)

図1は本発明の実施形態における搬送波位相同期回路(CPR)、位相サイクルスリップ判定／補償部の構成を示すブロック図である。

CPRに入力されたシンボルは、搬送波位相推定部50と搬送波位相補償部60に分岐される。搬送波位相推定部50において、入力されたシンボル

は利得調整回路 5 1 に入力される。

[0021] 利得調整回路 5 1 は、図 2 に示すように、入力されたシンボルの振幅値と位相値を算出し、分離する振幅／位相分離回路 5 1 1 と、振幅／位相分離回路 5 1 1 により分離された振幅値が入力される振幅利得調整回路 5 1 2 と、振幅／位相分離回路 5 1 1 により分離された位相値が入力される位相利得調整回路 5 1 3 と、振幅利得調整回路 5 1 2 の出力と位相利得調整回路 5 1 3 の出力を結合し、複素数に変換する振幅／位相結合回路 5 1 4 により構成される。

例えば、振幅利得調整回路 5 1 2 において、振幅を M 乗し、位相利得調整回路 5 1 3 において、位相を M 倍すれば、ビタビ・ビタビアルゴリズムを適用した CPR における M 乗回路と等価の動作となる。本実施例では、振幅利得調整回路 5 1 2 において、例えば、振幅値を保持し、位相利得調整回路 5 1 3 において、位相を M 倍することにより、後述する位相サイクルスリップ判定／補償部 7 0 の検出精度を向上させる。すなわち、本実施例は前記ビタビ・ビタビアルゴリズムを適用した CPR における M 乗回路とは動作が異なる。

[0022] ここで、利得調整回路 5 1 の設定値は、前述した設定値のみに限定されない。振幅利得調整回路 5 1 2 および位相利得調整回路 5 1 3 における利得の設定値は、平均化回路 5 2 の平均化ウィンドウ幅、および、位相サイクルスリップ判定／補償回路 7 0 のローパスフィルタ (LPF) 7 1 のタップ長ならびに帯域幅、遅延差分部の遅延幅に基づいて設定される。

[0023] 利得調整回路 5 1 の出力は、平均化回路 5 2 に入力される。平均化回路 5 2 では、例えば、利得調整回路 5 1 で算出されたシンボルと、当該シンボルの前後に算出されたシンボルを含む平均化ウィンドウ幅 L 個ごとに複素平面上で足し合わせることで平均化し、雑音成分を低下させる。

次に、平均化回路 5 2 の出力は角度算出回路 5 3 に入力される。角度算出回路 5 3 は、平均化回路 5 2 において平均化されたシンボル (複素数) の偏角を算出する。平均化回路 5 2 により十分に雑音が低下していれば、角度算

出回路 5 3 の出力は  $M \phi k$  となる。

角度算出回路 5 3 による算出方法は、例えば、平均化回路 5 2 出力の同相成分 (I)、直交成分 (Q) を算出し、 $\arctan(Q/I)$  を算出することによりシンボルは角度に変換される。アンラップ回路は、角度算出回路 5 3 が算出する角度に残っている任意性 ( $360^\circ \times n$ ,  $n$  は整数) を補正する。具体的には、アンラップ回路は、一つ前の入力シンボルに対する角度と現在の角度との差が小さくなるように角度を補正する。

[0024] 除算回路 5 4 は、アンラップ回路において補正された角度を  $(1/M)$  倍して搬送波位相推定値を算出する。複素数算出回路 5 5 は、除算回路 5 4 で算出される搬送波位相推定値を偏角とする大きさ 1 の複素数を算出し、乗算回路 6 2 に出力する。

[0025] 遅延回路 6 1 は、利得調整回路 5 1 から複素数算出回路 5 5 までの演算に要する時間分の遅延を入力シンボルに与えて、入力シンボルを当該入力シンボルに対応する大きさ 1 の複素数と同じタイミングで乗算回路 6 2 に出力する。乗算回路 6 2 は、遅延回路 6 1 で遅延を与えられた入力シンボルと、複素数算出回路 5 5 で算出された複素数とを乗算し、入力シンボルの搬送波位相に同期する。

[0026] 一方で、除算回路 5 4 により算出された推定誤差位相は L P F 7 1 を介して遅延差分回路 7 2 に入力される。遅延差分回路 7 2 は、推定誤差位相の時間変動を算出する。スリップ判定部 7 3 は、遅延差分部 7 2 により算出される推定誤差位相の時間変動に基づいて、入力信号に対して位相サイクルスリップが発生したか否かを判定する。位相サイクルスリップの判定は、 $90^\circ$ 、 $-90^\circ$ 、 $180^\circ$  の 3 通りがあるが、これらは時間変動の極性および絶対値により判定可能である。

[0027] スリップ補償部 7 5 は、スリップ判定部 7 3 において位相サイクルスリップが発生したと判定された場合、キャリア位相補償部 6 0 により位相誤差が低減された入力信号に対して位相サイクルスリップの補償を行う。

位相サイクルスリップ補償は、 $90^\circ$  スリップ判定時には位相サイクルス

リップ発生時以降の位相推定値に90度の減算を行う。-90度リップ判定時には位相推定値に90度の加算を行う。180度リップ判定時には位相推定値に180度の加算（または減算）を行う。

スリップ補償部75は、入力信号に対して位相サイクルスリップの補償をして得られた信号を出力信号として出力する。また、スリップ補償部75は、スリップ判定部73において位相サイクルスリップが発生していないと判定された場合、キャリア位相補償部60により位相誤差が低減された入力信号を、出力信号として出力する。

[0028] 図3に本実施例の効果を示す。図3はCPRの従来構成に対し、本発明を適用した場合の位相サイクルスリップ率の低減効果を示している。

ビタビ・ビタビアルゴリズムを適用した従来構成と比較して、利得調整回路51を備えることで、搬送波位相推定部50における搬送波位相推定値の推定精度が向上するため、スリップ率が低下している。また、利得調整回路を備えず、位相サイクルスリップ判定／補償部70を備えた場合は、生じた位相サイクルスリップを補償することにより、スリップ率が低下する。

本実施例では、利得調整回路51を備え、位相サイクルスリップ判定／補償部70を備えることで、搬送波位相推定部50の推定精度を向上させ、さらに、位相サイクルスリップ判定部73の位相サイクルスリップの検出精度を向上させることが可能となるため、従来構成に対して、約100分の1程度のスリップ率に低減することができる。

[0029] (第2の実施形態)

図4は、第2の実施形態における受信装置の構成例を示すブロック図である。同図に示す受信装置80は、デジタルコヒーレント伝送システムにおいて本発明を適用したものである。

受信装置80には、光ファイバ伝送路で伝送された光信号が入力される。受信装置80は、入力される光信号に含まれるデータを取得し、取得したデータを後段に接続された装置等へ出力する。受信装置80は、局発レーザ発生器81、光90度ハイブリッド82、光電変換部83、ADコンバータ8

4、波長分散補償部 85、適応等化部 86、周波数オフセット補償部 87、位相サイクルスリップ低減部 88、位相補償部 89、誤り訂正・判定部 90、及び、クライアントインタフェース 91 を具備している。

[0030] 受信装置 80 に入力される光信号は光 90 度ハイブリッド 82 に入力され、局発レーザ発生器 81 が出力する局部発振レーザと光 90 度ハイブリッド 82 においてミキシングされてホモダイン検波又はヘテロダイン検波される。検波により得られた光信号は、光電変換部 83 においてベースバンドのアナログ電気信号に変換される。このアナログ電気信号は、ADコンバータ 84 においてデジタル化され、波長分散補償部 85 に出力される。ADコンバータ 84 から出力されるデジタル信号は、同相成分 I と直交成分 Q とを有する複素数で表されるシンボルを示す信号である。

[0031] 波長分散補償部 85 は、ADコンバータ 84 から入力されるシンボルに対して、波長分散による波形歪みを補償する。適応等化部 86 は、波長分散補償部 85 において波形歪みが補償されたシンボルに対して、線形偏波クロストークや偏波モード分散などにより生じた歪みを補償する。周波数オフセット補償部 87 は、適応等化部 86 において歪みが補償されたシンボルに対して、光信号を送信する送信装置と受信装置 80 との間で発生しうる周波数オフセットによる影響を補償する。周波数オフセットは、例えば、送信装置と受信装置とで用いる局部発振レーザの周波数ずれにより生じる。

[0032] 位相サイクルスリップ低減部 88 および位相補償部 89 は、周波数オフセット補償部 87 において周波数オフセットが補償されたシンボルに対して、位相の補償を行い位相サイクルスリップの発生を低減させる。誤り訂正・判定部 90 は、位相補償部 89 において位相が補償されたシンボルを復調し、復調により得られたデータに対する誤り検出及び誤り訂正を行った後に、データをクライアントインタフェース 91 に入力する。クライアントインタフェース 91 は、受信装置の後段に接続された装置において用いられる信号フォーマットやフレーム構成に応じて、誤り訂正・判定部 90 から入力されたデータを変換して出力する。

[0033] 受信装置 80 において、波長分散補償部 85 からクライアントインタフェース 91 までを含むデジタル信号処理部 92 には、受信した光信号をコヒーレント検波を用いて電気信号に変換し、電気信号をデジタル信号に変換した受信信号が入力される。デジタル信号処理部 92 に入力される受信信号は、送信装置において用いられる変調方式に基づいてデータがマッピングされたシンボル列を示す信号である。受信装置 80 において、光ファイバ伝送路や送信装置及び受信装置で付加された波形の歪みと雑音とは、波長分散補償部 85 や適応等化部 86 において低減又は補償される。

[0034] 本実施例における位相補償部 89 は、搬送波に重畳された位相雑音を推定して取り除く又は低減させることを目的としている。ここで、位相サイクルスリップ低減部 88 と位相補償部 89 について詳述する。

位相補償部 89 では、受信シンボル列からキャリア位相推定を行う。キャリア位相推定に用いる受信シンボル列のシンボルの中に、いわゆる外れ値が紛れていると精度の良いキャリア位相推定を行うことができずに位相サイクルスリップが発生する。位相補償部 89 では、前記受信シンボル列の各シンボルに対し、統計的処理を施すことによりいわゆる外れ値を検出し、外れ値シンボル影響を低減したのちにキャリア位相推定を行う機能を有する。

位相サイクルスリップ低減部 88 では、周波数オフセット補償部 87 の出力を用いて位相サイクルスリップの発生を検出し、位相サイクルスリップによって誤った位相補償を施された受信シンボルに対し、位相サイクルスリップで誤った分の位相補償を施す。

[0035] (第 3 の実施形態)

図 5 は、第 3 の実施形態に係る位相補償回路の構成を示すブロック図である。この位相補償回路において、位相サイクルスリップ低減部／搬送波位相推定部 501 および搬送波位相補償部 60 は、図 4 に示された位相サイクルスリップ低減部 88 に相当し、位相サイクルスリップ判定／補償部 70 は図 4 に示された位相補償部 89 に相当する。

位相補償回路に順次入力される入力シンボルは、N 乗回路として機能する

利得調整回路 5 1（以下、N 乗回路と記載する）と遅延回路 6 1 とに入力される。但し、利得調整回路 5 1 の一例として N 乗回路を記載するのであって、これに限定するものではない。N 乗回路 5 1 は入力シンボルを N 乗する。入力シンボルに対する N 乗の演算は、各シンボルに冗長する 2 ビット（1, 1）、（1, -1）（-1, 1）、及び、（-1, -1）のデータ依存性を消去するためである。

[0036] タップ係数算出回路 5 6 は、N 乗された入力シンボルに統計処理を施すことによって、外れ値を検出する。タップ係数算出回路 5 6 は、この外れ値の影響を低減するべく、外れ値にシンボルに対応するタップ係数を算出し出力する。平均化回路 5 2 は、N 乗回路で算出された入力シンボルの N 乗値を、前後の入力シンボルの N 乗値に乗算回路 5 7 により前記タップ係数を乗じたのちに、平均化ウィンドウ幅 M 個ごとに複素平面上で足し合わせることで平均化し、雑音成分を低下させる。

[0037] 角度算出回路 5 3 は、平均化回路 5 2 において平均化されたシンボル（複素数）の偏角を算出する。角度算出回路 5 3 において、例えば、 $\arctan(Q/I)$  によりシンボルは角度に変換される。角度算出回路 5 3 に含まれるアンラップ回路は、角度算出回路 5 3 が算出する角度に残っている任意性（ $360^\circ \times n$ ,  $n$  は整数）を補正する。具体的には、アンラップ回路は、一つ前の入力シンボルに対する角度と現在の角度との差が小さくなるように角度を補正する。

[0038] 除算回路 5 4 は、アンラップ回路において補正された角度を（ $1/N$ ）倍してキャリア位相推定値を算出する。複素数算出回路 5 5 は、除算回路 5 4 で算出されるキャリア位相推定値を偏角とする大きさ 1 の複素数を算出し、乗算回路 6 2 に出力する。

[0039] 遅延回路 6 1 は、N 乗回路 5 1 から複素数算出回路 5 5 までの演算に要する時間分の遅延を入力シンボルに与えて、入力シンボルを当該入力シンボルに対応する大きさ 1 の複素数と同じタイミングで乗算回路 6 2 に出力する。乗算回路 6 2 は、遅延回路 6 1 で遅延を与えられた入力シンボルと、複素数

算出回路 55 で算出された複素数とを乗算し、入力シンボルに含まれる位相雑音等を補償する。

[0040] 一方で算出された推定誤差位相は、LPF 71 を介して遅延差分回路 72 に入力される。遅延差分回路 72 は、推定誤差位相の時間変動を算出する。スリップ判定部 73 は、遅延差分部 72 により算出される推定誤差位相の時間変動に基づいて、入力信号に対して位相サイクルスリップが発生したか否かを判定する。位相サイクルスリップの判定は、90度、-90度、180度の3通りがあるが、これらは時間変動の極性および絶対値により判定可能である。

[0041] スリップ補償部 75 は、スリップ判定部 73 において位相サイクルスリップが発生したと判定された場合、搬送波（キャリア）位相補償部 60 により位相誤差が低減された入力信号に対して位相サイクルスリップの補償を行う。

位相サイクルスリップ補償は、90度スリップ判定時には位相サイクルスリップ発生時以降の位相推定値に90度の減算を行う。-90度スリップ判定時には位相推定値に90度の加算を行う。180度スリップ判定時には位相推定値に180度の加算（または減算）を行う。

スリップ補償部 75 は、入力信号に対して位相サイクルスリップの補償をして得られた信号を出力信号として出力する。また、スリップ補償部 75 は、スリップ判定部 73 において位相サイクルスリップが発生していないと判定された場合、キャリア位相補償部 60 により位相誤差が低減された入力信号を、出力信号として出力する。

[0042] （第4の実施形態）

次に、本発明の実施形態に係る位相補償回路の概要について説明する。図6は、本発明の第4の実施形態に係る位相補償回路の構成を示すブロック図である。位相補償回路は、光通信システムにおいて光受信装置に用いられる。同図に示すように、位相補償回路は、キャリア位相推定部1、キャリア位相補償部2、遅延差分部3、スリップ判定部4、及び、スリップ補償部5を

備えている。

位相補償回路には、受信した光信号に対して光電変換をした後にアナログ→デジタル変換を行って得られたデジタル信号が入力信号として入力される。入力信号には、位相補償回路に入力される前に必要に応じて、波長分散の補償や、伝送中における歪みの補償などが行われる。

[0043] キャリア位相推定部 1 は、入力信号に対してフィードバック方式又はフィードフォワード方式によるキャリア位相推定を行う。キャリア位相推定部 1 は、キャリア位相誤差の推定値である推定誤差位相をキャリア位相補償部 2 及び遅延差分部 3 に出力する。キャリア位相補償部 2 は、推定誤差位相に基づいて、入力信号に含まれる位相誤差を低減させる。

遅延差分部 3 は、推定誤差位相の時間変動を算出する。スリップ判定部 4 は、遅延差分部 3 により算出される推定誤差位相の時間変動に基づいて、入力信号に対して位相サイクルスリップが発生したか否かを判定する。

[0044] スリップ補償部 5 は、スリップ判定部 4 において位相サイクルスリップが発生したと判定された場合、キャリア位相補償部 2 により位相誤差が低減された入力信号に対して位相サイクルスリップの補償を行う。スリップ補償部 5 は、入力信号に対して位相サイクルスリップの補償をして得られた信号を出力信号として出力する。また、スリップ補償部 5 は、スリップ判定部 4 において位相サイクルスリップが発生していないと判定された場合、キャリア位相補償部 2 により位相誤差が低減された入力信号を、出力信号として出力する。

[0045] 図 7 は、キャリア位相推定部 1 が出力する推定誤差位相の一例を示すグラフである。すなわち、図 7 は、位相スリップ検出時における過去 1280 シンボル（保護段相当）の位相補償量を示すグラフである。図 7 において、横軸は入力信号におけるシンボル番号を示し、縦軸は位相補償量を示している。位相補償量は、推定誤差位相に基づいて位相誤差を低減させる際の位相量である。図 7 において、破線にて示す領域、すなわちシンボル番号が 800 の付近で推定誤差位相の急峻な変動が発生している。この急峻な変動は、位

相サイクルスリップの発生によるものである。

[0046] 推定誤差位相の変動を見ると、図7に示すように、位相サイクルスリップが発生する際には、キャリア位相推定部1におけるフィルタのタップ長の平均の数倍程度の短い間（タップ長の平均が17の場合で100シンボル程度）に $(\pi/2)$ ラジアン程度の変化が生じている。一方、位相サイクルスリップが発生していないときには、短い間に1ラジアンを超えるような推定誤差位相の変化は生じていない。

[0047] このような推定誤差位相の特性を利用して、位相サイクルスリップの検出と位相サイクルスリップの補償とを行う。具体的には、キャリア位相推定部1が出力する推定誤差位相をモニタし、短時間において急峻な変動が検出されたときに位相サイクルスリップが生じたと判定し、入力信号に対する位相サイクルスリップの補償を行う。急峻な変動とは、例えば、1ラジアンを超えるような変動である。位相補償回路で位相サイクルスリップを補償することにより、位相補償回路の後段に行われる信号処理において位相サイクルスリップの発生頻度を抑圧することができる。

[0048] これにより、実質的な位相サイクルスリップの発生頻度を、 $(\text{位相サイクルスリップの発生頻度}) \times (1 - (\text{検出率})) + (\text{誤検出数})$ に低減できる。検出率はスリップ判定部4における位相サイクルスリップを検出できた割合であり、誤検出数はスリップ判定部4において誤って位相サイクルスリップが発生したと判定した回数である。

[0049] (第5の実施形態)

図8は、本発明に係る第5の実施形態における光通信システムの構成例を示すブロック図である。本実施形態における光通信システムは、光信号送信装置11と、シングルモード光ファイバ伝送路及び光増幅器からなる伝送路12と、光信号受信装置13とを具備している。光信号送信装置11は、例えば、QPSK方式の変調フォーマットを用いて得られた信号を偏波多重した光信号を、伝送路12を介して光信号受信装置13に出力する。

本実施形態における光通信システムにおいては作動符号化を行わない。な

お、以下の説明において、変調フォーマットにQPSK方式を用い、偏波多重した信号を送受信する構成について説明する。しかし、BPSK (Binary Phase Shift Keying) 方式や16QAM (Quadrature Amplitude Modulation) 方式などのm-QAM方式の変調フォーマットを用いてもよいし、シングル偏波の信号を送受信する構成であってもよい。

[0050] 図9は、本実施形態における光信号受信装置13の構成例を示すブロック図である。光信号受信装置13は、伝送路12を介して入力される光信号から、光信号送信装置11において光信号に変換されたデータを取得する。光信号受信装置13は、局発レーザ発生器14、90°光ハイブリッド15、光電変換器16、アナログーデジタル変換器 (AD変換器) 17、及び、デジタル信号処理部18を備えている。

[0051] 光信号受信装置13に入力される光信号は、局発レーザ発生器14が出力する局発振レーザと90°光ハイブリッド15においてミキシングされてホモダイン検波又はヘテロダイン検波される。検波により得られた光信号は、光電変換器16において4レーンのベースバンドのアナログ電気信号に変換される。このアナログ電気信号は、アナログーデジタル変換器17においてデジタル化され、X偏波とY偏波との2レーンの複素デジタル信号としてデジタル信号処理部18に出力される。デジタル信号処理部18は、X偏波とY偏波との複素デジタル信号に対して、線形波形歪の補償を行った上で復調復号を行う。デジタル信号処理部18は、復調復号により得られたデータを後段に接続された装置等へ出力する。

[0052] デジタル信号処理部18は、波長分散補償回路19、適応等化回路20、周波数オフセット補償回路21、位相補償回路22、復調復号回路23、及び、クライアントインタフェース24を有している。デジタル信号処理部18に入力されるX偏波とY偏波との複素デジタル信号 (受信信号) は、伝送路12における偏波状態の回転の影響等により線形混合されている。

[0053] 波長分散補償回路19は、デジタル信号処理部18に入力されるX偏波とY偏波との複素デジタル信号に対して、波長分散による線形波形歪を補償す

る。適応等化回路 20 は、波長分散補償回路 19 において波長分散が補償された X 偏波と Y 偏波との複素デジタル信号に対して、線形偏波クロストークや偏波モード分散 (PMD) などにより伝送路中で歪んだ信号を補償する。

[0054] 周波数オフセット補償回路 21 は、適応等化回路 20 において歪が補償された X 偏波と Y 偏波との複素デジタル信号に対して、光信号受信装置と光信号送信装置との間で発生しうる周波数オフセットによる影響を補償する。周波数オフセットは、例えば、光信号送信装置 11 と光信号受信装置 13 とで用いる局部発信レーザの周波数ずれにより生じる。位相補償回路 22 は、周波数オフセット補償回路 21 において周波数オフセットが補償された X 偏波と Y 偏波との複素デジタル信号に対して、位相サイクルスリップを補償する。

[0055] 復調復号回路 23 は、位相補償回路 22 において位相サイクルスリップが補償された X 偏波と Y 偏波との複素デジタル信号に対して、光信号送信装置 11 において用いられた変調フォーマットに対応する復調と誤り訂正復号とを行う。復調復号回路 23 は、復調と誤り訂正復号とにより得られたデータをクライアントインタフェース 24 に出力する。クライアントインタフェース 24 は、デジタル信号処理部 18 の後段に接続された装置において用いられる信号フォーマットやフレーム構成に応じて、復調復号回路 23 から入力されたデータを変換して出力する。

[0056] 図 10 は、本実施形態における位相補償回路 22 の構成例を示すブロック図である。位相補償回路 22 は、X 偏波に対応する位相補償ブロック 220 と、Y 偏波に対応する位相補償ブロック 220 とを有している。以下の説明では、X 偏波に対応する位相補償ブロック 220 について説明し、同じ構成を有する Y 偏波に対応する位相補償ブロック 220 についての説明を省略する。

[0057] 位相補償ブロック 220 は、キャリア位相推定回路 221、キャリア位相補償回路 222、遅延回路 223、ローパスフィルタ (LPF) 224、遅延差分回路 225、スリップ判定回路 226、及び、スリップ補償回路 22

7を有している。位相補償ブロック220にはX偏波の複素デジタル信号が入力される。

[0058] キャリア位相推定回路221は、例えば、非特許文献1に記載されているようなフィードフォワード方式、あるいは参考文献1に記載されているようなフィードバック方式のキャリア位相誤差の推定を行う（参考文献1：T.Kobayashi et al, "160-Gb/s Polarization-Multiplexed 16-QAM long-haul transmission over 3,123 km using digital coherent receiver with digital PLL based frequency offset compensator", OTuD1 OFC/NFOEC2010）。

[0059] キャリア位相推定回路221は、光信号送信装置11と光信号受信装置13における局部発信レーザなどによる位相差を推定する。この位相差は時間的に変動するため、キャリア位相推定回路221はキャリア位相推定を連続的に行い、位相差の変動に追従した推定を行う。例えば、変調フォーマットがQPSK方式である場合には4乗法に基づくフィードフォワード型のキャリア位相推定を行う。また、BPSK方式である場合には2乗法に基づいて、m-QAM方式である場合には最尤判定（ML）法に基づいてキャリア位相推定を行う。すなわち、キャリア位相推定回路221では、変調フォーマットに対して適切な位相推定法が用いられる。

[0060] また、キャリア位相推定回路221は、X偏波の複素デジタル信号に含まれる位相誤差を推定する。キャリア位相推定回路221は、推定した位相誤差である推定誤差位相をキャリア位相推定回路221とローパスフィルタ224とに出力する。

キャリア位相補償回路222は、キャリア位相推定回路221が出力する推定誤差位相に基づいて、X偏波の複素デジタル信号に含まれる位相誤差の補償を行う。キャリア位相補償回路222は、位相誤差が補償されたX偏波の複素デジタル信号を遅延回路223に出力する。なお、位相誤差は、複素デジタル信号の位相のうち変調成分によらない位相である。例えば、光信号送信装置11と光信号受信装置13との局部発信レーザの位相差や、伝送路の非線形性等によって生じる。

[0061] 図11は、キャリア位相推定回路221の構成例を示すブロック図である。同図に示すキャリア位相推定回路221は、フィードフォワード方式の構成を有している。キャリア位相推定回路221は、位相 $m$ 通倍回路2211、 $K$ シンボル平均化回路2212、位相抽出回路2213、及び、位相連続化回路2214を有している。位相 $m$ 通倍回路2211は、位相誤差を含む入力複素信号の位相成分を $m$ 通倍する。変調フォーマットがQPSK方式であれば、 $m=4$ であり、BPSK方式であれば2である。位相成分が $m$ 通倍されることにより信号成分が一定値に縮退するので、位相 $m$ 通倍回路2211の出力信号の位相は位相誤差のみを含むことになる。位相 $m$ 通倍回路2211の出力は $K$ シンボル平均化回路2212に入力される。

[0062] 図12は、本実施形態における位相 $m$ 通倍回路2211の構成例を示すブロック図である。位相 $m$ 通倍回路2211は、振幅・位相分離回路22111、乗算器22112、及び、振幅・位相再結合回路22113を有している。位相 $m$ 通倍回路2211に入力された信号は振幅・位相分離回路22111によって位相成分と振幅成分とに分離される。振幅・位相分離回路22111において分離された位相成分は、乗算器22112によって $m$ 倍される。乗算器22112により $m$ 倍された位相成分と、振幅・位相分離回路22111において分離された振幅成分とは、振幅・位相再結合回路22113により複素信号に再構成されて出力される。

[0063] 図13は、 $K$ シンボル平均化回路2212の構成例を示すブロック図である。同図に示すように、 $K$ シンボル平均化回路2212は、タップ長 $K$ の有限インパルス応答フィルタとして構成される。同図には、平均化長 $K=4$ の $K$ シンボル平均化回路2212の構成例を示している。

[0064] 図11に戻り、キャリア位相推定回路221の構造の説明を続ける。

$K$ シンボル平均化回路2212の出力は位相抽出回路2213に入力される。位相抽出回路2213は複素数である入力信号の位相成分を取り出して出力する。位相抽出回路2213の出力は、例えば $-\pi \sim +\pi$ ラジアン、さしわたし $2\pi$ の値をとる。このとき、 $\pm\pi$ の点を超えて位相が変動した場合

、出力が不連続になってしまうので、位相連続化回路 2214 により位相の取りうる範囲を理想的には±無限大まで（実際には十分大きな範囲に）拡大し、位相不連続を除去する。位相連続化のアルゴリズムは、さまざまな手法が古くから提案されており、例えば参考文献 2 に記載されているものを用いることができる（参考文献 2 : Kazuyoshi Itoh et al, APPLIED OPTICS / Vol. 21, No. 14 / 15 July 1982）。位相連続化回路 2214 により位相不連続が除去された信号が、キャリア位相推定回路 221 の出力である推定誤差位相として出力される。

[0065] 図 10 に戻り、位相補償ブロック 220 の説明を続ける。

遅延回路 223 は、キャリア位相補償回路 222 から出力される複素デジタル信号に対して、ローパスフィルタ 224 と遅延差分回路 225 とスリップ判定回路 226 とにおける信号処理に要する時間（シンボル数）の遅延を与えてスリップ補償回路 227 に出力する。すなわち、遅延回路 223 は、キャリア位相補償回路 222 から出力される複素デジタル信号がスリップ補償回路 227 に入力されるタイミングと、当該複素デジタル信号に対するスリップ判定回路 226 の判定結果がスリップ補償回路 227 に入力されるタイミングとを揃えるように遅延を与える。遅延回路 223 は、例えば、シフトレジスタを用いて構成することができる。この場合、1 シフト遅延量は 1 シンボル時間とする。

[0066] ローパスフィルタ 224 は、キャリア位相推定回路 221 が出力する推定誤差位相の変動を平滑化し、推定誤差位相における高周波成分を除去して遅延差分回路 225 に出力する。遅延差分回路 225 は、ローパスフィルタ 224 において平滑化された推定誤差位相の時間変動に比例した信号を出力する。

[0067] 遅延差分回路 225 が出力する信号は、遅延差分値  $d$  を示す信号である。遅延差分値  $d$  は、時間変動する推定誤差位相 ( $\phi(nT)$ ) を  $N$  シンボルにわたってモニタし、次式 (3) を用いて算出される。遅延差分回路 225 は、算出した遅延差分値  $d$  を示す信号をスリップ判定回路 226 に出力する。

式(3)において、 $n$ は自然数でシンボル番号であり、 $T$ はシンボル時間間隔である。

$$d = \phi(nT) - \phi((n-N)T) \quad \dots (3)$$

[0068] 図14は、本実施形態における遅延差分回路225の構成例を示すブロック図である。遅延差分回路225は、 $N$ シンボル遅延器2251、乗算器2252、及び、加算器2253を有している。ローパスフィルタ224において平滑化された推定誤差位相( $\phi(nT)$ )は、 $N$ シンボル遅延器2251と加算器2253とに入力される。 $N$ シンボル遅延器2251は、 $N$ シンボル前の推定誤差位相( $\phi((n-N)T)$ )を出力する。 $N$ シンボル遅延器2251は、例えば、シフトレジスタを用いて構成することができる。この場合、1シフト遅延量は1シンボル時間であり、記憶すべき範囲は $K$ シンボル平均化回路2212におけるフィルタタップ長 $K$ の5倍程度とする。

[0069] 乗算器2252は、 $N$ シンボル遅延器2251から出力される $N$ シンボル前の推定誤差位相に(-1)を乗じて加算器2253を出力する。加算器2253は、ローパスフィルタ224から出力される推定誤差位相と、乗算器2252から出力される値とを加算する。すなわち、加算器2253は式(3)の演算を行い、演算結果を遅延差分値 $d$ として出力する。

[0070]  $N$ シンボル遅延器2251における $N$ (遅延シンボル数)は、 $K$ シンボル平均化回路2212におけるフィルタのタップ数の平均値に対して1~5倍程度の範囲で予め設定される。 $N$ は、例えば、図7において示したような推定誤差位相の急峻な変動を検出できるように、且つ推定誤差位相の揺らぎなどによる変動による誤検出が発生しにくい値が設定される。このような構成を有する遅延差分回路225から出力される信号は、推定誤差位相の時間的傾き(単位時間あたりの傾きの変化量)に比例する量を示す。 $N$ の最適値はシミュレーション等により求めることができる。例えば、 $K$ シンボル平均化回路2212におけるフィルタのタップ長 $K$ が17である場合には、 $K$ の約3倍の $N=50$ 付近に最適な値が存在することがシミュレーション等により推測されている。

[0071] 図10に戻って、位相補償ブロック220の説明を続ける。

スリップ判定回路226は、遅延差分回路225から出力される遅延差分値 $d$ と予め定められた検出閾値とを比較し、位相サイクルスリップが発生したか否かと、位相サイクルスリップが発生した場合にはその方向を判定する。図7に示したように推定位相誤差の急峻な変動が生じた場合に、遅延差分値 $d$ の絶対値が増大する。位相サイクルスリップが発生したか否かの判定は、 $d$ が $L$ シンボル程度にわたり連続して閾値を超えたか否かに基づいて行われる。ここで $L$ は、前述の遅延差分回路225の遅延値 $N$ に対応する値であり、 $0 < L < N$ を満たす値とする。例えば、 $N$ の6割程度の値( $N \times 0.6$ )とする。スリップ判定回路226は、位相サイクルスリップが発生したか否かの判定結果と、位相サイクルスリップが発生したときにはその回転方向とを示すスリップ判定信号をスリップ補償回路227に出力する。

[0072] また、遅延差分値 $d$ に対する検出閾値は、変調フォーマットによって異なる。例えば、QPSK方式やQAM方式を用いている場合には、おおむね1ラジアン程度の値が用いられる。ただし、実際には位相ノイズの量等の条件に応じて、位相補償ブロック220から出力する複素デジタル信号に残留する位相サイクルスリップの発生頻度(残留スリップ頻度)を最小化するような検出閾値を設定することが適当である。位相サイクルスリップの発生頻度は、例えば、(位相サイクルスリップ発生回数) / (送信シンボル数)で算出される。

[0073] 遅延差分値 $d$ に対する検出閾値を、例えば、シミュレーションや実測結果などに基づいて設定する。なお、最適な値が取り得る範囲は、QPSK方式やQAM方式などのようにコンスタレーションにおいてシンボル間の位相差が $(\pi/2)$ ラジアンである変調フォーマットに対しては、0ラジアンから $(\pi/2)$ ラジアンまでの範囲となる。また、 $m$ -PSK方式の変調フォーマットに対しては、0ラジアンから $(2\pi/m)$ ラジアンまでの範囲となる。

[0074] また、光信号送信装置11における局部発信レーザと光信号受信装置13

における局部発振レーザとの発信周波数の差によって生じる周波数オフセットが存在し、周波数オフセット補償回路 2 1 において十分に補償できていない場合には、残留周波数オフセットに応じて検出閾値を変更することが望ましい。

[0075] スリップ補償回路 2 2 7 には、スリップ判定回路 2 2 6 から出力されるスリップ判定信号と、遅延回路 2 2 3 から出力される複素デジタル信号とが入力される。スリップ補償回路 2 2 7 は、スリップ判定信号に応じて切り替える位相補償量に基づいて、複素デジタル信号の位相を補償する。スリップ補償回路 2 2 7 における位相補償量は、変調フォーマットが Q P S K 方式又は Q A M 方式である場合、 $0^{\circ}$ 、 $90^{\circ}$ 、 $180^{\circ}$ 、 $270^{\circ}$  のいずれかである。位相補償量は、例えば、初期値が  $0^{\circ}$  であり、スリップ判定信号に応じて  $90^{\circ}$  単位で正回転又は負回転に切り替えられる。ここで、正回転は位相が増加する回転であり、負回転は位相が減少する回転である。

[0076] 具体的には、スリップ判定信号が正回転方向の位相サイクルスリップが発生したことを示す場合には、現在の位相補償量を  $-90^{\circ}$  した値に位相補償量を切り替える更新を行う。また、スリップ判定信号が負回転方向の位相サイクルスリップが発生したことを示す場合には、現在の位相補償量を  $+90^{\circ}$  した値に位相補償量を切り替える更新を行う。

[0077] また、変調フォーマットが  $m$ -P S K 方式である場合には、複素デジタル信号に対する位相補償量の切り替えは  $(360^{\circ} / m)$  単位で行われる。また、スリップ判定信号に応じて切り替えた位相補償量は、次に位相サイクルスリップの発生が検出されるまで維持される。スリップ補償回路 2 2 7 は、スリップ判定信号で切り替えられる位相補償量による位相の補償を、遅延回路 2 2 3 から出力される複素デジタル信号に対して常に行う。

[0078] 図 1 5 は、本実施形態におけるスリップ判定回路 2 2 6 が行うスリップ判定処理を示すフローチャートである。スリップ判定回路 2 2 6 は、処理を開始すると、遅延差分回路 2 2 5 が出力する遅延差分値  $d$  を入力する（ステップ S 1 0 1）。

スリップ判定回路226は、入力した遅延差分値 $d$ の絶対値が予め定められた検出閾値 $T_h$ より大きいかなかを判定する（ステップS102）。

[0079] 絶対値が検出閾値 $T_h$ より大きくない場合（ステップS102：NO）、スリップ判定回路226は、パラメータ $p$ 、 $q$ に0を代入して初期化し（ステップS103）、処理をステップS101に戻す。パラメータ $p$ は遅延差分値 $d$ が正回転方向に検出閾値 $T_h$ を連続して超えたシンボル数をカウントするためのパラメータである。パラメータ $q$ は遅延差分値 $d$ が負回転方向に検出閾値 $T_h$ を連続して超えたシンボル数をカウントするためのパラメータである。

一方、絶対値が検出閾値 $T_h$ より大きい場合（ステップS102：YES）、スリップ判定回路226は、遅延差分値 $d$ が0より大きいかなかを判定する（ステップS104）。

[0080] 遅延差分値 $d$ が0より大きくない場合（ステップS104：NO）、スリップ判定回路226は、パラメータ $q$ を1増加させ（ステップS105）、パラメータ $q$ が判定閾値 $L$ を超えたかなかを判定する（ステップS106）。

判定閾値 $L$ は、上述したとおり遅延差分回路225の遅延値 $N$ に対応して予め定められる値であり、例えば、 $N$ の6割程度の値（ $N \times 0.6$ ）とする。なお、判定閾値 $L$ は、遅延差分値 $d$ のばらつき具合や、シンボル間の時間間隔などに応じて定めるようにしてもよいし、シミュレーションや実測値に基づいて位相サイクルスリップの誤検出が所定の値以下になるように定めるようにしてもよい。

[0081] パラメータ $q$ の値が判定閾値 $L$ を超えていない場合（ステップS106：NO）、スリップ判定回路226は、処理をステップS101に戻す。

パラメータ $q$ の値が判定閾値 $L$ を超えていた場合（ステップS106：YES）、スリップ判定回路226は、負回転方向の位相サイクルスリップが発生したと判定し、負回転方向の位相サイクルスリップが発生したことを示すスリップ判定信号をスリップ補償回路227に出力し（ステップS107

）、処理をステップS101に戻す。

[0082] ステップS104において遅延差分値 $d$ が0より大きい場合（ステップS104：YES）、スリップ判定回路226は、パラメータ $p$ を1増加させ（ステップS108）、パラメータ $p$ が判定閾値 $L$ を超えたか否かを判定する（ステップS109）。

[0083] パラメータ $p$ の値が判定閾値 $L$ を超えていない場合（ステップS109：NO）、スリップ判定回路226は、処理をステップS101に戻す。

パラメータ $p$ の値が判定閾値 $L$ を超えている場合（ステップS109：YES）、スリップ判定回路226は、正回転方向の位相サイクルスリップが発生したと判定し、正回転方向の位相サイクルスリップが発生したことを示すスリップ判定信号をスリップ補償回路227に出力し（ステップS110）、処理をステップS101に戻す。

[0084] 上記のように、スリップ判定回路226は、 $L$ シンボルにわたって連続して遅延差分値 $d$ の絶対値が検出閾値 $T_h$ を超える場合、すなわち差分遅延値 $d$ が大きく変化した場合に位相サイクルスリップが発生したと判定する。このとき、スリップ判定回路226は、正の値をとる検出閾値 $T_h$ （ $T_h > 0$ ；上側検出閾値）を遅延差分値 $d$ が超えているときに正回転の位相サイクルスリップが発生したと判定する。また、スリップ判定回路226は、負の値をとる検出閾値（ $-T_h$ ）（下側検出閾値）を遅延差分値 $d$ が下回っているときに負回転の位相サイクルスリップが発生したと判定する。

[0085] スリップ補償回路227は、スリップ判定回路226による判定結果を示すスリップ判定信号に基づいて位相補償量を切り替え、遅延回路223から出力される複素デジタル信号に対する補償を行う。

ところで、位相サイクルスリップが発生してから、それがスリップ判定回路226によって検出されスリップ補償回路227における位相補償量が切り替えられるまでにはタイムラグが生じる。このタイムラグは、ローパスフィルタ224と遅延差分回路225とスリップ判定回路226とスリップ補償回路227とにおける処理時間である。遅延回路223がこのタイムラグ

を補償している。これにより、キャリア位相補償回路 222 から出力される複素デジタル信号に対して、スリップ判定信号に応じた位相補償量による位相サイクルスリップの補償がスリップ補償回路 227 において行われる。

[0086] このように、位相補償回路 22 において、キャリア位相推定回路 221 の出力をモニタすることで、パイロットシンボル等の冗長な信号を用いることなく、発生した位相サイクルスリップを即座に検出し、訂正することができる。これにより、位相サイクルスリップの実質的な発生頻度を抑制することができ、パイロットシンボル等による信号の冗長度を小さく抑えつつ絶対位相を利用したコヒーレント光通信が可能になる。なお、冗長度は、例えば、 $(\text{単位時間あたりのパイロットシンボル数}) / (\text{単位時間あたりのそう親善シンボル数})$  で算出される。

[0087] また、位相補償回路 22 において、キャリア位相推定回路 221 と遅延差分回路 225 との間にローパスフィルタ 224 を設けていることにより、推定誤差位相の揺らぎやノイズによる変動を平滑化している。これにより、遅延差分値  $d$  を用いた位相サイクルスリップの検出精度を向上させることができる。

[0088] ここで、本実施形態におけるデジタル信号処理部 18 の各回路を計算機上に実装して、光伝送実験データのオフライン復調を行った結果について示す。ここでは、ビット誤り率とシンボルスリップ率とを評価した。図 16 は、光伝送実験データの取得に用いた実験装置の構成を示す概略ブロック図である。同図において「off line DSP」と記載されているブロックがデジタル信号処理部 18 に対応する。

[0089] 図 17 は、図 16 に示した実験装置により得られた光伝送実験データのオフライン復調を行った結果を示すグラフである。同図において、横軸はキャリア位相推定回路 221 及び  $K$  シンボル平均化回路 2212 におけるタップ長を示し、縦軸はビット誤り率 (BER) 及びシンボルスリップ率 (Slip Rate) を示している。同図には、本実施形態における位相サイクルスリップ補償を行った結果と、対比例としての位相サイクルスリップ補償を行

わない結果とが示されている。同図に示すように、位相サイクルスリップ補償を行うことにより、位相補償回路 22 の後段において位相サイクルスリップの発生頻度を  $1/20$  程度に抑制することができる。また、ビット誤り率  $2 \times 10^{-2}$  という厳しい条件下においても、位相サイクルスリップの頻度を  $10^{-6}$  台に抑えることができる。

[0090] この位相サイクルスリップの発生頻度であれば、冗長度 1% 程度のパイロットシンボルを用いて位相サイクルスリップによるバースト誤りの影響を、前方誤り訂正の許容しきい値以下に抑えられるため、差動コーディングを回避することが可能である。例えば、ビット誤り率  $1 \times 10^{-2}$  を得るために必要な光信号雑音比の条件は、差動コーディング回避により 1.1 ~ 1.4 dB 程度緩和することができる。

[0091] (第 6 の実施形態)

第 5 の実施形態におけるスリップ判定回路 226 では、位相サイクルスリップの発生を検出する際に用いる検出閾値を固定値としていた。第 6 の実施形態では、第 5 の実施形態に対する変形例として、検出閾値を遅延差分値  $d$  に応じて変更して、検出閾値を適応的に定める構成について説明する。

図 18 は、第 6 の実施形態における位相補償ブロック 320 の構成を示すブロック図である。ここでは、X 偏波に対応する位相補償ブロック 320 を示しているが、Y 偏波に対しても同じ位相補償ブロック 320 を用いる。

[0092] 本実施形態における位相補償ブロック 320 は、キャリア位相推定回路 221、キャリア位相補償回路 222、遅延回路 223、ローパスフィルタ 224、遅延差分回路 225、スリップ判定回路 326、スリップ補償回路 227、及び、閾値算出回路 328 を有している。位相補償ブロック 320 は、スリップ判定回路 226 に代えてスリップ判定回路 326 を有していること、及び、閾値算出回路 328 を有していることが第 5 の実施形態における位相補償ブロック 220 (図 10) と異なっている。なお、位相補償ブロック 320 において、第 5 の実施形態と同じ構成に対しては、同じ符号を付してその説明を省略する。

[0093] スリップ判定回路 326 には、遅延差分回路 225 から出力される遅延差分値  $d$  と、閾値算出回路 328 が算出する上側検出閾値及び下側検出閾値を含む検出閾値とが入力される。スリップ判定回路 326 は、遅延差分値  $d$  が L シンボルにわたって連続して上側検出閾値を超えると、正回転の位相サイクルスリップが発生したと判定する。また、スリップ判定回路 326 は、遅延差分値  $d$  が L シンボルにわたって連続して下側検出閾値を下回ると、負回転の位相サイクルスリップが発生したと判定する。スリップ判定回路 326 は、位相サイクルスリップが発生したか否かの判定結果と、位相サイクルスリップが発生したときにはその回転方向とを示すスリップ判定信号をスリップ補償回路 227 に出力する。

[0094] 閾値算出回路 328 は、遅延差分回路 225 から出力される遅延差分値  $d$  を入力し、遅延差分値  $d$  に応じて検出閾値を算出する。図 19 は、本実施形態における閾値算出回路 328 の構成例を示すブロック図である。閾値算出回路 328 は、乗算器 3281、加算器 3282、乗算器 3283、遅延器 3284、加算器 3285、及び、減算器 3286 を有している。

[0095] 乗算器 3281 には遅延差分値  $d$  が入力される。乗算器 3281 は、入力された遅延差分値  $d$  と予め定められた係数  $\alpha$  とを乗算し、乗算結果を加算器 3282 に出力する。加算器 3282 には、乗算器 3281 から乗算結果と、遅延器 3284 から出力される値とが入力される。加算器 3282 は、遅延器 3284 から出力される値と乗算結果とを加算し、加算結果を乗算器 3283 と加算器 3285 と減算器 3286 とに出力する。

[0096] 乗算器 3283 は、加算器 3282 から出力される加算結果と係数  $(1 - \alpha)$  とを乗算し、乗算結果を遅延器 3284 に出力する。遅延器 3284 は、乗算器 3283 から出力される乗算結果を 1 シンボル分遅延させてから加算器 3282 に出力する。

すなわち、閾値算出回路 328 では乗算器 3281 と加算器 3282 と乗算器 3283 と遅延器 3284 とにより、次式 (4) で示すように遅延差分値  $d$  の指数移動平均  $D$  が算出される。 $n$  はシンボル番号である。 $\alpha$  は忘却係

数である。

$$D(n+1) = (1-\alpha)D(n) + \alpha d(n) \quad \dots (4)$$

[0097] 加算器3285は、加算器3282から出力される加算結果（指数移動平均D）と、予め定められた閾値幅とを加算し、加算結果を上側検出閾値として出力する。減算器3286は、加算器3282から出力される加算結果（指数移動平均D）から閾値幅を減算し、減算結果を下側検出閾値として出力する。閾値幅は、例えば、1ラジアン程度である。閾値幅には、第5の実施形態における検出閾値Thと同じように変調フォーマットに応じた値が定められる。

[0098] 上記の構成により閾値算出回路328が遅延差分値dに基づいて上側検出閾値と下側検出閾値とを含む検出閾値を適応的に算出することにより、位相補償ブロック320に入力される複素デジタル信号に周波数オフセットが残留している場合においても、位相サイクルスリップの検出及び補償を精度よく行うことができる。

[0099] 図20Aおよび20Bは、検出閾値を固定値にした場合と、検出閾値を遅延差分値dに応じて定めた場合とを比較するグラフである。同図には、検出閾値を固定値にした場合と、検出閾値を遅延差分値dに応じて定めた場合におけるビット誤り率（BER）及びシンボルスリップ率（SlipRate）の一例が示されている。同図において、横軸は周波数オフセットを示し、縦軸はビット誤り率（BER）及びシンボルスリップ率（SlipRate）を示している。なお、Kシンボル平均化回路2212におけるタップ長Kを17とし、遅延差分回路225において遅延量を60シンボルとし、光信号雑音比（OSNR）を12.5dBとした。なお、他の条件は図16に示した実験装置における条件に準じている。

[0100] 図20Aは、検出閾値を1ラジアンに固定した場合のビット誤り率及びシンボルスリップ率と周波数オフセットとの関係を示している。なお、シンボルスリップ率は、正回転方向と、負回転方向と、それらの合計とが示されている。同図に示すように、周波数オフセットが10MHz程度の幅であれば

、（ビット誤り率／シンボルスリップ率）が $10^3$ の良好な特性が示されている。しかし、周波数オフセットが $50\text{MHz}$ 付近になると、シンボルスリップ率が2桁以上悪化してしまっている。

[0101] 図20Bは、検出閾値を遅延差分値 $d$ に応じて定めた場合のビット誤り率及びシンボルスリップ率と周波数オフセットとの関係を示している。なお、閾値幅を1ラジアンとし、忘却係数 $\alpha$ を $1 \times 10^{-3}$ としている。上側検出閾値と下側検出閾値とを遅延差分値 $d$ に応じて定めることにより、周波数オフセットが $50\text{MHz}$ 付近であっても、 $10^3$ 以上の（ビット誤り率／シンボルスリップ率）を得ることができる。

このように、検出閾値を遅延差分値 $d$ に応じて定めることにより、位相補償ブロック320に入力される複素デジタル信号に周波数オフセットが残留している場合であっても、位相サイクルスリップに対する検出及び補償の精度を向上させることができる。

[0102] （第7の実施形態）

第5の実施形態におけるスリップ判定回路226は、1つの遅延差分回路225から入力される遅延差分値 $d$ に基づいて、位相サイクルスリップが発生したか否かを判定する構成であった。第7の実施形態では、異なる遅延数（ $N$ シンボル）の遅延差分回路225を複数設け、それぞれの遅延差分回路225から出力される遅延差分値 $d$ ごとに位相サイクルスリップが発生したか否かを判定する。それぞれの判定結果に基づいた多数決判定をすることにより、位相サイクルスリップを検出する精度を向上させる。

[0103] 図21は、第7の実施形態における位相補償ブロック420の構成を示すブロック図である。ここでは、 $X$ 偏波に対応する位相補償ブロック420を示しているが、 $Y$ 偏波に対しても同じ位相補償ブロック420を用いる。位相補償ブロック420は、キャリア位相推定回路221、キャリア位相補償回路222、遅延回路223、ローパスフィルタ224、3つの遅延差分回路225-1～225-3、スリップ判定回路426、及び、スリップ補償回路227を有している。

[0104] 位相補償ブロック420は、複数の遅延差分回路225を有していること、及び、スリップ判定回路226に代えてスリップ判定回路426を有していることが第5の実施形態における位相補償ブロック220（図10）と異なっている。なお、位相補償ブロック420において、第5の実施形態と同じ構成に対しては、同じ符号を付してその説明を省略する。

[0105] 遅延差分回路225-1～225-3は、第5の実施形態における遅延差分回路225と同じ構成を有しているが、Nシンボル遅延器2251による遅延量が異なる。

スリップ判定回路426は、遅延差分回路225-1～225-3それぞれから出力される遅延差分値dごとにスリップ判定処理（図15）を行う。スリップ判定回路426は、各遅延差分値dに対して行われた判定結果を用いた多数決判定を行うことにより、位相サイクルスリップが発生したか否か、及び、位相サイクルスリップが発生したと判定した場合における回転方向を判定する。具体的には、スリップ判定処理における判定結果のうち少なくとも2つが同じ回転方向の位相サイクルスリップが発生したと判定した場合に、位相サイクルスリップが発生したことを示すスリップ判定信号をスリップ補償回路227に出力する。

[0106] このように、遅延差分値dに対する複数の判定を行うことにより、ノイズ等の影響による位相サイクルスリップの誤検出を抑制し、位相サイクルスリップの検出及び補償の精度を向上させることができる。

なお、本実施形態では、位相補償ブロック420が3つの遅延差分回路225を有する構成について説明したが、2つの遅延差分回路225又は4つ以上の遅延差分回路225を有する構成であってもよい。

[0107] （第8の実施形態）

上記の各実施形態では、位相サイクルスリップの発生が検出された際に変調フォーマットに応じて定められた位相補償量による位相サイクルスリップの補償を行う構成について説明した。すなわち、位相補償量は、予め定められた離散的な値となっていた。第8の実施形態では、位相サイクルスリップ

を検出した際に複素デジタル信号に対して行う位相サイクルスリップの補償における位相補償量を、推定誤差位相に応じた値とする。

[0108] 図22は、第8の実施形態における位相補償ブロック520の構成を示すブロック図である。ここでは、X偏波に対応する位相補償ブロック520を示しているが、Y偏波に対しても同じ位相補償ブロック520を用いる。位相補償ブロック520は、キャリア位相推定回路221、キャリア位相補償回路222、遅延回路223、ローパスフィルタ224、遅延差分回路225、スリップ判定回路226、スリッPtranジェント補償回路527、及び、スロープ算出回路528を有している。

[0109] 位相補償ブロック520は、スリップ補償回路227に代えてスリッPtranジェント補償回路527を有していること、及び、スロープ算出回路528を有していることが第5の実施形態における位相補償ブロック220（図10）と異なっている。なお、位相補償ブロック520において、第5の実施形態と同じ構成に対しては、同じ符号を付してその説明を省略する。

[0110] スリッPtranジェント補償回路527は、スロープ算出回路528から入力される補償量差分に基づいて、遅延回路223から出力される複素デジタル信号に対する位相補償量を更新する。位相補償量は、例えば、初期値が $0^\circ$ であり、補償量差分に基づいて更新される。

[0111] スロープ算出回路528には、ローパスフィルタ224から出力される推定誤差位相と、スリップ判定回路226から出力されるスリップ判定信号とが入力される。スロープ算出回路528は、位相サイクルスリップが発生したと判定されると、スリップ判定信号が示す回転方向の補償量差分を算出し、算出した補償量差分をスリッPtranジェント補償回路527に出力する。スロープ算出回路528は、推定誤差位相に基づいて補償量差分を算出する。

[0112] 例えば、スロープ算出回路528は、推定誤差位相に所定の係数を乗じて得られた値を補償量差分とする。この所定の係数は1でもよい。また、補償量差分が取り得る範囲は、変調フォーマットに応じた範囲である。例えば、

変調フォーマットがQPSK方式やQAM方式である場合には、正回転方向の位相サイクルスリップに対しては $0 \sim \pi/2$ の範囲であり、負回転方向の位相サイクルスリップに対しては $-\pi/2 \sim 0$ の範囲である。

[0113] このように、位相サイクルスリップが発生した際の位相補償量の変化量を推定誤差位相に応じて決定することにより、位相補償を行った際に生じる複素デジタル信号における位相の変化量を小さくすることができる。これにより、位相補償回路22の後段における信号処理に与える影響を抑えつつ、位相サイクルスリップの検出及び補償の精度を向上させることができる。

[0114] なお、本実施形態においては、遅延回路223における遅延量を、ローパスフィルタ224からスロープ算出回路528までの処理に要する時間（シンボル数）より大きい値としてもよい。これにより、位相サイクルスリップが発生したと判定されたタイミング前後にわたって、推定誤差位相に応じた位相補償量による位相補償を、遅延回路223から出力される複素デジタル信号に対して行うことができる。例えば、図7において破線で囲まれた期間にわたって位相補償を行うことができる。

[0115] なお、上記の各実施形態では、データシンボルのみを用いてブラインドでキャリア位相の推定及び補償を行う構成について説明したが、時間多重されたパイロットシンボルを併用するようにしてもよい。これにより、キャリア位相の推定精度を高めることができる。

また、上記の第4～第8の各実施形態では、ローパスフィルタ224が遅延差分値 $d$ を平滑化する構成について説明した。しかし、位相補償回路22におけるローパスフィルタ224による平滑化に代えて、遅延差分回路225において複数の過去の推定位相誤差と現在の推定位相誤差との差分の平均値を遅延差分値 $d$ としてもよい。例えば、 $N$ シンボル前の推定位相誤差とその前後の推定位相誤差とを含む複数の過去の推定位相誤差から遅延差分値 $d$ を算出する。これにより、ローパスフィルタ224と同様の処理を行うことができる。

[0116] また、上記の第4～第8の各実施形態では、X偏波とY偏波とに対して同

じ構成の位相補償ブロックを用いる構成について説明したが、X偏波とY偏波とに対して各実施形態における位相補償ブロックのうち異なる構成の位相補償ブロックを組み合わせて用いるようにしてもよい。

[0117] また、上記の第4～第8の各実施形態における構成を組み合わせて用いるようにしてもよい。例えば、第7の実施形態や第8の実施形態において、第6の実施形態で示した閾値算出回路328を有する構成としてもよい。第7の実施形態に閾値算出回路328を適用する場合には、複数の遅延差分回路225ごとに閾値算出回路328を設けるようにする。また、第8の実施形態において、複数の遅延差分回路225を有するようにしてもよい。

[0118] なお、上記の第4～第8の各実施形態におけるデジタル信号処理部18の機能を実現するためのプログラムは、カスタムLSI（ASIC）あるいはFPGA上に実装することで実現することができる。

[0119] また、上記プログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することにより複素デジタル信号からデータを取得する処理を行ってもよい。なお、ここでいう「コンピュータシステム」とは、OSや周辺機器等のハードウェアを含むものとする。また、「コンピュータシステム」は、ホームページ提供環境（あるいは表示環境）を備えたWWWシステムも含むものとする。また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、CD-ROM等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。更に「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムが送信された場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリ（RAM）のように、一定時間プログラムを保持しているものも含むものとする。

[0120] また、上記プログラムは、このプログラムを記憶装置等に格納したコンピュータシステムから、伝送媒体を介して、あるいは、伝送媒体中の伝送波に

より他のコンピュータシステムに伝送されてもよい。ここで、プログラムを伝送する「伝送媒体」は、インターネット等のネットワーク（通信網）や電話回線等の通信回線（通信線）のように情報を伝送する機能を有する媒体のことをいう。また、上記プログラムは、前述した機能の一部を実現するためのものであってもよい。更に、前述した機能をコンピュータシステムに既に記録されているプログラムとの組み合わせで実現できるもの、いわゆる差分ファイル（差分プログラム）であっても良い。

[0121]（第9の実施形態）

図23は、第9の実施形態における受信装置の構成例を示すブロック図である。同図に示す受信装置は、デジタルコヒーレント伝送システムにおいて本発明を適用したものである。受信装置には、光ファイバ伝送路で伝送された光信号が入力される。受信装置は、入力される光信号に含まれるデータを取得し、取得したデータを後段に接続された装置等へ出力する。受信装置は、局発レーザ発生器4001、光90度ハイブリッド4002、光電変換部4003、ADコンバータ4004、波長分散補償部4005、適応等化部4006、周波数オフセット補償部4007、位相補償部4008、誤り訂正・判定部4009、及び、クライアントインタフェース4010を具備している。

[0122] 受信装置に入力される光信号は光90度ハイブリッド4002に入力され、局発レーザ発生器4001が出力する局部発振レーザと光90度ハイブリッド4002においてミキシングされてホモダイン検波又はヘテロダイン検波される。検波により得られた光信号は、光電変換部4003においてベースバンドのアナログ電気信号に変換される。このアナログ電気信号は、ADコンバータ4004においてデジタル化され、波長分散補償部4005に出力される。ADコンバータ4004から出力されるデジタル信号は、同相成分Iと直交成分Qとを有する複素数で表されるシンボルを示す信号である。

[0123] 波長分散補償部4005は、ADコンバータ4004から入力されるシンボルに対して、波長分散による波形歪みを補償する。適応等化部4006は

、波長分散補償部4005において波形歪みが補償されたシンボルに対して、線形偏波クロストークや偏波モード分散などにより生じた歪みを補償する。周波数オフセット補償部4007は、適応等化部4006において歪みが補償されたシンボルに対して、光信号を送信する送信装置と受信装置との間で発生しうる周波数オフセットによる影響を補償する。周波数オフセットは、例えば、送信装置と受信装置とで用いる局部発振レーザの周波数ずれにより生じる。

[0124] 位相補償部4008は、周波数オフセット補償部4007において周波数オフセットが補償されたシンボルに対して、位相の補償を行い位相サイクルスリップの発生を低減させる。誤り訂正・判定部4009は、位相補償部4008において位相が補償されたシンボルを復調し、復調により得られたデータに対する誤り検出及び誤り訂正を行った後に、データをクライアントインタフェース4010に入力する。クライアントインタフェース4010は、受信装置の後段に接続された装置において用いられる信号フォーマットやフレーム構成に応じて、誤り訂正・判定部9から入力されたデータを変換して出力する。

[0125] 受信装置において、波長分散補償部4005からクライアントインタフェース4009までを含むデジタル信号処理部には、受信した光信号をコヒーレント検波を用いて電気信号に変換し、電気信号をデジタル信号に変換した受信信号が入力される。デジタル信号処理部に入力される受信信号は、送信装置において用いられる変調方式に基づいてデータがマッピングされたシンボル列を示す信号である。受信装置において、光ファイバ伝送路や送信装置及び受信装置で付加された波形の歪みと雑音とは、波長分散補償部4005や適応等化部4006において低減又は補償される。本発明が適用される位相補償部4008は、搬送波に重畳された位相雑音を推定して取り除く又は低減させることを目的としている。

[0126] 図24は、本実施形態における位相補償部4008の構成例を示すブロック図である。位相補償部4008は、N乗回路4011、平均化回路401

2、角度算出回路4013、アンラップ回路4014、除算回路4015、複素数算出回路4016、遅延回路4017、乗算回路4018、タップ係数算出回路4020、遅延回路4021、及び、乗算回路4022を備えている。位相補償部4008は、従来の位相補償部と比較して、タップ係数算出回路4020、遅延回路4021、及び、乗算回路4022を更に備えた構成となっている。

[0127] タップ係数算出回路4020には、N乗回路4011における演算結果が入力される。タップ係数算出回路4020は、入力される演算結果（N乗されたシンボル）に基づいて、タップ係数を算出する。遅延回路4021にはN乗回路4011における演算結果が入力される。遅延回路4021は、入力される演算結果に対して遅延を与えて、演算結果を対応するタップ係数と同じタイミングで乗算回路4022に入力する。乗算回路4022には、遅延回路4021において遅延が与えられたシンボルと、タップ係数算出回路4020が算出するタップ係数とが入力される。

乗算回路4022は、入力されるシンボルとタップ係数とを乗算し、乗算結果を平均化回路4012に出力する。

[0128] フィードフォワード型のタップ係数算出回路4020では、Xシンボル前のキャリア位相推定に用いたタップ係数の一部を現在のキャリア位相推定に用いることで、フィードフォワード構成を実現する。例えば、Xシンボル前のキャリア位相推定に用いたタップ係数をXタップだけシフトし、抜け落ちたXタップには「1」を初期値として設定して現在の位相キャリア推定に用いる。Xは1以上の整数であり、上限は概ね位相雑音の記憶長程度である。また、タップ係数は0以上1以下の実数とする。位相雑音の記憶長は、コヒーレント性の保たれる時間に対応する。コヒーレント性の保たれる時間を示す指標としては、例えば、コヒーレント時間を用い、コヒーレント時間は光源の位相雑音の幅の逆数の関数である。

[0129] 位相補償部4008ではXシンボル前のキャリア位相推定そのものを用いることなく、タップのシフト処理のみで対応できるという意味で本明細書に

において、これをフィードフォワード構成という。

[0130] 図25は、本実施形態におけるN乗回路4011においてシンボルをN乗した後のコンスタレーションマップの一例を示す図である。単一シンボルのキャリア位相を推定するために、その前後M個のシンボルが使用され、それらが図中にプロットされている。これらM個のシンボルはこの後複素平面上で算術的に足し合わされるが、それぞれのシンボルが示す振幅には雑音や干渉などの伝送中に受ける影響でばらつきが見られる。特に、雑音や干渉などの影響を大きく受けたシンボルの振幅が、他のシンボルの振幅より極端に大きい場合、これらM個のシンボル平均に与える影響が大きい。そのため、キャリア推定位相値が真値より大きく外れてしまうことがあり、位相サイクルスリップを発生させる原因の一つとなっている。

[0131] 図26は、本実施形態におけるタップ係数算出回路4020の構成例を示すブロック図である。タップ係数算出回路4020は、バッファ4201及び4202、 $(X-1)$ 個の減算器4203-2~4203-X、 $(X-1)$ 個の絶対値算出器4204-2~4204-X、加算器4205、並びに、累乗器4206を有している。N乗回路4011(図24)からタップ係数算出回路4020に入力されるシンボルは、バッファ4201とバッファ4202とに入力される。バッファ4201は、入力されるシンボルを記憶し、新たなシンボルが入力されると当該シンボルで記憶しているシンボルを更新する。バッファ4202は、入力されるシンボルをX個記憶することができ、新たなシンボルが入力されると記憶しているシンボルのうち最も古いシンボルを削除し、新たなシンボルを記憶する。バッファ4202は、例えばシフトレジスタで構成される。

[0132] 減算器4203-2~減算器4203-Xと、絶対値算出器4204-2~4204-Xとはそれぞれは、バッファ4202に記憶される2番目に新しいシンボルから最も古いシンボル(X番目に新しいシンボル)に対応して設けられている。減算器4203-2は、バッファ4202に記憶されている2番目に新しいシンボルと、バッファ4201に記憶されているシンボル

との差分を算出し、算出した差分値を絶対値算出器4204-2に入力する。2つのシンボルにおける差分の算出とは、例えば、2つの被演算シンボルをそれぞれ $(1+2i)$ 、 $(3+4i)$ としたとき、これらの差分値は $(-2-2i)$ 又は $(2+2i)$ となる。

ただし $i$ は虚数単位である。すなわち、複素数で表される2つのシンボルの差分の算出とは、実部と虚部とをそれぞれ引き算することを意味する。

[0133] 絶対値算出器4204-2は、入力される差分値の絶対値を算出して加算器4205に出力する。同様に、減算器4203- $i$  ( $i=3, \dots, X$ )は、バッファ4202に記憶されている $i$ 番目に新しいシンボルと、バッファ4201に記憶されているシンボルとの差分を算出し、算出した差分値を絶対値算出器4204- $i$ に出力する。絶対値算出器4204- $i$  ( $i=3, \dots, X$ )は、入力される差分値の絶対値を算出して加算器4205に出力する。

[0134] 加算器4205は、絶対値算出器4204-2~4204- $X$ それぞれから算出される絶対値の総和を算出し、算出した総和を累乗器4206に入力する。累乗器4206は、入力される総和を $p$ 乗して得られた値を、バッファ4201に記憶されているシンボルに対応するタップ係数として乗算回路4022 (図24)に出力する。

上記の構成を有することにより、タップ係数算出回路4020は、入力されたシンボルを、その $(X-1)$ 個前のシンボルとそれぞれ差分演算をした後に、複素平面上でのユークリッド距離に対応する絶対値を算出し、それらの総和を $p$ 乗して得られた値を、入力されたシンボルに対するタップ係数として出力する。

なお、本実施形態において、最も新しいシンボルを基準としてユークリッド距離を算出したが、 $X$ 個のシンボルのいずれを用いてもよい。なお、累乗器4206における冪数 $p$ は予め定められた値が用いられる。

[0135] (第10の実施形態)

図27は、第10の実施形態におけるタップ係数算出回路4020Aの構

成例を示すブロック図である。タップ係数算出回路4020Aは、位相補償部4008（図24）において、タップ係数算出回路4020に代えて用いられる。タップ係数算出回路4020Aは、遅延器4211、減算器4212、絶対値算出器4213、バッファ4214、加算器4215、及び、累乗器4216を有している。N乗回路4011（図24）からタップ係数算出回路4020Aに入力されるシンボルは、遅延器4211と減算器4212とに入力される。遅延器4211は、入力されるシンボルを記憶し、入力されたシンボルの1つ前のシンボルを減算器4212に入力する。減算器4212は、N乗回路4011から入力されるシンボルと、遅延器4211から入力されるシンボルとの差分値を算出し、算出した差分値を絶対値算出器4213に入力する。

[0136] 絶対値算出器4213は、減算器4212から入力される差分値の絶対値を算出してバッファ4214に出力する。バッファ4214は、絶対値算出器4213が算出する絶対値をX個記憶することができ、新たな絶対値が算出されると記憶している絶対値のうち最も古い絶対値を削除し、新たな絶対値を記憶する。バッファ4214は、例えばシフトレジスタで構成される。なお、図27にはX=2の場合の構成が示されている。

加算器4215は、バッファ4214に記憶されている絶対値の総和を算出して累乗器4216に入力する。累乗器4216は、入力される総和をp乗して得られた値を、入力されたシンボルに対応するタップ係数として乗算回路4022（図24）に出力する。

[0137] 上記の構成を有することにより、タップ係数算出回路4020Aでは、前後L=1個のシンボル同士のユークリッド距離を算出し、それらの総和をp乗して得られた値を、入力されたシンボルに対するタップ係数として出力する。

[0138] （第11の実施形態）

図28は、第11の実施形態におけるタップ係数算出回路4020Bの構成例を示すブロック図である。タップ係数算出回路4020Bは、位相補償

部4008(図24)において、タップ係数算出回路4020に代えて用いられる。タップ係数算出回路4020Bは、バッファ4221及び4222、加算器4223、除算器4224、減算器4225、絶対値算出器4226、並びに、累乗器4227を有している。N乗回路4011(図24)からタップ係数算出回路4020Bに入力されるシンボルは、バッファ4221及び4222に入力される。バッファ4221及び4222は、第9の実施形態におけるバッファ4202と同じ構成を有しているため、その説明を省略する。

[0139] 加算器4223は、バッファ4221に記憶されているX個のシンボルの総和を算出する。

除算器4224は、加算器4223が算出したX個のシンボルの総和をXで除算する。この除算結果は、X個のシンボルの複素平面上における重心に対応する。

減算器4225は、バッファ4222に記憶されているX個のシンボルと、算出された重心との差分を算出する。減算器4225は、算出した差分値を絶対値算出器4226に入力する。絶対値算出器4226は、入力された差分値の絶対値を算出し、算出した絶対値を累乗器4227に入力する。累乗器4227は、入力される絶対値をp乗して得られた値を、バッファ4221に記憶されているX個のシンボルのうち(X/2)番目の中心のシンボルに対するタップ係数として乗算回路4022(図24)に出力する。

[0140] 上記の構成を有することにより、タップ係数算出回路4020Bでは、入力されるX個のシンボルの複製が生成され、2つのブランチへ入力される。一方のブランチに入力されたX個のシンボルの総和をXで除算して複素平面上での重心が算出される。他方のブランチに入力されたX個のシンボルはそれぞれ、重心との差の絶対値が算出され、重心とのユークリッド距離が算出される。算出されたユークリッド距離をp乗して得られる値を、X個のシンボルのうち中心のシンボルへのタップ係数とする。

[0141] なお、本実施形態では、X個のシンボルに対する重心として質量重心を算

出する構成について説明したが、加重重心を算出するようにしてもよい。また、X個のシンボルにおける最頻値、中央値、平均値などの統計量を、重心に代えて算出するようにしてもよい。また、減算器4225がバッファ4222に記憶されているX個のシンボルそれぞれと重心との差分を算出し、算出されたX個の差分値の絶対値の総和に対するp乗を累乗器4227が算出するようにしてもよい。また、バッファ4222に記憶されているX個のシンボルのうち中心のシンボルに対するタップ係数を算出することに代えて、X個のシンボルのうち任意のシンボルに対してタップ係数を算出するようにしてもよい。すなわち、算出するタップ係数の対象とするシンボルを含み連続するX個のシンボルに基づいてタップ係数を算出するようにしてもよい。

[0142] (第12の実施形態)

図29は、第12の実施形態におけるタップ係数算出回路4020Cの構成を示すブロック図である。タップ係数算出回路4020Cは、位相補償部8(図24)において、タップ係数算出回路4020に代えて用いられる。タップ係数算出回路4020Cは、バッファ4231及び4232、X個の係数乗算器4233-1~4233-X、加算器4234、角度算出器4235、並びに、閾値判定器4236を有している。N乗回路4011(図24)からタップ係数算出回路4020Cに入力されるシンボルは、バッファ4231及び4232に入力される。バッファ4231及び4232は、第9の実施形態におけるバッファ4202と同じ構成を有しているので、その説明を省略する。

[0143] 係数乗算器4233-1~4233-Xは、バッファ4231に記憶されているX個のシンボルに対応して設けられている。ここでは、係数乗算器4233-1がX個のシンボルのうち最も新しいシンボルに対応し、係数乗算器4233-2~4233-Xが2番目に新しいシンボルからX番目のシンボルまでに対応している。係数乗算器4233-1は、予め定められたタップ係数、例えば1を最も新しいシンボルに乗算して加算器4234に出力する。係数乗算器4233-2は、1つ前のシンボルに対して閾値判定器42

36が定めたタップ係数を、2番目に新しいシンボルに乗算して加算器4234に出力する。

[0144] 係数乗算器4233-i (i=3, ..., X)は、1つ前のシンボルに対するタップ係数を算出する処理において係数乗算器4233-(i-1)がシンボルに対して乗算したタップ係数を用いる。係数乗算器4233-iは、バッファ4231の対応するシンボルに対してタップ係数を乗算して加算器4234に出力する。加算器4234は、係数乗算器4233-1~4233-Xそれぞれから出力される乗算結果の総和を算出し、算出した総和を角度算出器4235に入力する。加算器4234が算出する総和は、X個のシンボルに対してタップ係数で重み付けした加重重心を示すシンボルである。

[0145] 角度算出器4235は、加算器4234から入力されるシンボルの偏角を算出し、算出した偏角を閾値判定器4236に入力する。閾値判定器4236は、角度算出器4235から入力される偏角を基準角度として、バッファ4232に記憶されているシンボルに対する判定を行う。閾値判定器4236による判定は、バッファ4232に記憶されているシンボルの偏角を算出し、算出した偏角が基準角度から閾値角度以上離れているか否かにより行う。閾値判定器4236は、算出した偏角が基準角度から閾値角度以上離れている場合にはタップ係数を0に定め、算出した偏角が基準角度から閾値角度以上離れていない場合にはタップ係数を1に定める。閾値判定器4236が定めたタップ係数は、乗算回路4022 (図24)に出力されるとともに、係数乗算器4233-2にも出力される。

[0146] 上記の構成を有することにより、タップ係数算出回路4020Cでは、入力されたX個のシンボルの複製を取り、2本のブランチに入力される。一方のブランチでは1シンボル前のキャリア位相推定に用いられたタップ係数をそれぞれX個のシンボルへ乗算する。その後、各乗算結果の総和を取り偏角が算出される。算出された偏角は、他方のブランチに入力されたシンボルに対する基準角度として使用される。閾値判定器4236では、それぞれの入力シンボルに対し、偏角が基準角度から閾値角度以上離れているか否かを判

定し、離れている場合には0を、離れていない場合には1をタップ係数として出力する。出力されたタップ係数は、現在のシンボルのキャリア位相推定に使用される。また、タップ係数は次のシンボルの基準角度を算出するためにタップ係数として引き継がれる。

[0147] なお、閾値角度は、例えば送信レーザ光あるいは受信局発光の線幅（周波数領域におけるスペクトラムの広がり）に応じて定められ、可変値としてもよい。

[0148] （第13の実施形態）

図30は、第13の実施形態におけるタップ係数算出回路4020Dの構成を示すブロック図である。タップ係数算出回路4020Dは、位相補償部4008（図24）において、タップ係数算出回路4020に代えて用いられる。タップ係数算出回路4020Dは、バッファ4241、距離算出器4242、ソート回路4243、及び、タップ係数判定器4244を有している。N乗回路4011（図24）からタップ係数算出回路4020Dに入力されるシンボルは、バッファ4241に入力される。バッファ4241は、第9の実施形態におけるバッファ4202と同じ構成を有しているので、その説明を省略する。

[0149] 距離算出器4242は、バッファ4241に記憶されているX個のシンボルから(X-1)個の差分値（ユークリッド距離）を算出し、算出した(X-1)個の差分値をソート回路4243に入力する。距離算出器4242における(X-1)個の差分値の算出は、例えば、第9の実施形態のタップ係数算出回路4020における差分値の算出と同様に行うようにする。すなわち、最も新しいシンボルを基準として他の(X-1)個のシンボルとの差分を算出する。あるいは、第10の実施形態のタップ係数算出回路4020Aにおける差分値の算出と同様に、隣接するシンボル間で差分値を算出するようにしてもよい。また、第11の実施形態のタップ係数算出回路4020Bにおける差分値の算出と同様に、X個のシンボルの重心を算出し、算出した重心とX個のシンボルとからX個の差分値を算出するようにしてもよい。

[0150] ソート回路4243は、距離算出器4242から入力される $(X-1)$ 個の差分値を昇順に並び替える。ソート回路4243は、各差分値が何番目に入力されたシンボルに対応する差分値であることを示す識別番号を差分値に付加してタップ係数判定器4244に出力する。

タップ係数判定器4244は、差分値が大きい上位 $K$ 個のシンボルに対するタップ係数を0に定め、他のシンボル（下位 $(X-1-K)$ 個のシンボル）に対するタップ係数を1に定める。タップ係数判定器4244は、差分値に付加されている識別番号に基づいて、定めたタップ係数をシンボルの順序に合わせて並び替えた後に、乗算回路4022（図24）に順に出力する。

[0151] 上記の構成を有することにより、タップ係数算出回路4020Dでは、 $M$ 個の入力されたシンボルに対して距離算出器4242によりユークリッド距離が算出され、当該ユークリッド距離を昇順に並び替えた際の上位 $K$ 個のユークリッド距離に対するタップ係数が0に、下位 $(X-1-K)$ 個のユークリッド距離に対するタップ係数が1として出力される。

[0152] なお、距離算出器4242が $X$ この差分値を算出する場合、タップ係数判定器4244は、上位 $K$ 個の差分値に対応するシンボルに対するタップ係数を0に定め、下位 $(X-K)$ 個の差分値に対応するシンボルに対するタップ係数を1に定める。また、タップ係数判定器4244は、複数のタップ係数を出力せずに、最も新しいシンボルに対するタップ係数を乗算回路4022（図24）に出力するようにしてもよい。あるいは、タップ係数判定器4244は、バッファ4241において所定の位置に記憶されるシンボルに対するタップ係数を乗算回路4022（図24）に出力するようにしてもよい。

[0153] （第14の実施形態）

図31は、第14の実施形態におけるタップ係数算出回路4020Eの構成を示すブロック図である。タップ係数算出回路4020Eは、位相補償部4008（図24）において、タップ係数算出回路4020に代えて用いられる。タップ係数算出回路4020Eは、バッファ4251、距離算出器4252、ソート回路4253、配列バッファ4254、位相推定器4255及

び4 2 5 6、減算器4 2 5 7、絶対値算出器4 2 5 8、並びに、タップ係数判定器4 2 5 9を有している。N乗回路4 0 1 1（図24）からタップ係数算出回路4 0 2 0 Eに入力されるシンボルは、バッファ4 2 5 1及び配列バッファ4 2 5 4に入力される。バッファ4 2 5 1は、第9の実施形態におけるバッファ4 2 0 2と同じ構成を有しているので、その説明を省略する。

[0154] 距離算出器4 2 5 2は、第13の実施形態における距離算出器4 2 4 2と同様に、バッファ4 2 5 1に記憶されているX個のシンボルから(X-1)個の差分値（ユークリッド距離）を算出する。距離算出器4 2 5 2は、算出した(X-1)個のユークリッド距離をソート回路4 2 5 3に入力する。ソート回路4 2 5 3は、距離算出器4 2 5 2から入力されるユークリッド距離を昇順に並び替える。ソート回路4 2 5 3は、各ユークリッド距離が何番目に入力されたシンボルに対応するユークリッド距離であることを示す識別番号をユークリッド距離に付加して配列バッファ4 2 5 4に入力する。

[0155] 配列バッファ4 2 5 4は、入力されるシンボルをX個記憶することができ、新たなシンボルが入力されると記憶しているシンボルのうち最も古いシンボルを削除し、新たなシンボルを記憶する。また、配列バッファ4 2 5 4は、ソート回路4 2 5 3が並べ替えたユークリッド距離を記憶する。配列バッファ4 2 5 4は、記憶しているユークリッド距離の並びに合わせて、記憶しているX個のシンボルのうち(X-1)個のシンボルを並び替える。並び替えられる(X-1)個のシンボルは、X個のシンボルのうち最も新しいシンボル又は最も古いシンボルのいずれかを除いた(X-1)個のシンボルである。なお、距離算出器4 2 5 2がX個の差分値（ユークリッド距離）を算出する場合、配列バッファ4 2 5 4は入力されるX個のシンボルを並べ替えることになる。

[0156] 位相推定器4 2 5 5は、配列バッファ4 2 5 4に記憶されているシンボルであって並び替えられたシンボルのうち、差分値の大きい上位K個のシンボルを用いて位相推定を行う。具体的には、Kこのシンボルの平均を算出し、平均値の偏角を算出する。偏角は、平均値の同相成分をIとし、直交成分を

Qとしたときに $\arctan(Q/I)$ で算出される。位相推定器4256は、配列バッファ4254に記憶されているシンボルであって並び替えられたシンボルのうち、差分値の大きい上位(K+1)このシンボルを用いて位相推定を行う。減算器4257は、位相推定器4255が算出する位相推定角と、位相推定器4256が算出する位相推定角との角度差を算出する。減算器4257は、算出した角度差を絶対値算出器4258に入力する。

[0157] 絶対値算出器4258は、減算器4257から入力される角度差の絶対値を算出し、算出した絶対値をタップ係数判定器4259に入力する。タップ係数判定器4259は、絶対値算出器4258から入力される絶対値と、予め定められた角度閾値 $\alpha$ と比較する。タップ係数判定器4259は、絶対値が角度閾値 $\alpha$ 以上であれば0をタップ係数に定め、絶対値が角度閾値 $\alpha$ 未満であれば1をタップ係数に定める。タップ係数判定器4259は、定めたタップ係数を乗算回路4022(図24)に出力する。タップ係数判定器4259が出力するタップ係数は、例えば、タップ係数算出回路4020Eに入力されるシンボルのうち、最も新しいシンボルに対応するシンボルとする。

[0158] タップ係数判定器4259において用いる角度閾値 $\alpha$ はであり、伝送システムにおいて用いられる変調方式がm-PSKである場合には( $360^\circ/m$ )となる。また、変調方式がm-QAMである場合には、コンスタレーション平面上で同一円周上にいくつシンボル点が存在するかに応じて、角度閾値 $\alpha$ は定められる。例えば、変調方式が16QAMである場合、コンスタレーション平面上において最も内側と、最も外側との円周上に存在するシンボルに対しては角度閾値 $\alpha$ を $90^\circ$ にし、中側の円周上シンボルに対しては角度閾値 $\alpha$ を $45^\circ$ にする。

[0159] 上記の構成を有することにより、タップ係数算出回路4020Eでは、入力されたX個のシンボルが複製され、2本のブランチに入力される。一方のブランチでは、第13の実施形態における距離算出器4242と同様に、X個の入力されたシンボルに対して複素平面上でのユークリッド距離が算出される。続いて、算出されたユークリッド距離はソート回路4253におい

て昇順に並び替えられ、配列バッファ4254に記憶される。他方のブランチに入力されたX個のシンボルは、配列バッファ4254に記憶されているユークリッド距離と対応して並び替えられる。上位K個のシンボルを用いて位相推定器4255が算出する位相推定角と、上位(K+1)個のシンボルを用いて位相推定器4256が算出する位相推定角との2通りの位相推定角は減算された後、減算結果である角度差の絶対値がタップ係数判定器4259に入力される。タップ係数判定器4259では、角度差が角度閾値 $\alpha$ 以上離れていれば0を、それ以外の場合には1をタップ係数として出力する。

[0160] (第15の実施形態)

図32は、第15の実施形態における位相補償部4008Aの構成例を示すブロック図である。

位相補償部4008Aは、デジタル信号処理部(図23)における位相補償部4008に代えて用いられる。位相補償部4008Aは、N乗回路4011、平均化回路4012、角度算出回路4013、アンラップ回路4014、除算回路4015、複素数算出回路4016、遅延回路4017、乗算回路4018、タップ係数算出回路4030、遅延回路4031、及び、乗算回路4032を備えている。位相補償部4008Aは、従来の位相補償部と比較して、タップ係数算出回路4030、遅延回路4031、及び、乗算回路4032を更に備えた構成となっている。

[0161] タップ係数算出回路4030には、除算回路4015において算出されたキャリア位相推定値が遅延回路4031で所定の遅延を与えられた後に入力される。タップ係数算出回路4030は、入力されるキャリア位相推定値に基づいて、タップ係数を算出する。乗算回路4032には、N乗回路4011における演算結果(N乗されたシンボル)と、タップ係数算出回路4030が算出するタップ係数とが入力される。乗算回路4032は、N乗されたシンボルとタップ係数とを乗算し、乗算結果を平均化回路4012に出力する。

[0162] 例えば、乗算回路4032に入力されるN乗されたシンボルに対しては、

当該シンボルに対して先行するX個のシンボルに基づいて算出されたキャリア位相推定値を用いて得られるタップ係数が乗算されるように、遅延回路4031における遅延量を設定する。また、必要に応じて、N乗回路4011と乗算回路4032との間に他の遅延回路を設けて、N乗されたシンボルが乗算回路4032に入力されるタイミングと、タップ係数が乗算回路4032に入力されるタイミングとを揃えるようにしてもよい。

[0163] 本実施形態における位相補償部4008Aはフィードバック型であり、タップ係数算出回路4030及びそれを各シンボルへ掛け合わせる乗算回路4032と、遅延回路4031とを備えている。フィードバック型のタップ係数算出回路4030では、Xシンボル前のキャリア位相推定値の情報を基にタップ係数を算出する。Xシンボル前のキャリア位相推定値そのものを用いるという意味で本明細書ではこれをフィードバック構成という。

[0164] 図33は、本実施形態におけるタップ係数算出回路4030の構成例を示すブロック図である。タップ係数算出回路4030は、遅延器4301、及び、タップ係数判定器4302を有している。除算回路4015（図32）からタップ係数算出回路4030に入力されるキャリア位相推定値は、遅延器4301に入力される。遅延器4301は、入力されるキャリア位相推定値に1シンボル分の遅延を与えた後に、タップ係数判定器4302にキャリア位相推定値を出力する。

[0165] N乗回路11（図32）からタップ係数算出回路4030に入力されるN乗されたシンボルは、タップ係数判定器4302に入力される。タップ係数判定器4302は、入力されるN乗されたシンボルの偏角を算出し、算出した偏角とキャリア位相推定値とを比較する。タップ係数判定器4302は、算出した偏角とキャリア位相推定値とが角度閾値 $\alpha$ 以上の差を有しているかを判定し、角度閾値 $\alpha$ 以上の差を有している場合にタップ係数を0に定める。タップ係数判定器4302は、角度閾値 $\alpha$ 未満の差である場合にはタップ係数を1に定める。タップ係数判定器4302は、定めたタップ係数を乗算回路4032（図32）に出力する。

[0166] 上述の構成を有することにより、タップ係数算出回路4030では、入力されたシンボルは、1シンボル前のキャリア位相推定値を基準としてタップ係数判定器4302において判定される。タップ係数判定器4302では、入力されたシンボルの偏角がキャリア位相推定値から角度閾値 $\alpha$ 以上離れているか否かが判定され、離れている場合には0を、離れていない場合には1をタップ係数として定める。なお、角度閾値 $\alpha$ は0度以上360度未満とする。なお、本実施形態では、1シンボル前のキャリア位相推定値を基準としてタップ係数を定めたが、位相関係がある期間内のシンボルに対応するキャリア位相推定値であれば、いずれのキャリア位相推定値を基準として用いてもよい。

[0167] (各実施形態の変形例)

第9の実施形態から第15の実施形態までにおいて説明した位相補償部において、シンボルをタップ係数算出回路に入力する前に、以下に説明する前処理を行った後にタップ係数算出回路に入力するようにしてもよい。図34は、変形例における前処理回路4040の構成例を示すブロック図である。前処理回路4040は、累乗器4401、遅延器4402、及び、乗算器4403を有している。N乗回路4011から入力されるシンボル（N乗されたシンボル）は、累乗器4401と遅延器4402とに入力される。累乗器4401は、入力されるシンボルの絶対値のp乗を算出し、算出結果をタップ係数として乗算器4403に入力する。遅延器4402は、入力されるシンボルに対して、累乗器4401における演算に要する時間分の遅延を与えた後に乗算器4403に当該シンボルを入力する。乗算器4403は、入力されるシンボルとタップ係数とを乗算し、乗算結果をタップ係数算出回路4020（又はタップ係数算出回路4030）に出力する。この場合、タップ係数算出回路4020（又はタップ係数算出回路4030）においては、前処理回路40から出力されるシンボルに対して、第9から第15の実施形態において説明した処理によりタップ係数を算出することになる。

[0168] (第16の実施形態)

図35は、第16の実施形態における位相補償部4008Bの構成例を示すブロック図である。

位相補償部4008Bは、デジタル信号処理部(図23)における位相補償部8に代えて用いられる。位相補償部4008Bは、複素数算出回路4016、遅延回路4017、乗算回路4018、及び、位相平均化回路4050を備えている。周波数オフセット補償部4007から位相補償部4008Bに順次入力されるシンボルは、遅延回路4017と位相平均化回路4050とに入力される。位相平均化回路4050は、入力されるシンボルに基づいて、位相相関がある期間に含まれるシンボルの位相の平均を算出する。位相平均化回路4050は、位相相関の減少する時間に応じた係数で平均を算出する指数平均を用いて、シンボルの位相の平均を算出する。

[0169] 具体的には、位相平均化回路4050は、 $i$ 番目のシンボルが入力されたときのシンボルの位相の平均 $\theta(i)$ を、 $i$ 番目のシンボルの位相 $\Theta(i)$ 、係数 $\beta$ 、及び、係数 $\gamma$ を用いて算出する。係数 $\beta$ は、光源のコヒーレント性の減少に応じた係数であって過去のシンボルの位相の平均における寄与度を減衰させる指数平均である。係数 $\gamma$ は、雑音や干渉などの伝送での影響を大きく受けたシンボルとそれ以外のシンボルとに対して乗じられる。影響を大きく受けたシンボルに対して $0 \leq \gamma \ll 1$ とし、それ以外のシンボルに対して $\gamma \doteq 1$ とする。

[0170] 位相平均化回路4050は、次式(5)を用いてシンボルの位相の平均 $\theta(i)$ を算出する。

$$\theta(i) = \Theta(i) \times \beta \times \gamma + (1 - \beta) \times \theta(i - 1) \quad \dots (5)$$

[0171] あるいは、雑音や干渉など影響を大きく受けたシンボルを除く代わりに、その時点における位相の平均を加算する指数平均として、次式(6)と式(7)とを用いてもよい。

影響が大きいシンボルの場合：

$$\theta(i) = \Theta(i) \times \beta + (1 - \beta) \times \theta(i - 1) \quad \dots (6)$$

影響が小さいシンボルの場合：

$$\theta(i) = \theta(i-1) \times \beta + (1 - \beta) \times \theta(i-1) \quad \dots (7)$$

[0172] 位相平均化回路4050において、指数平均を用いることにより、過去所定数(X)個のシンボル、又は対応する位相を保持しておく必要がないため、記憶領域を削減することができる。また、影響が大きいシンボルと影響が小さいシンボルとに対する重み(係数 $\gamma$ )を切り替えることにより、単純平均する場合に比べ、位相相関の大きいシンボルに大きい加重を、小さいシンボルに小さい加重を掛けることができ、推定精度が向上する効果がある。

[0173] 以上、各実施形態において説明した構成の位相補償部は、位相相関がある期間に含まれるシンボルのうち雑音や干渉の影響を大きく受けたシンボルの影響を抑えてシンボルの基準を定め、定めた基準を用いるなどすることによりガウス雑音などの影響を低減して位相を推定する。このように推定した位相を用いて位相補償を行うことにより、位相サイクルスリップの発生を低減させることができる。例えば、位相相関がある期間に含まれるシンボル間の差分に基づいた位相の推定では、外れ値の検出が容易となるため、雑音や干渉の影響を大きく受けたシンボルに対する重み係数を大きくしたり、又は除外したりすることにより、位相を精度よく推定することができる。また、位相補償部では、雑音や干渉の影響を大きく受けたシンボル(外れ値)の影響を抑える処理において、位相相関がある期間におけるシンボルを対象としているため、現在のシンボルと位相関係がある基準を得ることができ、精度よく外れ値の影響を低減させることができる。

このように、差動コーディング方式や、パイロットシンボルによる補正方式を用いずに位相補償を行うことにより、ビット誤り率を増加させたり伝送効率を低下させたりすることなく、位相サイクルスリップの発生頻度を低減させることができる。

[0174] なお、本実施形態では、指数平均を用いてシンボルの位相の平均 $\theta(i)$ を算出する構成について説明したがこれに限らずともよい。例えば、位相平均化回路4050は、位相関係がある時間、例えばコヒーレント時間に相当する期間における測定値の移動平均を、シンボルの位相の平均 $\theta(i)$ とし

て算出するようにしてもよい。

[0175] 上記の実施形態における位相補償部の効果を検証するために、デジタル信号処理部の機能を実現させた計算機を用いて、光伝送実験データのオフライン復調を行い、位相サイクルスリップ率を評価した。図36は、この光伝送実験データの取得に用いた実験装置の概略を示す図である。図37は、第15の実施形態における位相補償部4008Aに対応する位相サイクルスリップ率の評価結果を示すグラフである。

図37において縦軸は位相サイクルスリップ率を示し、横軸は平均化ウィンドウ幅Mを示している。同図におけるA方式が示すグラフは、比較例として示している結果であり、従来の位相補償部を用いた計算機シミュレーション結果である。B方式が示すグラフは、第15の実施形態における位相補償部4008Aを用いた計算機シミュレーション結果である。ここでは、角度閾値 $\alpha$ を $\pm 45^\circ$ としている。図37に示すように、本実施形態における位相補償部を適用することにより、位相サイクルスリップの発生頻度を1/3程度に減少させることができることが分かる。

[0176] なお、第9から第16の実施形態では、パイロットシンボル等の既知信号を用いずにタップ係数を算出する構成について説明したが、パイロットシンボル等で推定される補償方式を併用するようにしてもよい。例えば、パイロットシンボルで推定した位相をタップ係数の算出に利用したりしてもよい。その際、パイロットシンボルによる推定結果は、シンボルをN乗して推定するビタビ・ビタビアルゴリズムよりも推定精度が高いため、尤度情報などを重みとして付加して平均化してもよい。また、上記の各実施形態では、変調方式の一例として4相位相(QPSK)変調を用いる構成について説明したが、QPSKに限ることなく、BPSKや8PSKなどの位相変調や、8QAMや16QAMなどの振幅位相変調を用いてもよい。その際、N乗回路4011におけるN(冪数)や、角度閾値 $\alpha$ は、用いる変調方式に応じて定める。

[0177] また、各実施形態では、N乗回路4011を用いてデータの位相変調成分

を除いた位相成分を抽出する構成を説明したが、これ以外の方法、例えば、最尤判定法等を用いて位相成分を抽出するようにしてもよい。

また、各実施形態において、角度差が角度閾値 $\alpha$ 以上離れているか否かの判定を、タップ係数を定める際の判定に用いているが、これに限らずともよい。例えば、データの位相変調成分を除いたシンボルの位相の基準角度からのずれが、送信装置における信号光、又は受信装置における局発光のいずれか一方の位相雑音又は両方の位相雑音の和以上であるか否かを判定に用いてもよい。

[0178] また、各実施形態において、雑音や干渉の影響を大きく受けたシンボルの位相、すなわちユークリッド距離が大きいシンボルの位相に対して、0（零）又は1未満の係数を乗じて加算する構成を説明したが、これに限らずともよい。例えば、ユークリッド距離が大きいシンボルの位相に代えて、基準角度を加算するようにしてもよい。これにより、本来あるべき位相よりも小さい位相を加算して理想的な値よりも算出した基準位相が小さくなる問題を解決する効果が得られる。

また、各実施形態において、受信装置にデジタル信号処理部が備えられている構成について説明したが、受信装置に備えられている各機能部が複数の装置で構成され、各装置がネットワークを介して通信可能に接続されていてもよい。同様にデジタル信号処理部の各機能部が複数の装置で構成されてもよい。

また、各実施形態における位相相関がある期間（ $X$ シンボル）と、平均化ウィンドウ幅 $M$ との値を一致させてもよい。

[0179] なお、図23に示したデジタル信号処理部の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することにより、デジタル信号処理部が行う処理、例えば、位相補償部が位相補償して位相サイクルスリップを低減させる処理を行ってもよい。なお、ここでいう「コンピュータシステム」とは、OSや周辺機器等のハードウェアを含むも

のとする。また、「コンピュータシステム」は、ホームページ提供環境（あるいは表示環境）を備えたWWWシステムも含むものとする。また、「コンピュータ読み取り可能な記録媒体」とは、フレキシブルディスク、光磁気ディスク、ROM、CD-ROM等の可搬媒体、コンピュータシステムに内蔵されるハードディスク等の記憶装置のことをいう。更に「コンピュータ読み取り可能な記録媒体」とは、インターネット等のネットワークや電話回線等の通信回線を介してプログラムが送信された場合のサーバやクライアントとなるコンピュータシステム内部の揮発性メモリ（RAM）のように、一定時間プログラムを保持しているものも含むものとする。

[0180] また、上記プログラムは、このプログラムを記憶装置等に格納したコンピュータシステムから、伝送媒体を介して、あるいは、伝送媒体中の伝送波により他のコンピュータシステムに伝送されてもよい。ここで、プログラムを伝送する「伝送媒体」は、インターネット等のネットワーク（通信網）や電話回線等の通信回線（通信線）のように情報を伝送する機能を有する媒体のことをいう。また、上記プログラムは、前述した機能の一部を実現するためのものであってもよい。更に、前述した機能をコンピュータシステムに既に記録されているプログラムとの組み合わせで実現できるもの、いわゆる差分ファイル（差分プログラム）であっても良い。

### 産業上の利用可能性

[0181] 本発明は、長距離かつ大容量の光通信において位相サイクルスリップの発生による影響を低減させることができる。

[0182] すなわち、本発明は、例えば、伝送距離が100kmから10000km程度であり、チャンネルあたりの伝送容量が40Gb/sから400Gb/s程度である大容量かつ長距離光伝送に適用できる。

### 符号の説明

[0183] 1…キャリア位相推定部、2…キャリア位相補償部、3…遅延差分部、4…スリップ判定部、5…スリップ補償部、11…光信号送信装置、12…伝送路、13…光信号受信装置、14…局発レーザ発生器、15…90°光ハ

イブリッド、16…光電変換器、17…アナログ→デジタル変換器、18…デジタル信号処理部、19…波長分散補償回路、20…適応等化回路、21…周波数オフセット補償回路、22…位相補償回路、23…復調復号回路、24…クライアントインタフェース、220、320、420、520…位相補償ブロック、221…キャリア位相推定回路、222…キャリア位相補償回路、223…遅延回路、224…ローパスフィルタ、225、225-1、225-2、225-3…遅延差分回路、226、326、426…スリップ判定回路、227…スリップ補償回路、328…閾値算出回路、527…スリップトランジェント補償回路、528…スロープ算出回路、2211…位相 $m$ 逓倍回路、2212… $K$ シンボル平均化回路、2213…位相抽出回路、2214…位相連続化回路、2251… $N$ シンボル遅延器、2252、3281、3283…乗算器、2253、3282、3285…加算器、3284…遅延器、3286…減算器、22111…振幅・位相分離回路、22112…乗算器、22113…振幅・位相再結合回路、4001…局発レーザ発生器、4002…光90度ハイブリッド、4003…光電変換部、4004…ADコンバータ、4005…波長分散補償部、4006…適応等化部、4007…周波数オフセット補償部、4008、4008A、4008B…位相補償部、4009…誤り訂正・判定部、4010…クライアントインタフェース、4011… $N$ 乗回路、4012…平均化回路、4013…角度算出回路、4014…アンラップ回路、4015…除算回路、4016…複素数算出回路、4017、4021、4031…遅延回路、4018、4022、4032…乗算回路 4020、4020A、4020B、4020C、4020D、4020E、4030…タップ係数算出回路、4040…前処理回路、4050…位相平均化回路。

## 請求の範囲

- [請求項1] 位相変調又は直交振幅変調により変調された光信号を受信し、受信した光信号をコヒーレント検波を用いて電気信号に変換し、変換した受信信号に対して位相補償を行う光受信装置において、
- 前記受信信号から得られる受信シンボル列のキャリア位相誤差を推定するキャリア位相推定部と、
- 前記キャリア位相推定部の入力シンボルの利得調整を行う利得調整部と、
- 位相サイクルスリップの原因となる粗大ノイズを検出し、前記位相サイクルスリップを低減する位相サイクルスリップ低減部と、
- 前記キャリア位相推定部の出力を用いて前記受信信号に含まれるキャリア位相誤差を補償する位相補償回路と
- を有する光受信装置。
- [請求項2] 前記利得調整部は、
- それぞれが複素数として表現される前記シンボル列の各シンボルの振幅と位相とを分離する振幅／位相分離部と、
- 前記振幅／位相分離部によって分離された振幅値に対し演算を行う振幅利得調整部と、
- 前記振幅／位相分離部によって分離された位相値に対し演算を行う位相利得調整部と、
- 前記振幅利得調整部と前記位相利得調整部とによって利得調整された振幅値と位相値とを再び複素数として再構成する振幅／位相結合部と
- を有する請求項1に記載の光受信装置。
- [請求項3] 前記位相サイクルスリップ低減部は、
- 前記利得調整部に含まれる逓倍部および累乗部の出力シンボル位相および有限インパルスフィルタの出力から算出される基準となる暫定位相推定値を入力し、両者を比較することによりノイズの大きなシン

ボルを特定するシンボル評価回路と、

有限インパルス応答フィルタのタップのうちノイズの大きなシンボルに対応するタップの重みを減少させるタップ係数設定回路と

を有し、前記タップ係数設定回路により、前記位相推定部の出力は大きなノイズを含むシンボルの影響を減じたうえで前記位相補償部に入力され、受信シンボル列のキャリア位相誤差の補償を行う

請求項 1 に記載の光受信装置。

[請求項4]

前記位相サイクルスリップ低減部は、

前記利得調整部に含まれる通倍部および累乗部の出力シンボル位相およびフィードバック構成から入力される基準位相を入力し、両者を比較することによりノイズの大きなシンボルを特定するシンボル評価回路と、

有限インパルス応答フィルタのタップのうちノイズの大きなシンボルに対応するタップの重みを減少させるタップ係数設定回路と

を有し、前記タップ係数設定回路により、前記位相推定部の出力は大きなノイズを含むシンボルの影響を減じたうえで前記位相補償部に入力され、受信シンボル列のキャリア位相誤差の補償を行う

請求項 1 に記載の光受信装置。

[請求項5]

前記位相サイクルスリップ低減部は、

前記位相推定部の出力信号を入力し、遅延差分値を算出する遅延差分値算出回路と、

前記遅延差分値算出回路の出力を評価して位相サイクルスリップの有無を判定するスリップ判定部とを有し、

前記位相補償回路は前記キャリア位相推定部の出力を入力し位相補償を行う回路と、

前記粗大ノイズの検出を示す判定信号を入力し、位相サイクルスリップを補償するスリップ補償部とを有する

請求項 2 に記載の光受信装置。

- [請求項6] 前記スリップ判定部は、  
前記遅延差分回路が算出した遅延差分値が上側検出閾値を上回った場合に正回転の位相サイクルスリップが発生したと判定し、前記遅延差分値が前記上側検出閾値より小さい下側検出閾値を下回った場合に負回転の位相サイクルスリップが発生したと判定する  
請求項5に記載の光受信装置。
- [請求項7] 前記遅延差分値算出回路の遅延値は、前記有限インパルスフィルタのタップ長の2倍から4倍の範囲である請求項6に記載の光受信装置。  
。
- [請求項8] 前記遅延差分部が算出した遅延差分値に基づいて、前記上側検出閾値と前記下側検出閾値とを算出する閾値算出部を更に備える請求項7に記載の光受信装置。
- [請求項9] 前記閾値算出部は、前記遅延差分値を入力し、あらかじめ設定された忘却係数を用いて過去の遅延差分値を重みづけ平均して出力する無限インパルス応答フィルタ回路を有し、前記無限インパルス応答フィルタの出力から、あらかじめ設定された定数を加算または減算することによって、前記上側検出閾値および下側検出閾値を算出する請求項8に記載の光受信装置。
- [請求項10] 前記位相サイクルスリップ低減部は、前記利得調整部に含まれる逓倍部および累乗部の出力シンボル位相および有限インパルスフィルタの出力から算出される基準となる暫定位相推定値とを入力し、両者を比較することによりノイズの大きなシンボルを特定するシンボル評価回路と、前記有限インパルス応答フィルタのタップのうちノイズの大きなシンボルに対応するタップの重みを減少させるタップ係数設定回路とを有し、前記タップ係数設定回路により、前記位相推定部の出力は大きなノイズを含むシンボルの影響を減じたうえで前記位相補償部に入力され、受信シンボル列のキャリア位相誤差の補償を行う  
請求項2に記載の光受信装置。

[請求項11] 前記位相サイクルスリップ低減部は、前記利得調整部に含まれる過倍部および累乗部の出力シンボル位相およびフィードバック構成から入力される基準位相とを入力し、両者を比較することによりノイズの大きなシンボルを特定するシンボル評価回路と、有限インパルス応答フィルタのタップのうちノイズの大きなシンボルに対応するタップの重みを減少させるタップ係数設定回路とを有し、前記タップ係数設定回路により、前記位相推定部の出力は大きなノイズを含むシンボルの影響を減じたうえで前記位相補償部に入力され、受信シンボル列のキャリア位相誤差の補償を行う

請求項2に記載の光受信装置。

[請求項12] 位相変調又は直交振幅変調により変調された光信号を受信し、受信した光信号をコヒーレント検波を用いて電気信号に変換し、電気信号をデジタル信号に変換した受信信号に対して位相補償を行う際に、

前記受信信号から得られる受信シンボル列に対し、振幅と位相に対して独立した演算を行うことで、キャリア位相誤差の推定精度を向上するとともに、各シンボルの推定位相を統計処理することにより、位相サイクルスリップの原因となる粗大ノイズを検出し、位相サイクルスリップを低減する位相サイクルスリップ低減方法。

[請求項13] 受信信号におけるキャリア位相誤差を推定するキャリア位相推定ステップと、

前記キャリア位相推定ステップにおいて推定したキャリア位相誤差に基づいて、受信信号の位相を補償して出力するキャリア位相補償ステップと、

前記キャリア位相推定ステップにおいて推定したキャリア位相誤差の変動量に基づいて遅延差分値を算出する遅延差分ステップと、

前記遅延差分ステップが算出した遅延差分値に基づいて、位相サイクルスリップが発生したか否かを判定するスリップ判定ステップと、

前記キャリア位相補償ステップにおいて出力される信号に対して位

相を補償する第1のスリップ補償ステップと、

前記スリップ判定ステップにおいて位相サイクルスリップが発生したと判定された場合、補償する際に用いる位相補償量であって受信信号に対して用いられた変調フォーマットに応じて定められる位相補償量を更新する第2のスリップ補償ステップと、

を有する請求項12に記載の位相サイクルスリップ低減方法。

[請求項14]

前記受信信号から得られるシンボル列のうち、位相相関がある期間内のシンボルを対象として、伝送で影響を受けた外れ値の影響を抑えてシンボルの位相を推定し、推定した位相を用いてシンボルに対して位相補償を行う位相補償ステップ

を有する請求項12に記載の位相サイクルスリップ低減方法。

[請求項15]

前記受信信号から得られるシンボル列に対し、振幅値と位相値に分離して、それぞれに利得調整を行うことで、シンボルの位相を推定し、推定した位相を用いてシンボルに対して位相補償を行う位相補償ステップ

を有する請求項12に記載の位相サイクルスリップ低減方法。

[請求項16]

位相変調又は直交振幅変調により変調された光信号を受信し、受信した光信号をコヒーレント検波を用いて電気信号に変換し、変換した受信信号に対して位相補償を行う光受信装置において、

前記受信信号から得られる受信シンボル列のキャリア位相誤差を推定するキャリア位相推定部と、

それぞれが複素数として表現される前記シンボル列の各シンボルの振幅と位相とを分離する振幅／位相分離部と、前記振幅／位相分離部によって分離された振幅値に対し演算を行う振幅利得調整部と、前記振幅／位相分離部によって分離された位相値に対し演算を行う位相利得調整部と、前記振幅利得調整部と前記位相利得調整部とによって利得調整された振幅値と位相値とを再び複素数として再構成する振幅／位相結合部とを有し、前記キャリア位相推定部の入力シンボルの利得

調整を行う利得調整部と、

前記キャリア位相推定部の出力を統計処理することにより、位相サイクルスリップの原因となる粗大ノイズを検出し、前記位相サイクルスリップを低減する位相サイクルスリップ低減部と、

前記キャリア位相推定部の出力を用いて前記受信信号に含まれるキャリア位相誤差を補償する位相補償回路と

を有し、

前記位相サイクルスリップ低減部は、前記位相推定部の出力信号を入力し、遅延差分値を算出する遅延差分値算出回路と、前記遅延差分値算出回路の出力を評価して位相サイクルスリップの有無を判定するスリップ判定部と、前記利得調整部に含まれる逓倍部および累乗部の出力シンボル位相および有限インパルスフィルタの出力から算出される基準となる暫定位相推定値を入力し両者を比較することによりノイズの大きなシンボルを特定するシンボル評価回路と、有限インパルス応答フィルタのタップのうちノイズの大きなシンボルに対応するタップの重みを減少させるタップ係数設定回路とを有し、前記タップ係数設定回路により、前記位相推定部の出力は大きなノイズを含むシンボルの影響を減じたうえで前記位相補償部に入力され、受信シンボル列のキャリア位相誤差の補償を行い、

前記位相補償回路は前記キャリア位相推定部の出力を入力し位相補償を行う回路と、前記粗大ノイズの検出を示す判定信号を入力し、位相サイクルスリップを補償するスリップ補償部とを有する

光受信装置。

[請求項17]

位相変調又は直交振幅変調により変調された光信号を受信し、受信した光信号をコヒーレント検波を用いて電気信号に変換し、変換した受信信号に対して位相補償を行う光受信装置において、

前記受信信号から得られる受信シンボル列のキャリア位相誤差を推定するキャリア位相推定部と、

それぞれが複素数として表現される前記シンボル列の各シンボルの振幅と位相とを分離する振幅／位相分離部と、前記振幅／位相分離部によって分離された振幅値に対し演算を行う振幅利得調整部と、前記振幅／位相分離部によって分離された位相値に対し演算を行う位相利得調整部と、前記振幅利得調整部と前記位相利得調整部とによって利得調整された振幅値と位相値とを再び複素数として再構成する振幅／位相结合部とを有し、前記キャリア位相推定部の入力シンボルの利得調整を行う利得調整部と、

前記キャリア位相推定部の出力を統計処理することにより、位相サイクルスリップの原因となる粗大ノイズを検出し、前記位相サイクルスリップを低減する位相サイクルスリップ低減部と、

前記キャリア位相推定部の出力を用いて前記受信信号に含まれるキャリア位相誤差を補償する位相補償回路と

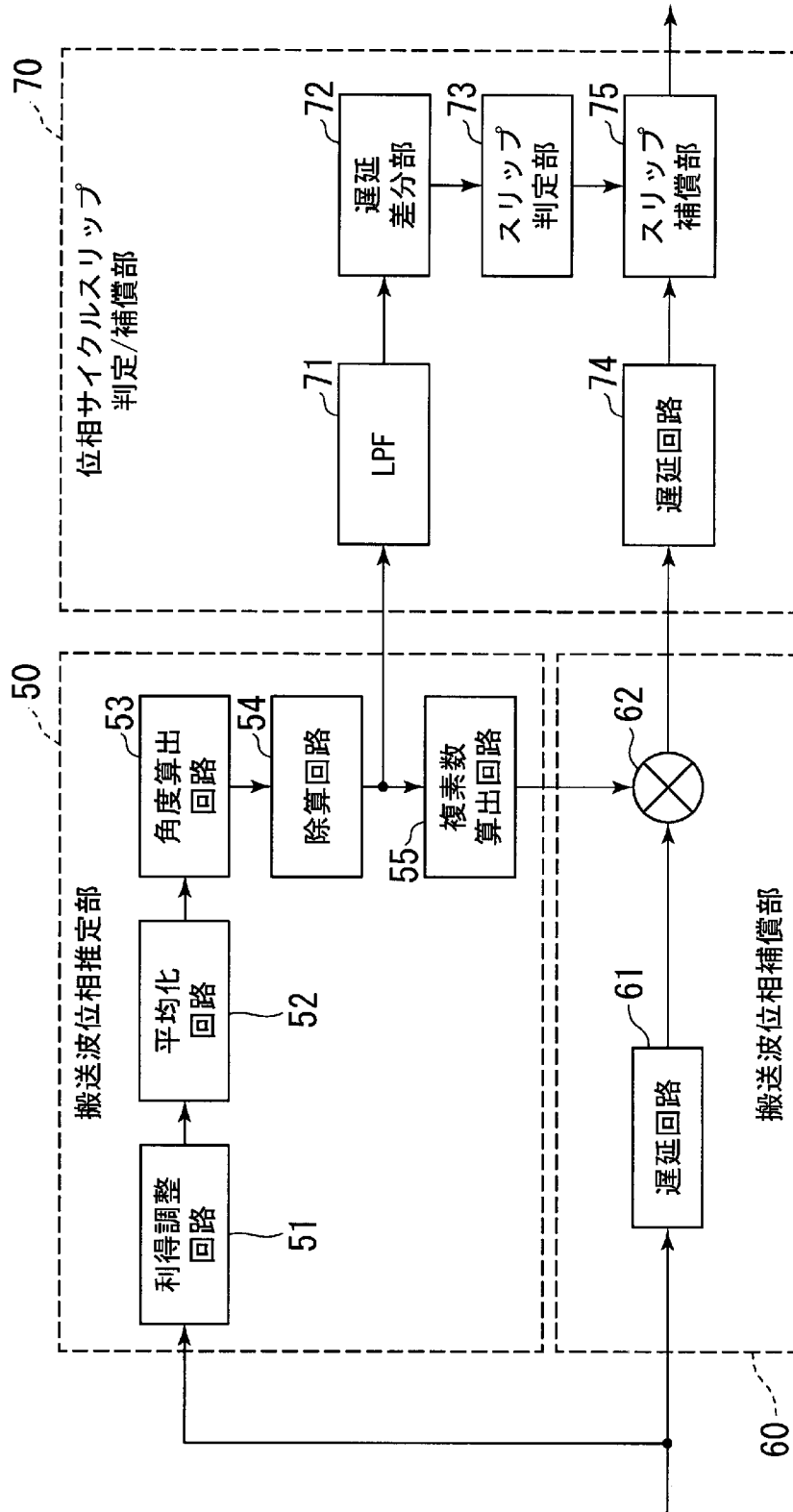
を有し、

前記位相サイクルスリップ低減部は、前記位相推定部の出力信号を入力し、遅延差分値を算出する遅延差分値算出回路と、前記遅延差分値算出回路の出力を評価して位相サイクルスリップの有無を判定するスリップ判定部と、前記利得調整部に含まれる逓倍部および累乗部の出力シンボル位相およびフィードバック構成から入力される基準位相を入力し両者を比較することによりノイズの大きなシンボルを特定するシンボル評価回路と、有限インパルス応答フィルタのタップのうちノイズの大きなシンボルに対応するタップの重みを減少させるタップ係数設定回路とを有し、前記タップ係数設定回路により、前記位相推定部の出力は大きなノイズを含むシンボルの影響を減じたうえで前記位相補償部に入力され、受信シンボル列のキャリア位相誤差の補償を行い、

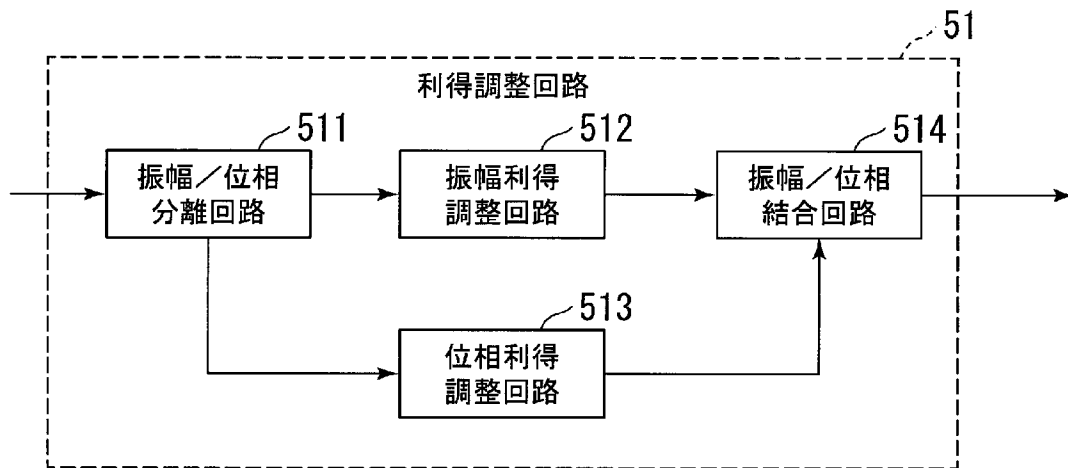
前記位相補償回路は前記キャリア位相推定部の出力を入力し位相補償を行う回路と、前記粗大ノイズの検出を示す判定信号を入力し、位

相サイクルスリップを補償するスリップ補償部とを有する  
光受信装置。

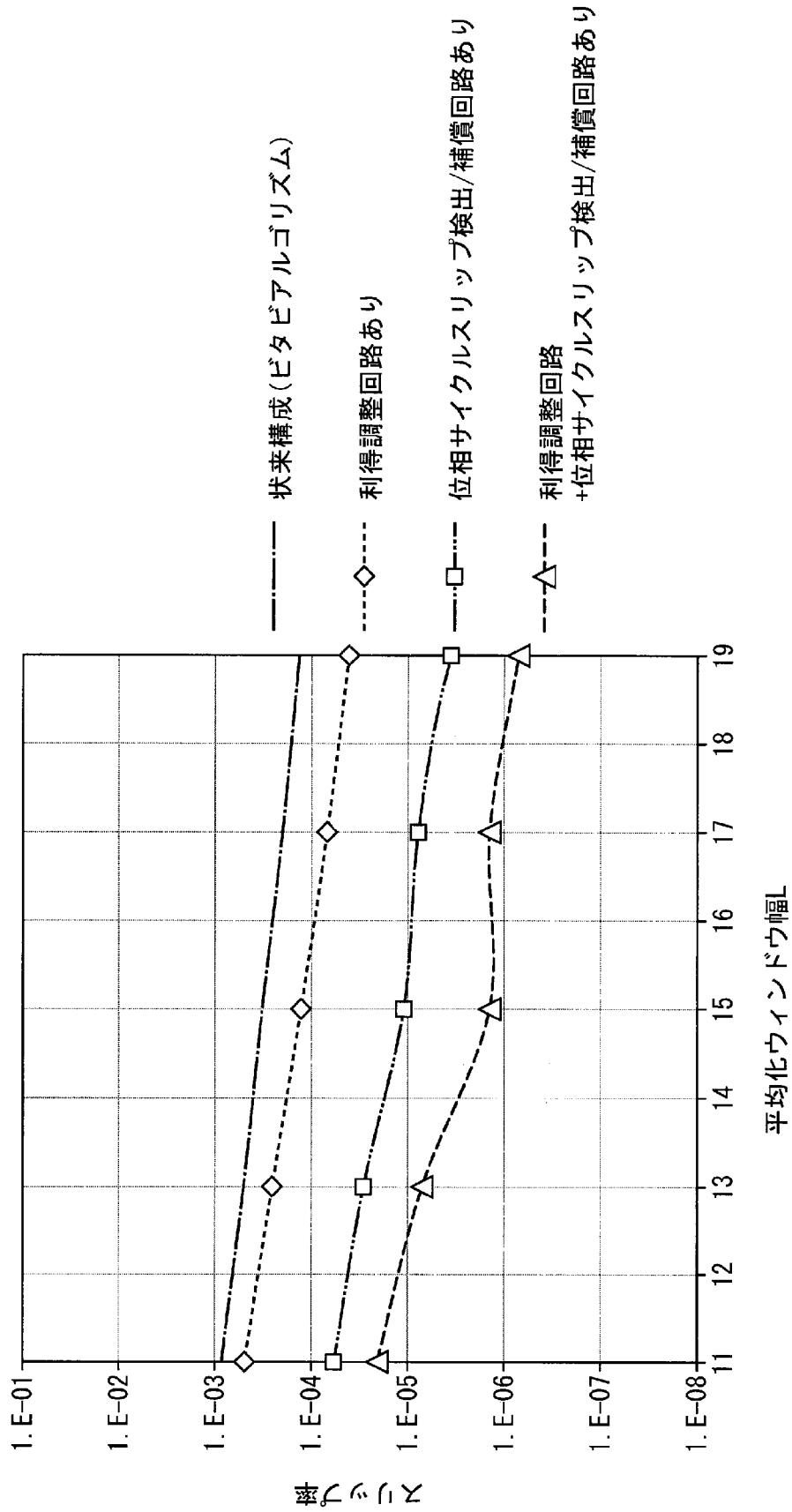
[図1]



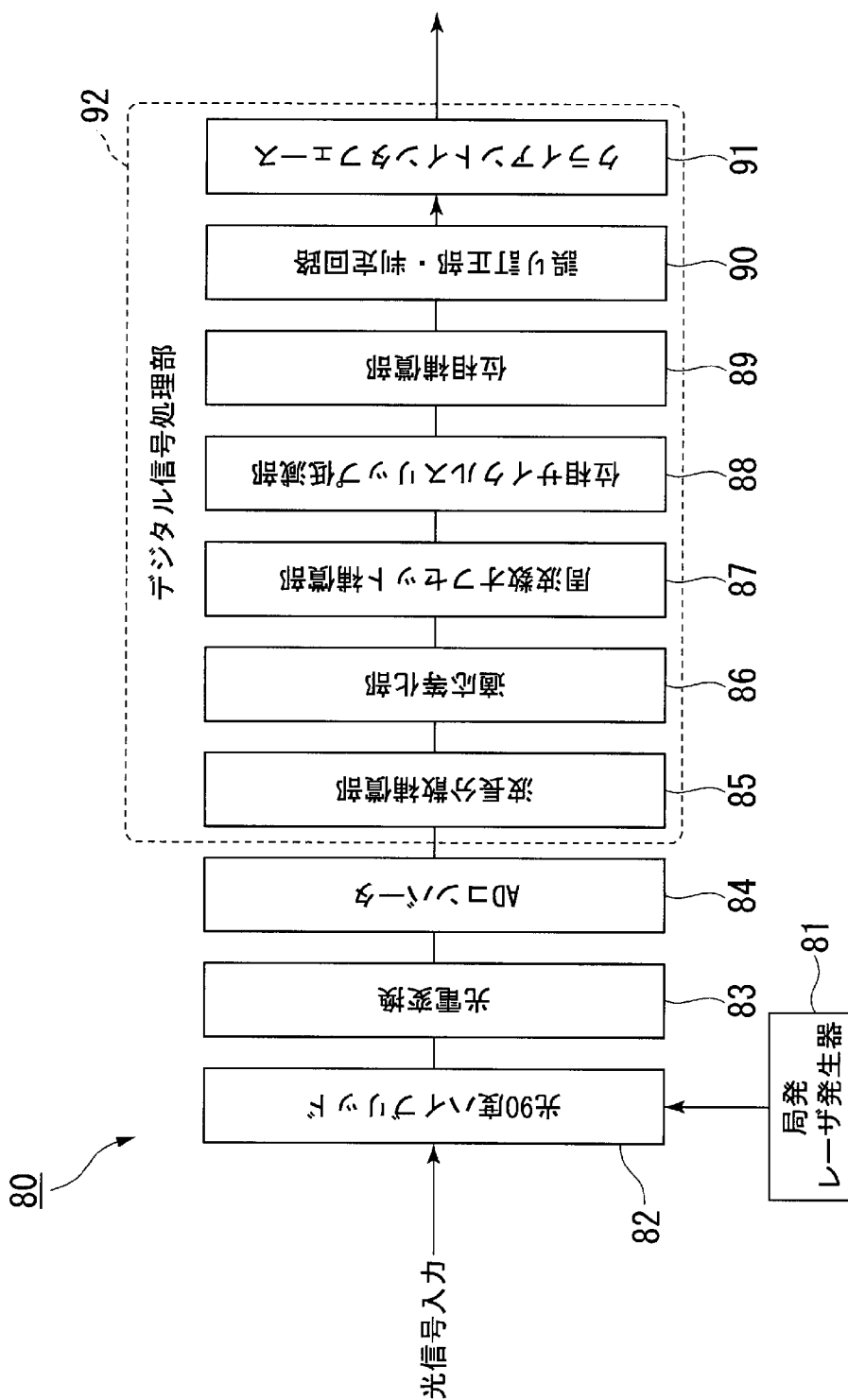
[図2]



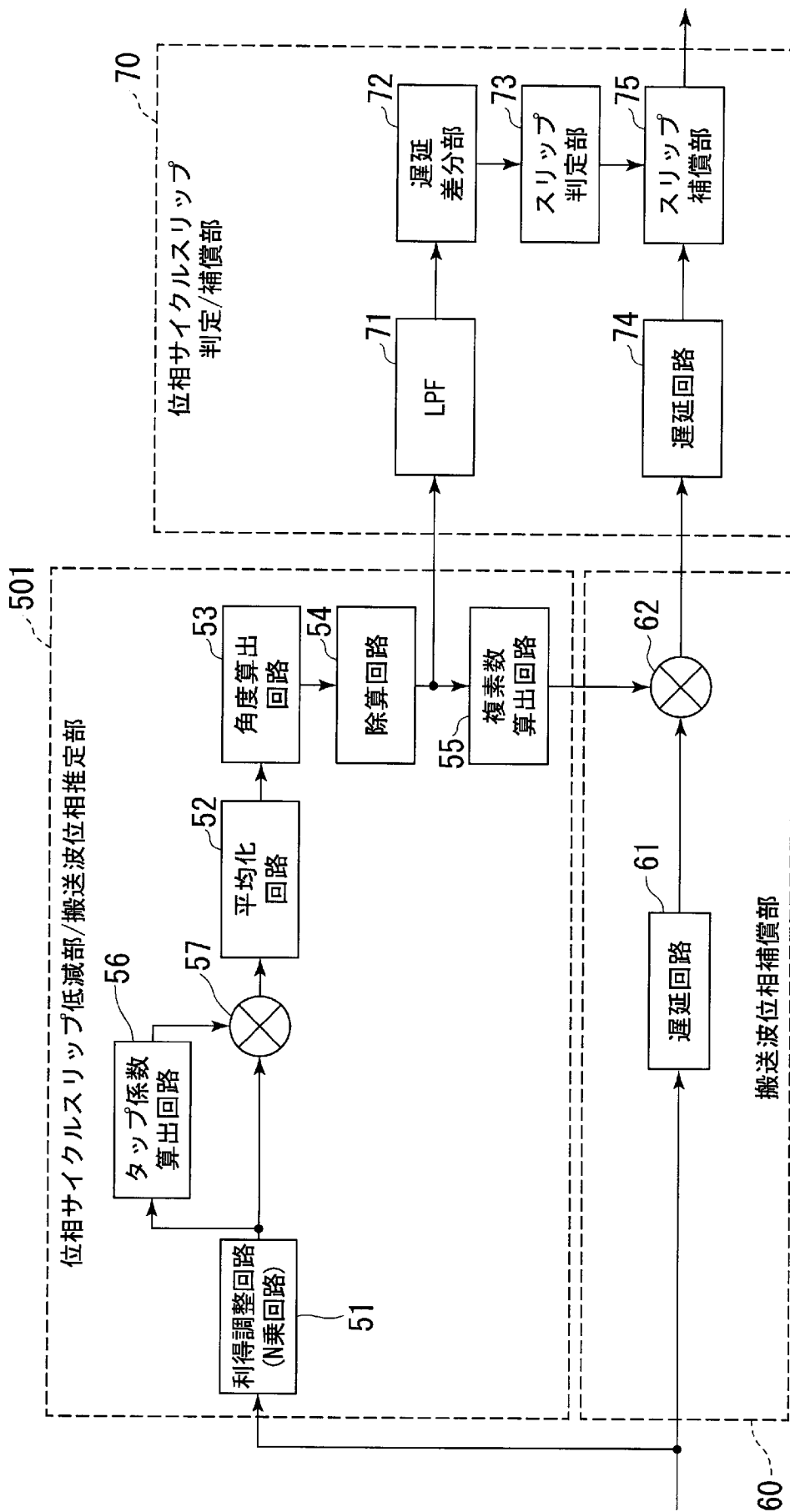
[図3]



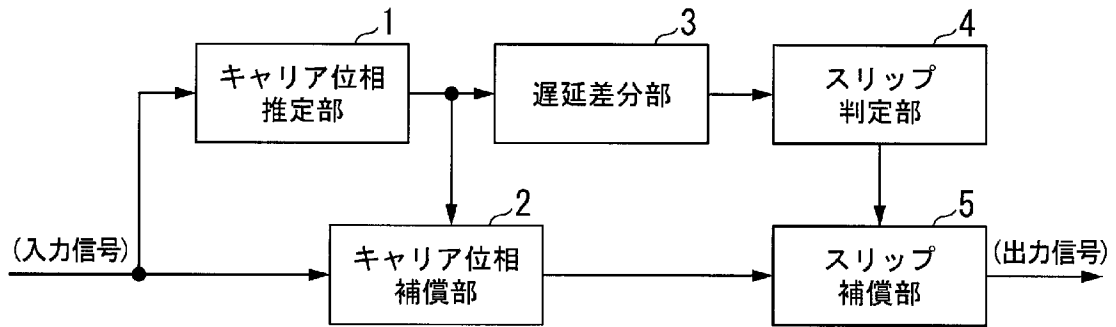
[図4]



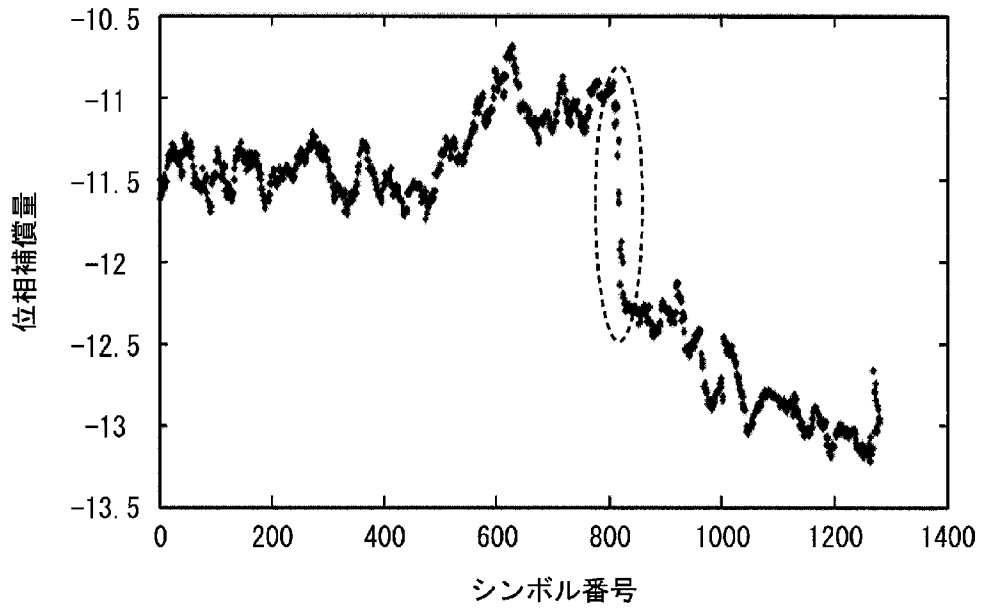
[図5]



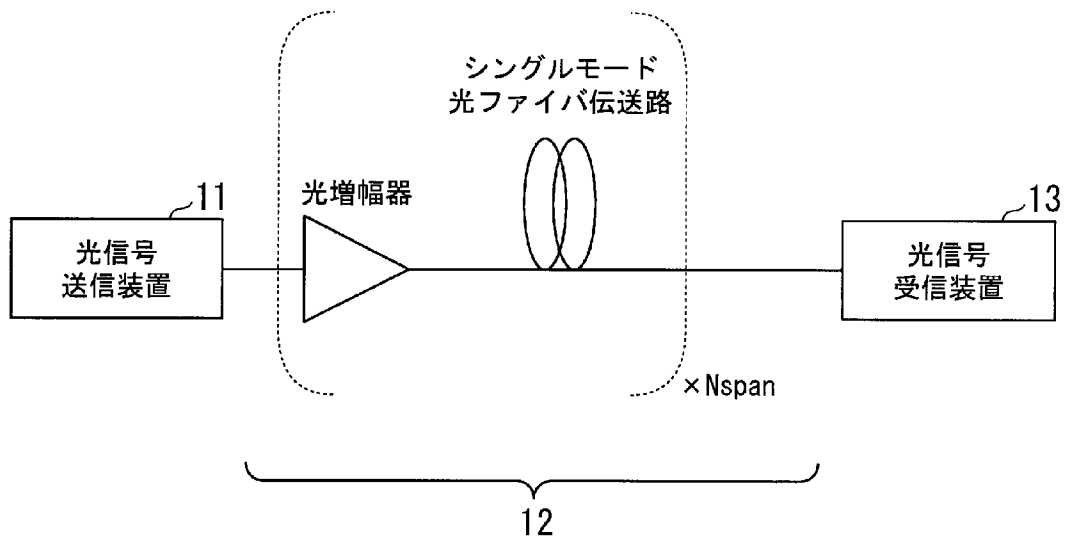
[図6]



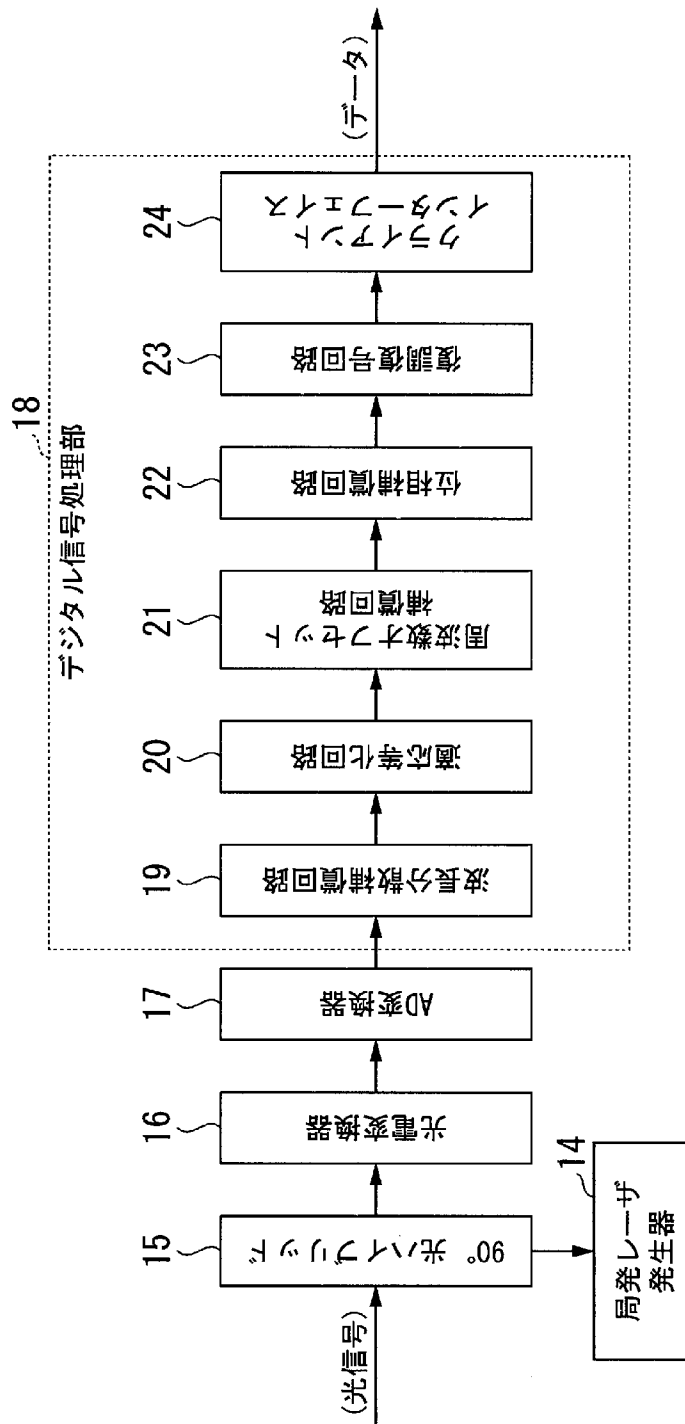
[図7]



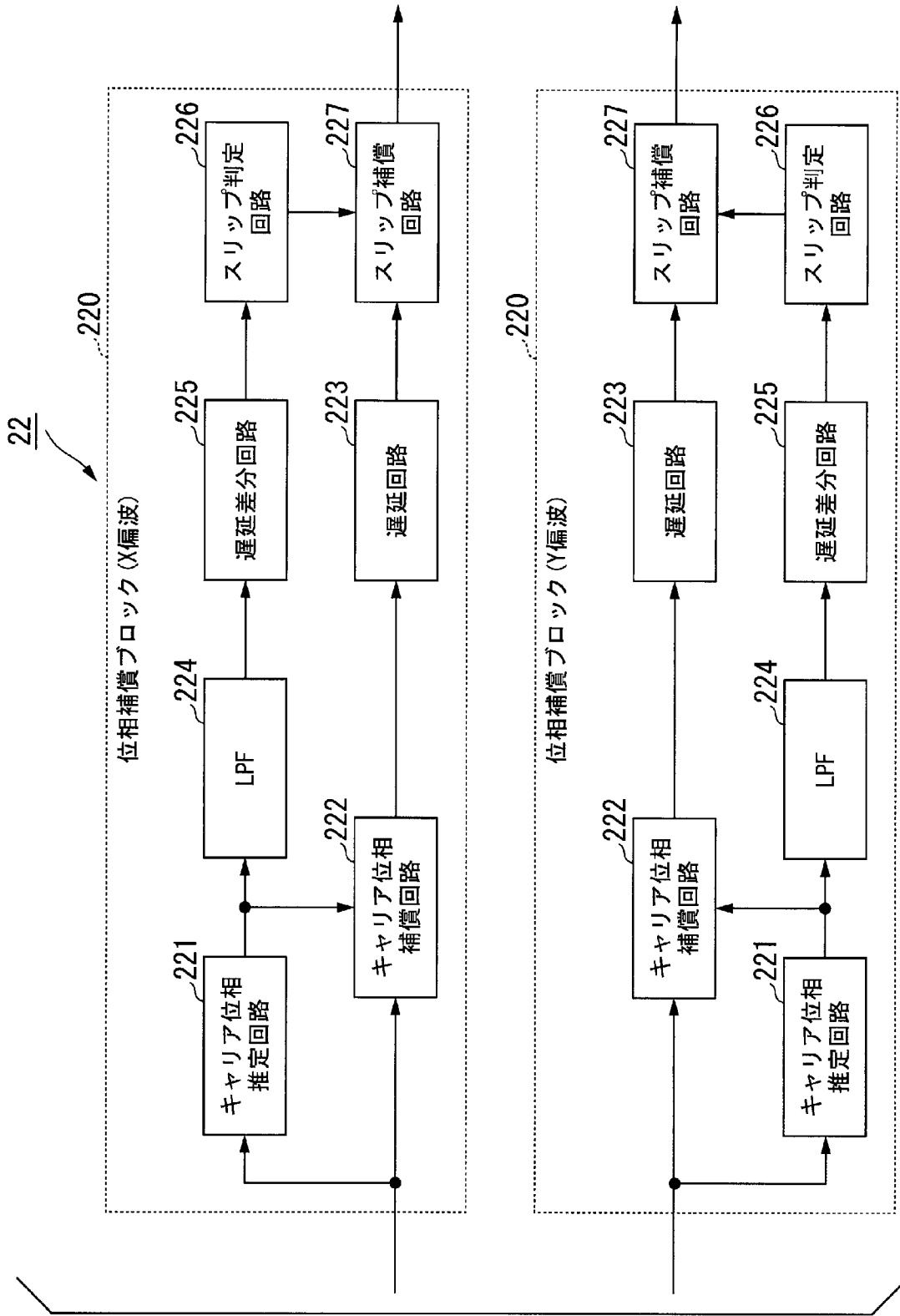
[図8]



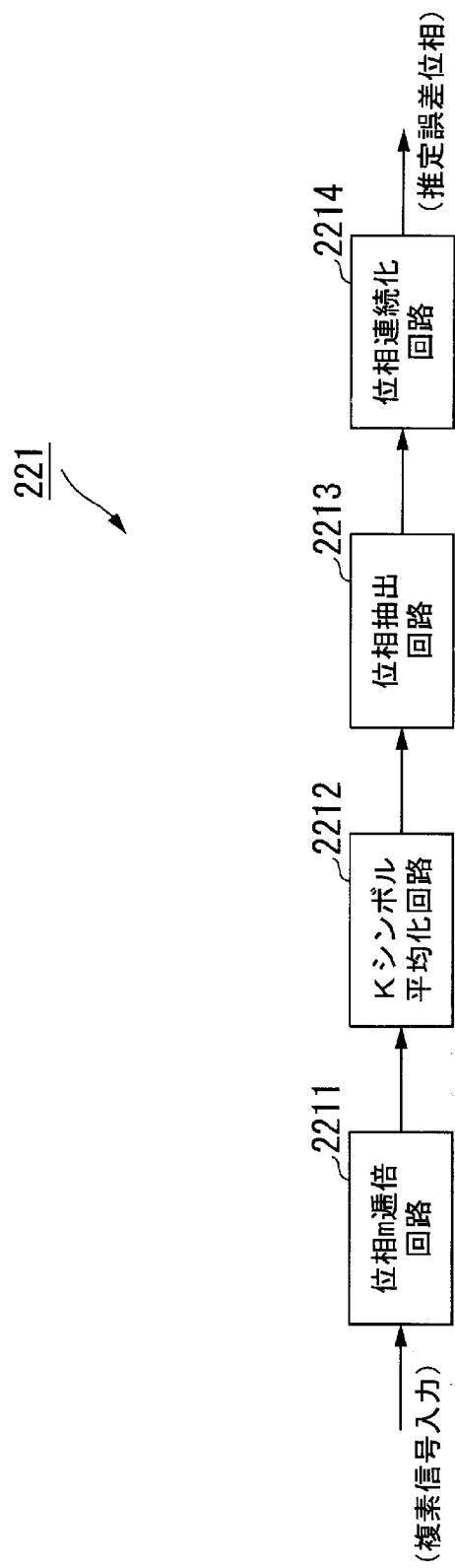
[図9]



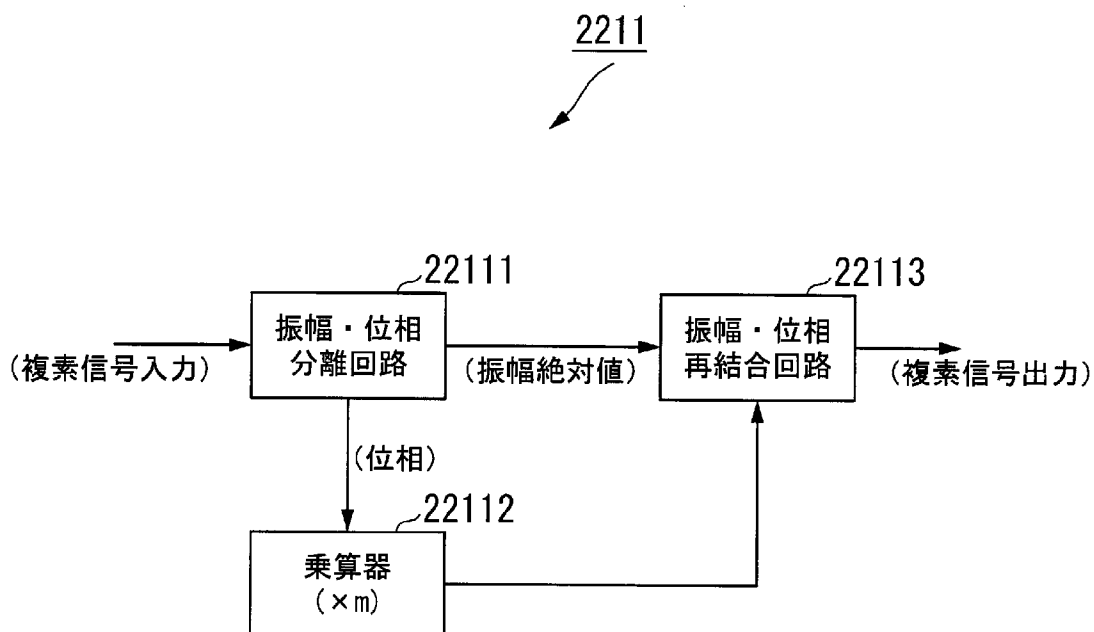
[図10]



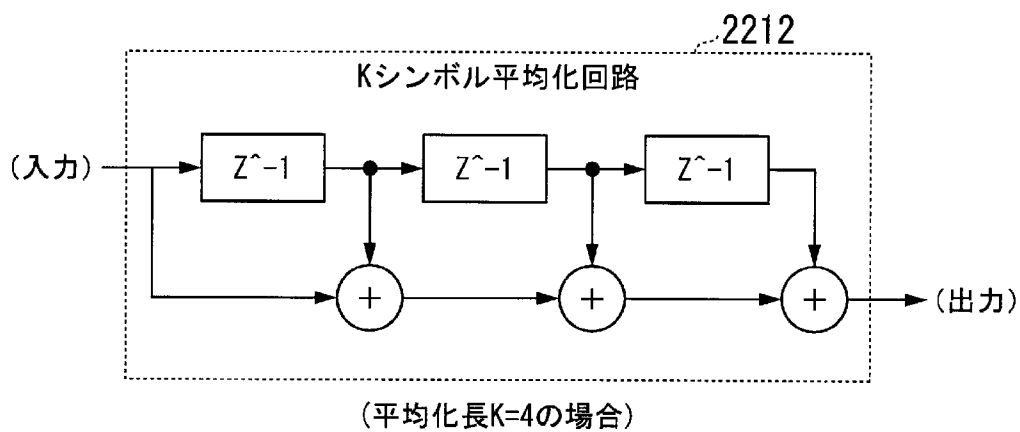
[図11]



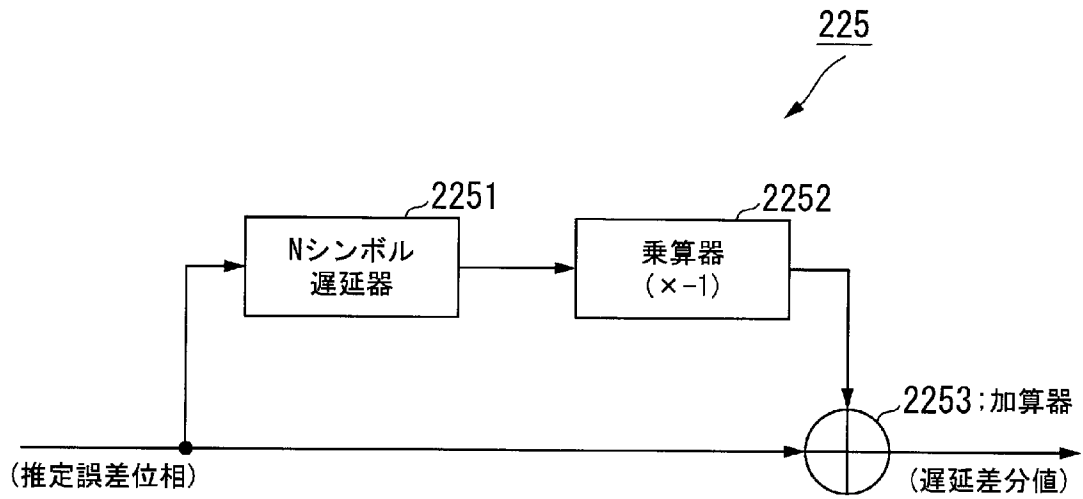
[図12]



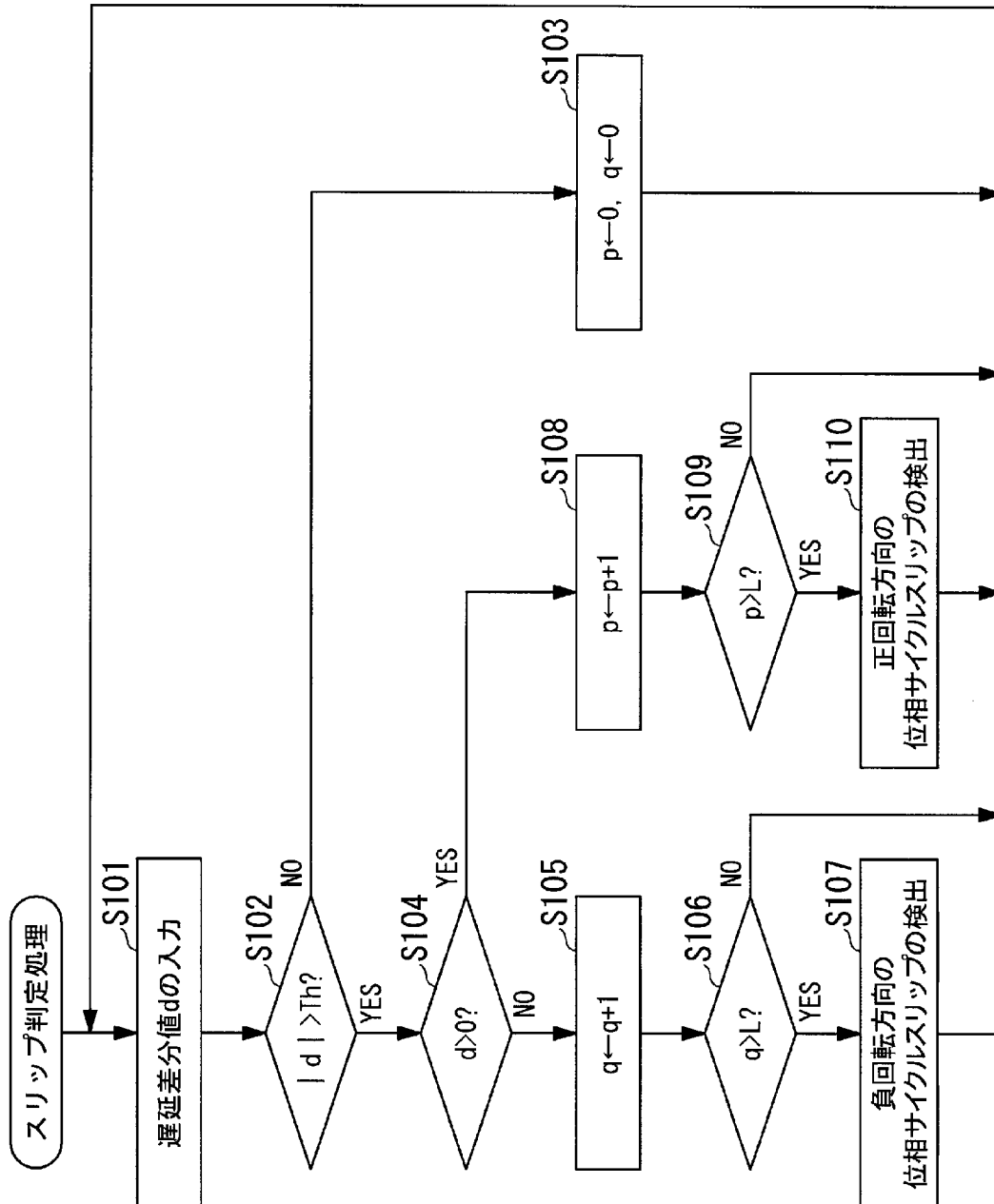
[図13]



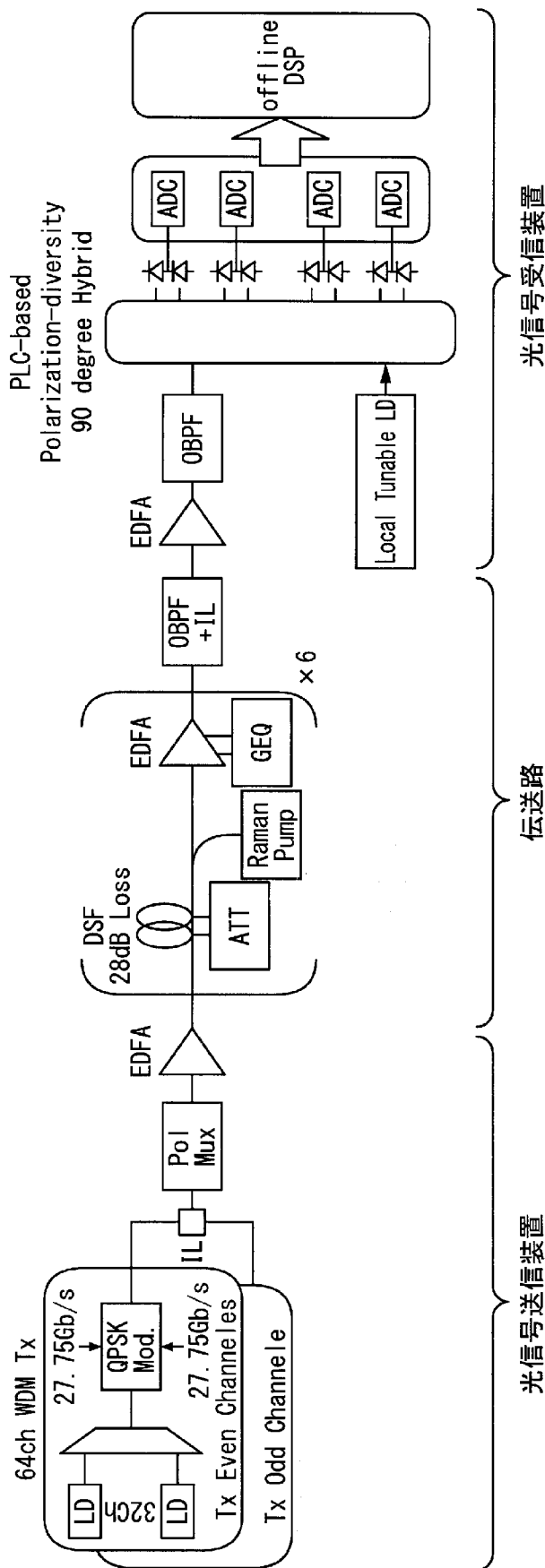
[図14]



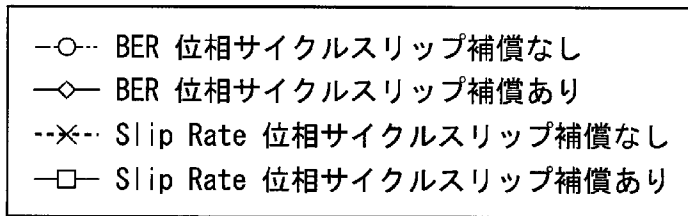
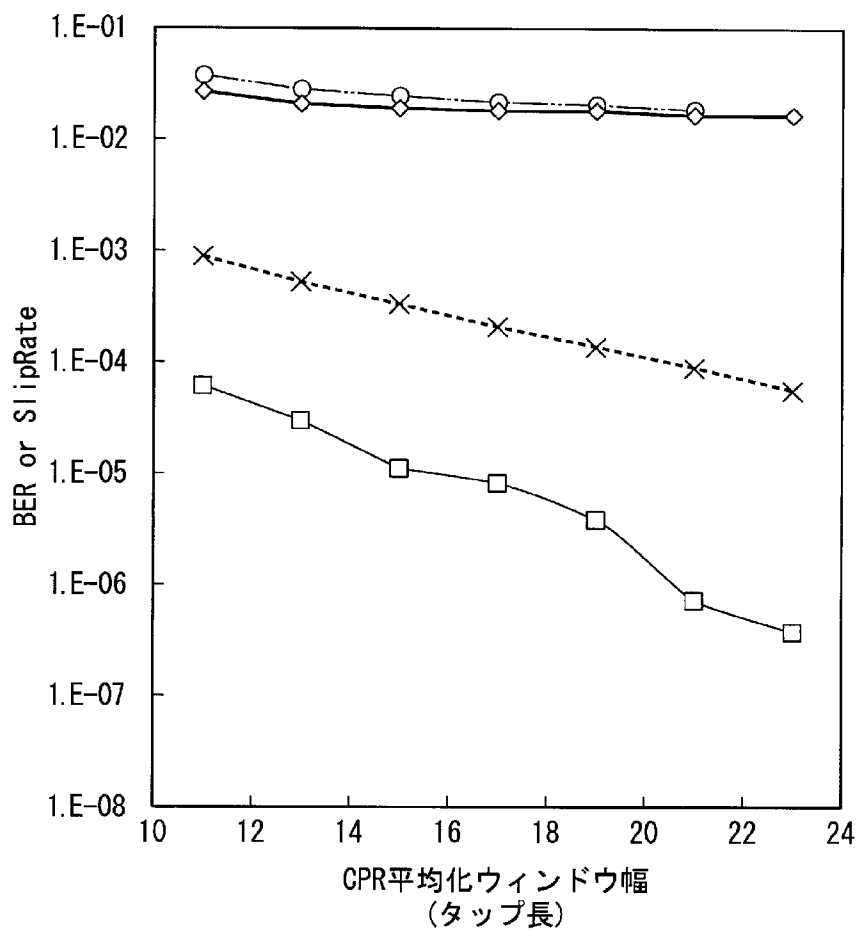
[図15]



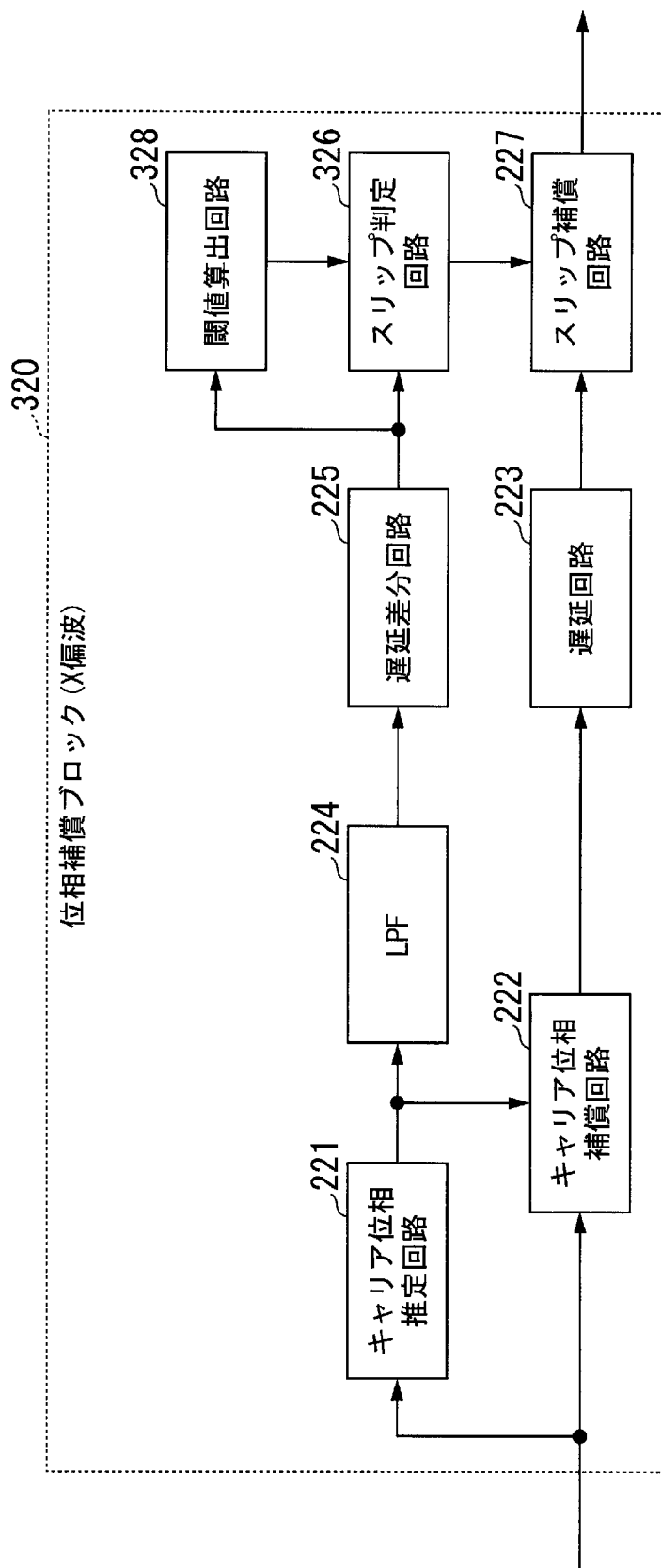
[図16]



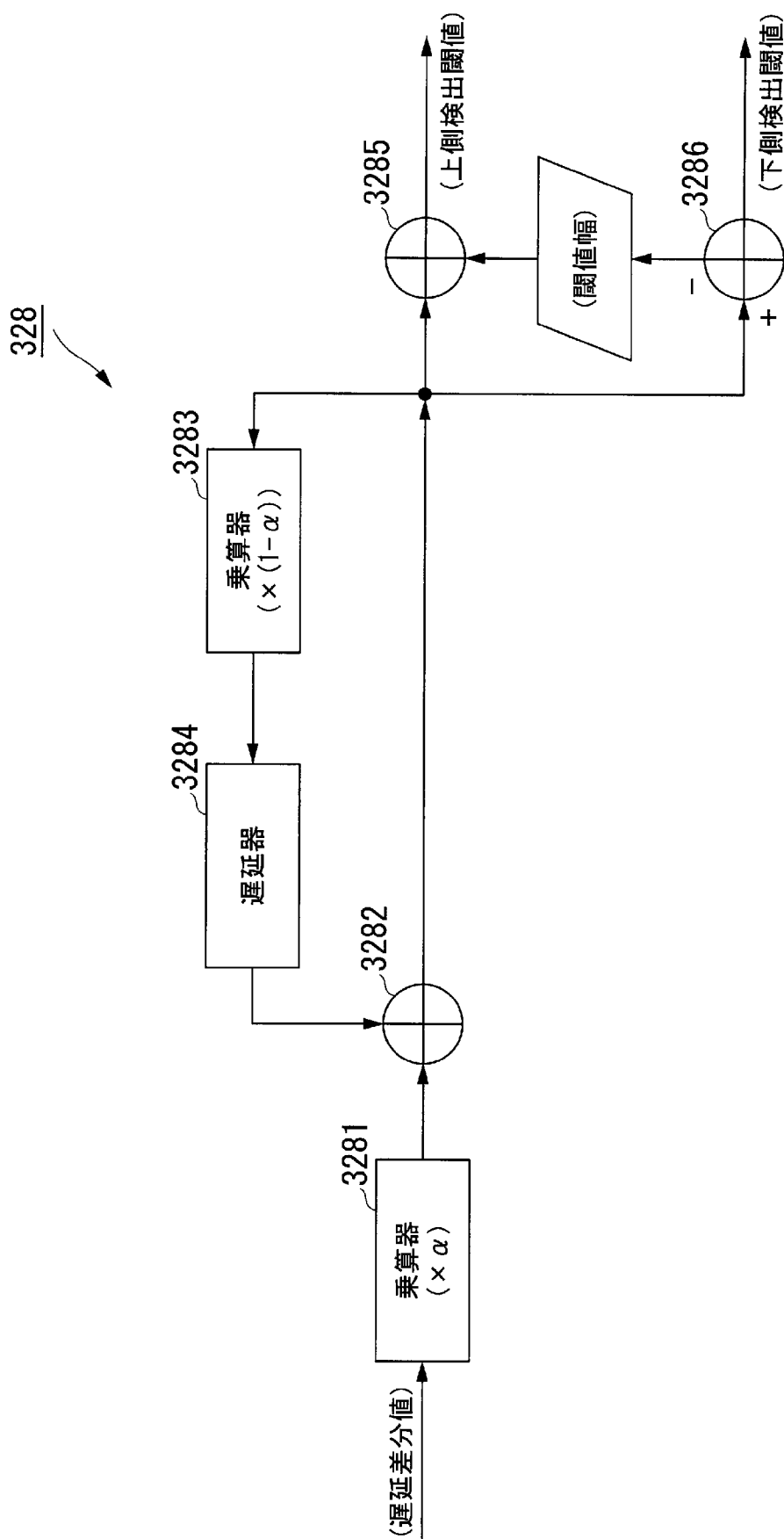
[図17]



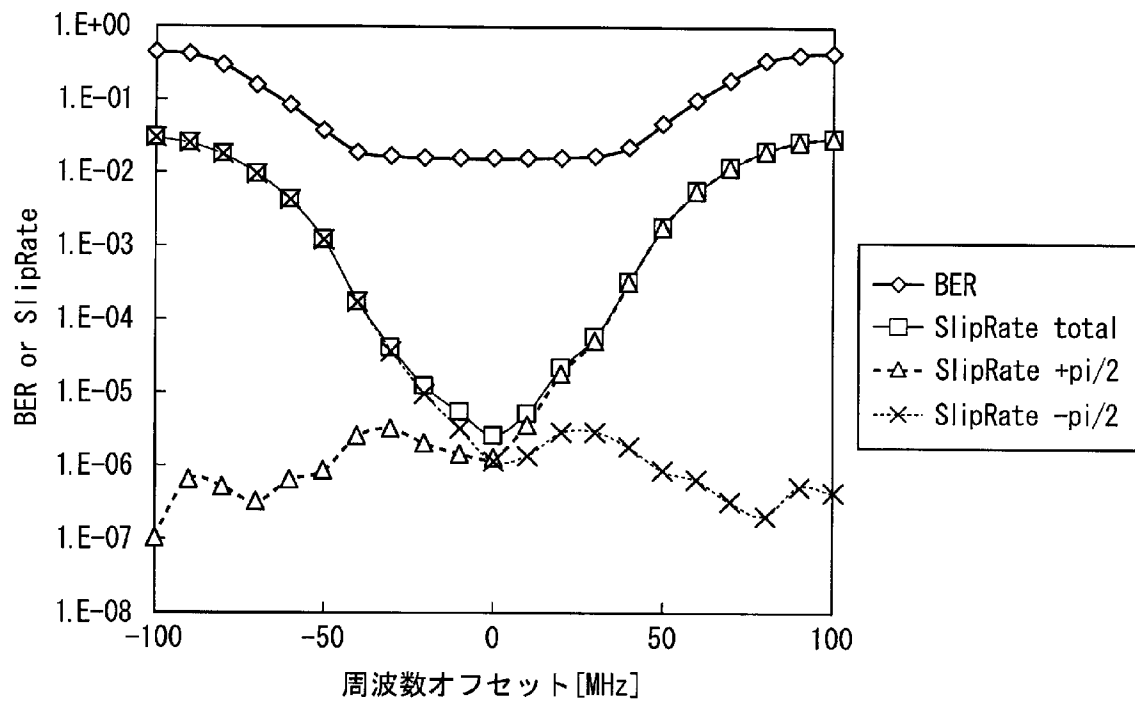
[図18]



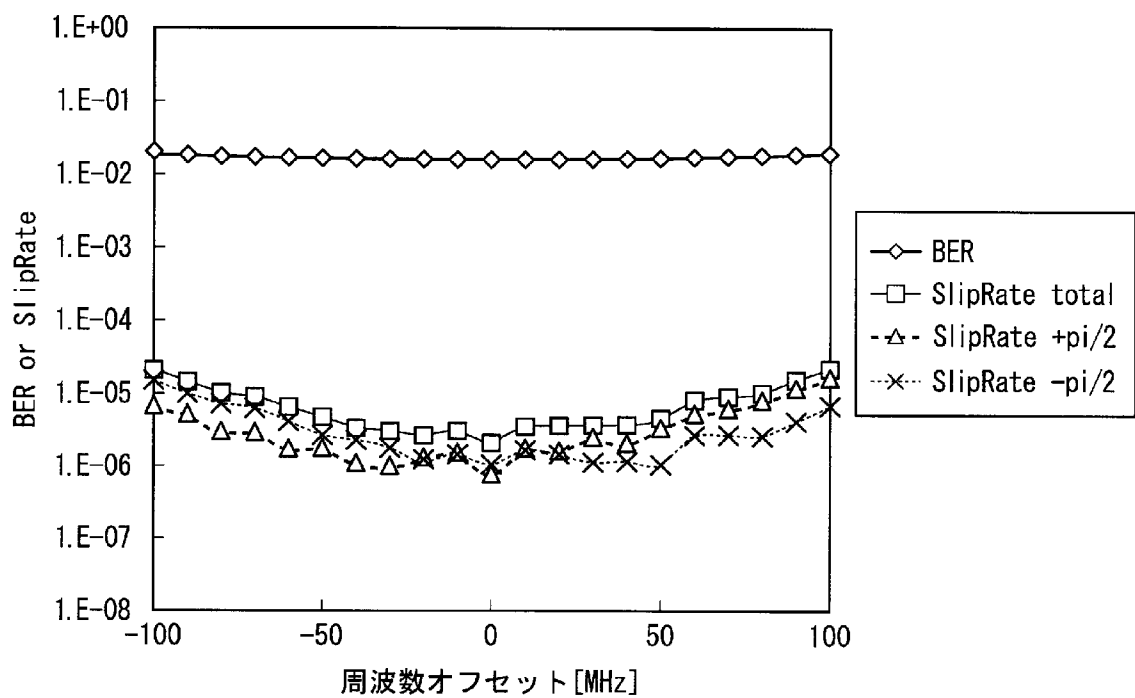
[図19]



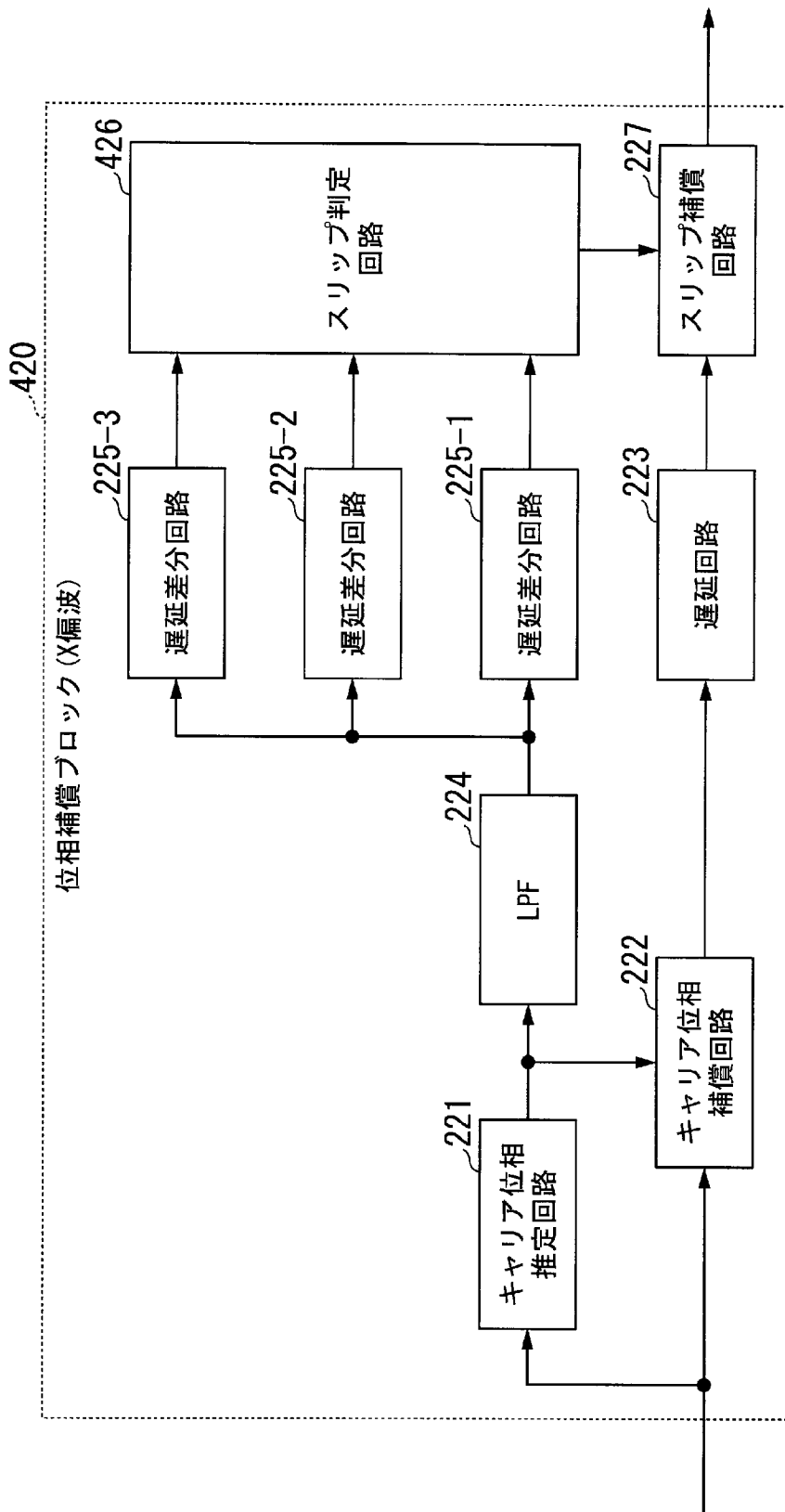
[図20A]



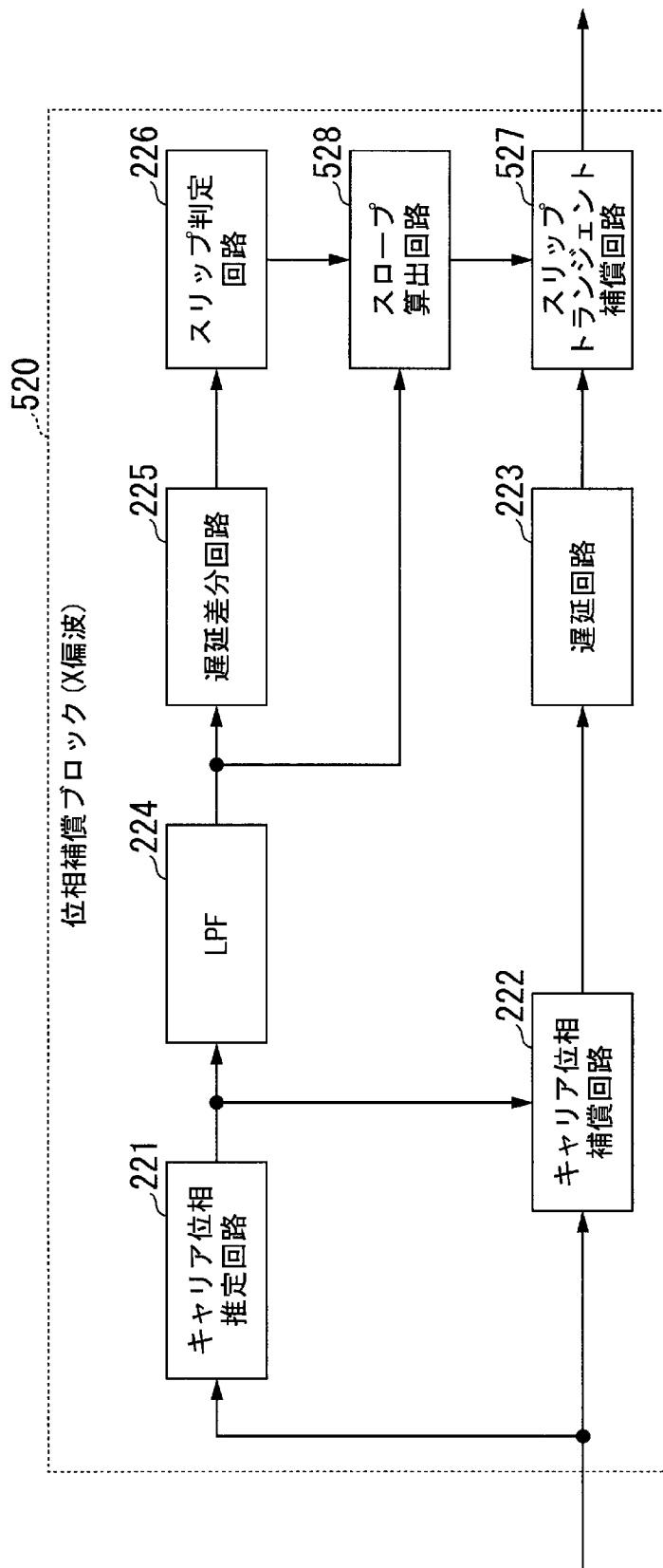
[図20B]



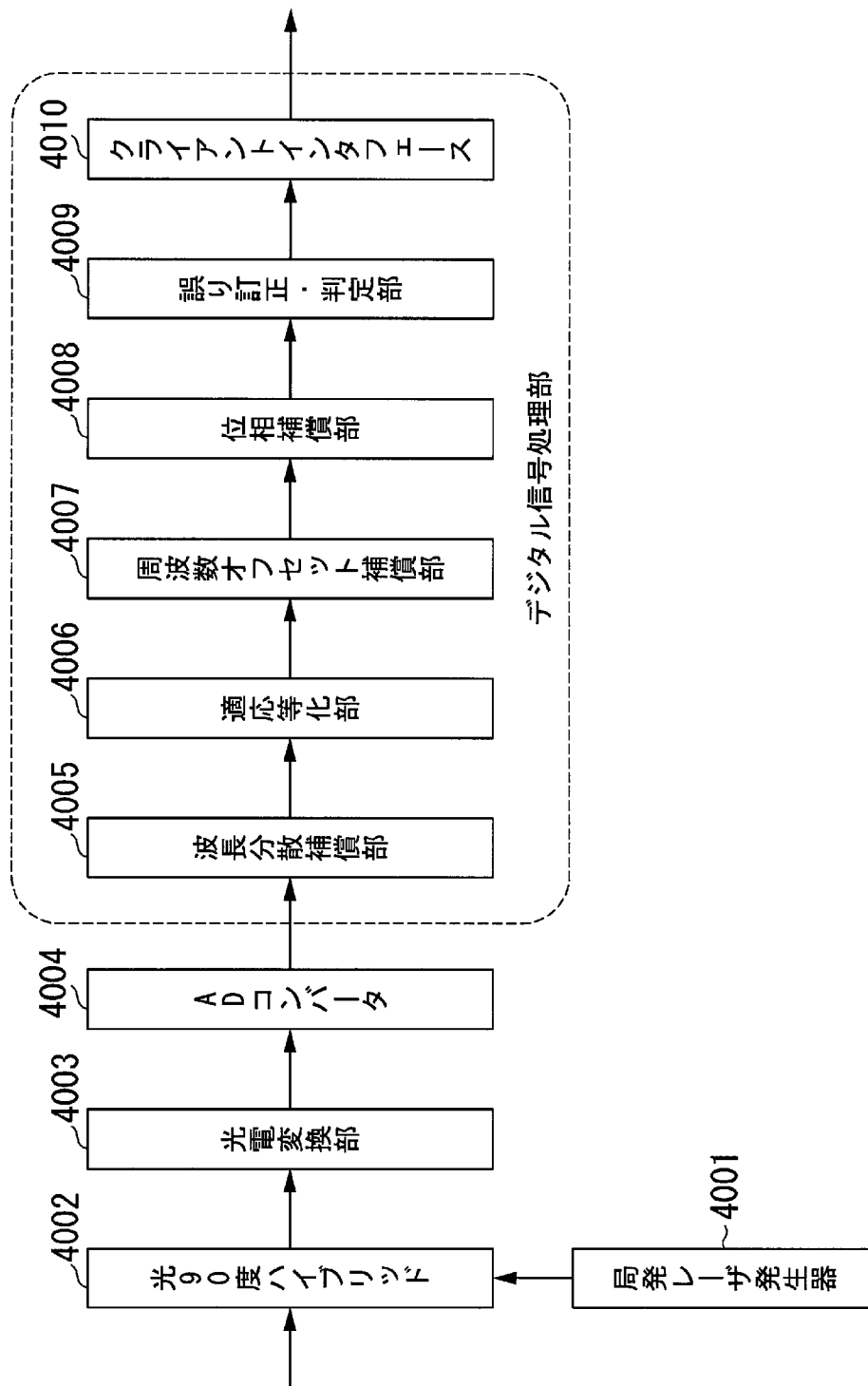
[図21]



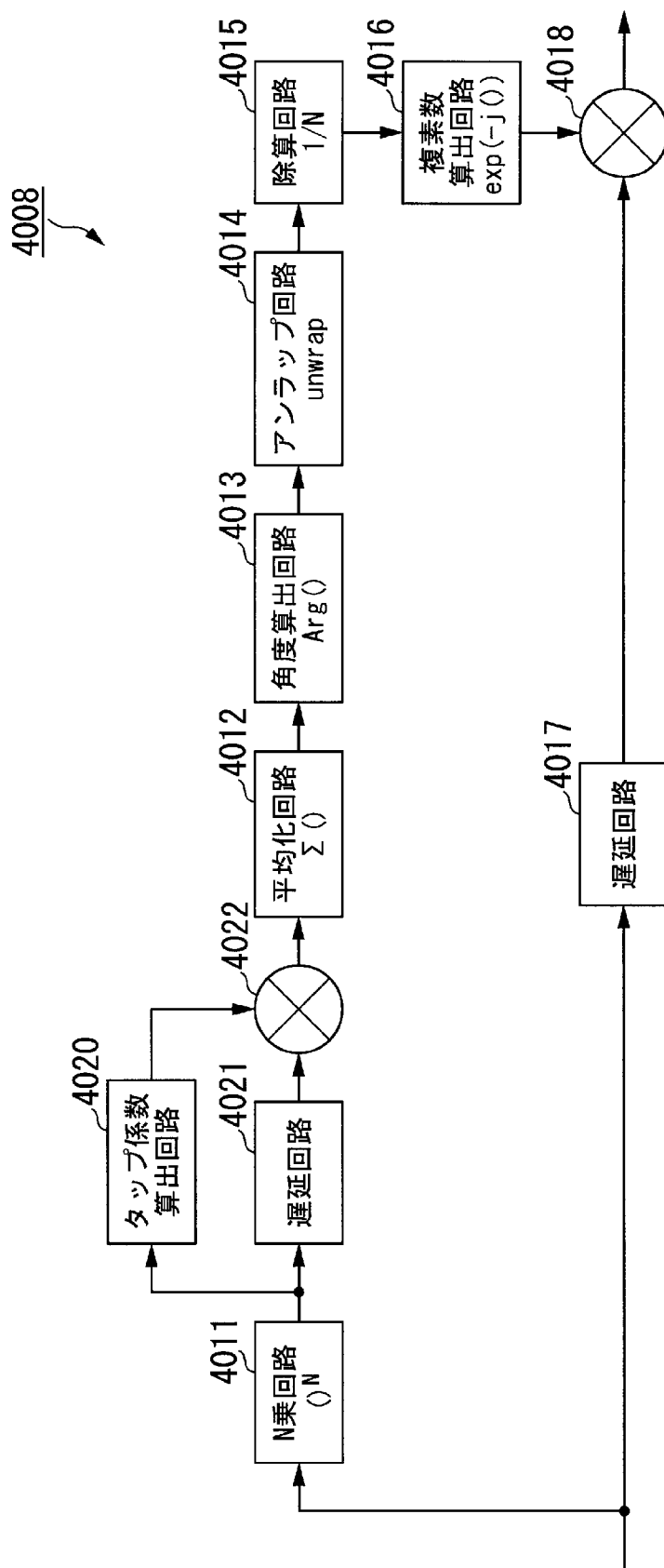
[図22]



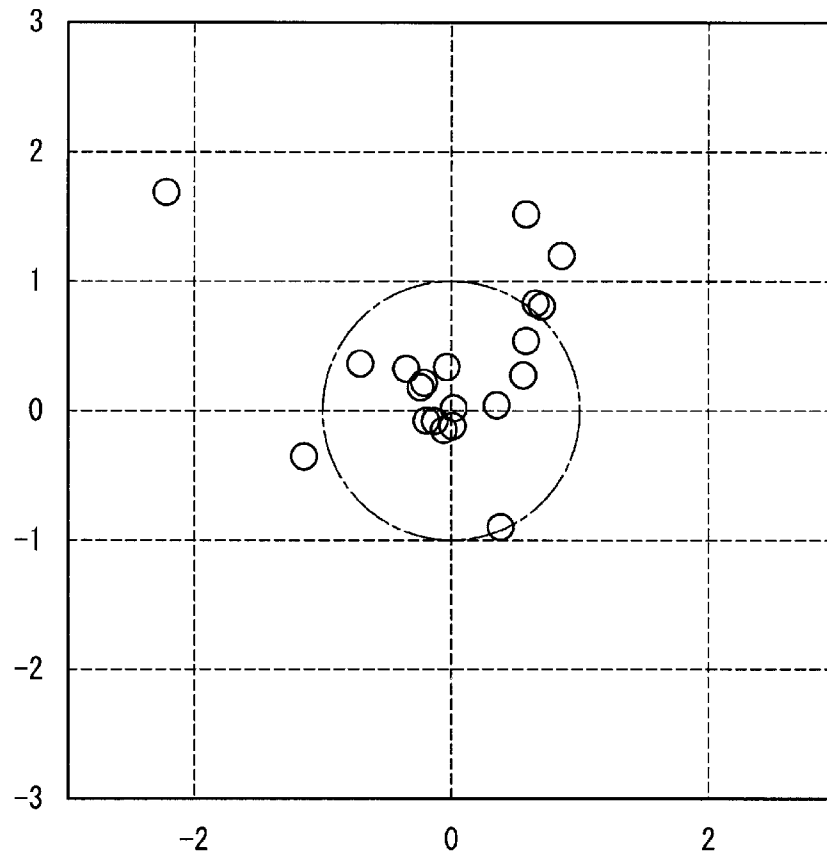
[図23]



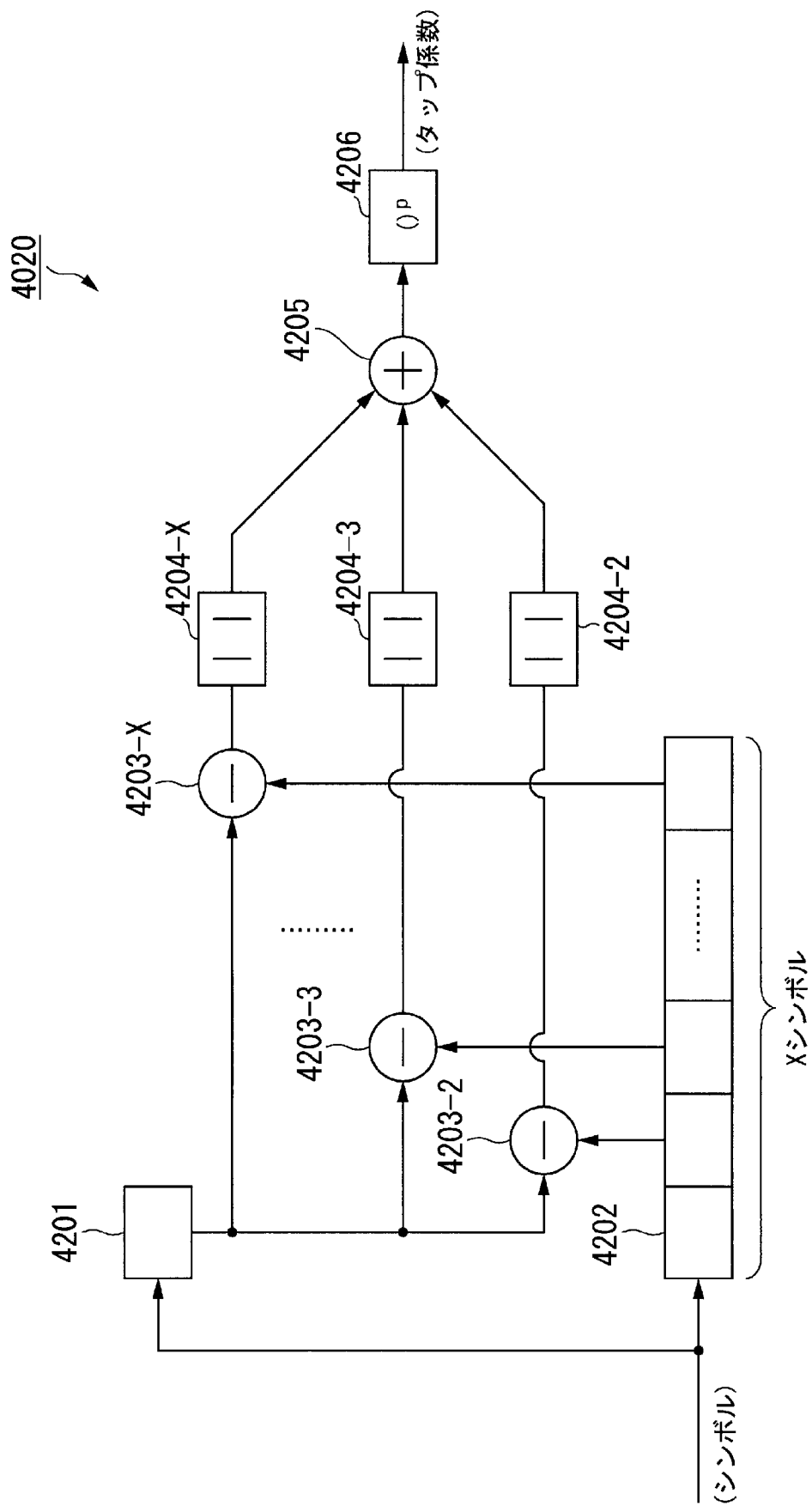
[図24]



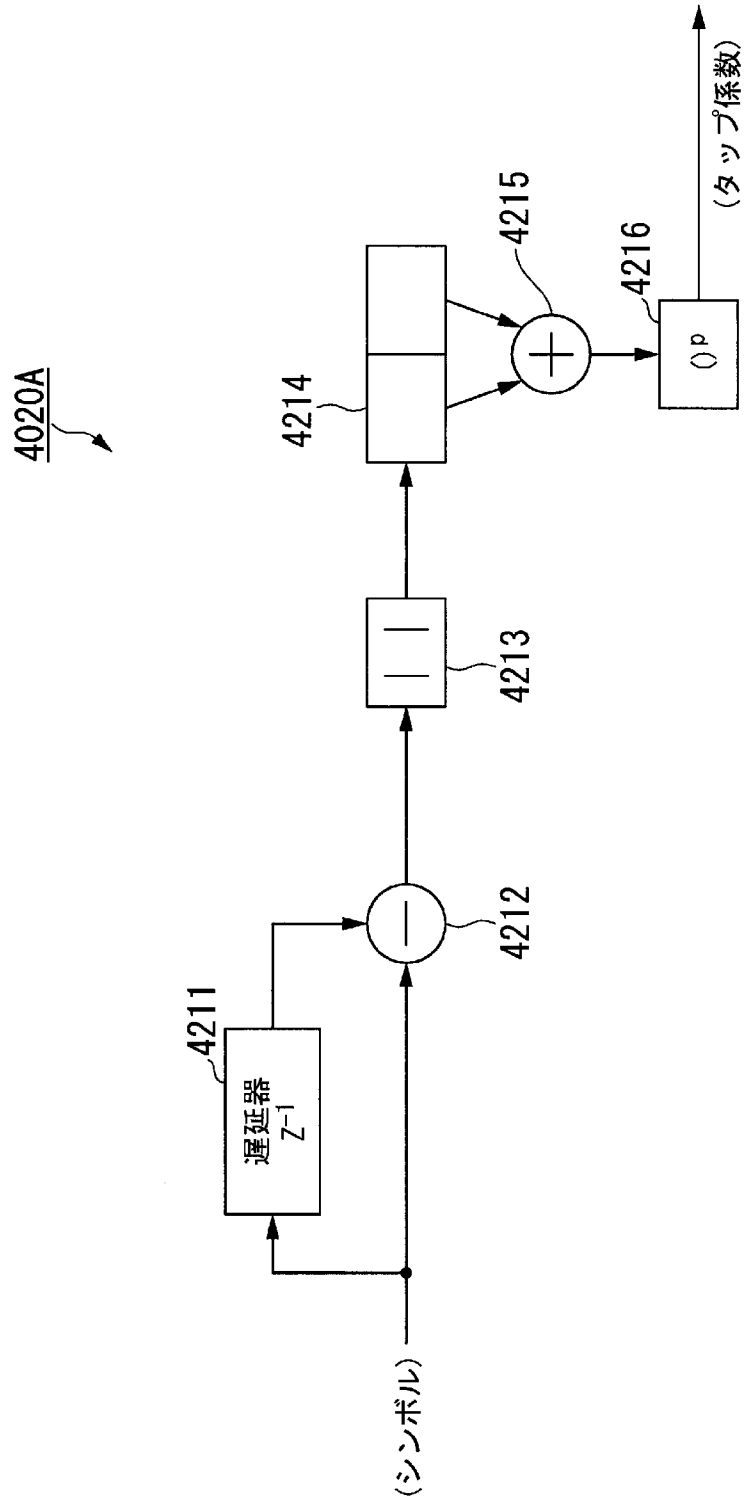
[図25]



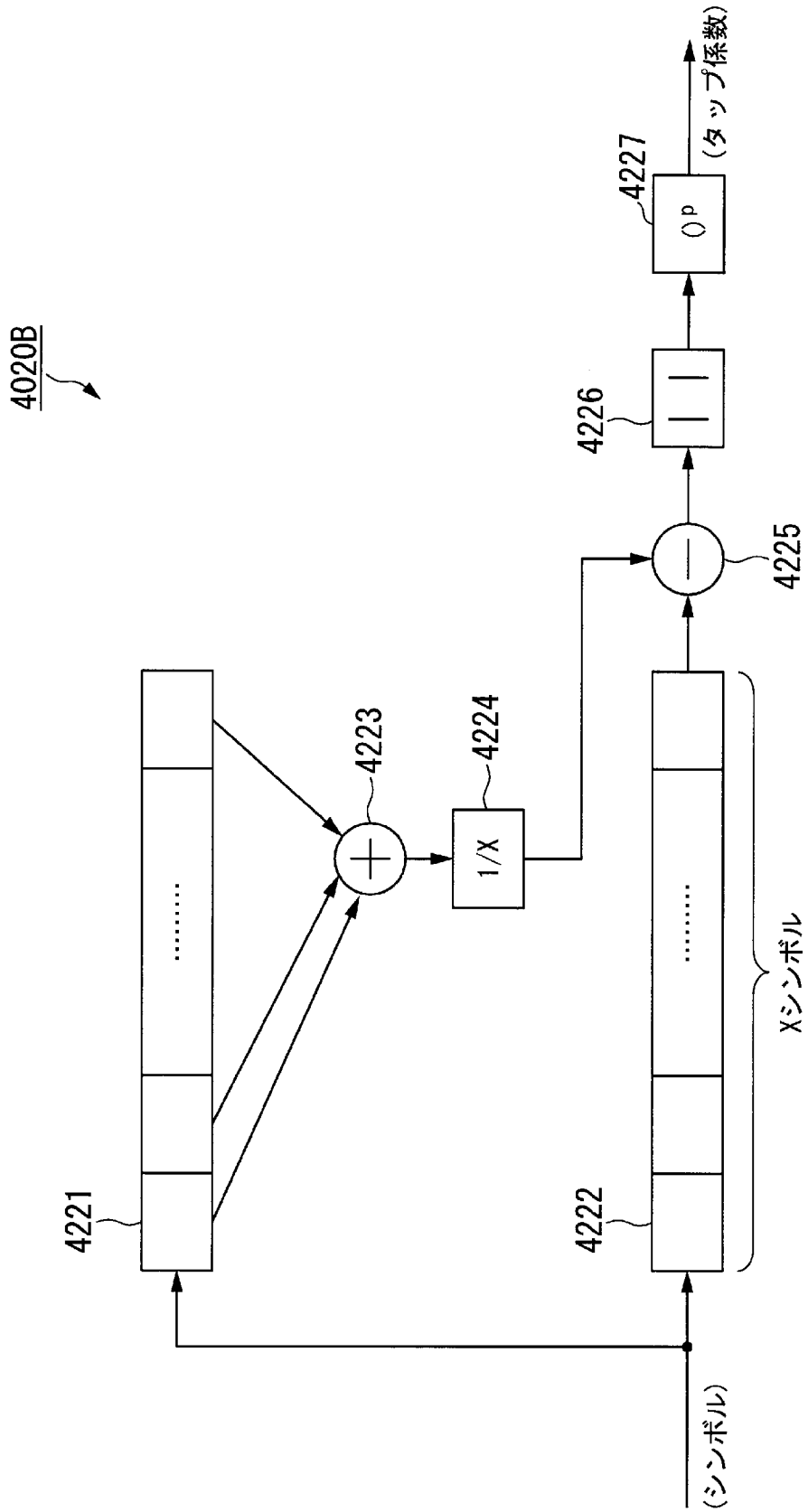
[図26]



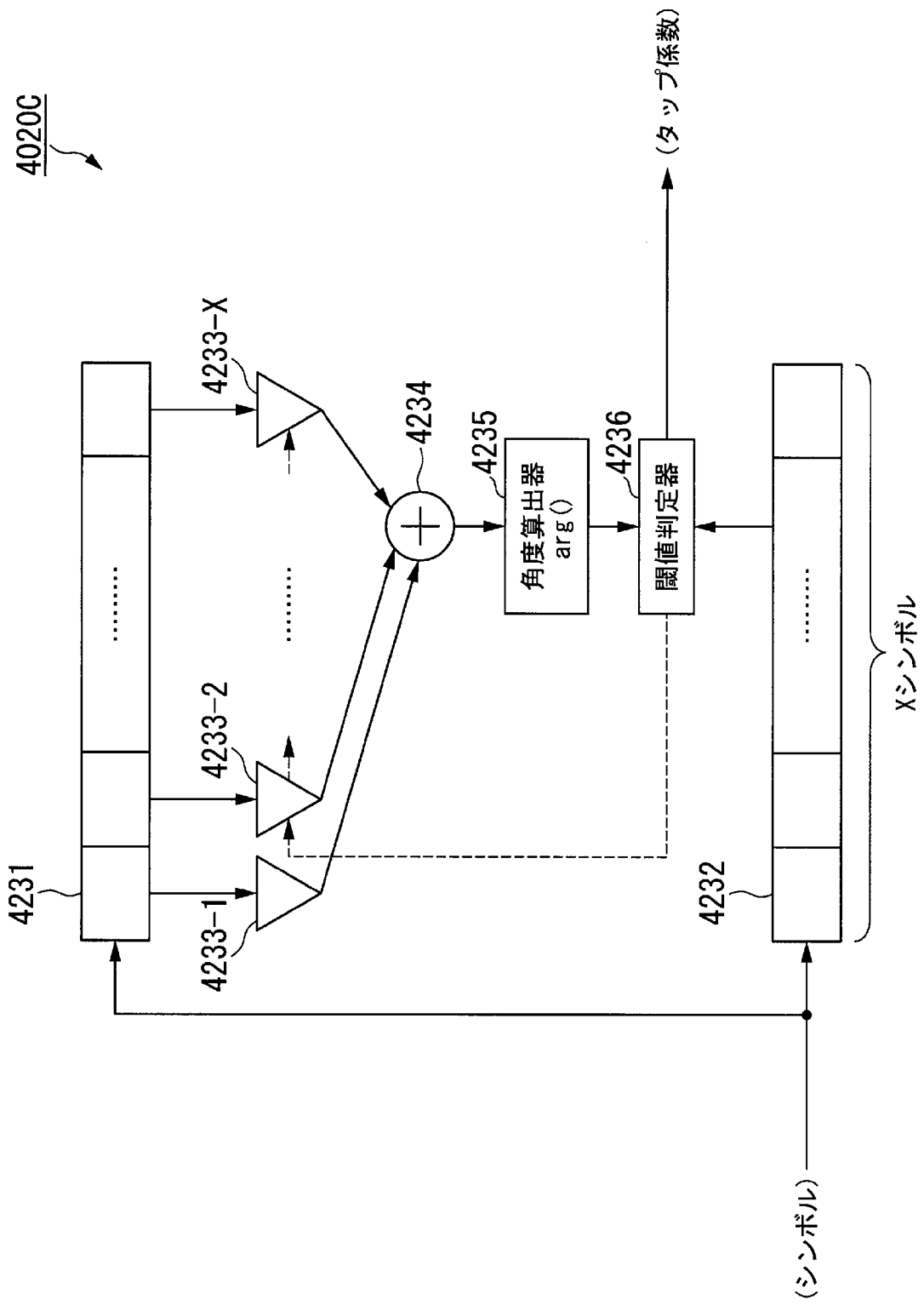
[図27]



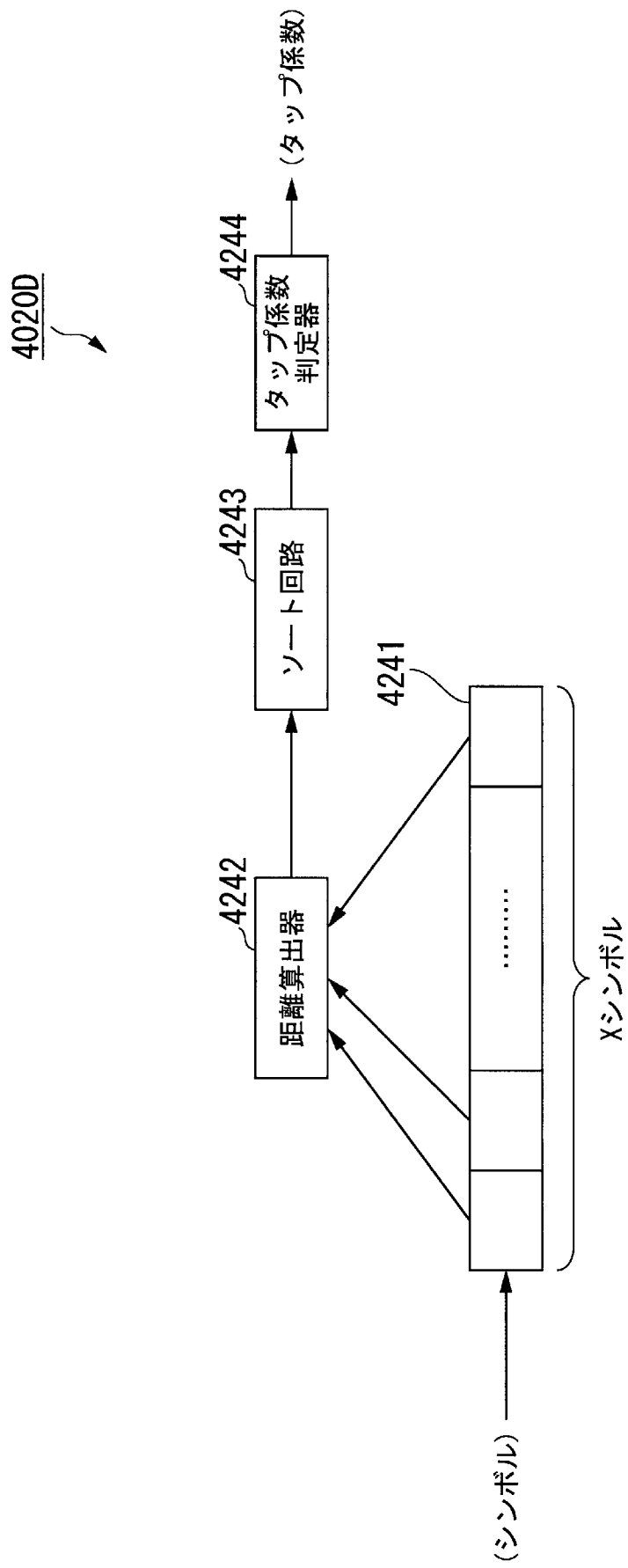
[図28]



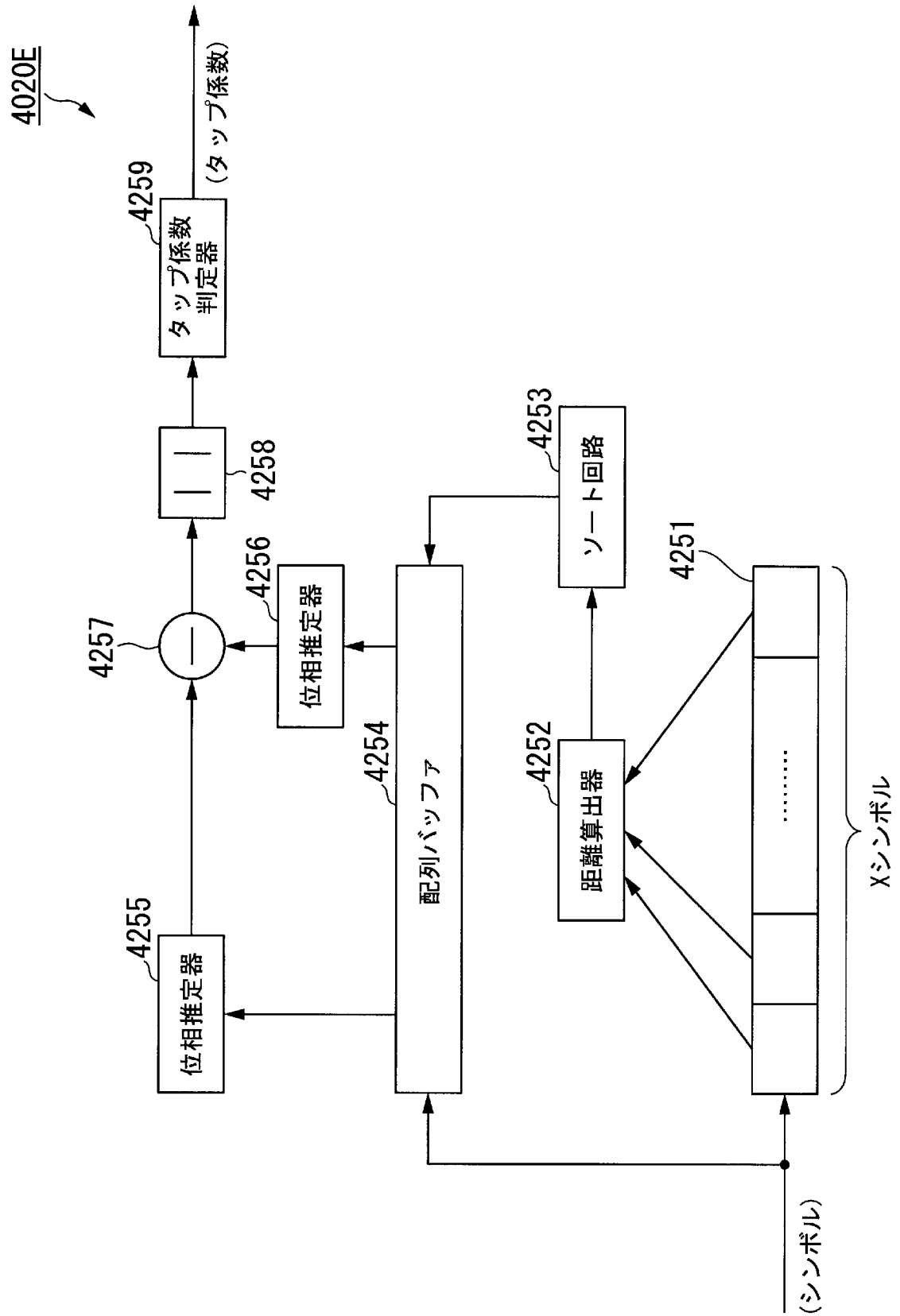
[図29]



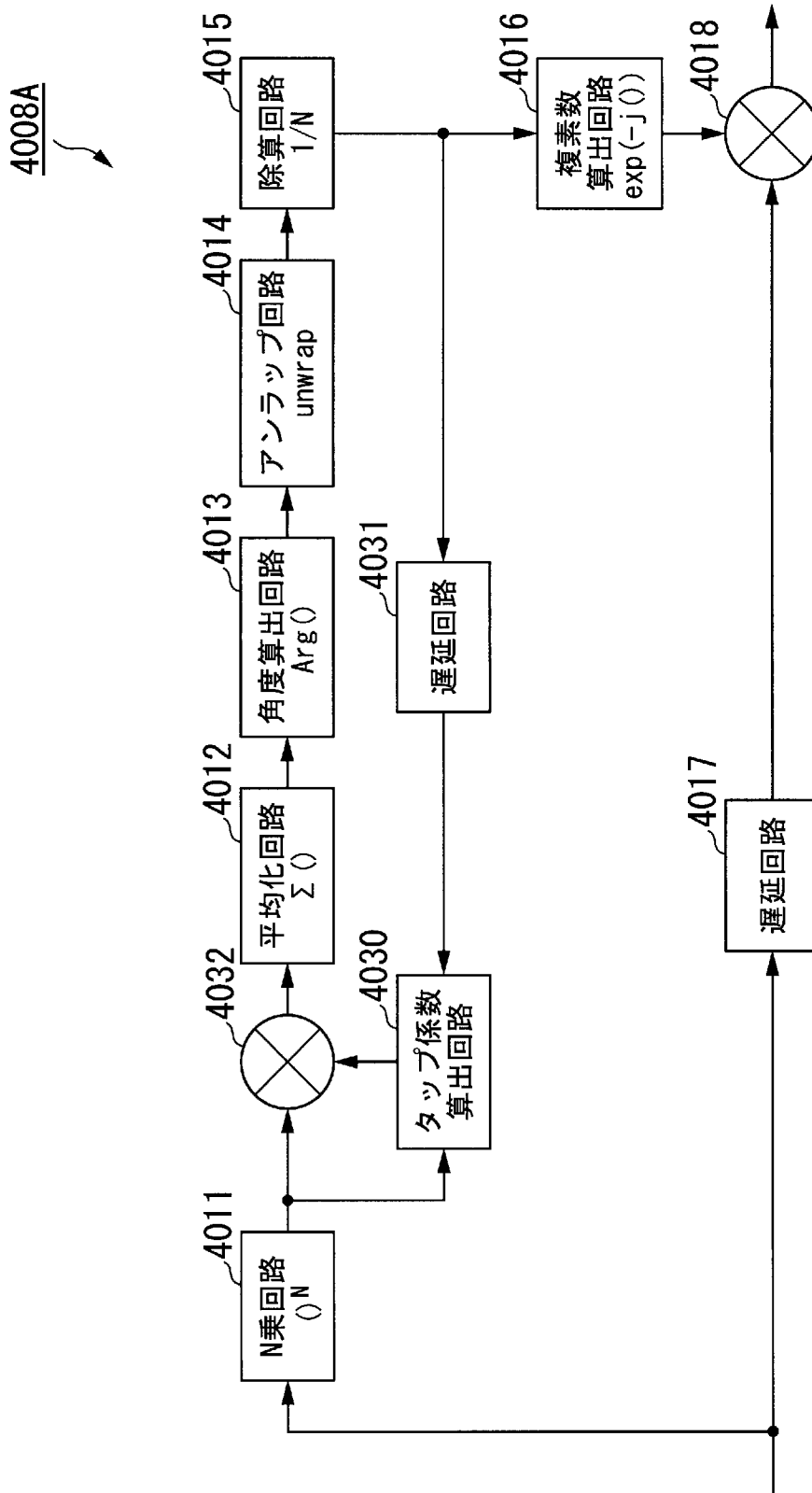
[図30]



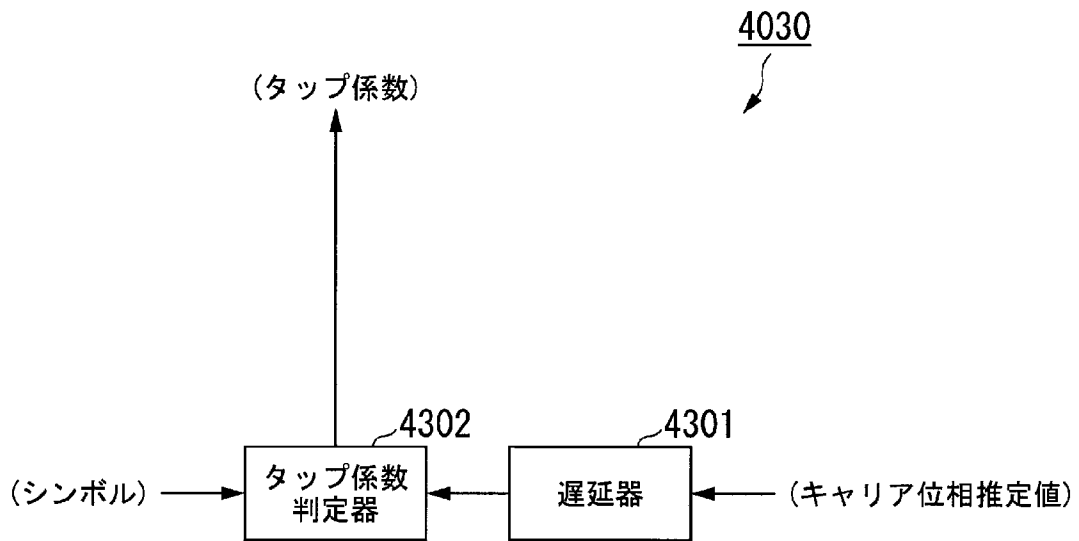
[図31]



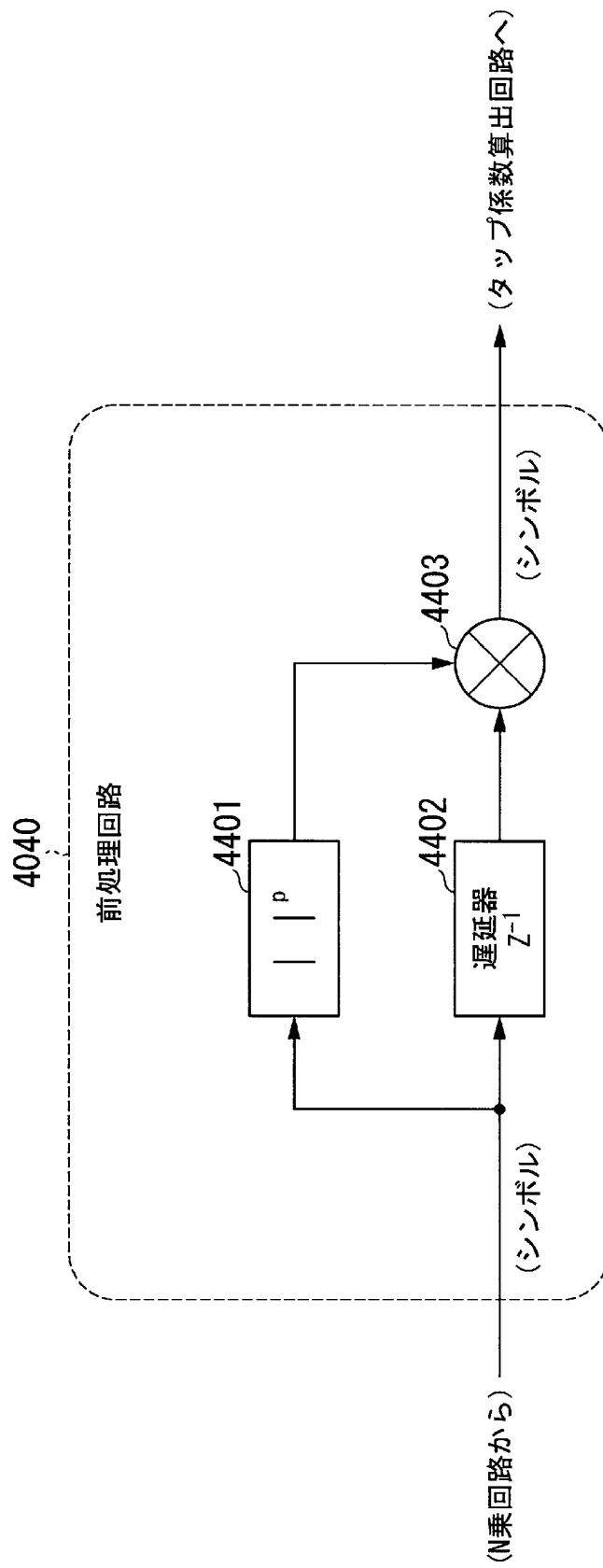
[図32]



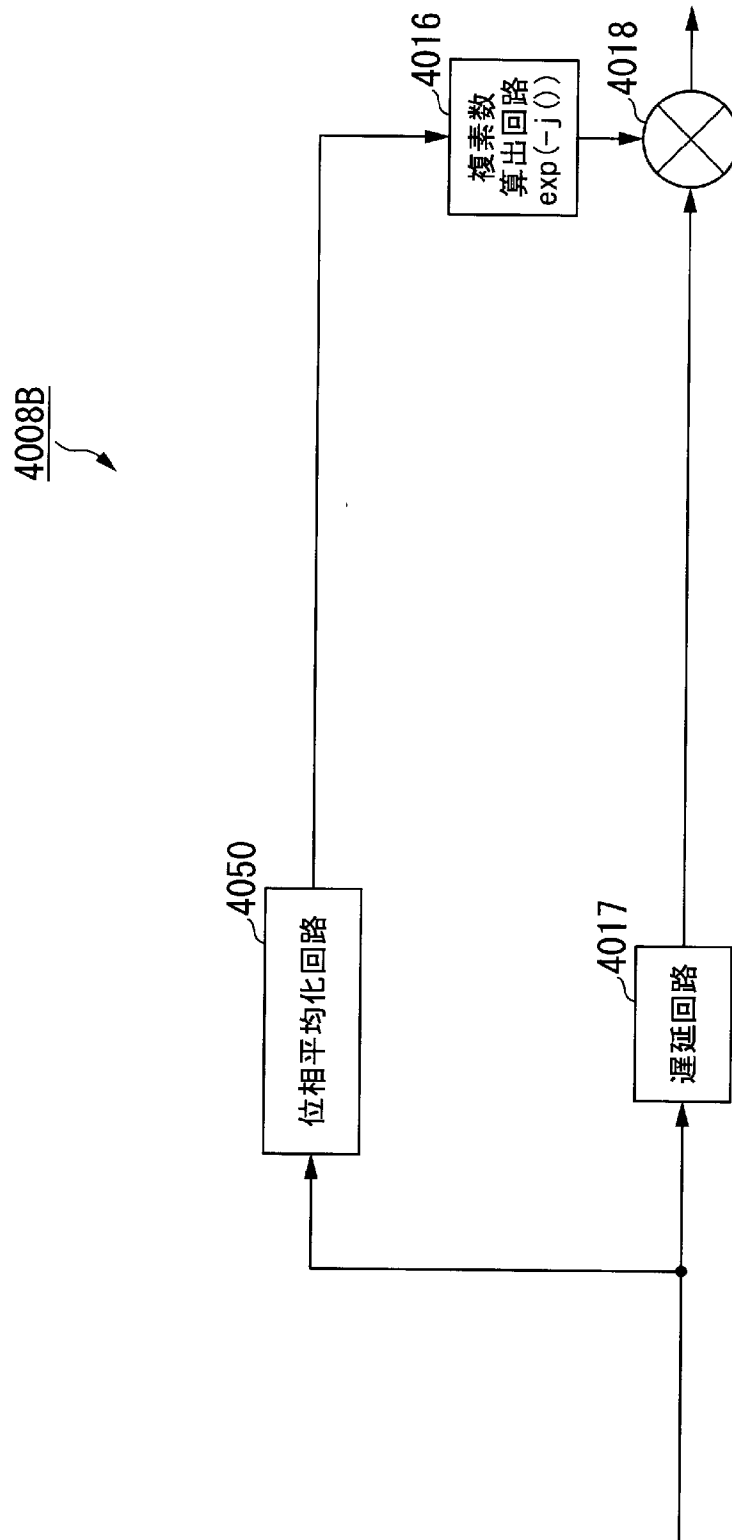
[図33]



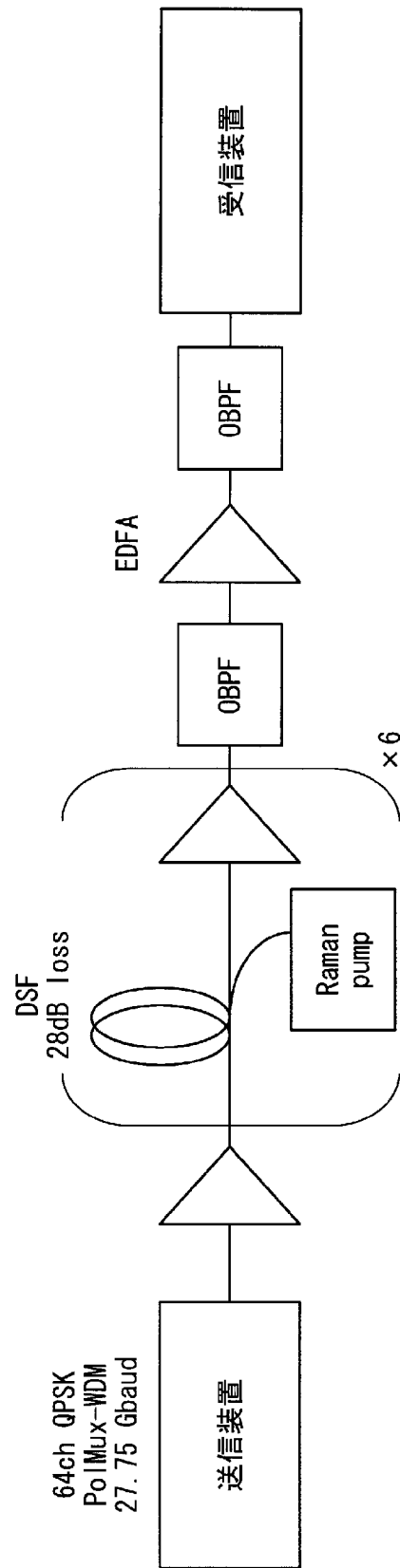
[図34]



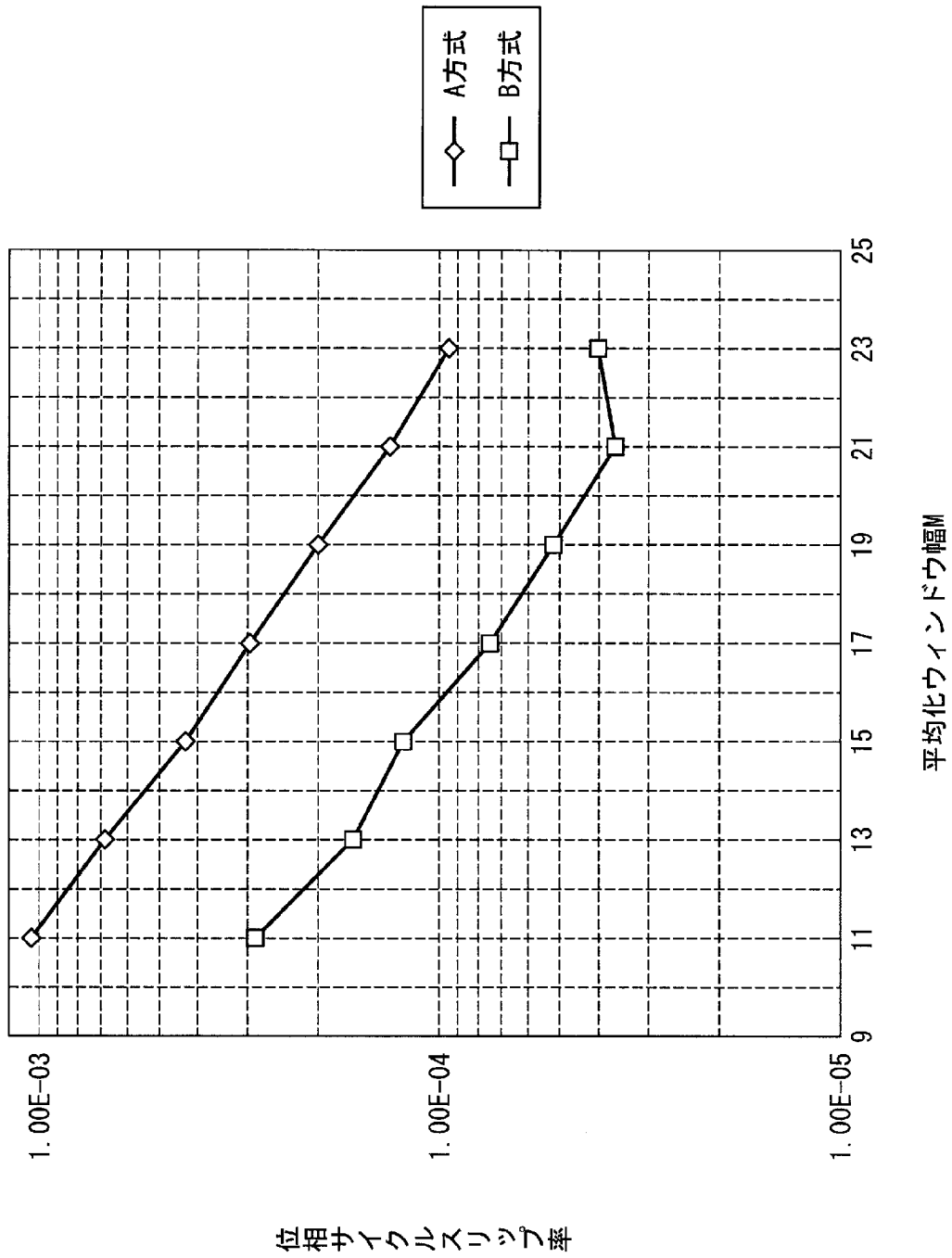
[図35]



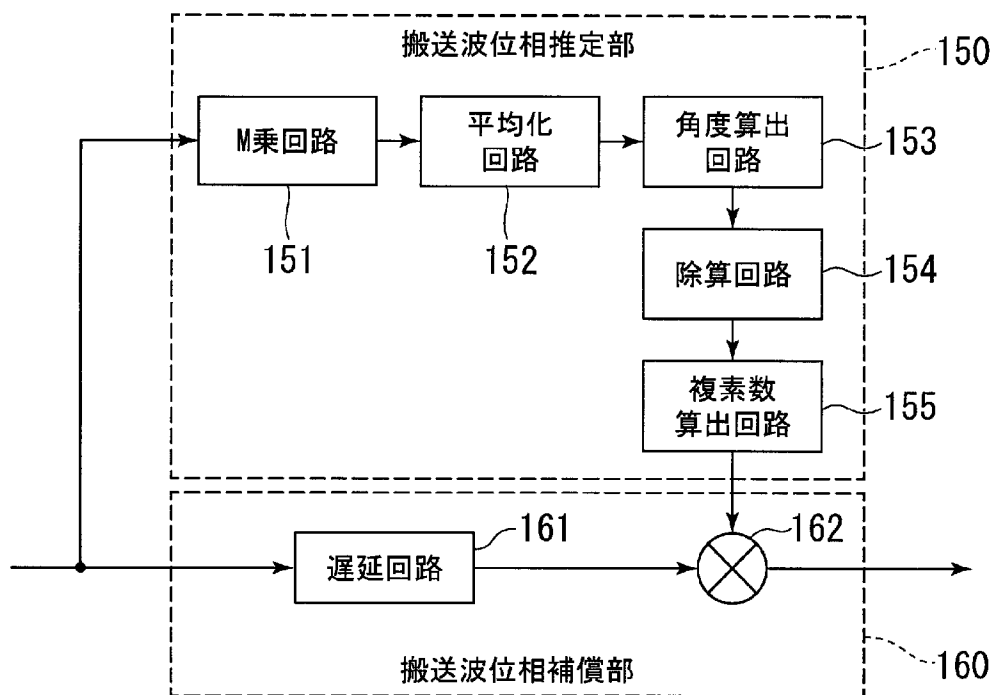
[図36]



[図37]



[図38]



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2014/051501

**A. CLASSIFICATION OF SUBJECT MATTER**  
H04B10/61(2013.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H04B10/61

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2012/132103 A1 (NEC Corp.), 04 October 2012 (04.10.2012), page 1, line 30 to page 4, line 14; page 8, line 5 to page 14, line 25; fig. 8 to 19 (Family: none)	1 2-17
A	WO 2012/111847 A1 (NEC Corp.), 23 August 2012 (23.08.2012), page 3, line 17 to page 4, line 29; page 10, line 13 to page 16, line 11; fig. 1 to 2, 8 to 9, 12 (Family: none)	1-17
A	JP 2011-166597 A (Mitsubishi Electric Corp.), 25 August 2011 (25.08.2011), paragraphs [0018] to [0052]; fig. 1 to 5 (Family: none)	1-17

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 20 February, 2014 (20.02.14)	Date of mailing of the international search report 04 March, 2014 (04.03.14)
---	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H04B10/61(2013.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H04B10/61		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2014年 日本国実用新案登録公報 1996-2014年 日本国登録実用新案公報 1994-2014年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2012/132103 A1 (日本電気株式会社) 2012.10.04, 第1ページ第30行-第4ページ第14行、第8ページ第	1
A	5行-第14ページ第25行、図8-19 (ファミリーなし)	2-17
A	WO 2012/111847 A1 (日本電気株式会社) 2012.08.23, 第3ページ第17行-第4ページ第29行, 第10ページ 第13行-第16ページ第11行, 図1-2, 8-9, 12 (ファミリーなし)	1-17
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 20.02.2014	国際調査報告の発送日 04.03.2014	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 後澤 瑞征 電話番号 03-3581-1101 内線 3534	5 J   4540

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-166597 A (三菱電機株式会社) 2011.08.25, 段落【0018】 - 【0052】, 図 1-5 (ファミリーなし)	1-17