



(12) 发明专利

(10) 授权公告号 CN 101572545 B

(45) 授权公告日 2014. 02. 26

(21) 申请号 200910052964. X

WO 2008/084525 A1, 2008. 07. 17,

(22) 申请日 2009. 06. 12

审查员 魏晶瑶

(73) 专利权人 上海集成电路研发中心有限公司
地址 201203 上海市张江碧波路 177 号 4 楼
B 区

(72) 发明人 任铮 胡少坚 周伟 唐逸 王勇
曹永峰 叶红波

(74) 专利代理机构 上海智信专利代理有限公司
31002

代理人 王洁

(51) Int. Cl.

H03L 7/08 (2006. 01)

H03L 7/00 (2006. 01)

(56) 对比文件

CN 1866746 A, 2006. 11. 22,

CN 101453213 A, 2009. 06. 10,

US 2005/0156673 A1, 2005. 07. 21,

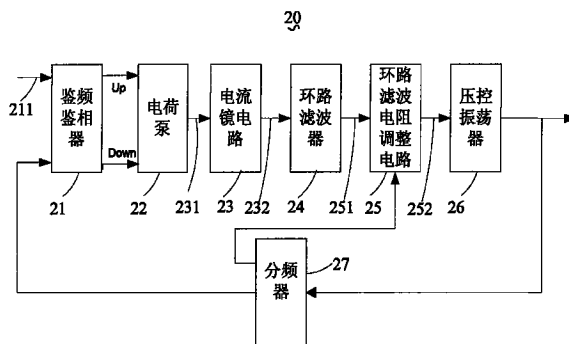
权利要求书3页 说明书8页 附图7页

(54) 发明名称

锁相环电路及其控制方法

(57) 摘要

本发明涉及一种锁相环电路及其控制方法。该锁相环电路包括依次连接的鉴频鉴相器、电荷泵、电流镜电路、环路滤波器、环路滤波电阻调整电路、压控振荡器、分频器。该电流镜电路的输入端接收该电荷泵输出的控制电流，并调整该控制电流的大小。该环路滤波电阻调整电路根据该分频器分频数信号，调整该环路滤波器的电阻参数。本发明的锁相环电路通过该电流镜电路和该环路滤波电阻调整电路调整该锁相环电路的环路带宽和阻尼系数，从而提高了该锁相环电路的稳定性。



1. 一种锁相环电路,用于产生一输出信号,包括:
分频器,用于接收该输出信号,并调整该输出信号的频率以提供反馈信号;
鉴频鉴相器,接收参考信号和该反馈信号,并输出用于指示该参考信号和该反馈信号相位差的相位差信号;
电荷泵,用于接收该相位差信号并输出控制电流;
环路滤波器,用于产生控制电压;
压控振荡器,用于调整该锁相环电路的输出信号频率,其特征在于,该锁相环电路还包括:
电流镜电路,用于接收并调整该电荷泵输出的控制电流,该环路滤波器过滤该调整后的控制电流以产生该控制电压;
环路滤波电阻调整电路,用于根据该分频器的分频数信号,调整该环路滤波器的电阻参数,该控制电压经由该环路滤波电阻调整电路输入到该压控振荡器;该环路滤波电阻调整电路包括用于接收该环路滤波器输出的控制电压的输入端、用于输出控制电压到该压控振荡器的输出端、第一电阻、第二电阻、第四晶体管和第五晶体管,该第一、第二电阻并联连接于该输入端和输出端之间,该分频器的分频数信号的最高位和次高位分别输入到该第四、第五晶体管的栅极,通过控制该第四、第五晶体管的导通和截止来调整该第一、第二电阻并联电路的阻值。
2. 如权利要求 1 所述的锁相环电路,其特征在于:该电流镜电路是反比可编程电流镜电路。
3. 如权利要求 1 所述的锁相环电路,其特征在于:该电流镜电路包括第一晶体管和至少一串联晶体管单元,该串联晶体管单元接收该电荷泵输出的控制电流,并控制该第一晶体管输出调整后的控制电流,该串联晶体管单元的导通数目跟该第一晶体管输出的控制电流成反比。
4. 如权利要求 3 所述的锁相环电路,其特征在于:每一串联晶体管单元包括第二晶体管和第三晶体管,该第二晶体管的源极接地,该第二晶体管的栅极连接该第一晶体管的栅极,该第二晶体管的漏极连接该第三晶体管的源极,该第三晶体管的栅极接收控制偏压,该第三晶体管的漏极连接该第一晶体管的栅极并接收该电荷泵输出的控制电流,该第一晶体管的源极接地,漏极输出该调整后的控制电流。
5. 如权利要求 4 所述的锁相环电路,其特征在于:该控制偏压用于控制该第三晶体管的导通与截止,进而调整输入与输出该电流镜电路的控制电流的比例关系。
6. 如权利要求 1 所述的锁相环电路,其特征在于:该第四、第五晶体管的漏极连接该第二电阻的一端,该第二电阻的另一端与该第一电阻的一端连接该输入端,该第四、第五晶体管的源极和该第一电阻的另一端连接该输出端。
7. 如权利要求 6 所述的锁相环电路,其特征在于:该环路滤波电阻调整电路还包括电源端、第三电阻和第一、第二、第三电容,该第三电阻连接于该第四、第五晶体管的源极和该输出端之间,该第一电容连接于该电源端和该输入端之间,该第二电容连接于该电源端与该第一、第二电阻的公共端,该第三电阻连接于该电源端和该输出端之间。
8. 如权利要求 1 所述的锁相环电路,其特征在于:该第一、第二电阻的电阻值相同。
9. 如权利要求 1 所述的锁相环电路,其特征在于:该第四晶体管是 PMOS 晶体管,该第

五晶体管是 NMOS 晶体管,该分频器的分频数信号是数字信号,该第四晶体管的栅极接收该分频器的分频数信号的最高位,该第五晶体管的栅极接收该分频器的分频数信号的次高位。

10. 一种锁相环电路,用于产生一输出信号,包括:

分频器,用于接收该输出信号,并调整该输出信号的频率以提供反馈信号;

鉴频鉴相器,接收参考信号和该反馈信号,并输出用于指示该参考信号和该反馈信号相位差的相位差信号;

电荷泵,用于接收该相位差信号并输出控制电流;

环路滤波器,用于根据该电荷泵输出的控制电流产生控制电压;

压控振荡器,用于调整该锁相环电路的输出信号频率,其特征在于,该锁相环电路还包括:

环路滤波电阻调整电路,用于根据该分频器的分频数信号,调整该环路滤波器的电阻参数,该控制电压经由该环路滤波电阻调整电路输入到该压控振荡器;该环路滤波电阻调整电路包括用于接收该环路滤波器输出的控制电压的输入端、用于输出控制电压到该压控振荡器的输出端、第一电阻、第二电阻、第四晶体管和第五晶体管,该第一、第二电阻并联连接于该输入端和输出端之间,该分频器的分频数信号的最高位和次高位分别输入到该第四、第五晶体管的栅极,通过控制该第四、第五晶体管的导通和截止来调整该第一、第二电阻并联电路的阻值。

11. 如权利要求 10 所述的锁相环电路,其特征在于:该第四、第五晶体管的漏极连接该第二电阻的一端,该第二电阻的另一端与该第一电阻的一端连接该输入端,该第四、第五晶体管的源极和该第一电阻的另一端连接该输出端。

12. 如权利要求 11 所述的锁相环电路,其特征在于:该环路滤波电阻调整电路还包括电源端、第三电阻和第一、第二、第三电容,该第三电阻连接于该第四、第五晶体管的源极和该输出端之间,该第一电容连接于该电源端和该输入端之间,该第二电容连接于该电源端与该第一、第二电阻的公共端,该第三电阻连接于该电源端和该输出端之间。

13. 如权利要求 12 所述的锁相环电路,其特征在于:该第四晶体管是 PMOS 晶体管,该第五晶体管是 NMOS 晶体管,该分频器的分频数信号是数字信号,该第四晶体管的栅极接收该分频器的分频数信号的最高位,该第五晶体管的栅极接收该分频器的分频数信号的次高位。

14. 一种锁相环电路的控制方法,包括如下步骤:

接收参考信号和反馈信号,该反馈信号为该锁相环电路的输出信号;

输出用于指示该参考信号和该反馈信号相位差的相位差信号;

根据该相位差信号由电荷泵输出控制电流;

根据该锁相环电路的环路带宽和阻尼系数,调整该输出控制电流的大小;

根据该调整后的控制电流产生控制电压;

根据该锁相环电路的分频器的分频数信号,调整该锁相环电路的环路滤波器的电阻参数,进而调整该控制电压;具体为:

根据该锁相环电路的分频器的分频数信号的最高位和次高位的信号电平调整该锁相环电路的环路滤波器的电阻参数;

根据该控制电压调整该锁相环电路的输出信号频率。

15. 如权利要求 14 所述的锁相环电路的控制方法,其特征在于:利用一电流镜电路调整该控制电流的大小。

16. 如权利要求 15 所述的锁相环电路的控制方法,其特征在于:通过调整输入到该电流镜电路的控制偏压,调整该电流镜电路的输入端与输出端的控制电流的比例关系。

17. 如权利要求 16 所述的锁相环电路的控制方法,其特征在于:该电流镜电路是反比可编程电流镜电路。

18. 如权利要求 14 所述的锁相环电路的控制方法,其特征在于:该锁相环电路的分频器的分频数信号的位数为 N ,该锁相环电路的环路滤波器可产生 $2N$ 个电阻参数。

19. 如权利要求 18 所述的锁相环电路的控制方法,其特征在于:该分频数信号的位数 N 的范围为 $4 \sim 20$ 。

锁相环电路及其控制方法

技术领域

[0001] 本发明涉及一种锁相环电路及其控制方法。

背景技术

[0002] 自锁相的概念被提出以来,在电子和通讯领域得到了广泛的应用。锁相环 (Phase Lock Loop, PLL) 电路广泛应用于时钟生成电路与通信电子线路。尽管锁相技术经历几十年的发展已经得到非常成熟的应用,但是随着电子产品的复杂化和多样化,对锁相环的应用提出了一个又一个的挑战。其中,锁相环设计的一大挑战就是:如何让锁相环适用于不同的外围电路。通常,锁相环采用片外低频率的晶振作为输入时钟,通过调节反馈分频器的分频数达到调节锁相环输出频率的目的。这样,通过对反馈分频器进行编程控制,便实现了可编程控制输出频率,从而达到扩大这种锁相环的应用范围。

[0003] 上述方法在许多应用中被证明能有效地扩大锁相环的输出频率范围,但是这样的做法会引起一些压控振荡有效频率范围变化的问题。其中,最主要的问题是,由于输出频率以及反馈系数的改变会导致锁相环整个环路参数的变化,而环路参数的变化会影响对锁相环的环路抖动 (jitter) 的抑制以及整个环路的稳定性。锁相环的环路参数主要包括如下的三个:环路带宽,此参数描述锁相环的相应率,通常取值为参考频率的 1/20;阻尼系数,描述锁相环的环路的稳定性,通常取值约为一;第三级极点,可以减小输出频率的周期抖动,取值应当约为参考频率的 1/2。这些参数取决于锁相环电路的一些参数,诸如电荷泵电流,环路滤波器取值等。

[0004] 请参阅图 1,图 1 是一种现有技术的锁相环电路的方框图。该锁相环电路 10 包括依次连接的鉴频鉴相器 (phase detector) 11、电荷泵 (charge pump) 12、环路滤波器 (loop filter) 13、压控振荡器 (Voltage Controlled Oscillator, VCO) 14、分频器 15。该鉴频鉴相器 11、该电荷泵 12、该环路滤波器 13、压控振荡器 14、分频器 15 连接形成一环路。

[0005] 该锁相环电路 10 的传输函数为:

$$[0006] \quad H(s) = \frac{\frac{I_{CH} K_{VCO}}{2\pi C_1} (RC_1 s + 1)}{s^2 + \frac{I_{CH} K_{VCO}}{2\pi N} R s + \frac{I_{CH}}{2\pi C_1} \cdot \frac{K_{VCO}}{N}} \quad (1)$$

[0007] K_{VCO} 表示压控振荡器 14 对输入电压的增益, I_{CH} 表示该电流泵 12 输入到该环路滤波器 13 的电流,上述传递函数可以写成由控制理论中的阻尼系数的表达式,这样便得到整个两极锁相环的环路参数;

$$[0008] \quad H(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2)$$

[0009] 其中,环路带宽:

$$[0010] \quad \omega_n = \sqrt{\frac{I_{CH}}{2\pi C_1} \cdot \frac{K_{VCO}}{N}} \quad (3)$$

[0011] 阻尼系数：

$$[0012] \quad \zeta = \frac{R}{2} \sqrt{\frac{I_{CH} C_1}{2\pi} \cdot \frac{K_{VCO}}{N}} \quad (4)$$

[0013] 由公式 (3) (4) 可知, 为了调整该压控振荡器 14 的输出频率, 在改变了该分频器 15 的分频数 N 以后, 该锁相环电路 10 的环路参数中的带宽和阻尼系数都将产生变化, 从而影响整个锁相环电路 10 的稳定性。

发明内容

[0014] 为了解决现有技术中的锁相环电路由于改变分频器的分频数而影响整个锁相环电路的稳定性技术问题, 有必要提供一种能够增加稳定性的锁相环电路。

[0015] 本发明还提供一种锁相环电路的控制方法。

[0016] 一种锁相环电路, 用于产生一输出信号, 包括分频器, 用于接收该输出信号, 并调整该输出信号的频率以提供反馈信号; 鉴频鉴相器, 接收参考信号和该反馈信号, 并输出用于指示该参考信号和该反馈信号相位差的相位差信号; 用于接收该相位差信号并输出控制电流的电荷泵; 用于产生控制电压的环路滤波器; 用于调整该锁相环电路的输出信号频率的压控振荡器; 用于接收并调整该电荷泵输出的控制电流的电流镜电路, 该环路滤波器过滤该调整后的控制电流以产生该控制电压; 用于根据该分频器的分频数信号, 调整该环路滤波器的电阻参数的环路滤波电阻调整电路, 该控制电压经由该环路滤波电阻调整电路输入到该压控振荡器。

[0017] 其中, 该电流镜电路是反比可编程电流镜电路。该电流镜电路包括第一晶体管和至少一串联晶体管单元, 该串联晶体管单元接收该电荷泵输出的控制电流, 并控制该第一晶体管输出调整后的控制电流, 该串联晶体管单元的导通数目跟该第一晶体管输出的放大控制电流成反比。

[0018] 每一串联晶体管单元包括第二晶体管和第三晶体管, 该第二晶体管的源极接地, 该第二晶体管的栅极连接该第一晶体管的栅极, 该第二晶体管的漏极连接该第三晶体管的源极, 该第三晶体管的栅极接收控制偏压, 该第三晶体管的漏极连接该第一晶体管的栅极并接收该电荷泵输出的控制电流, 该第一晶体管的源极接地, 漏极输出该调整后的控制电流。该控制偏压用于控制该第三晶体管的导通与截止, 进而调整该电流镜电路输入的控制电流与输出的控制电流之间的比例关系。

[0019] 该环路滤波电阻调整电路包括用于接收该环路滤波器输出的控制电压的输入端、用于输出控制电压到该压控振荡器的输出端、第一电阻、第二电阻、第四晶体管和第五晶体管, 该第一、第二电阻并联连接于该输入端和输出端之间, 该分频器的分频数信号的最高位和次高位分别输入到该第四、第五晶体管的栅极, 通过控制该第四、第五晶体管的导通和截止来调整该第一、第二电阻并联电路的阻值。

[0020] 该第四、第五晶体管的漏极连接该第二电阻的一端, 该第二电阻的另一端与该第一电阻的一端连接该输入端, 该第四、第五晶体管的源极和该第一电阻的另一端连接该输出端。

[0021] 该环路滤波电阻调整电路还包括电源端、第三电阻和第一、第二、第三电容, 该第

三电阻连接于该第四、第五晶体管的源极和该输出端之间,该第一电容连接于该电源端和该输入端之间,该第二电容连接于该电源端与该第一、第二电阻的公共端,该第三电阻连接于该电源端和该输出端之间。

[0022] 一种锁相环电路,用于产生一输出信号,包括分频器,用于接收该输出信号,并调整该输出信号的频率以提供反馈信号;鉴频鉴相器,接收参考信号和该反馈信号,并输出用于指示该参考信号和该反馈信号相位差的相位差信号;用于接收该相位差信号并输出控制电流的电荷泵;用于根据该电荷泵输出的控制电流产生控制电压的环路滤波器;用于调整该锁相环电路的输出信号频率的压控振荡器;用于根据该分频器的分频数信号,调整该环路滤波器的电阻参数的环路滤波电阻调整电路,该控制电压经由该环路滤波电阻调整电路输入到该压控振荡器。

[0023] 一种锁相环电路的控制方法,包括如下步骤:接收参考信号和反馈信号,该反馈信号为该锁相环电路的输出信号;输出用于指示该参考信号和该反馈信号相位差的相位差信号;根据该相位差信号由电荷泵输出控制电流;根据该锁相环电路的环路带宽和阻尼系数,调整该输出控制电流的大小;根据该调整后的控制电流产生控制电压;根据该锁相环电路的分频器的分频数信号,调整该锁相环电路的环路滤波器的电阻参数,进而调整该控制电压;根据该控制电压调整该锁相环电路的输出信号频率。

[0024] 与现有技术相比,本发明的锁相环电路包括该电流镜电路,通过调整输入到该电流镜电路的控制偏压,调整该电流镜电路的输入端与输出端的电流比例关系,调整该锁相环电路的环路带宽和阻尼系数,从而提高该锁相环电路的稳定性。本发明的锁相环电路还可包括该环路滤波电阻调整电路,该环路滤波电阻调整电路根据该分频器的分频数信号控制该环路滤波器的电阻参数,通过调整输入到该压控振荡器的控制电压,调整该锁相环电路的环路带宽和阻尼系数从而提高该锁相环电路的稳定性。

附图说明

[0025] 图 1 是一种现有技术的锁相环电路的方框图。

[0026] 图 2 是本发明第一实施方式的锁相环电路的方框图。

[0027] 图 3 是图 2 所示的电流镜电路的内部电路示意图。

[0028] 图 4 是图 2 所示的环路滤波电阻调整电路的内部电路示意图。

[0029] 图 5 是本发明第二实施方式的锁相环电路的方框图。

[0030] 图 6 是图 5 所示的锁相环电路的幅频曲线图。

[0031] 图 7 是图 5 所示的锁相环电路的相频曲线图。

[0032] 图 8 是本发明第三实施方式的锁相环电路的方框图。

[0033] 图 9 是图 8 所示的锁相环电路的幅频曲线图。

[0034] 图 10 是图 8 所示的锁相环电路的相频曲线图。

具体实施方式

[0035] 为使本发明的目的、技术方案和优点更加清楚,下面结合附图对本发明作进一步的详细描述。

[0036] 请参阅图 2,图 2 是本发明第一实施方式的锁相环电路的方框图。该锁相环电路 20

包括依次连接的鉴频鉴相器 21、电荷泵 22、电流镜电路 23、环路滤波器 24、环路滤波电阻调整电路 25、压控振荡器 26、分频器 27。该鉴频鉴相器 21、该电荷泵 22、该电流镜电路 23、该环路滤波器 24、该环路滤波电阻调整电路 25、该压控振荡器 26、该分频器 27 形成一环路。

[0037] 该分频器 27 的分频数可预置,该分频器 27 的分频数视该锁相环电路 20 的设计需求由该锁相环电路 20 外部输入控制。例如,当该分频器 27 的分频数为 32 时,外部需输入一 5bit 的分频数信号。该分频器 27 接收该锁相环电路 20 的输出信号,并调整该锁相环电路 20 输出信号的频率以向该鉴频鉴相器 21 提供反馈信号。该鉴频鉴相器 21 用于接收一参考信号和该反馈信号,并输出用于指示该参考信号和该反馈信号相位差的相位差信号。该电荷泵 22 用于接收该鉴频鉴相器 21 输出的相位差信号并输出一控制电流。该电流镜电路 23 的输入端 231 接收该控制电流,并调整该控制电流的大小。该环路滤波器 24 用于过滤该调整后的控制电流以产生一控制电压。该环路滤波电阻调整电路 25 根据该分频器 27 的分频数信号,调整该环路滤波器 24 的电阻参数。该压控振荡器 26 根据该控制电压改变该锁相环电路 20 输出信号的频率。

[0038] 请一并参阅图 3,图 3 是图 2 所示的电流镜电路 23 的内部电路示意图。该电流镜电路 23 是一反比可编程电流镜电路。该电流镜电路 23 包括第一晶体管 Q1 和五个电路结构相同的串联晶体管单元 233。该串联晶体管单元 233 接收该电荷泵 22 输出的控制电流,并根据该串联晶体管单元 233 的导通数目调整该第一晶体管 Q1 输出的控制电流,该串联晶体管单元 233 的导通数目跟该第一晶体管 Q1 输出的控制电流成反比。

[0039] 每一串联晶体管单元 233 均包括一第二晶体管 Q2 和一第三晶体管 Q3,该第二晶体管 Q2 的源极接地,该第二晶体管 Q2 的栅极连接该第一晶体管 Q1 的栅极,该第二晶体管 Q2 的漏极连接该第三晶体管 Q3 的源极,该第三晶体管 Q3 的栅极接收控制偏压,该第三晶体管 Q3 的漏极和该电流镜电路 23 的输入端 231 均连接该第一晶体管 Q1 的栅极,该第一晶体管 Q1 的源极接地,漏极连接该电流镜电路 23 的输出端 232。即该五个串联晶体管单元 233 的第二晶体管 Q2 的源极均分别接地,该五个串联晶体管单元 233 的第三晶体管 Q3 的漏极均连接在一起以接收该电荷泵 22 输出的控制电流,该五个串联晶体管单元 233 的第三晶体管 Q3 的栅极分别接收五个控制偏压,该五个控制偏压用于控制该五个第三晶体管 Q3 的导通数目,进而控制该电流镜电路 23 的输入端 231 与输出端 232 的控制电流之间的比例关系。例如:为了增加该电流镜电路 23 的输出端 232 的电流,可以改变输入到该串联晶体管单元 233 的控制偏压,从而减少该串联晶体管单元 233 中的第三晶体管 Q3 的导通数目。

[0040] 请再参阅图 4,图 4 是图 2 所示的环路滤波电阻调整电路 25 的内部电路示意图。该环路滤波电阻调整电路 25 包括一用于接收该环路滤波器 24 输出的控制电压的输入端 251、一用于输出控制电压到该压控振荡器 26 的输出端 252、一电源端 VDD。

[0041] 第四、第五晶体管 Q4、Q5 的漏极连接第二电阻 R2 的一端,该第二电阻 R2 的另一端与第一电阻 R1 的一端经由一第二电容 C2 连接该环路滤波电阻调整电路 25 的电源端。该第四、第五晶体管 Q4、Q5 的源极和该第一电阻 R1 的另一端连接该环路滤波电阻调整电路 25 的输入端 251。该第四晶体管 Q4 的栅极接收该分频器 27 的分频数信号的最高位,该第五晶体管 Q5 的栅极接收该分频器 27 的分频数信号的次高位。第三电阻 R3 连接于该第四、第五晶体管 Q4、Q5 的源极和该环路滤波电阻调整电路 25 的输出端 252 之间,第一电容 C1 连接于该电源端和该环路滤波电阻调整电路 25 的输入端 251 之间,第三电容 C3 连接于该电源

端与该环路滤波电阻调整电路 25 的输出端 252 之间。在本实施方式中,该第一、第二电阻 R1、R2 的电阻值相等。该第四晶体管 Q4 是 PMOS 晶体管,该第五晶体管 Q5 是 NMOS 晶体管。

[0042] 当该分频器 27 的分频数信号的最高位和次高位发生变化而使该环路滤波电阻调整电路 25 的第四、第五晶体管 Q4、Q5 的其中一个导通时,该环路滤波电阻调整电路 25 的第二电阻 R2 与该第一电阻 R1 并联连接,该环路滤波电阻调整电路 25 的电阻较小。

[0043] 当该分频器 27 的分频数信号的最高位和次高位发生变化而使该环路滤波电阻调整电路 25 的第四、第五晶体管 Q4、Q5 均截止时,该环路滤波电阻调整电路 25 的第二电阻 R2 与该第一电阻 R1 的并联关系取消,该环路滤波电阻调整电路 25 的电阻增加。

[0044] 该锁相环电路 20 的运作原理如下:

[0045] 该鉴频鉴相器 21 的输入端 211 接收参考信号,并从该分频器 27 接收反馈信号,该鉴频鉴相器 21 通过比较该参考信号和该反馈信号的相位输出下降信号 (Down) 或者上升信号 (Up),该下降信号和上升信号表达了该参考信号和该反馈信号之间的相位差。当反馈信号的相位落后于参考信号的相位时,该鉴频鉴相器 21 输出相位误差上升信号。当反馈信号的相位超前参考信号的相位时,该鉴频鉴相器 21 输出相位误差下降信号。

[0046] 该电荷泵 22 根据该鉴频鉴相器 21 输出的下降信号和上升信号输出控制电流,该控制电流是电流脉冲。当该参考信号和该反馈信号具有相同的相位时,该电荷泵 22 输出的电流脉冲具有相等的宽度。当该参考信号和该反馈信号的相位不相同,该电荷泵 22 输出的电流脉冲之一变长,以校正相位。

[0047] 该电流镜电路 23 的输入端 231 接收该电荷泵 22 输出的控制电流,通过设置输入到该串联晶体管单元 233 的控制偏压,控制该串联晶体管单元 233 中的第三晶体管 Q3 的导通数目,进而调整该电流镜电路 23 的输入端 231 与输出端 232 的电流比例关系。由公式 (3)、(4) 可知,当该锁相环电路 20 的环路带宽和阻尼系数发生改变时,通过调整输入到该串联晶体管单元 233 的控制偏压,可以调整输入到该环路滤波器 24 控制电流的大小,从而调整该锁相环电路 20 的环路带宽和阻尼系数,进而提高该锁相环电路 20 的稳定性。

[0048] 该环路滤波器 24 接收该电流镜电路 23 的输出端 232 输出的调整后的控制电流,并根据该调整后的控制电流产生该一用于控制该压控振荡器 26 的控制电压,该控制电压用于控制该压控振荡器 26 输出信号的频率。

[0049] 当该锁相环电路 20 的环路带宽和阻尼系数发生改变时,该压控振荡器 26 的输出频率发生改变,该分频器 27 的分频数信号的最高位和次高位发生变化,从而控制该环路滤波电阻调整电路 25 的第四、第五晶体管 Q4、Q5 的导通或者截止,进而控制该环路滤波器 24 的电阻参数。通过控制该环路滤波器 24 的电阻参数,可以调整输入到该压控振荡器 26 的控制电压,进而可以调整该压控振荡器 26 对输入电压的增益,由公式 (3)、(4) 可知,通过调整该压控振荡器 26 的增益,可以调整该锁相环电路 20 的环路带宽和阻尼系数,从而提高该锁相环电路 20 的稳定性。

[0050] 与现有技术相比,本发明的锁相环电路 20 包括该电流镜电路 23 和该环路滤波电阻调整电路 25,通过调整该电流镜电路 23 的控制偏压,调整该电流镜电路 23 的输入端 231 与输出端 232 的电流比例关系,从而调整该锁相环电路 20 的环路带宽和阻尼系数。该环路滤波电阻调整电路 25 根据该分频器 27 的分频数信号控制该环路滤波器 24 的电阻参数,通过调整输入到该压控振荡器 26 的控制电压,调整该锁相环电路 20 的环路带宽和阻尼系数。

本发明的锁相环电路 20 通过该电流镜电路 23 和该环路滤波电阻调整电路 25 调整该锁相环电路 20 的环路带宽和阻尼系数,提高了该锁相环电路 20 的稳定性。

[0051] 请参阅图 5,图 5 是本发明第二实施方式的锁相环电路的方框图。该锁相环电路 50 与第一实施方式的锁相环电路 20 的结构相似,该锁相环电路 50 包括依次连接的鉴频鉴相器 51、电荷泵 52、电流镜电路 53、环路滤波器 54、压控振荡器 56、分频器 57。该鉴频鉴相器 51、该电荷泵 52、该电流镜电路 53、该环路滤波器 54、该压控振荡器 56、该分频器 57 形成一环路。

[0052] 该分频器 57,用于接收该输出信号,并调整该输出信号的频率以提供反馈信号。该鉴频鉴相器 51,接收参考信号和该反馈信号,并输出用于指示该参考信号和该反馈信号相位差的相位差信号。该电荷泵 52 用于接收该相位差信号并根据该相位差信号输出控制电流。该电流镜电路 53 用于接收并调整该电荷泵 52 输出的控制电流。该环路滤波器 54 用于根据该电流镜电路 53 输出的控制电流产生控制电压。该压控振荡器 56 用于根据该环路滤波器 54 产生的控制电压调整该锁相环电路 50 输出信号的频率。

[0053] 该电流镜电路 53 的内部电路结构与第一实施方式的电流镜电路 23 的内部电路结构及运作原理都相同。

[0054] 该电流镜电路 53 是一反比可编程电流镜电路。该电流镜电路 53 包括第一晶体管和多个串联晶体管单元。该串联晶体管单元接收该电荷泵 52 输出的控制电流,并根据该串联晶体管单元的导通数目调整该第一晶体管输出的控制电流,该串联晶体管单元的导通数目跟该第一晶体管输出的控制电流成反比。

[0055] 每一串联晶体管单元均包括一第二晶体管和一第三晶体管,该第二晶体管的源极接地,该第二晶体管的栅极连接该第一晶体管的栅极,该第二晶体管的漏极连接该第三晶体管的源极,该第三晶体管的栅极接收控制偏压,该第三晶体管的漏极和该电流镜电路的输入端均连接该第一晶体管的栅极,该第一晶体管的源极接地,漏极连接该电流镜电路 53 的输出端。

[0056] 请一并参阅图 6、图 7,图 6 是图 5 所示的锁相环电路 50 的幅频曲线图,其中,横坐标表示该锁相环电路 50 输出信号的频率,纵坐标表示该锁相环电路 50 输出信号的增益。曲线 61 表示未采用该电流镜电路 53 时,该锁相环电路 50 的幅频曲线,曲线 62 表示本实施方式采用该电流镜电路 53 时,使该电荷泵 52 输出的电流加倍后,该锁相环电路 50 的幅频曲线。图 7 是图 5 所示的锁相环电路 50 的相频曲线图,其中,横坐标表示该锁相环电路 50 输出信号的频率,纵坐标表示该锁相环电路 50 输出信号的相位。由图可见,本实施方式的锁相环电路 50 利用该电流镜电路 53 将该电荷泵 52 输出的电流增加一倍后,该锁相环电路 50 输出信号的相位没有改变。零点时,信号频率从 213KHz 增加到 372KHz,增益从 535mdB 增加到 577mdB,相位裕度从 52° 增加到 62° ,提高了该锁相环电路 50 的稳定性。

[0057] 请参阅图 8,图 8 是本发明第三实施方式的锁相环电路的方框图。该锁相环电路 80 与第一实施方式的锁相环电路 20 的结构相似,该锁相环电路 80 包括依次连接的鉴频鉴相器 81、电荷泵 82、环路滤波器 84、环路滤波电阻调整电路 85、压控振荡器 86、分频器 87。该鉴频鉴相器 81、该电荷泵 82、该环路滤波器 84、该环路滤波电阻调整电路 85、该压控振荡器 86、该分频器 87 形成一环路。

[0058] 该分频器 87 用于接收该输出信号,并调整该输出信号的频率以提供反馈信号。该

鉴频鉴相器 81,接收参考信号和该反馈信号,并输出用于指示该参考信号和该反馈信号相位差的相位差信号。该电荷泵 82 用于接收该相位差信号并根据该相位差信号输出控制电流。该环路滤波器 84 用于根据该电荷泵 82 输出的控制电流产生控制电压。该环路滤波电阻调整电路 85 根据该分频器 87 的分频数信号,调整该环路滤波器 84 的电阻参数。该控制电压经由该环路滤波电阻调整电路 85 输入到该压控振荡器 86。

[0059] 该环路滤波电阻调整电路 85 的内部电路结构与第一实施方式的环路滤波电阻调整电路 25 的内部电路结构及运作原理都相同。

[0060] 该环路滤波电阻调整电路包括 85 包括一用于接收该环路滤波器 84 输出的控制电压的输入端、一用于输出控制电压到该压控振荡器 86 的输出端、一电源端。

[0061] 第四、第五晶体管的漏极连接第二电阻的一端,该第二电阻的另一端与第一电阻的一端经由一第二电容连接该环路滤波电阻调整电路的电源端。该第四、第五晶体管的源极和该第一电阻的另一端连接该环路滤波电阻调整电路的输入端。该第四晶体管的栅极接收该分频器的分频数信号的最高位,该第五晶体管的栅极接收该分频器的分频数信号的次高位。第三电阻连接于该第四、第五晶体管的源极和该环路滤波电阻调整电路 85 的输出端之间,第一电容连接于该电源端和该环路滤波电阻调整电路 85 的输入端之间,第三电容连接于该电源端与该环路滤波电阻调整电路 85 的输出端之间。

[0062] 当该分频器 87 的分频数信号的最高位和次高位发生变化而使该环路滤波电阻调整电路 85 的第四、第五晶体管 8 的其中一个导通时,该环路滤波电阻调整电路 85 的第二电阻与该第一电阻并联连接,该环路滤波电阻调整电路 85 的电阻较小。

[0063] 当该分频器 87 的分频数信号的最高位和次高位发生变化而使该环路滤波电阻调整电路 85 的第四、第五晶体管均截止时,该环路滤波电阻调整电路 85 的第二电阻与该第一电阻的并联关系取消,该环路滤波电阻调整电路 85 的电阻增加。

[0064] 请一并参阅图 9、图 10,图 9 是图 8 所示的锁相环电路 80 的幅频曲线图,其中,横坐标表示该锁相环电路 80 输出信号的频率,纵坐标表示该锁相环电路 80 输出信号的增益。图 10 是图 8 所示的锁相环电路 80 的相频曲线图,横坐标表示该锁相环电路 80 输出信号的频率,纵坐标表示该锁相环电路 80 输出信号的相位,其中,曲线 101 表示未采用该环路滤波电阻调整电路 85 时,锁相环电路输出信号的相频曲线,曲线 102 表示采用该环路滤波电阻调整电路 85 后,该第二电阻未接入该环路滤波电阻调整电路 85 时,该锁相环电路 80 输出信号的相频曲线。由图可见,本实施方式的锁相环电路 80 利用该环路滤波电阻调整电路 85 调整该环路滤波器 84 的电阻参数,调整前后该锁相环电路 80 输出信号的增益保持不变,但是由该环路滤波器 84 的电阻参数决定的滤波器零点向横坐标的正方向移动,由 148KHz、-290mdB 增加到 215KHz、-157mdB,从而使得其相位裕度由调整前的 41 度上升为 61 度,从而提高了该锁相环电路 80 的稳定性。

[0065] 本发明的锁相环电路根据该分频器的分频数信号的最高位和次高位来控制该环路滤波电阻调整电路的第四、第五晶体管的导通与截止,进而调整该环路滤波器的电阻参数,也可以根据该分频器的分频数信号的其他位数来控制该环路滤波电阻调整电路的第四、第五晶体管的导通与截止,并不限于上述实施方式所述。本发明的锁相环电路还可以通过调整环路滤波电阻调整电路的晶体管的数目,调整接入到该环路滤波电阻调整电路的电阻的数目,当该分频器的分频数信号的位数为 N 时,该环路滤波电阻调整电路可以产生 2^N

个电阻参数,该分频器的分频数信号的位数 N 的取值范围是 $4 \sim 20$ 。例如,当该分频器的分频数为 32 时,外部需输入一 5bit 的分频数信号,该 5bit 的分频数信号可以调整 5 个晶体管的导通与截止,从而控制该环路滤波电阻调整电路产生 2^5 个电阻参数,进而实现对锁相环电路的环路滤波器的电阻参数的精细调节。

[0066] 在不偏离本发明的精神和范围的情况下还可以构成许多有很大差别的实施例。应当理解,除了如所附的权利要求所限定的,本发明不限于在说明书中所述的具体实施例。

10

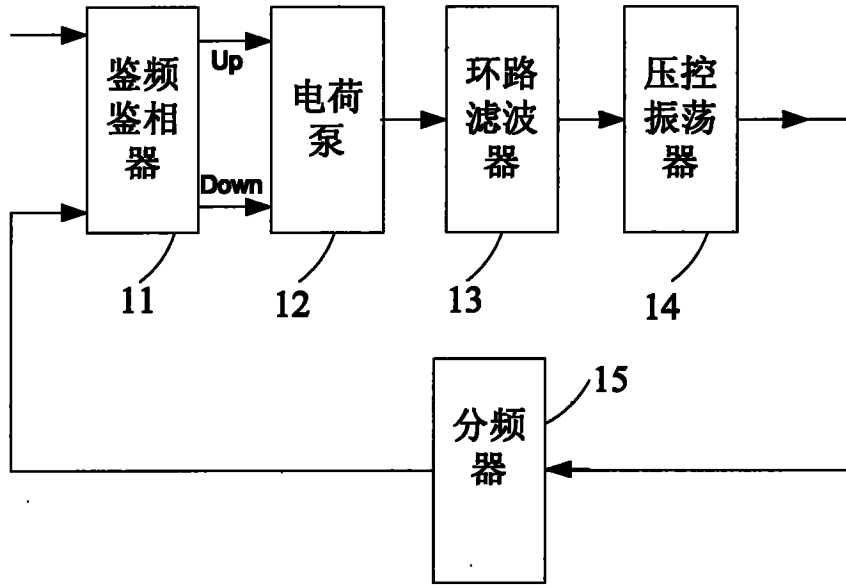


图 1

20

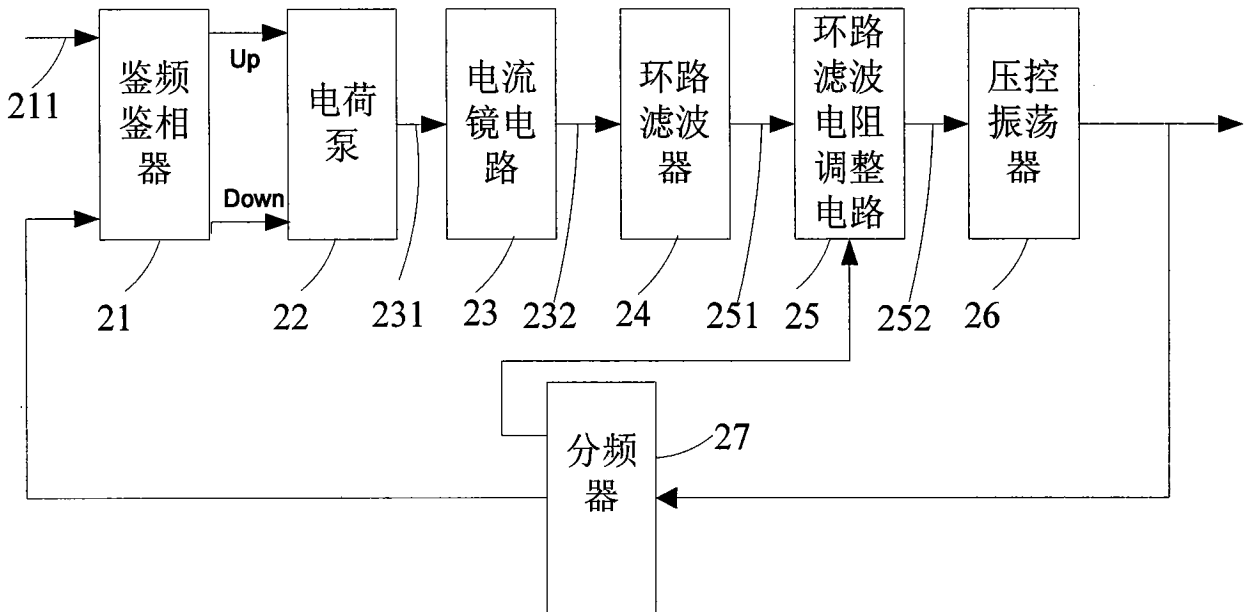


图 2

23

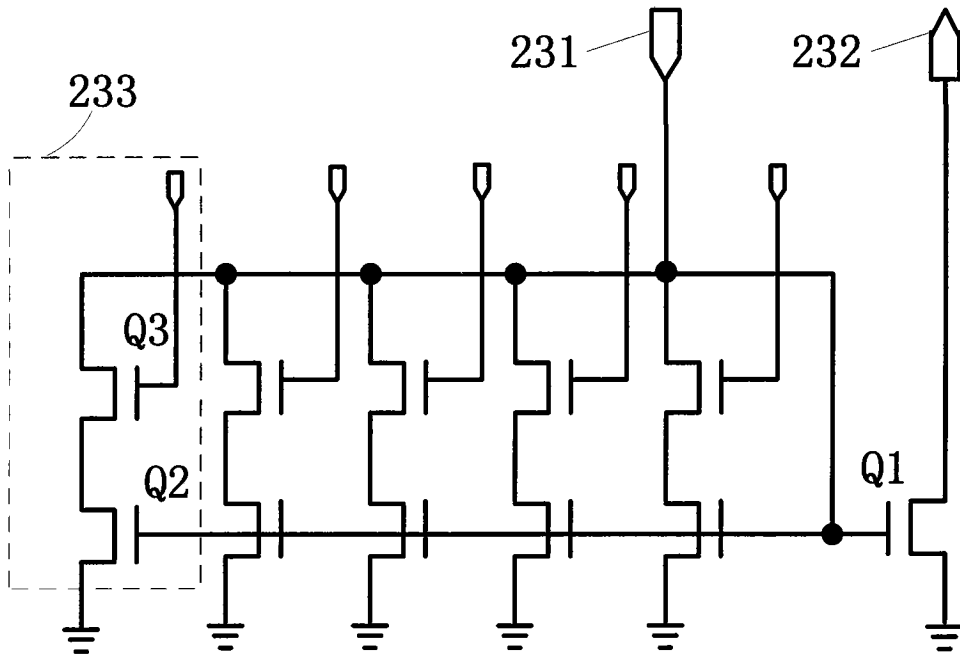


图 3

25

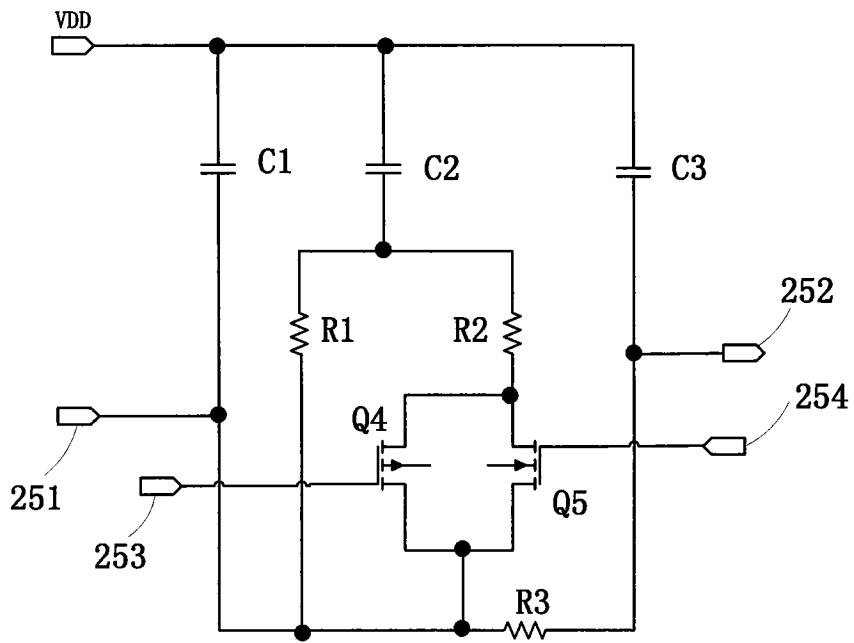


图 4

50

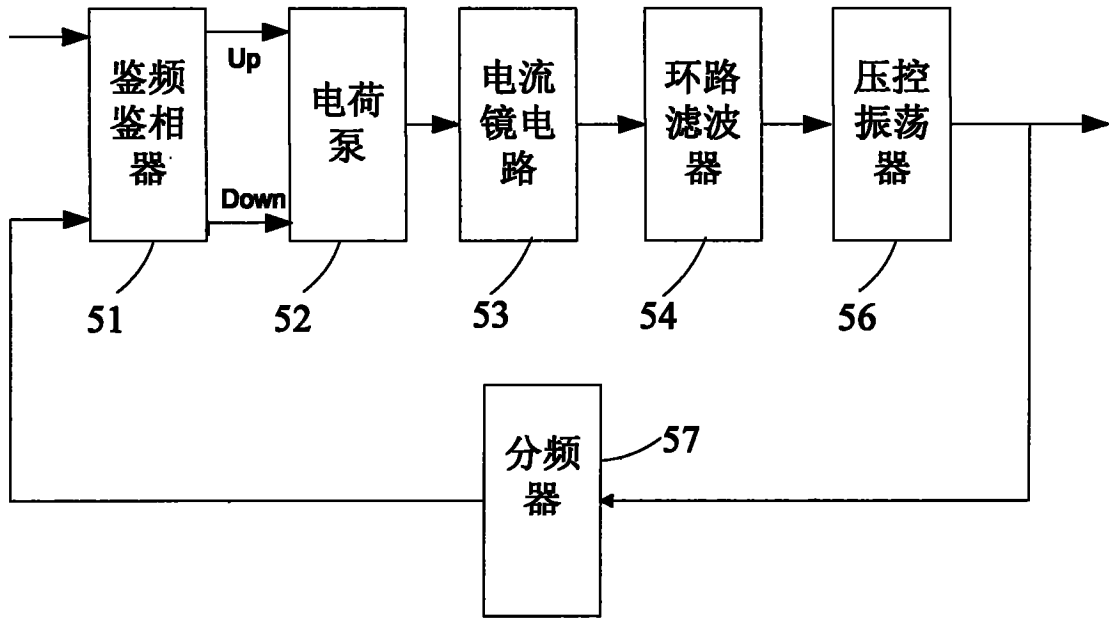


图 5

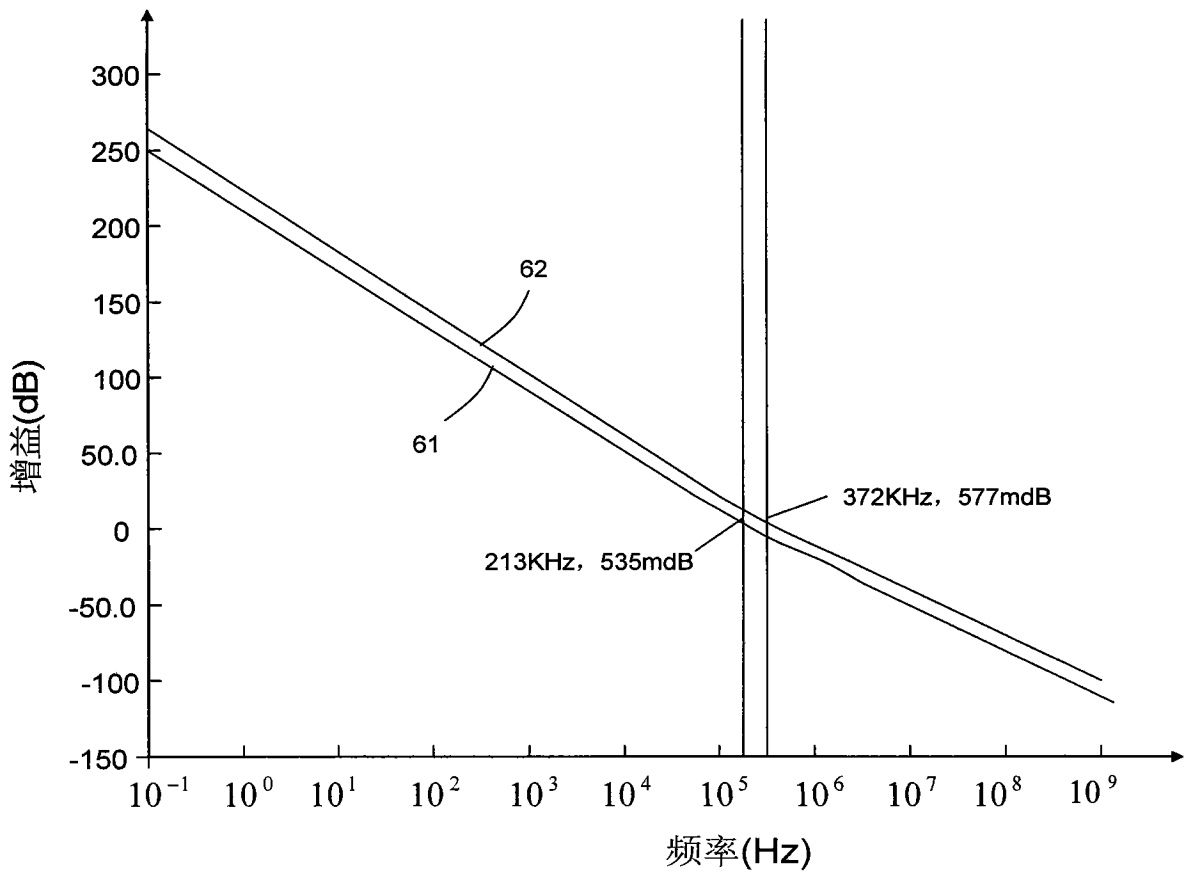


图 6

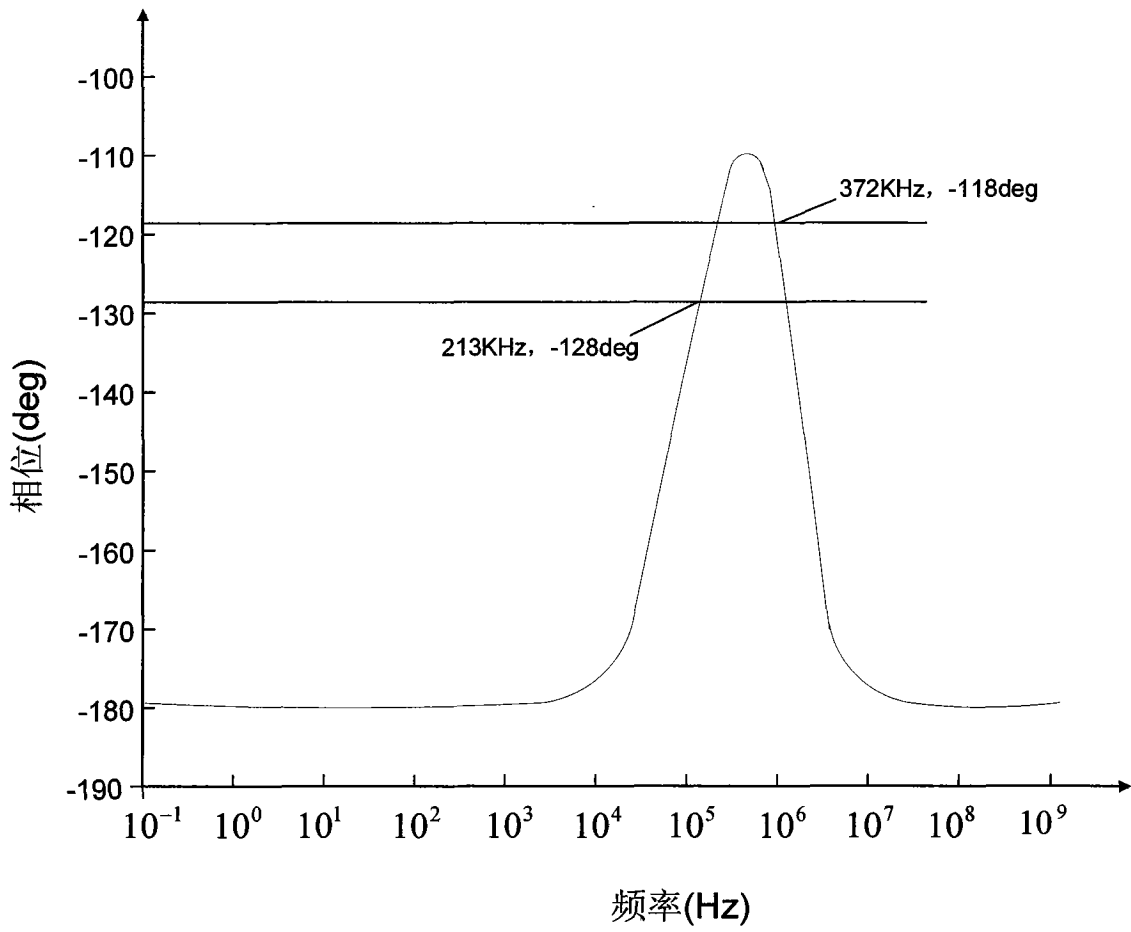


图 7

80

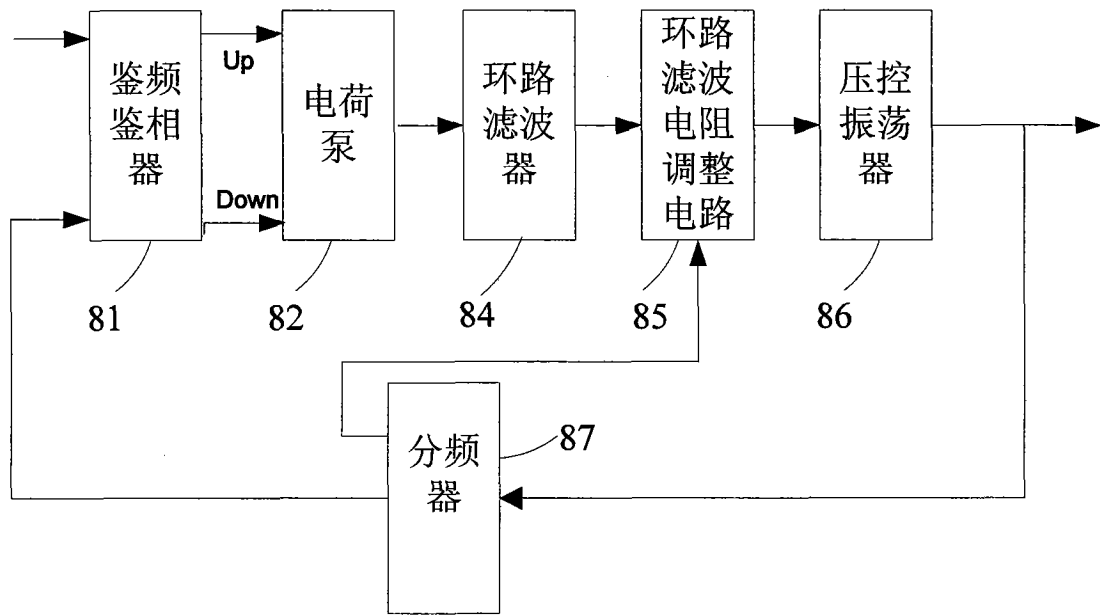


图 8

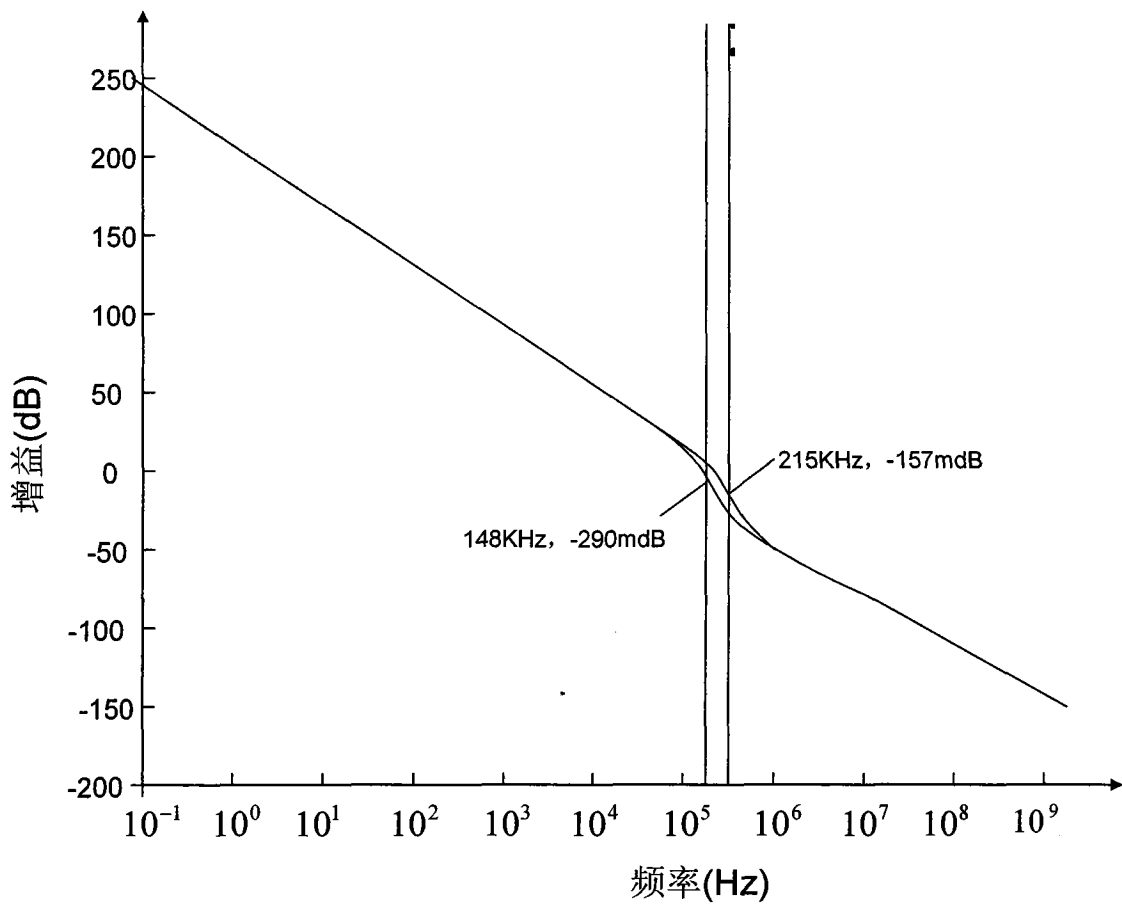


图 9

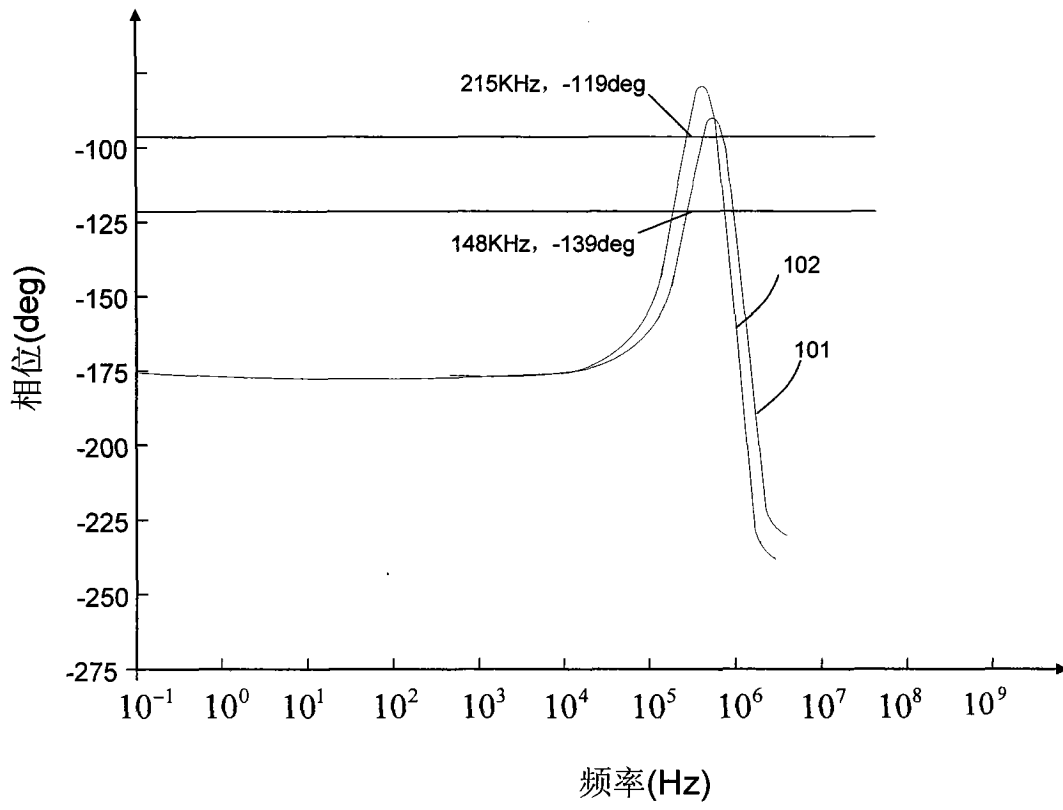


图 10