

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4859657号
(P4859657)

(45) 発行日 平成24年1月25日 (2012. 1. 25)

(24) 登録日 平成23年11月11日 (2011. 11. 11)

(51) Int. Cl.

F I

HO 2 J 3/18 (2006. 01)

GO 5 F 1/70 (2006. 01)

HO 2 J 3/18 B

GO 5 F 1/70 K

請求項の数 10 (全 16 頁)

(21) 出願番号	特願2006-347229 (P2006-347229)	(73) 特許権者	000006013
(22) 出願日	平成18年12月25日 (2006. 12. 25)		三菱電機株式会社
(65) 公開番号	特開2008-160975 (P2008-160975A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成20年7月10日 (2008. 7. 10)	(74) 代理人	100073759
審査請求日	平成21年7月9日 (2009. 7. 9)		弁理士 大岩 増雄
		(74) 代理人	100093562
			弁理士 児玉 俊英
		(74) 代理人	100088199
			弁理士 竹中 考生
		(74) 代理人	100094916
			弁理士 村上 啓吾
		(72) 発明者	安田 賢
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
最終頁に続く			

(54) 【発明の名称】 交流電力系統の無効電力制御装置

(57) 【特許請求の範囲】

【請求項1】

交流電力系統の系統母線に、キャパシタとリアクトルと半導体スイッチを含む無効電力補償装置、および少なくとも1つの補償キャパシタを含む補償キャパシタ装置を接続し、前記系統母線の交流電圧の変動に応じて無効電力を制御する交流電力系統の無効電力制御装置であって、前記無効電力補償装置を制御する無効電力補償制御装置と、前記系統母線に対する前記補償キャパシタの接続状態を制御する補償キャパシタ制御装置を備え、

前記無効電力補償制御装置は、前記系統母線の無効電力に応じて前記半導体スイッチを制御し、

前記補償キャパシタ制御装置は、前記系統母線に発生した電圧低下異常がクリアされた後における前記系統母線の交流電圧に対応する電圧低下異常クリア後母線検出電圧を出力する母線検出電圧出力手段と、前記電圧低下異常クリア後母線検出電圧の電圧レベルに基づいて、前記系統母線に対する前記補償キャパシタの接続状態を制御する補償キャパシタ制御回路と、電圧低下異常クリア信号を発生し、この電圧低下異常クリア信号を前記母線検出電圧出力手段に供給する電圧低下異常クリア判定回路を有し、

前記電圧低下異常クリア信号は、前記系統母線に電圧低下異常が発生していない状態と前記電圧低下異常が発生した状態では第1レベルとなり、前記電圧低下異常が発生した後それがクリアされた状態で第2レベルとなり、

前記母線検出電圧出力手段は、前記電圧低下異常クリア信号が前記第1レベルであるときには、前記電圧低下異常クリア後母線検出電圧を発生せずに、前記電圧低下異常クリア

10

20

信号が前記第 2 レベルとなったときに、前記電圧低下異常クリア後母線検出電圧を出力ように構成され、

前記系統母線に前記電圧低下異常が発生し、この電圧低下異常がクリアされる場合に、前記無効電力補償制御装置と前記補償キャパシタ制御装置がともに機能することを特徴とする交流電力系統の無効電力制御装置。

【請求項 2】

請求項 1 記載の交流電力系統の無効電力制御装置であって、前記補償キャパシタ制御回路は、前記電圧低下異常クリア後母線検出電圧の電圧レベルが、しきい値 V_L よりも小さいときに、前記系統母線に前記補償キャパシタを投入し、また、前記電圧低下異常クリア後母線検出電圧の電圧レベルが、しきい値 V_H ($V_H > V_L$) 以上になったときに、前記

10

【請求項 3】

請求項 2 記載の交流電力系統の無効電力制御装置であって、前記補償キャパシタ制御装置はコンピュータで構成され、前記しきい値 V_L 、 V_H が、そのコンピュータのメモリに保持されることを特徴とする交流電力系統の無効電力制御装置。

【請求項 4】

請求項 2 記載の交流電力系統の無効電力制御装置であって、前記補償キャパシタ制御装置は、前記無効電力補償装置の交流電圧／無効電力特性と前記しきい値 V_L 、 V_H とを協調させて、前記系統母線に対する前記補償キャパシタの接続状態を制御することを特徴とする交流電力系統の無効電力制御装置。

20

【請求項 5】

請求項 1 記載の交流電力系統の無効電力制御装置であって、前記補償キャパシタ装置が第 1、第 2 の補償キャパシタを含み、前記補償キャパシタ制御装置は、前記系統母線に対する前記第 1 の補償キャパシタの接続状態を制御する第 1 の補償キャパシタ制御回路と、前記系統母線に対する前記第 2 の補償キャパシタの接続状態を制御する第 2 の補償キャパシタ制御回路を含み、前記第 1、第 2 の補償キャパシタ制御回路は、それぞれ前記電圧低下異常クリア後母線検出電圧の電圧レベルに基づき、前記系統母線に対する前記第 1、第 2 の補償キャパシタの接続状態を制御することを特徴とする交流電力系統の無効電力制御装置。

30

【請求項 6】

請求項 5 記載の交流電力系統の無効電力制御装置であって、前記第 1 の補償キャパシタ制御回路は、前記電圧低下異常クリア後母線検出電圧の電圧レベルが、しきい値 V_{L1} よりも小さいときに、前記系統母線に前記第 1 の補償キャパシタを投入し、また、前記第 2 の補償キャパシタ制御回路は、前記電圧低下異常クリア後母線検出電圧の電圧レベルが、しきい値 V_{L2} ($V_{L2} < V_{L1}$) より小さいときに、前記系統母線に前記第 2 の補償キャパシタを投入し、

また、前記第 1 の補償キャパシタ制御回路は、前記電圧低下異常クリア後母線検出電圧の電圧レベルが、しきい値 V_{H1} ($V_{H1} > V_{L1}$) 以上になったときに、前記系統母線から前記第 1 の補償キャパシタを開放し、また、前記第 2 の補償キャパシタ制御回路は、前記電圧低下異常クリア後母線検出電圧の電圧レベルが、 V_{H2} ($V_{L2} < V_{H2} < V_{H1}$) 以上になったときに、前記系統母線から前記第 2 の補償キャパシタを開放することを特徴とする交流電力系統の無効電力制御装置。

40

【請求項 7】

請求項 6 記載の交流電力系統の無効電力制御装置であって、前記補償キャパシタ制御装置がコンピュータで構成され、前記しきい値 V_{L1} 、 V_{L2} 、 V_{H1} 、 V_{H2} が、そのコンピュータのメモリに保持されることを特徴とする交流電力系統の無効電力制御装置。

【請求項 8】

請求項 6 記載の交流電力系統の無効電力制御装置であって、前記補償キャパシタ制御装置は、前記無効電力補償装置の交流電圧／無効電力特性と、前記しきい値 V_{L1} 、 V_{L2}

50

、VH1、VH2とを協調させて、前記系統母線に対する前記第1、第2の補償キャパシタの接続状態を制御することを特徴とする交流電力系統の無効電力制御装置。

【請求項9】

請求項1記載の交流電力系統の無効電力制御装置であって、前記無効電力補償装置は、静止形無効電力補償装置であり、この静止形無効電力補償装置は、半導体スイッチを制御することにより、前記系統母線に供給する無効電力を制御することを特徴とする交流電力系統の無効電力制御装置。

【請求項10】

請求項1記載の交流電力系統の無効電力制御装置であって、前記系統母線と、前記補償キャパシタとの間に、スイッチ接点を有するスイッチ装置が接続され、前記スイッチ接点は、前記補償キャパシタ制御回路によりオン、オフされ、前記系統母線に対する前記補償キャパシタの投入と開放を行なうことを特徴とする交流電力系統の無効電力制御装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、交流電力系統の系統母線に、無効電力補償装置、および少なくとも1つの補償キャパシタを含む補償キャパシタ装置を接続し、系統母線の電圧変動に応じて無効電力を制御する交流電力系統の無効電力制御装置に関するものである。

【背景技術】

【0002】

20

下記特許文献1には、無効電力補償装置と補償キャパシタ装置を併用した無効電力制御装置が開示されている。これらの無効電力補償装置と補償キャパシタは、交流電力系統の同じ系統母線に接続される。無効電力補償装置は、キャパシタと、リアクトルと、半導体スイッチを有し、系統母線の無効電力に応じて半導体スイッチを制御し、系統母線の無効電力を補償する。補償キャパシタ装置は、複数の補償キャパシタを含み、この各補償キャパシタは、それぞれスイッチ装置を通じて系統母線に接続され、各スイッチ装置をオン、オフすることにより、系統母線に投入され、または系統母線から開放される。

【0003】

【特許文献1】特開昭62-269213号公報、とくに図1

【発明の開示】

30

【発明が解決しようとする課題】

【0004】

特許文献1に開示された無効電力制御装置は、変動する負荷と並列に系統母線に接続された無効電力補償装置と補償キャパシタ装置により、負荷変動時に負荷が消費する無効電力を補償する制御をしているが、電力系統の異常状態の回復段階における過渡時に対応する制御になっていない。無効電力補償装置は、補償キャパシタ装置における各補償キャパシタの容量よりも広い範囲で無効電力を制御するように構成され、電力系統に異常状態が発生した場合には、無効電力補償装置が、瞬時的に多くの無効電力を出力し、その後、補償キャパシタ装置の各補償キャパシタが順次に系統母線に投入される。異常状態の回復時には、余剰の無効電力を無効電力補償装置が瞬時的に吸収し、その後に、投入されていた各補償キャパシタを系統母線から開放するように制御されるため、無効電力補償装置の容量が大きくなるという問題点があった。

40

【0005】

この発明は、このような課題を解決することのできる改良された交流電力系統の無効電力制御装置を提案するものである。

【課題を解決するための手段】

【0006】

この発明による交流電力系統の無効電力制御装置は、交流電力系統の系統母線に、キャパシタとリアクトルと半導体スイッチを含む無効電力補償装置、および少なくとも1つの補償キャパシタを含む補償キャパシタ装置を接続し、前記系統母線の交流電圧の変動に応

50

じて無効電力を制御する交流電力系統の無効電力制御装置であって、前記無効電力補償装置を制御する無効電力補償制御装置と、前記系統母線に対する前記補償キャパシタの接続状態を制御する補償キャパシタ制御装置を備え、前記無効電力補償制御装置は、前記系統母線の無効電力に応じて前記半導体スイッチを制御し、前記補償キャパシタ制御装置は、前記系統母線に発生した電圧低下異常がクリアされた後における前記系統母線の交流電圧に対応する電圧低下異常クリア後母線検出電圧を出力する母線検出電圧出力手段と、前記電圧低下異常クリア後母線検出電圧の電圧レベルに基づいて、前記系統母線に対する前記補償キャパシタの接続状態を制御する補償キャパシタ制御回路と、電圧低下異常クリア信号を発生し、この電圧低下異常クリア信号を前記母線検出電圧出力手段に供給する電圧低下異常クリア判定回路を有し、前記電圧低下異常クリア信号は、前記系統母線に電圧低下異常が発生していない状態と前記電圧低下異常が発生した状態では第1レベルとなり、前記電圧低下異常が発生した後それがクリアされた状態で第2レベルとなり、前記母線検出電圧出力手段は、前記電圧低下異常クリア信号が前記第1レベルであるときには、前記電圧低下異常クリア後母線検出電圧を発生せずに、前記電圧低下異常クリア信号が前記第2レベルとなったときに、前記電圧低下異常クリア後母線検出電圧を出力するように構成され、前記系統母線に前記電圧低下異常が発生し、この電圧低下異常がクリアされる場合に、前記無効電力補償制御装置と前記補償キャパシタ制御装置がともに機能することを特徴とする。

10

【発明の効果】

【0007】

20

この発明による交流電力系統の無効電力制御装置は、前記無効電力補償装置を制御する無効電力補償制御装置と、前記系統母線に対する前記補償キャパシタの接続状態を制御する補償キャパシタ制御装置を備え、前記無効電力補償装置は、キャパシタとリアクトルと半導体スイッチを含み、前記無効電力補償制御装置は、前記系統母線の無効電力に応じて前記半導体スイッチを制御し、前記補償キャパシタ制御装置は、前記系統母線に発生した電圧低下異常がクリアされた後における前記系統母線の交流電圧に対応する電圧低下異常クリア後母線検出電圧を出力する母線検出電圧出力手段と、前記電圧低下異常クリア後母線検出電圧の電圧レベルに基づいて、前記系統母線に対する前記補償キャパシタの接続状態を制御する補償キャパシタ制御回路と、電圧低下異常クリア信号を発生し、この電圧低下異常クリア信号を前記母線検出電圧出力手段に供給する電圧低下異常クリア判定回路を有し、前記電圧低下異常クリア信号は、前記系統母線に電圧低下異常が発生していない状態と前記電圧低下異常が発生した状態では第1レベルとなり、前記電圧低下異常が発生した後それがクリアされた状態で第2レベルとなり、前記母線検出電圧出力手段は、前記電圧低下異常クリア信号が前記第1レベルであるときには、前記電圧低下異常クリア後母線検出電圧を発生せずに、前記電圧低下異常クリア信号が前記第2レベルとなったときに、前記電圧低下異常クリア後母線検出電圧を出力するように構成され、前記系統母線に前記電圧低下異常が発生し、この電圧低下異常がクリアされる場合に、前記無効電力補償制御装置と前記補償キャパシタ制御装置がともに機能するので、系統母線に対する補償キャパシタの投入と開放が、交流電力系統に発生した電圧低下異常のクリア後に、電圧低下異常クリア後母線検出電圧の電圧レベルに基づき制御される結果となり、無効電力補償装置の容量を小さくすることができる。

30

40

【発明を実施するための最良の形態】

【0008】

以下、この発明による交流電力系統の無効電力制御装置のいくつかの実施の形態について、図面を参照して説明する。

【0009】

実施の形態1.

図1は、この発明による交流電力系統の無効電力制御装置の実施の形態1を示す構成図である。

【0010】

50

実施の形態 1 の交流電力系統の無効電力制御装置は、交流電力系統 10 と、無効電力補償装置 20 と、無効電力補償制御装置 30 と、補償キャパシタ装置 40 と、補償キャパシタ制御装置 100 を含む。交流電力系統 10 は、系統母線 11 を含み、この系統母線 11 は、遮断器 12 を通じて上位系統 13 に接続される。系統母線 11 には、遮断器 14 を通じて負荷 15 が接続される。無効電力補償装置 20 は、遮断器 16 を通じて、負荷 15 と並列に系統母線 11 に接続される。補償キャパシタ装置 40 は、スイッチ装置 42 を通じて、負荷 15 と並列に系統母線 11 に接続される。

【0011】

交流電力系統 10 には、定常状態と異常状態が存在する。定常状態では、系統母線 11 の交流電圧 v は定常電圧範囲に保たれるが、異常状態では、系統母線 11 の交流電圧 v は、定常電圧範囲から外れる。この異常状態は、電圧低下異常と、この電圧低下異常がクリアされた後の回復過程における電圧上昇異常を含む。電圧低下異常は、系統母線 11 の交流電圧 v が定常電圧範囲よりも小さい領域に低下する異常であり、例えば地絡事故、過大負荷状態で発生する。電圧上昇異常は、系統母線 11 の交流電圧 v が、定常電圧範囲よりも大きい領域に上昇する異常であり、電圧低下異常がクリアされた後の回復過程で発生する。電圧低下異常は、交流電力系統 10 の図示しない保護回路によって検出され、図示しない遮断器を開放するなどの異常をクリアする対策が実行されることにより、クリアされる。

10

【0012】

無効電力補償装置 20 は、一般に SVC (Static VarCompensator) と呼ばれる静止形無効電力補償装置として構成される。この無効電力補償装置 20 は、変圧器 21 と、フィルタ回路 23 と、制御リアクトル回路 25 と、制御キャパシタ回路 27 を有し、変圧器 21 が遮断器 16 を通じて、負荷 15 と並列に系統母線 11 に接続される。フィルタ回路 23 と、制御リアクトル回路 25 と、制御キャパシタ回路 27 は、それぞれ単に 1 つだけが図示されるが、それぞれ必要数が互いに並列に接続される。

20

【0013】

フィルタ回路 23 は、リアクトル $R1$ とキャパシタ $C1$ を直列に接続して構成される。制御リアクトル回路 25 は、リアクトル $R2$ 、 $R3$ と、一対の半導体スイッチ 26A、26B を含み、一対の半導体スイッチ 26A、26B は、それぞれリアクトル $R2$ 、 $R3$ と直列に接続される。一対の半導体スイッチ 26A、26B は、互いに逆極性で並列に接続され、無効電力を制御する。制御キャパシタ回路 27 は、キャパシタ $C2$ と、一対の半導体スイッチ 28A、28B を含み、一対の半導体スイッチ 28A、28B は、それぞれキャパシタ $C2$ と直列に接続される。一対の半導体スイッチ 28A、28B は、互いに逆極性で並列に接続され、無効電力を制御する。各半導体スイッチ 26A、26B、28A、28B は、例えばサイリスタを用いて構成され、それぞれのゲートの点弧位相を制御することにより、それぞれのオン位相を連続的に制御することができる。

30

【0014】

無効電力補償制御装置 30 は、各半導体スイッチ 26A、26B、28A、28B のゲートを制御し、各半導体スイッチ 26A、26B、28A、28B のオン位相を制御する。無効電力補償制御装置 30 は、電圧変成器 (PT) 31 を通じて系統母線 11 に接続され、この電圧変成器 31 から、系統母線 11 の交流電圧 v を表わす電圧信号 V の供給を受ける。無効電力補償制御装置 30 は、また遮断器 16 と変圧器 21 とを接続する電路に結合された電流変成器 (CT) 33 に接続され、この電流変成器 33 から、系統母線 11 の交流電流 i を表わす電流信号 I の供給を受ける。無効電力補償制御装置 30 は、電圧信号 V と電流信号 I とに基づいて、系統母線 11 における無効電力を算出し、この無効電力に見合った無効電力を供給するように、半導体スイッチ 26A、26B、28A、28B のオン位相を制御する。無効電力制御装置 30 は、例えばコンピュータを用いて構成される。

40

【0015】

補償キャパシタ装置 40 は、この実施の形態 1 では、単に 1 つの補償キャパシタ 41 を

50

含む。この補償キャパシタ41は、スイッチ装置42を通じて負荷15と並列に系統母線11に接続される。このスイッチ装置42は、具体的には、スイッチ接点を有する機械的遮断器で構成される。この機械的遮断器は、半導体スイッチに比較して安価に構成できる。スイッチ装置42を構成する機械的遮断器は、そのスイッチ接点をオン、オフすることにより、系統母線11に対して、補償キャパシタ41の投入と開放を行なう。なお、スイッチ装置42は、半導体スイッチ、例えばサイリスタを用いて構成することもできる。

【0016】

補償キャパシタ制御装置100は、スイッチ装置42をオン、オフし、系統母線11に対する補償キャパシタ41の投入と開放を制御する。この補償キャパシタ制御装置100は、母線検出電圧出力手段101と、補償キャパシタ制御回路110と、電圧低下異常ク
10
リア判定回路600と、メモリ800を有する。この補償キャパシタ制御装置100は、無効電力補償制御装置30とともにコンピュータで構成される。メモリ800は、このコンピュータに内蔵されたメモリである。

【0017】

母線検出電圧出力手段101は、母線電圧検出手段102と、乗算手段103を含み、乗算手段103から、電圧低下異常クリア後母線検出電圧VSRを出力する。この電圧低下異常クリア後母線検出電圧VSRは、交流電力系統10に発生した電圧低下異常がク
20
リアされた後における系統母線11の交流電圧 v に比例する。母線電圧検出手段102は、電圧変成器31から出力される電圧信号 V を受け、母線検出電圧VSを出力する。この母線検出電圧VSは、系統母線11の交流電圧 v に比例する大きさを持つ。

【0018】

乗算手段103は、第1入力 a と、第2入力 b と、出力 c を有する。乗算手段103の第1入力 a には、母線検出電圧VSが供給される。第2入力 b には、電圧低下異常クリア判定回路600から電圧低下異常クリア信号CALが供給される。電圧低下異常クリア信号CALは、交流電力系統10が定常状態にある場合、および交流電力系統10に電圧低下異常が発生した状態では、レベル0となり、電圧低下異常クリア判定回路600により、その電圧低下異常状態のクリアが判定されるとレベル1となる。電圧低下異常クリア信号CALがレベル0であれば、乗算手段103の出力 c は0レベルとなる。電圧低下異常
30
クリア信号CALがレベル1になったときに、乗算手段103の出力 c に、電圧低下異常クリア後母線検出電圧VSRが出力される。この電圧低下異常クリア後母線検出電圧VSRは、電圧低下異常のクリア後における母線検出電圧VSに等しく、これは、電圧低下異常のクリア後における系統母線11の交流電圧 v に比例する大きさを持つ。この電圧低下異常クリア後母線検出電圧VSRは、電圧低下異常の回復過程における電圧上昇異常に伴う系統母線11の交流電圧 v の上昇成分にも比例する。

【0019】

補償キャパシタ制御回路110は、比較回路111と、フリップフロップ115と、制御信号出力手段117を有する。比較回路111は、第1、第2の比較手段112、113を含む。これらの第1、第2の比較手段112、113の入力は、ともに母線検出電圧出力手段101の乗算手段103の出力 c に接続され、第1、第2の比較手段112、1
40
13には、電圧低下異常クリア後母線検出電圧VSRが供給される。第1の比較手段112には、しきい値VLがセットされ、この第1の比較手段112は、電圧低下異常クリア後母線検出電圧VSRとしきい値VLとを比較し、電圧低下異常クリア後母線検出電圧VSRが、しきい値VLより小さく、 $VSR < VL$ であれば、ハイレベル出力を発生する。電圧低下異常クリア後母線検出電圧VSRがしきい値VL以上であり、 $VSR \geq VL$ であれば、第1の比較手段112の出力はロウレベルとなる。また、第2の比較手段113には、しきい値VH ($VH > VL$) がセットされ、この第2の比較手段113は、電圧低下異常クリア後母線検出電圧VSRとしきい値VHとを比較し、電圧低下異常クリア後母線検出電圧VSRが、しきい値VH以上であり、 $VSR \geq VH$ であれば、ハイレベル出力を発生する。電圧低下異常クリア後母線検出電圧VSRがしきい値VHより小さく、 $VSR < VH$ であれば、第2の比較手段113の出力は、ロウレベルとなる。しきい値VL、V
50

Hは、メモリ800に記憶され、このメモリ800から第1、第2の比較手段112、113にセットされる。

【0020】

フリップフロップ115は、セット入力Sと、リセット入力Rと、一对の出力Q1、Q2を有する。セット入力Sは、第1の比較手段112の出力に接続され、またリセット入力Rは、第2の比較手段113の出力に接続される。このフリップフロップ115は、セット入力Sがハイレベルとなったときにセット状態となり、このセット状態では、出力Q1がハイレベル、出力Q2がロウレベルとなる。また、リセット入力Rがハイレベルになったときに、フリップフロップ115はリセット状態となり、このリセット状態では、出力Q1がロウレベル、出力Q2がハイレベルとなる。なお、初期状態では、フリップフロップ115はリセット状態とされる。

10

【0021】

フリップフロップ115の出力Q1は、補償キャパシタ41に対する投入指令Ionとなり、フリップフロップ115がセット状態となったときに、投入指令Ionがハイレベルとなる。フリップフロップ115の出力Q2は、補償キャパシタ41に対する開放指令Ioffとなり、フリップフロップ115がリセット状態になったときに、開放指令Ioffがハイレベルになる。

【0022】

制御信号出力手段117は、投入指令Ionおよび開放指令Ioffに基づき、スイッチ装置42に対する制御信号SCを発生し、系統母線11に対する補償キャパシタ41の接続状態を制御する。この制御信号SCは、投入指令Ionがハイレベルになったときに、スイッチ装置42をオンに駆動し、系統母線11に補償キャパシタ41を投入し、また、開放指令Ioffがハイレベルとなったときに、スイッチ装置42をオフとして、系統母線11から補償キャパシタ41を開放する。

20

【0023】

電圧低下異常クリア判定回路600は、母線検出信号VSに基づき、交流電力系統10の電圧低下異常状態がクリアされたかどうかを判定し、その異常がクリアされたときに、電圧低下異常クリア信号CALをレベル1にする。この電圧低下異常クリア判定回路600は、電圧比較手段601と、フリップフロップ602と、乗算手段603と、ロウパスフィルタ手段604と、電圧勾配検出手段605と、電圧勾配比較手段606と、フリップフロップ607を含む。フリップフロップ607の出力Q1から電圧低下異常クリア信号CALが出力される。

30

【0024】

電圧比較手段601は、母線電圧検出手段102から母線検出電圧VSを受け、この母線検出電圧VSを、電圧低下異常に対応するしきい値VfLと比較する。しきい値VfLは、交流電力系統10に電圧低下異常が発生したことを検出するレベルに設定される。電圧比較手段601は、母線検出電圧VSが、このしきい値VfLよりも小さく、 $VS < VfL$ のときに、交流電力系統10に電圧低下異常が発生したことを検出し、ハイレベル出力を発生する。

【0025】

40

フリップフロップ602は、セット入力Sと、リセット入力Rと、一对の出力Q1、Q2を有する。フリップフロップ602のセット入力Sは、電圧比較手段601の出力に接続され、そのリセット入力Rは、第2の比較手段113の出力に接続される。このフリップフロップ602は、電圧比較手段601の出力がハイレベルとなったときにセット状態となり、その出力Q1がハイレベル、すなわちレベル1となる。また、フリップフロップ602は、第2の比較手段113の出力がハイレベルとなったときにリセット状態となり、その出力Q1がロウレベル、すなわちレベル0となる。

【0026】

乗算手段603は、第1入力aと、第2入力bと、出力cを有する。乗算手段603の第1入力aには、母線電圧検出手段102から母線検出電圧VSが供給される。乗算手段

50

603の第2入力bには、フリップフロップ602の出力Q1が供給される。このフリップフロップ602の出力Q1は、電圧比較手段601が電圧低下異常を検出し、その出力がハイレベルとなったときにレベル1となるので、電圧低下異常状態が発生した場合には、乗算手段603は、その出力cに母線検出電圧VSを発生する。しかし、フリップフロップ602の出力Q1は、電圧低下異常が発生しないときにはレベル0となるので、乗算手段603の出力cは0となる。

【0027】

ロウパスフィルタ604は、電圧低下異常状態が発生した場合に、乗算手段603の出力cに発生した母線検出電圧VSの基本周波数信号を通過させ、それに含まれる高調波周波数成分を除去する。電圧勾配検出手段605は、ロウパスフィルタ604を通過した母線検出電圧VSの基本周波数信号の勾配 dVS/dt を検出する。この勾配 dVS/dt は、母線検出電圧VSの基本周波数信号の微分出力であり、母線検出電圧VSの振幅の変化に比例する。具体的には、電圧低下異常に伴ない母線検出電圧VSの振幅が減少しておれば、電圧勾配検出手段605から出力される勾配 dVS/dt は小さいが、電圧低下異常がクリアされ、系統母線11の交流電圧vの振幅が定常電圧範囲に向かって急激に増大すれば、電圧勾配検出手段605から出力される勾配 dVS/dt もそれに伴って増大する。

【0028】

電圧勾配比較手段606は、電圧勾配検出手段605から出力される母線検出電圧VSの勾配 dVS/dt を異常クリアしきい値ALと比較する。この異常クリアしきい値ALは、電圧低下異常のために低下していた母線検出電圧VSの振幅が、その異常クリア時に急激に増大するときに、電圧低下異常がクリアされたと判定できる値に設定される。電圧勾配比較手段606は、勾配 dVS/dt が大きくなり、 $(dVS/dt) > AL$ となったときに電圧低下異常がクリアされたと判定し、その出力がハイレベルとなる。

【0029】

フリップフロップ607は、セット入力Sと、リセット入力Rと、一対の出力Q1、Q2を有し、そのセット入力Sは、電圧勾配比較手段606の出力に接続され、そのリセット入力Rは、第2の比較手段1113の出力に接続される。このフリップフロップ607は、電圧勾配比較手段606の出力がハイレベルとなったときにセット状態となり、出力Q1から出力される電圧低下異常クリア信号CALがハイレベル、すなわちレベル1となる。フリップフロップ607は、 $VSR \geq VH$ となって、第2の比較手段1113の出力がハイレベルとなったときに、リセット状態になり、電圧低下異常クリア信号CALが0レベルとなる。このフリップフロップ607からの電圧低下異常クリア信号CALが、母線検出電圧出力手段101の乗算手段103の第2入力bに供給される。

【0030】

さて、図2は、実施の形態1について、系統母線11に対する補償キャパシタ41の投入条件と開放条件を示す動作説明用図表である。図2(a)は補償キャパシタ41の投入条件を、また図2(b)はその開放条件をそれぞれ示す。

【0031】

交流電力系統10の電圧低下異常がクリアされた場合において、図2(a)に示す通り、電圧低下異常クリア後母線検出電圧VSRの初期電圧レベルが、しきい値VLよりも小さく、 $VSR < VL$ であるときには、フリップフロップ115は、強制的にセット状態とされ、補償キャパシタ41は系統母線11に投入される。この電圧低下異常クリア後母線検出電圧VSRの初期電圧レベルは、電圧低下異常クリア信号CALがレベル0からレベル1に変化したときの母線検出電圧VSに等しい。この電圧低下異常クリア後母線検出電圧VSRの電圧レベルが、第1の比較手段112のしきい値VLより小さいときには、第1の比較手段112の出力がハイレベルとなり、フリップフロップ115が強制的にセット状態とされ、投入指令Ionをハイレベルにするので、補償キャパシタ41が系統母線11に投入され、系統母線11の交流電圧vを上昇させ、無効電力補償装置20の動作点をしきい値VLよりも上昇させ、系統母線11の交流電圧vを安定させる。図3は、この

10

20

30

40

50

電圧低下異常に対応する母線検出電圧 V_S と、系統母線11の無効電力 Q との関係を示す特性図である。

【0032】

図3において、縦軸は母線検出電圧 V_S を示し、この縦軸と直交するように、第1の比較手段112にセットされるしきい値 V_L と、第2の比較手段113にセットされるしきい値 V_H が示される。横軸は無効電力 Q を示し、縦軸の左側が進みの無効電力を、また縦軸の右側が遅れの無効電力である。図3の特性 SVC は、無効電力補償装置20に基づく母線検出電圧 V_S と無効電力 Q との特性であり、特性 $C1$ は交流電力系統10が健全な定常状態における交流電力系統10の母線検出電圧 V_S と、それに対する無効電力 Q の特性であり、特性 $C2$ は交流電力系統10の電圧低下異常が発生した異常状態における交流電力系統10の母線検出電圧 V_S と、それに対する無効電力 Q の特性である。

10

【0033】

無効電力補償装置20が系統母線11に接続され、交流電力系統10が定常状態にあれば、無効電力補償装置20は動作点 O で動作する。この動作点 O は、特性 SVC と特性 $C1$ との交点であり、しきい値 V_L としきい値 V_H のちょうど中間で、縦軸上に位置する。この交流電力系統10に電圧低下異常が発生し、交流電力系統10の無効電力特性が、特性 $C1$ から特性 $C2$ に変化した場合を想定する。この場合には、無効電力補償装置20の動作点は、動作点 O から動作点 A に移る。この動作点 A は、特性 SVC と特性 $C2$ との交点であり、この動作点 A における母線検出電圧 V_S は、しきい値 V_L より小さい。交流電力系統10の電圧低下異常がクリアされると、フリップフロップ607の出力 $Q1$ の電圧低下異常クリア信号 CAL がレベル1となり、乗算手段103から、電圧低下異常クリア後母線検出電圧 VSR が出力される。動作点 A に対応する電圧低下異常クリア後母線検出電圧 VSR の初期電圧レベルは、第1の比較手段112にセットされたしきい値 V_L よりも小さく、このため、第1の比較手段112の出力がハイレベルとなり、フリップフロップ115が強制的にセット状態とされ、その出力 $Q1$ がハイレベルとなり、投入指令 Ion がハイレベルとなって、スイッチ装置42がオンになり、系統母線11に補償キャパシタ41が投入される。

20

【0034】

補償キャパシタ41が系統母線11に投入されることにより、系統母線11の母線検出電圧 V_S が点 B まで上昇し、交流電力系統10の無効電力特性は、特性 $C2$ から特性 $C3$ に変化するので、無効電力補償装置20の動作点は、動作点 A から動作点 C に移る。この動作点 C は、特性 SVC と特性 $C3$ との交点であり、この動作点 C の母線検出電圧 V_S は、しきい値 V_L より大きく、しきい値 V_H より小さい。このように交流電力系統10に電圧低下異常が発生した場合、無効電力補償装置20の特性 SVC としきい値 V_L とを協調させて、補償キャパシタ41を系統母線11に投入することにより、系統母線11の母線検出電圧 V_S は、しきい値 V_L としきい値 V_H との間の値に制御される。

30

【0035】

なお、電圧低下異常が発生しない定常状態では、フリップフロップ607がリセット状態を維持し、電圧低下異常クリア後母線検出電圧 VSR はゼロレベルを維持し、フリップフロップ115は、リセット状態を維持する。このフリップフロップ115のリセット状態では、フリップフロップ115の出力 $Q1$ はロウレベル、出力 $Q2$ がハイレベルとなり、補償キャパシタ41は系統母線11から開放された維持を保持する。

40

【0036】

次に、交流電力系統10の電圧低下異常のクリア後の回復過程において、電圧上昇異常が発生し、電圧低下異常クリア後母線検出電圧 VSR の電圧レベルが、しきい値 V_H 以上に上昇し、 $VSR \geq V_H$ になれば、図2(b)に示す開放条件が満足されるので、補償キャパシタ41は、投入状態にあっても、強制的に系統母線11から開放される。この電圧低下異常クリア後母線検出電圧 VSR の電圧レベルが、第2の比較手段113のしきい値 V_H 以上になれば、第2の比較手段113の出力がハイレベルとなり、フリップフロップ115が強制的にリセット状態とされ、開放指令 $Ioff$ をハイレベルにするので、補償

50

キャパシタ 4 1 が系統母線 1 1 から開放され、系統母線 1 1 の交流電圧 v を低下させ、無効電力補償装置 2 0 の動作点を低下させ、系統母線 1 1 の交流電圧 v を安定させる。図 4 は、この電圧上昇異常に対応する母線検出電圧 V_S と、系統母線 1 1 の無効電力 Q との関係を示す特性図である。

【0037】

図 4 において、縦軸は図 3 と同じ母線検出電圧 V_S を示し、横軸は図 3 と同じ無効電力 Q を示す。特性 SV_C および特性 C_1 も、図 3 と同じである。特性 C_4 は交流電力系統 1 0 が電圧上昇異常になった場合における交流電力系統 1 0 の母線検出電圧 V_S に対する無効電力 Q の特性である。

【0038】

電圧低下異常のクリア後に補償キャパシタ 4 1 が系統母線 1 1 に投入され、系統母線 1 1 の交流電圧 v が回復する過程で、交流電力系統 1 0 に電圧上昇異常が発生し、交流電力系統 1 0 の無効電力特性が、特性 C_1 から特性 C_4 に変化した場合を想定する。この場合には、無効電力補償装置 2 0 の動作点は、動作点 D に移る。この動作点 D は、特性 SV_C と特性 C_4 との交点であり、この動作点 D における母線検出電圧 V_S は、しきい値 V_H より大きく、電圧低下異常クリア後母線検出電圧 V_{DR} は、 $V_{SR} \geq V_H$ となる。このため、第 2 の比較手段 1 1 3 の出力がハイレベルとなり、フリップフロップ 1 1 5 が強制的にリセット状態とされ、その出力 Q_2 がハイレベルとなり、開放指令 I_{off} がハイレベルとなって、スイッチ装置 4 2 がオフになり、系統母線 1 1 から補償キャパシタ 4 1 が開放される。

【0039】

補償キャパシタ 4 1 が系統母線 1 1 から開放されることにより、系統母線 1 1 の母線検出電圧 V_S が点 E まで低下し、交流電力系統 1 0 の無効電力特性は、特性 C_4 から特性 C_5 に変化するので、無効電力補償装置 2 0 の動作点は、動作点 D から動作点 F に移る。この動作点 F は、特性 SV_C と特性 C_5 との交点であり、この動作点 F の母線検出電圧 V_S は、しきい値 V_H より小さく、しきい値 V_L より大きい。このように交流電力系統 1 0 の電圧上昇異常がクリアされる場合に、無効電力補償装置 2 0 の特性 SV_C としきい値 V_H とを協調させて、補償キャパシタ 4 1 を系統母線 1 1 から開放することにより、系統母線 1 1 の母線検出電圧 V_S は、しきい値 V_L としきい値 V_H との間の値に制御される。

【0040】

電圧低下異常のクリア後の回復過程で、電圧上昇異常が発生せず、電圧低下異常クリア後母線検出電圧 V_{SR} が、 $V_L \leq V_{SR} < V_H$ の範囲に止まれば、フリップフロップ 1 1 5 はセット状態を維持し、系統母線 1 1 に対して補償キャパシタ 4 1 が投入された状態が維持される。

【0041】

以上のように実施の形態 1 では、補償キャパシタ制御回路 1 0 0 は、系統母線 1 1 の電圧低下異常のクリア後における系統母線の交流電圧 v に対応する電圧低下異常クリア後母線検出電圧 V_{SR} を出力する検出電圧出力手段 1 0 3 と、系統母線 1 1 に対する補償キャパシタ 4 1 の接続状態を制御する補償キャパシタ制御回路 1 1 0 を有し、補償キャパシタ制御回路 1 1 0 は、電圧低下異常クリア後母線検出電圧 V_{SR} の電圧レベルに応じて、系統母線 1 1 に対する補償キャパシタ 4 1 の接続状態を制御するので、無効電力補償装置 2 0 の容量を小さくしながら、無効電力制御を行ない、系統母線 1 1 の交流電圧 v を制御することができる。

【0042】

実施の形態 2.

図 5 は、この発明による交流電力系統の無効電力制御装置の実施の形態 2 を示す構成図である。この実施の形態 2 では、実施の形態 1 の補償キャパシタ装置 4 0 が補償キャパシタ装置 4 0 a に置き換えられ、また実施の形態 1 の補償キャパシタ制御装置 1 0 0 が補償キャパシタ制御装置 1 0 0 a に置き換えられる。補償キャパシタ装置 4 0 a は、2 つの補償キャパシタ 4 1 A、4 1 B を含み、これらの補償キャパシタ 4 1 A、4 1 B がそれぞれ

スイッチ装置 4 2 A、4 2 Bを通じて系統母線 1 1 に接続される。また、補償キャパシタ制御装置 1 0 0 a は、実施の形態 1 と同じ母線検出電圧出力手段 1 0 1、電圧低下異常クリア判定回路 6 0 0 と、メモリ 8 0 0 とともに、補償キャパシタ 4 1 A に対する補償キャパシタ制御回路 1 1 0 A と、補償キャパシタ 4 1 B に対する補償キャパシタ制御回路 1 1 0 B を含む。その他は、実施の形態 1 と同じに構成される。

【0043】

補償キャパシタ装置 4 0 a の各スイッチ装置 4 2 A、4 2 B は、具体的には、スイッチ接点を有する機械的遮断器で構成される。この機械的遮断器は、半導体スイッチに比較して安価に構成できる。スイッチ装置 4 2 A、4 2 B を構成する機械的遮断器は、そのスイッチ接点をオン、オフすることにより、系統母線 1 1 に対して、補償キャパシタ 4 1 A、4 1 B の投入と開放を行なう。なお、スイッチ装置 4 2 A、4 2 B は、半導体スイッチ、例えばサイリスタを用いて構成することもできる。

10

【0044】

補償キャパシタ 4 1 A に対する補償キャパシタ制御回路 1 1 0 A は、比較回路 1 1 1 A と、フリップフロップ 1 1 5 A と、制御信号出力手段 1 1 7 A とを含み、比較回路 1 1 1 A は、第 1、第 2 の比較手段 1 1 2 A、1 1 3 A を有する。また、補償キャパシタ 4 1 B に対する補償キャパシタ制御回路 1 1 0 B は、比較回路 1 1 1 B と、フリップフロップ 1 1 5 B と、制御信号出力手段 1 1 7 B とを含み、比較回路 1 1 1 B は、第 1、第 2 の比較手段 1 1 2 B、1 1 3 B を有する。比較回路 1 1 1 A の第 1 の比較手段 1 1 2 A には、しきい値 V_L1 が、またその第 2 の比較手段 1 1 3 A には、しきい値 V_H1 が、それぞれメモリ 8 0 0 からセットされる。比較回路 1 1 1 B の第 1 の比較手段 1 1 2 B には、しきい値 V_L2 が、またその第 2 の比較手段 1 1 3 B には、しきい値 V_H2 が、それぞれメモリ 8 0 0 からセットされる。これらのしきい値 V_L1 、 V_L2 、 V_H1 、 V_H2 は、 $V_L2 < V_L1 < V_H2 < V_H1$ の関係を持つように設定される。なお、実施の形態 2 でも、フリップフロップ 1 1 5 A、1 1 5 B は、初期状態でリセット状態とされる。

20

【0045】

これらのしきい値 V_L1 、 V_L2 、 V_H1 、 V_H2 の設定を除き、比較回路 1 1 1 A、1 1 1 B は、それぞれ実施の形態 1 の比較回路 1 1 1 と同じに構成される。またフリップフロップ 1 1 5 A、1 1 5 B は、それぞれ実施の形態 1 のフリップフロップ 1 1 5 と同じに構成される。フリップフロップ 1 1 5 A の出力 $Q1$ を投入指令 I_{onA} とし、その出力 $Q2$ を開放指令 I_{offA} とする。またフリップフロップ 1 1 5 B の出力 $Q1$ を投入指令 I_{onB} とし、その出力 $Q2$ を開放指令 I_{offB} とする。制御信号出力手段 1 1 7 A、1 1 7 B は、それぞれ実施の形態 1 の制御信号出力手段 1 1 7 と同じに構成される。制御信号出力手段 1 1 7 A の出力を制御信号 SCA とし、制御信号出力手段 1 1 7 B の出力を制御信号 SCB とする。

30

【0046】

実施の形態 2 における電圧低下異常クリア判定回路 6 0 0 は、実施の形態 1 と同じであり、その詳細を省略しているが、そのフリップフロップ 6 0 2、6 0 7 のリセット入力 R は、ともに、補償キャパシタ制御回路 1 1 0 A における比較回路 1 1 1 A の第 2 の比較手段 1 1 3 A の出力に接続される。

40

【0047】

図 6 は、実施の形態 2 について、系統母線 1 1 に対する各補償キャパシタ 4 1 A、4 1 B の投入条件と開放条件を示す動作説明用図表である。図 6 (a) は、系統母線 1 1 に対する補償キャパシタ 4 1 A、4 1 B の投入条件を、また図 6 (b) は、系統母線 1 1 に対する補償キャパシタ 4 1 A、4 1 B の開放条件をそれぞれ示す。

【0048】

まず、交流電力系統 1 0 に電圧低下異常がクリアされた場合に、図 6 (a) に示すように、電圧低下異常クリア後母線検出電圧 V_{SR} の初期電圧レベルが、しきい値 V_L2 よりも小さく、 $V_{SR} < V_L2 < V_L1$ であるときには、補償キャパシタ 4 1 A、4 1 B がともに系統母線 1 1 に投入される。この電圧低下異常クリア後母線検出電圧 V_{SR} の初期電

50

圧レベルは、電圧低下異常クリア信号CALがレベル0からレベル1に変化したときの母線検出電圧VSに等しい。この電圧低下異常クリア後母線検出電圧VSRの初期電圧レベルが、第1の比較手段112Bのしきい値VL2より小さいときには、補償キャパシタ制御回路110Bの第1の比較手段112Bの出力がハイレベルとなり、フリップフロップ115Bが強制的にセット状態とされ、投入指令IonBをハイレベルにするので、補償キャパシタ41Bが制御信号SCBにより系統母線11に投入される。また、このとき、電圧低下異常クリア後母線検出電圧VSRの初期電圧レベルは、第1の比較手段112Aのしきい値VL1よりも小さいので、補償キャパシタ制御回路110Aの第1の比較手段112Aの出力もハイレベルとなり、フリップフロップ115Aも強制的にセット状態とされ、投入指令IonAもハイレベルとなり、補償キャパシタ41Aも制御信号SCAにより系統母線11に投入される。

10

【0049】

補償キャパシタ41A、41Bの投入は、図3と同様に、無効電力補償装置20による特性SVCと、しきい値VL1、VL2とを協調させて行なわれる。補償キャパシタ41A、41Bの投入により、系統母線11の交流電圧vは上昇し、無効電力補償装置20の動作点をしきい値VL1よりも上昇させ、系統母線11の交流電圧vを安定させる。

【0050】

電圧低下異常クリア後母線検出電圧VSRの初期電圧レベルが、 $VL2 \leq VSR < VL1$ である場合には、補償キャパシタ制御回路110Aの第1の比較手段112Aの出力がハイレベルとなるが、補償キャパシタ制御回路110Bの第1の比較手段112Bの出力はロウレベルとなる。このため、フリップフロップ115Aは強制的にセット状態とされるが、フリップフロップ115Bは、リセット状態を維持する。この結果、補償キャパシタ41Aが系統母線11に投入される。フリップフロップ115Bがリセット状態を維持するので、補償キャパシタ41Bは、系統母線11から開放された状態を維持する。補償キャパシタ41Aの投入は、図3と同様に、無効電力補償装置20による特性SVCと、しきい値VL1、VL2とを協調させて行なわれる。補償キャパシタ41Aの投入により、系統母線11の交流電圧vは上昇し、無効電力補償装置20の動作点をしきい値VL1よりも上昇させ、系統母線11の交流電圧vを安定させる。

20

【0051】

このように、電圧低下異常がクリアされた場合には、電圧低下異常クリア後母線検出電圧VSRの初期電圧レベルに対応して、無効電力補償装置20の特性SVCとしきい値VL1、VL2とを協調させて、 $VSR < VL2 < VL1$ ならば、補償キャパシタ41A、41Bとともに系統母線11に投入し、また $VL2 \leq VSR < VL1$ ならば、補償キャパシタ41Bを系統母線11に投入することにより、系統母線11の母線検出電圧VSは、しきい値VL1としきい値VH2との間の値に制御される。

30

【0052】

次に、交流電力系統10の電圧低下異常のクリア後の回復過程において、電圧上昇異常が発生し、電圧低下異常クリア後母線検出電圧VSRの電圧レベルが、しきい値VH1以上に上昇し、 $VH2 < VH1 \leq VSR$ になれば、図6(b)に示す開放条件が満足されるので、補償キャパシタ41A、41Bは、投入状態にあっても、強制的に系統母線11から開放される。この電圧低下異常のクリア後の回復過程において、電圧低下異常クリア後母線検出電圧VSRの電圧レベルが、第1の比較手段113Aのしきい値VH1より大きく、 $VH2 < VH1 \leq VSR$ となったときには、補償キャパシタ制御回路110Aの第2の比較手段113Aの出力がハイレベルとなり、フリップフロップ115Aが強制的にリセット状態とされ、開放指令IoffAをハイレベルにするので、補償キャパシタ41Aが制御信号SCAにより系統母線11から強制的に開放される。また、このとき、電圧低下異常クリア後母線検出電圧VSRの電圧レベルは、第2の比較手段113Bのしきい値VH2よりも大きいので、補償キャパシタ制御回路110Bの第2の比較手段113Bの出力もハイレベルとなり、フリップフロップ115Bも強制的にリセット状態とされ、開放指令IoffBもハイレベルとなり、補償キャパシタ41Bも制御信号SCBにより系

40

50

統母線 11 から強制的に開放される。

【0053】

補償キャパシタ 41A、41B の開放は、図 4 と同様に、無効電力補償装置 20 による特性 SVC と、しきい値 V_{H1} 、 V_{H2} とを協調させて行なわれる。補償キャパシタ 41A、41B の開放により、系統母線 11 の交流電圧 v は低下し、無効電力補償装置 20 の動作点をしきい値 V_{H2} よりも低下させ、系統母線 11 の交流電圧 v を安定させる。

【0054】

電圧低下異常のクリア後の回復過程において、電圧上昇異常が発生しても、電圧低下異常クリア後母線検出電圧 V_{SR} が、 $V_{H2} \leq V_{SR} < V_{H1}$ の範囲までしか上昇しない場合には、補償キャパシタ制御回路 110B の第 2 の比較手段 113B の出力がハイレベルとなるが、補償キャパシタ制御回路 110A の第 2 の比較手段 113A の出力はロウレベルとなる。このため、フリップフロップ 115B は強制的にリセット状態とされるが、フリップフロップ 115A は、セット状態を維持する。この結果、補償キャパシタ 41B は、図 6 (b) に示すように、開放条件が満足され、系統母線 11 から開放されるが、補償キャパシタ 41A は投入状態を維持する。補償キャパシタ 41B の開放は、図 4 と同様に、無効電力補償装置 20 による特性 SVC と、しきい値 V_{H1} 、 V_{H2} とを協調させて行なわれる。補償キャパシタ 41B の開放により、系統母線 11 の交流電圧 v は低下し、無効電力補償装置 20 の動作点をしきい値 V_{H2} よりも低下させ、系統母線 11 の交流電圧 v を安定させる。

【0055】

電圧低下異常のクリア後の回復過程において、電圧上昇異常が発生せずに、電圧低下異常クリア後母線検出電圧 V_{SR} が、 $V_{SR} < V_{H2} < V_{H1}$ の範囲に止まれば、補償キャパシタ制御回路 110A、110B の各第 1 の比較手段 112A、112B の出力はともに、ロウレベルであり、フリップフロップ 115A、115B は、ともにセット状態を維持し、補償キャパシタ 41A、41B はともに系統母線 11 に投入された状態を維持する。

【0056】

このように、電圧低下異常のクリア後の回復過程において、電圧上昇異常が発生した場合には、電圧低下異常クリア後母線検出電圧 V_{SR} の電圧レベルに対応して、無効電力補償装置 20 の特性 SVC としきい値 V_{H1} 、 V_{H2} とを協調させて、電圧低下異常クリア後母線検出電圧 V_{SR} が、 $V_{H2} < V_{H1} \leq V_{SR}$ の範囲まで上昇すれば、補償キャパシタ 41A、41B をともに系統母線 11 から強制的に開放し、また $V_{H2} \leq V_{SR} < V_{H1}$ の範囲までしか上昇しないならば、補償キャパシタ 41B を系統母線 11 から強制的に開放することにより、系統母線 11 の母線検出電圧 V_S は、しきい値 V_{L1} としきい値 V_{H2} との間の値に制御される。

【0057】

以上のように実施の形態 2 では、補償キャパシタ装置 40a が補償キャパシタ 41A、41B を含み、補償キャパシタ制御装置 100a は、系統母線 11 に対する補償キャパシタ 41A の接続状態を制御する補償キャパシタ制御回路 110A と、系統母線に対する補償キャパシタ 41B の接続状態を制御する補償キャパシタ制御回路 110B を含み、これらの補償キャパシタ制御回路 110A、110B は、それぞれ電圧低下異常クリア後母線検出電圧 V_{SR} の電圧レベルに基づき、系統母線 11 に対する補償キャパシタ 41A、41B の接続状態を制御するので、無効電力補償装置 20 の容量を小さくしながら、実施の形態 1 よりも、きめ細かく無効電力制御を行ない、系統母線 11 の交流電圧 v を制御することができる。

【図面の簡単な説明】

【0058】

【図 1】この発明による交流電力系統の無効電力制御装置の実施の形態 1 を示す構成図である。

【図 2】実施の形態 1 について、系統母線に対する補償キャパシタの投入条件と開放条件

を示す動作説明用図表である。

【図3】実施の形態1について、交流電力系統の電圧低下異常が発生した場合における無効電力補償装置の電圧対無効電力特性を用いた動作説明図である。

【図4】実施の形態1について、交流電力系統の電圧上昇異常が発生した場合における無効電力補償装置の電圧対無効電力特性を用いた動作説明図である。

【図5】この発明による交流電力系統の無効電力制御装置の実施の形態2を示す構成図である。

【図6】実施の形態2について、系統母線に対する各補償キャパシタの投入条件と開放条件を示す動作説明用図表である。

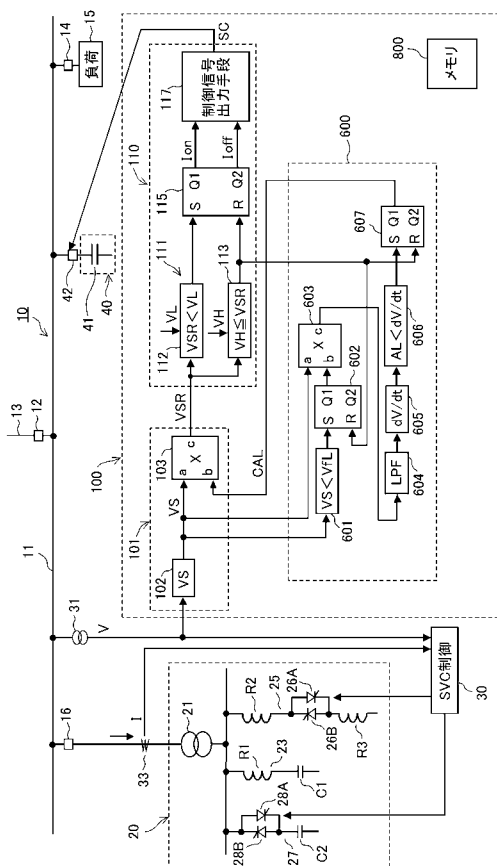
【符号の説明】

10

【0059】

10：交流電力系統、11：系統母線、20：無効電力補償装置、
30：無効電力補償制御装置、40、40a：補償キャパシタ装置、
41、41A、41B：補償キャパシタ、42、42A、42B：機械式遮断器、
100、100a：補償キャパシタ制御装置、101：母線検出電圧出力回路、
110、110A、110B：補償キャパシタ制御回路。

【図1】

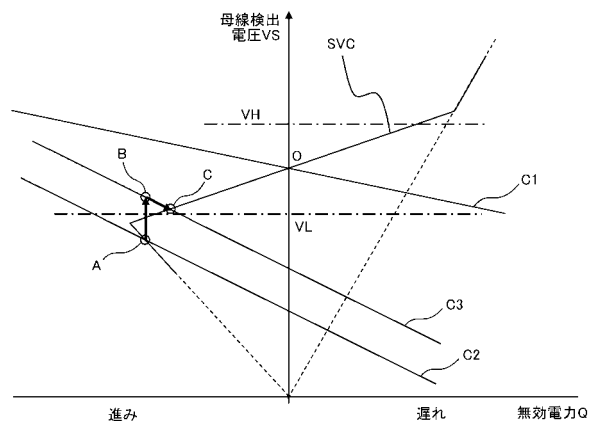


【図2】

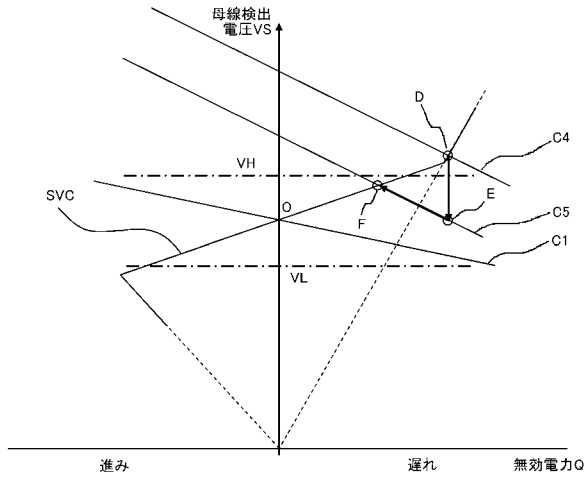
系統母線11に対する補償キャパシタ41の投入条件と開放条件

	異常クリア後 母線検出電圧VSR	補償キャパシタ41 の接続状態
(a)投入条件	$VSR < VL$	投入
(b)開放条件	$VSR \geq VH$	開放

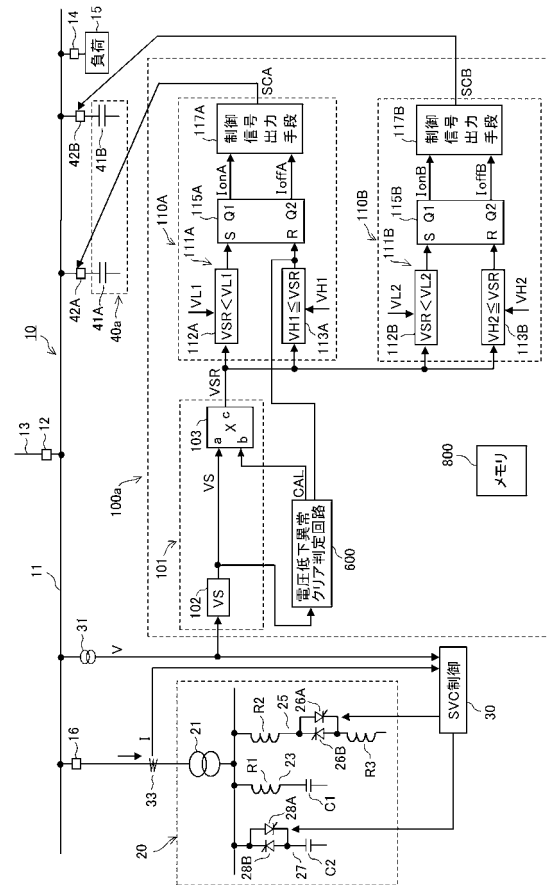
【図3】



【図 4】



【図 5】



【图 6】

系統母線11に対する補償キャパシタ41A,41Bの投入条件と開放条件

	異常クリア後 母線検出 電圧VSR	補償キャパシタ41A,41B の接続状態	
		補償 キャパシタ 41A	補償 キャパシタ 41B
(a)投入条件	$VL2 \leq VSR < VL1$ $VSR < VL2 \leq VL1$	投入	—
	$VH2 < VH1 \leq VSR$	投入	投入
(b)開放条件	$VH2 \leq VSR < VH1$	開放	開放
	$VH2 \leq VSR < VH1$	—	開放

フロントページの続き

- (72)発明者 竹田 正俊
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
(72)発明者 寺本 仁志
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 石川 晃

- (56)参考文献 特開平11-089090 (JP, A)
特開昭58-195434 (JP, A)
実開平05-023218 (JP, U)
特開昭63-148831 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H02J 3/18
G05F 1/70