	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2012-0087851 (43) 공개일자 2012년08월07일
(51) 국제특허분류(Int. Cl.) A61B 8/14 (2006.01) G01N 29/24 (2006.01) H03F 99/00 (2009.01)		(71) 출원인 제너럴 일렉트릭 캄파니 미합중국 뉴욕, 셰넥테디, 원 리버 로우드
(21) 출원번호 10-2012-0008497		(72) 발명자 아메미야 신이치 일본 도쿄도 히노시 아사히가오카 4초메 7-127 지 이 헬스케어 재팬 코퍼레이션
(22) 출원일자 2012년01월27일 심사청구일자 없음		하이더 브루노 미국 뉴욕주 12309 니스카유나 원 리서치 서클 제 너럴 일렉트릭 캄파니
(30) 우선권주장 13/016,783 2011년01월28일 미국(US)		라오 나레쉬 케사반 미국 뉴욕주 12309 니스카유나 원 리서치 서클 제 너럴 일렉트릭 캄파니
		(74) 대리인 제일특허법인

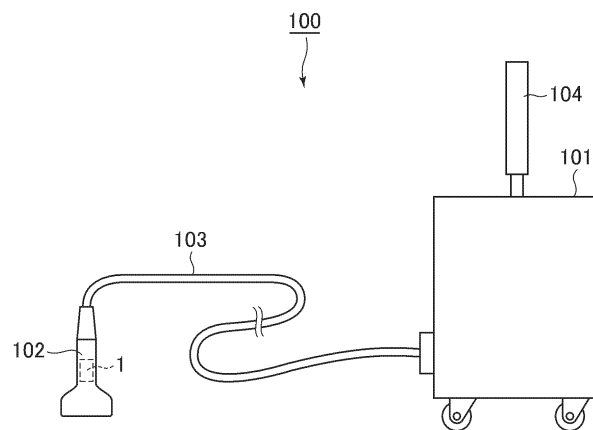
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 수신 회로, 초음파 프로브 및 초음파 이미지 표시 장치

### (57) 요약

초음파를 수신하도록 구성된 초음파 트랜스듀서를 포함하는 초음파 프로브의 수신 회로가 제공된다. 수신 회로는 초음파 트랜스듀서에서 수신된 에코 신호를 증폭하도록 구성된 증폭 유닛을 포함한다. 증폭 유닛은 전류 출력 증폭기를 포함한다. 수신 회로는 증폭 유닛의 출력 신호에 지연 시간을 제공하도록 구성된 지연 유닛을 추가로 포함한다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

수신 회로에 있어서,  
초음파를 수신하기 위한 초음파 트랜스듀서에서 수신된 에코(echo) 신호를 증폭하는 증폭 유닛과,  
상기 증폭 유닛의 출력 신호에 지연 시간을 제공하는 지연 유닛을 포함하고,  
상기 수신 회로는 상기 초음파 트랜스듀서를 포함하는 초음파 프로브에 제공되고, 상기 증폭 유닛은 전류 출력 증폭기로 구성되는  
수신 회로.

### 청구항 2

제 1 항에 있어서,  
상기 지연 유닛은,  
상기 전류 출력 증폭기의 출력 전류가 적분되는 캐패시터와,  
상기 캐패시터에 출력 전류를 기록하는 기록 스위치와,  
상기 캐패시터로부터 전하를 판독하는 판독 스위치를 포함하는  
수신 회로.

### 청구항 3

제 2 항에 있어서,  
상기 캐패시터는 상기 기록 스위치가 온(on) 상태인 동안 출력 전류로 충전되는  
수신 회로.

### 청구항 4

제 2 항에 있어서,  
상기 지연 유닛은 복수의 캐패시터, 복수의 기록 스위치 및 판독 스위치를 포함하고,  
상기 캐패시터, 상기 기록 스위치 및 상기 판독 스위치는 병렬 회로를 형성하는  
수신 회로.

### 청구항 5

제 4 항에 있어서,  
상기 기록 스위치 중 임의의 하나가 턴온(turned on)될 때, 다른 기록 스위치들은 턴오프(turned off)되고,  
상기 전류 출력 증폭기는 온 상태에서 상기 기록 스위치를 통해 임의의 상기 캐패시터와 접속되는  
수신 회로.

#### 청구항 6

제 2 항에 있어서,  
상기 기록 스위치 및/또는 상기 판독 스위치의 온 시간은 조정 가능한  
수신 회로.

#### 청구항 7

제 2 항에 있어서,  
상기 지연 시간은 상기 기록 스위치가 턴오프될 때로부터 상기 판독 스위치가 턴온될 때까지의 시간인  
수신 회로.

#### 청구항 8

제 2 항에 있어서,  
상기 캐패시터의 캐패시턴스는 초음파 이미지 표시 장치의 장치 메인 유닛과 초음파 프로브를 함께 접속시키는  
케이블의 캐패시턴스보다 작은  
수신 회로.

#### 청구항 9

제 2 항에 있어서,  
능동 전하 증폭기 회로가 상기 판독 스위치 다음의 스테이지에 제공되는  
수신 회로.

#### 청구항 10

제 2 항에 있어서,  
상기 기록 스위치의 일 단부는 상기 전류 출력 증폭기와 접속되고, 그 다른 단부는 상기 캐패시터의 일 단부와  
접속되고, 상기 캐패시터의 다른 단부는 접지와 접속되고, 상기 판독 스위치의 일 단부는 상기 캐패시터의 일  
단부와 접속되고, 그 다른 단부는 출력 라인과 접속되는  
수신 회로.

#### 청구항 11

제 2 항에 있어서,  
상기 기록 스위치는 동기적으로 턴온되고 턴오프되는 제 1 스위치 및 제 2 스위치로 구성되고,  
상기 판독 스위치는 동기적으로 턴온되고 턴오프되는 제 3 스위치 및 제 4 스위치로 구성되고,  
상기 제 1 스위치의 일 단부는 상기 전류 출력 증폭기의 출력측 제 1 단자와 접속되고, 그 다른 단부는 상기 캐  
패시터의 일 단부와 접속되고, 상기 제 2 스위치의 일 단부는 상기 캐패시터의 다른 단부와 접속되고, 그 다른  
단부는 상기 전류 출력 증폭기의 출력측 제 2 단자와 접속되고, 상기 제 3 스위치의 일 단부는 상기 캐패시터의  
일 단부와 접속되고, 그 다른 단부는 상기 출력 라인과 접속되고, 상기 제 4 스위치의 일 단부는 상기 캐패시터

의 다른 단부와 접속되고, 그 다른 단부는 접지와 접속되는 수신 회로.

#### 청구항 12

제 1 항에 있어서,  
상기 지연 유닛의 출력 전류는 상기 지연 유닛으로부터 출력 라인에 가산되는 수신 회로.

#### 청구항 13

제 1 항에 있어서,  
상기 지연 유닛은 상기 초음파 트랜스듀서의 각각에 대해 제공되는 수신 회로.

#### 청구항 14

제 1 항에 있어서,  
상기 지연 유닛은 복수의 채널의 초음파 트랜스듀서에 공통으로 제공되는 수신 회로.

#### 청구항 15

제 14 항에 있어서,  
상기 지연 유닛은 모든 채널의 초음파 트랜스듀서에 공통으로 단독으로 제공되는 수신 회로.

#### 청구항 16

제 14 항에 있어서,  
복수의 지연 유닛이 모든 채널의 몇몇 채널의 초음파 트랜스듀서에 공통으로 제공되는 수신 회로.

#### 청구항 17

제 14 항에 있어서,  
다수의 증폭 유닛으로부터의 출력 전류는 지연 유닛 또는 상기 지연 유닛으로부터의 출력 라인에 가산되는 수신 회로.

#### 청구항 18

제 1 항에 있어서,

상기 전류 출력 증폭기는 전압 신호로서 입력 신호를 증폭하고 상기 입력 신호를 전류 신호로 변환하고 상기 전류 신호를 출력하는 V/I 증폭기 또는 전류 신호로서 입력 신호를 증폭하고 전류 신호를 출력하는 I/I 증폭기인 수신 회로.

## 청구항 19

제 1 항에 따른 수신 회로를 구비하는  
초음파 프로브.

## 청구항 20

제 19 항에 따른 초음파 프로브를 구비하는  
초음파 이미지 표시 장치.

## 명세서

### 기술 분야

[0001] 본 발명은 초음파 에코 신호를 증폭하는 증폭 유닛 및 증폭 유닛의 출력 신호에 사전 결정된 지연 시간을 제공하는 지연 유닛을 포함하는 수신 회로, 이 수신 회로를 구비하는 초음파 프로브 및 초음파 이미지 표시 장치에 관한 것이다.

### 배경 기술

[0002] 초음파 이미지 표시 장치에서, 초음파는 초음파 프로브 내에 제공된 다수의 초음파 트랜스듀서로부터 전송되고, 에코 신호가 각각의 초음파 트랜스듀서에서 수신된다. 각각의 초음파 트랜스듀서 수신된 에코 신호가 수신 회로에 입력되고 페이지되고 거기에 가산된다. 그 결과, 하나의 수신 빔이 형성된다.

[0003] 수신 회로에서, 에코 신호가 각각의 초음파 트랜스듀서에 제공된 증폭 유닛에서 증폭된다. 각각의 증폭 유닛의 신호를 출력하기 위해, 지연 유닛에서 사전 결정된 지연이 제공되고, 가산 유닛에서 가산이 수행된다. (예를 들어, 일본 미심사 특허 공개 제 2010-68957호 참조.)

[0004] 각각의 상기 증폭 유닛은 통상적으로 전압을 출력하는 전압 증폭기를 포함한다. 그러나, 전압 증폭기가 사용될 때, 버퍼 증폭기가 전압 증폭기 다음의 스테이지에서 요구되고, 그에 따른 에너지 손실에 의한 열이 생성된다.

[0005] 전압 증폭기가 사용될 때, 출력 신호를 가산하기 위한 가산기가 전술된 버퍼 증폭기에 추가하여 요구된다. 게다가, 전압 증폭기의 주파수 특성은 광대역이기 때문에, 따라서 저역 통과 필터가 요구된다. 이는 각각의 수신 회로의 소형화를 제한한다.

### 발명의 내용

#### 해결하려는 과제

[0006] 일반적으로, 전술된 수신 회로는 초음파 이미지 표시 장치의 메인 유닛에 제공된다. 본 발명자들은 초음파 프로브에 전술된 수신 회로를 제공하는 것을 고려한다. 그러나, 전술된 바와 같이, 종래의 수신 회로의 소형화가 제한되고, 변경 없이 초음파 프로브에 이들 수신 회로를 제공하는 것이 어렵다. 조작자에 의해 파지되는 초음파 프로브에서, 수신 회로가 장치의 메인 유닛에 제공되는 경우와 비교할 때 열의 생성의 문제점을 갖는다.

## 과제의 해결 수단

- [0007] 본 발명의 제 1 양태는 초음파를 수신하는 초음파 트랜스듀서에서 수신된 에코 신호를 증폭하는 증폭 유닛과, 증폭 유닛의 출력 신호에 지연 시간을 제공하는 지연 유닛을 갖는 수신 회로를 포함한다. 수신 회로는 초음파 트랜스듀서를 포함하는 초음파 프로브에 제공되고, 증폭 유닛은 전류 출력 증폭기로 구성된다.
- [0008] 본 발명의 제 2 양태는 지연 유닛이 전류 출력 증폭기의 출력 전류가 적분되는 캐패시터, 이 캐패시터에 출력 전류를 기록하기 위한 기록 스위치, 및 캐패시터로부터 전하를 판독하기 위한 판독 스위치를 포함하는 본 발명의 제 1 양태에 따른 수신 회로이다.
- [0009] 본 발명의 제 3 양태는 기록 스위치가 온 상태인 동안 캐패시터가 출력 전류로 충전되는 본 발명의 제 2 양태에 따른 수신 회로이다.
- [0010] 본 발명의 제 4 양태는 지연 유닛이 전술된 다수의 캐패시터 및 다수의 기록 스위치 및 판독 스위치를 포함하고, 캐패시터, 기록 스위치 및 판독 스위치는 병렬 회로를 형성하는 것이 구현되는 본 발명의 제 2 양태에 따른 수신 회로이다.
- [0011] 본 발명의 제 5 양태는 기록 스위치 중 임의의 하나가 턴온될 때, 다른 기록 스위치들은 턴오프되고, 전류 출력 증폭기는 온 상태에서 기록 스위치를 통해 캐패시터 중 임의의 하나와 접속되는 것이 구현되는 본 발명의 제 4 양태에 따른 수신 회로이다.
- [0012] 본 발명의 제 6 양태는 기록 스위치 및/또는 판독 스위치의 온 시간이 조정 가능한 본 발명의 제 2 양태에 따른 수신 회로이다.
- [0013] 본 발명의 제 7 양태는 지연 시간이 각각의 기록 스위치가 턴오프될 때로부터 대응 판독 스위치가 턴온될 때의 시간인 본 발명의 제 2 양태에 따른 수신 회로이다.
- [0014] 본 발명의 제 8 양태는 캐패시터의 캐패시턴스가 이하의 캐패시턴스, 즉 초음파 이미지 표시 장치의 장치 메인 유닛과 초음파 프로브를 함께 접속하는 케이블의 캐패시턴스보다 작은 본 발명의 제 2 양태에 따른 수신 회로이다.
- [0015] 본 발명의 제 9 양태는 능동 전하 증폭기 회로가 판독 스위치 다음의 스테이지에 제공되는 본 발명의 제 2 양태에 따른 수신 회로이다.
- [0016] 본 발명의 제 10 양태는 기록 스위치의 일 단부가 전류 출력 증폭기와 접속되고, 그 다른 단부는 캐패시터의 일 단부와 접속되고, 캐패시터의 다른 단부는 접지와 접속되고, 판독 스위치의 일 단부는 캐패시터의 일 단부와 접속되고, 그 다른 단부는 출력 라인과 접속되는 것이 구현되는 본 발명의 제 2 양태에 따른 수신 회로이다.
- [0017] 본 발명의 제 11 양태는 기록 스위치가 동기적으로 턴온되고 턴오프되는 제 1 스위치 및 제 2 스위치를 포함하고, 판독 스위치는 동기적으로 턴온되고 턴오프되는 제 3 스위치 및 제 4 스위치를 포함하고, 제 1 스위치의 일 단부는 전류 출력 증폭기의 출력측 제 1 단자와 접속되고, 그 다른 단부는 캐패시터의 일 단부와 접속되고, 제 2 스위치의 일 단부는 캐패시터의 다른 단부와 접속되고, 그 다른 단부는 전류 출력 증폭기의 출력측 제 2 단자와 접속되고, 제 3 스위치의 일 단부는 캐패시터의 일 단부와 접속되고, 그 다른 단부는 출력 라인과 접속되고, 제 4 스위치의 일 단부는 캐패시터의 다른 단부와 접속되고, 그 다른 단부는 접지와 접속되는 것이 구현되는 본 발명의 제 2 양태에 따른 수신 회로이다.
- [0018] 본 발명의 제 12 양태는 지연 유닛의 출력 전류가 지연 유닛으로부터 출력 라인에 가산되는 본 발명의 제 1 양태에 따른 수신 회로이다.
- [0019] 본 발명의 제 13 양태는 지연 유닛이 초음파 트랜스듀서의 각각에 대해 제공되는 본 발명의 제 1 양태에 따른 수신 회로이다.
- [0020] 본 발명의 제 14 양태는 지연 유닛이 다수의 채널의 초음파 트랜스듀서에 공통으로 제공되는 본 발명의 제 1 양태에 따른 수신 회로이다.
- [0021] 본 발명의 제 15 양태는 지연 유닛이 모든 채널의 초음파 트랜스듀서에 공통으로 단독으로 제공되는 본 발명의 제 14 양태에 따른 수신 회로이다.
- [0022] 본 발명의 제 16 양태는 전술된 다수의 지연 유닛이 모든 채널의 몇몇 채널의 초음파 트랜스듀서에 공통으로 제

공되는 본 발명의 제 14 양태에 따른 수신 회로이다.

- [0023] 본 발명의 제 17 양태는 증폭 유닛으로부터의 출력 전류가 지연 유닛 또는 지연 유닛으로부터의 출력 라인에 가산되는 본 발명의 제 14 양태에 따른 수신 회로이다.
- [0024] 본 발명의 제 18 양태는 전류 출력 증폭기가 전압 신호인 입력 신호를 증폭하고 이들 입력 신호를 전류 신호로 변환하고 전류 신호를 출력하는 V/I 증폭기 및 전류 신호인 입력 신호를 증폭하고 전류 신호를 출력하는 I/I 증폭기 중 하나인 본 발명의 제 1 양태에 따른 수신 회로이다.
- [0025] 본 발명의 제 19 양태는 본 발명의 제 1 양태에 따른 수신 회로를 구비하는 초음파 프로브이다.
- [0026] 본 발명의 제 20 양태는 본 발명의 제 19 양태에 따른 초음파 프로브를 구비하는 초음파 이미지 표시 장치이다.

## 발명의 효과

- [0027] 본 발명의 상기 양태들에 따르면, 수신 회로의 각각의 증폭 유닛은 전류 출력 증폭기를 포함한다. 따라서, 가산기가 없이, 개별 채널 내의 증폭 유닛으로부터 출력된 전류는 증폭 유닛의 다음의 스테이지에서 출력 라인에 가산된다. 이는 가산기에 대한 필요성을 제거한다. 각각의 전류 출력 증폭기의 주파수 특성은 주파수가 초음파의 중심 주파수를 향해 증가됨에 따라 이득이 감소되도록 이루어진다. 이는 저역 통과 필터에 대한 필요성을 제거하거나 심지어 간단한 저역 통과 필터이면 충분하다. 각각의 증폭 유닛이 전류를 출력하기 때문에, 다음의 스테이지측에서 버퍼 증폭기를 제공하는 것이 불필요하다. 상기 내용에 기인하여, 수신 회로의 크기를 감소시키고 종래에 비해 더 많이 열의 생성을 억제하는 것이 가능하다. 그 결과, 수신 회로는 초음파 프로브에 제공될 수 있다.

## 도면의 간단한 설명

- [0028] 도 1은 본 발명의 초음파 이미지 표시 장치의 실시예의 예를 도시하는 개략도.
- 도 2는 제 1 실시예의 수신 회로를 도시하는 블록도.
- 도 3은 도 2에 도시된 수신 회로의 지연 유닛의 구성을 도시하는 도면.
- 도 4는 도 3에 도시된 지연 유닛의 기록 스위치 및 판독 스위치가 턴온되고 턴오프되는 타이밍을 설명하는 도면.
- 도 5는 능동 전류 출력 회로를 포함하는 수신 회로를 도시하는 블록도.
- 도 6은 능동 전류 출력 회로의 예를 도시하는 다이어그램.
- 도 7은 전류 출력 증폭기의 주파수 특성을 지시하는 그래프.
- 도 8은 기록 스위치 및 판독 스위치가 온 상태인 시간을 변경함으로써 지연 시간이 조정되는 경우를 도시하는 설명도.
- 도 9는 제 2 변형예의 지연 유닛의 구성을 도시하는 도면.
- 도 10은 기록 회로의 제 1 스위치 및 제 2 스위치가 동기적으로 온 상태인 지연 유닛을 도시하는 도면.
- 도 11은 다른 기록 회로의 제 1 스위치 및 제 2 스위치가 동기적으로 온 상태인 지연 유닛을 도시하는 도면.
- 도 12는 다른 기록 회로의 제 1 스위치 및 제 2 스위치가 동기적으로 온 상태인 지연 유닛을 도시하는 도면.
- 도 13은 판독 회로의 제 3 스위치 및 제 4 스위치가 동기적으로 온 상태인 지연 유닛을 도시하는 도면.
- 도 14는 다른 판독 회로의 제 3 스위치 및 제 4 스위치가 동기적으로 온 상태인 지연 유닛을 도시하는 도면.
- 도 15는 다른 판독 회로의 제 3 스위치 및 제 4 스위치가 동기적으로 온 상태인 지연 유닛을 도시하는 도면.
- 도 16은 제 2 실시예의 수신 회로를 도시하는 블록도.
- 도 17은 도 16에 도시된 수신 회로의 지연 유닛의 구성을 도시하는 도면.

도 18은 제 3 실시예의 수신 회로를 도시하는 블록도.

도 19는 도 18에 도시된 수신 회로의 지연 유닛의 구성을 도시하는 도면.

### 발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 도면을 참조하여 본 발명의 실시예의 상세한 설명이 제공될 것이다.
- [0030] 제 1 실시예
- [0031] 도 1 내지 도 7을 참조하여 제 1 실시예에 설명이 제공될 것이다. 도 1에 도시된 바와 같이, 초음파 이미지 표시 장치(100)는 장치 메인 유닛(101) 및 장치 메인 유닛(101)과 접속된 초음파 프로브(102)를 포함한다. 초음파 프로브(102)는 케이블(103)을 통해 장치 메인 유닛(101)과 접속된다.
- [0032] 초음파 프로브(102)는 초음파 트랜스듀서에서 수신된 초음파 에코 신호가 입력되는 수신 회로(1)를 구비한다. 초음파 프로브(102)는 도면에 특히 도시되어 있지는 않은 전송 회로를 구비할 수 있다. 전송 회로는 사전 결정된 전송 조건 하에서 초음파 프로브(102)의 초음파 트랜스듀서를 구동하고, 음선(sound-ray) 순차적 방식으로 초음파 빔으로 주사면을 주사한다.
- [0033] 장치 메인 유닛(101)은 케이블(103)을 통해 그에 입력된 수신 회로(1)로부터 출력 신호를 갖고, 신호는 도시되지 않은 A-D 변환 유닛에서 A-D 변환된다. A-D 변환 후에 얻어진 에코 신호에 기초하여, 초음파 이미지가 생성되고, 이 초음파 이미지는 장치 메인 유닛(101)의 디스플레이(104)에서 표시된다.
- [0034] 도 2 및 이후의 도면을 참조하여 수신 회로(1)에 대한 상세한 설명이 제공될 것이다. 수신 회로(1)는 증폭 유닛(2) 및 지연 유닛(3)을 포함한다. 증폭 유닛(2) 및 지연 유닛(3)은 초음파 프로브(102)에 제공된 채널  $x$ ( $x$ 는 임의의 자연수)까지 채널 0내의 다수의 초음파 트랜스듀서(Tr)의 각각에 대해 제공된다. 각각의 초음파 트랜스듀서(Tr)에서 수신된 에코 신호는 증폭 유닛(2)에서 증폭되고, 이어서 지연 유닛(3)에서 사전 결정된 지연을 수신한다.
- [0035] 증폭 유닛(2)은 전류 출력 증폭기를 포함한다. 이 전류 출력 증폭기는 전압 신호인 입력 신호를 증폭하고 이들 신호를 전류 신호로 변환하고 전류 신호를 출력하는 V/I 증폭기와, 전류 신호인 입력 신호를 증폭하고 전류 신호를 출력하는 I/I 증폭기 중 하나이다.
- [0036] 도 3에 도시된 바와 같이, 각각의 지연 유닛(3)은 캐패시터(C), 기록 스위치(SWw) 및 판독 스위치(SWr)를 포함한다. 부수적으로, 도 3은 하나의 채널에 등가인 지연 유닛(3) 및 증폭 유닛(2)을 도시한다. 다수의 캐패시터(C), 다수의 기록 스위치(SWw) 및 다수의 판독 스위치(SWr)가 제공된다. 즉, 캐패시터(C1, C2, C3, ..., Cn)( $n$ 은 자연수), 기록 스위치(SWw1, SWw2, SWw3, ..., SWwn) 및 판독 스위치(SWr1, SWr2, SWr3, ..., SWrn)가 제공된다. 개별 캐패시터(C), 기록 스위치(SWw) 및 판독 스위치(SWr)는 서로 병렬로 접속된다. 전류 적분이 이 병렬 회로에 의해 수행된다.
- [0037] 각각의 기록 스위치(SWw)의 일 단부는 증폭 유닛(2)과 접속되고, 그 다른 단부는 캐패시터(C)의 일 단부와 접속된다. 캐패시터(C)의 다른 단부는 접지와 접속된다. 각각의 판독 스위치(SWr)의 일 단부는 캐패시터의 일 단부와 접속되고, 그 다른 단부는 출력 라인(O)과 접속된다.
- [0038] 각각의 기록 스위치(SWw), 각각의 캐패시터(C) 및 접지는 증폭 유닛(2)의 출력 전류를 캐패시터(C)에 기록하는 기록 회로(31)를 형성한다. 기록 회로(31)로서, 다수의 기록 회로(31-1, 31-2, 31-3, ..., 31-n)가 병렬로 제공된다. 각각의 기록 회로(31)에서, 증폭 유닛(2)의 출력 전류는 기록 스위치(SWw)가 온 될 때 캐패시터(C)에서 적분된다.
- [0039] 각각의 판독 스위치(SWr), 각각의 캐패시터(C) 및 접지는 캐패시터(C) 상에 미리 적분된 전하를 판독하는 판독 회로(32)를 형성한다. 판독 회로(32)로서, 다수의 판독 회로(32-1, 32-2, 32-3, ..., 32-n)가 병렬로 제공된다. 각각의 판독 회로(32)에서, 캐패시터(C) 상에 적분된 전하가 판독 스위치(SWr)가 온일 때 판독된다.
- [0040] 기록 스위치(SWw) 및 판독 스위치(SWr)가 턴온되고 턴오프되는 타이밍에 대한 설명이 제공될 것이다. 도 4에 도시된 바와 같이, 기록 스위치(SWw) 중 임의의 하나가 턴온될 때, 다른 기록 스위치들은 턴오프된다. 그 결과, 임의의 소정의 시간에, 증폭 유닛(2)은 단지 온 상태에서 기록 스위치(SWw)를 통해 하나의 캐패시터(C)와 접속된다.



- [0041] 유사하게, 판독 스위치(SWr) 중 임의의 하나가 턴온될 때, 다른 판독 스위치들은 턴오프된다.
- [0042] 기록 스위치(SWw) 및 판독 스위치(SWr)는 순차적으로 턴온된다. 더 특정 설명이 제공될 것이다. 기록 스위치(SWwm)( $m$ 은 2 내지  $n$ 의 자연수)는 이전의 기록 스위치[SWw( $m-1$ )]가 온 상태에서 오프 상태로 전이할 때 턴온된다. 예를 들어, 기록 스위치(SWw1)가 온 상태에서 오프 상태로 전이할 때, 기록 스위치(SWw2)가 오프 상태에서 온 상태로 전이되고, 기록 스위치(SWw2)가 온 상태에서 오프 상태로 전이할 때, 기록 스위치(SWw3)가 턴온된다. 그 결과, 각각의 채널에서, 증폭 유닛(2)으로부터의 출력 전류는 개별 캐패시터(C)에 순차적으로 기록된다. 유사하게, 판독 스위치(SWr $m$ )( $m$ 은 2 내지  $n$ 의 자연수)는 이전의 판독 스위치[SWr( $n-1$ )]가 온 상태에서 오프 상태로 전이할 때 턴온된다.
- [0043] 모든 기록 스위치(SWw1 내지 SWwn)가 동일한 길이로 그러나 비중첩 시간 기간 동안 턴온된다. 모든 판독 스위치(SWr1 내지 SWrn)가 동일한 길이로 그러나 비중첩 시간 기간 동안 턴온된다.
- [0044] 부수적으로, 캐패시터(C) 내의 전류가 판독 스위치(SWr)에 의해 판독된 후에 캐패시터(C) 내에 남아 있는 전류를 방전하기 위한 회로가 제공될 수 있다.
- [0045] 각각의 지연 유닛(3)에 제공된 지연 시간(D)은 적분 기간[기록 스위치(SWw)가 온 상태임]의 중심으로부터 판독 스위치(SWr)가 오프 상태에서 온 상태로 전이할 때의 시간이다. 지연 시간(D)은 채널간에 상이할 수 있다.
- [0046] 출력 라인(0)은 각각의 캐패시터(C)로부터 판독된 전하가 전달되는 저임피던스 노드이고, 개별 채널 내의 지연 유닛(3)으로부터의 출력 라인(0)은 전하 합산 노드를 형성하도록 조합될 수 있다. (도 2 참조.) 따라서, 몇몇 채널의 판독 스위치(SWr)에 의해 캐패시터(C)로부터 판독된 전하는 출력 라인(0)에서 다른 채널 내의 캐패시터(C)로부터 판독된 전하에 가산된다. 이 출력 라인(0)은 케이블(103)에 이어지고, 합산된 전하는 케이블(103)을 통해 장치 메인 유닛(101)에 입력된다.
- [0047] 각각의 캐패시터(C)의 캐패시턴스는 케이블(103)의 캐패시턴스보다 작아 캐패시터(C) 상에 적분된 전류가 출력 라인(0) 및 케이블(103)에 효율적으로 전달되게 되는 것이 바람직하다. 따라서, 그 캐패시턴스가 각각의 캐패시터(C)의 캐패시턴스보다 큰 케이블을 선택하는 것이 바람직하다.
- [0048] 그러나, 케이블 캐패시턴스가 적분/지연 캐패시터(C)의 캐패시턴스보다 크지 않을 때, 다음의 수단이 취해져서 캐패시터(C)의 전하가 출력 라인(0)에 전달될 수 있게 된다. 도 5에 도시된 바와 같이, 능동 전류 출력 회로(4)가 출력 라인(0)에 제공된다. 이 회로는 출력 라인(0)에 낮은 임피던스를 제공하고, 따라서 캐패시터(C) 상의 전하의 효율적인 전달을 용이하게 한다. 이 능동 전하 증폭기 회로(4)에 대해, 예를 들어 도 6에 도시된 바와 같이 구성된 것이 채택될 수 있다.
- [0049] 그 캐패시턴스가 각각의 캐패시터(C)의 캐패시턴스보다 큰 케이블이 케이블(103)로서 사용되지 않을 때, 추가의 캐패시터가 능동 전류 출력 회로를 제공하는 대신에 출력 라인(0)(도시 생략)에 제공될 수 있다. 이 경우에, 캐패시터(C)의 전하는 부가적인 캐패시터 상에 전하를 일시적으로 저장함으로써 출력 라인(0)으로 전달될 수 있다.
- [0050] 지금까지 설명된 예시적인 실시예에 따르면, 각각의 증폭 유닛(2)은 전류 출력 증폭기, 구체적으로 V/I 증폭기 또는 I/I 증폭기를 포함한다. 따라서, 전류는 각각의 채널의 증폭 유닛(2)으로부터 출력되고, 이들 전류는 지연 캐패시터(C)에서 적분되고 가산기의 제공 없이 출력 라인(0)에서 가산된다. 이는 가산기에 대한 필요성을 제거한다. 전류가 적분되기 때문에, 각각의 전류 출력 증폭기의 주파수 특성은 도 7에 도시된 바와 같이 SINC 함수이다. 이 함수에서, 이득이 더 높은 주파수에 대해 감소된다. 이는 증폭 유닛(2) 이후의 스테이지에 저역 통과 필터를 제공하는 것을 불필요하게 하고 또는 저역 통과 필터를 단순화하는 것을 가능하게 한다. 증폭 유닛(2)의 출력은 전류이기 때문에, 이후의 스테이지에서 버퍼 증폭기를 제공하는 것이 불필요하다. 상기 내용에 기인하여, 종래의 전압 샘플링에 비교하여 수신 회로(1)의 크기를 감소시키고 전력 소비를 감소시키는 것이 가능하다. 따라서, 수신 회로(1)는 초음파 프로브(102)에 제공될 수 있다.
- [0051] 전류 적분을 사용하는 샘플링 방법은 클럭 지터(clock jitter)에 민감하고 충분한 S/N을 얻는데 공헌하지 않는 것으로 일컬어진다. 그러나, 바람직한 실시예에서, 각각의 증폭 유닛(2)은 항상 캐패시터(C) 중 하나에 접속되고, 캐패시터(C) 중 하나를 계속 충전한다. 이는 클럭 지터 유도된 노이즈의 1차 상쇄를 초래한다. 예를 들어, SWw( $m$ )을 턴오프하는 클럭이 약간 지연되면, 캐패시터  $m$ 은 더 많은 전하를 적분할 것이다. 그러나, 이 클럭 지연은 다음의 캐패시터 ( $m+1$ )이 정확하게 캐패시터  $m$  상의 과잉의 전하의 양만큼 적은 전하를 적분하게 할 것이다. 전하가 판독 스위치에 의해 판독되고 있을 때, 총 전하는 클럭 지터에 의해 변경되지 않는데, 클럭

지터의 효과는 단지 과잉 전하의 지연이다. 따라서, 이 예에 따르면, 통상의 경우에서와 같이 전압 증폭기를 사용하여 전압 샘플링에서 이와 동일한 클럭 지터의 영향을 행하는 것이 가능하다.

- [0052] 제 1 실시예의 수정예에 대한 설명이 제공될 것이다. 제 1 수정예가 먼저 설명될 것이다. 제 1 수정예에서, 수신 포커싱 지점이 깊이의 방향으로 연속적으로 이동되는 동적 포커싱이 수행되고, 따라서 기록 스위치(SWw) 및 판독 스위치(SWr)가 온 상태인 시간을 변경함으로써 지연 시간을 조정하는 것이 가능해질 수 있다. 특정 설명이 도 8을 참조하여 제공될 것이다. 예로서, 지연 시간(D1)은 적분 기간[기록 스위치(SWw)가 온 상태임]의 중심으로부터 판독 스위치(SWr)가 오프 상태로부터 온 상태로 전이할 때까지의 시간이다. 지연은 T1으로부터 T2로 기록 스위치(SWw)의 온 시간을 연장함으로써 D1으로부터 D2로 단축될 수 있다. 이 경우에,  $D2 < D1$ 이다. 유사하게, 지연 시간은 기록 스위치(SWw)(도시 생략)의 온 시간을 감소시킴으로써 증가될 수 있다. 그 결과, 수신 포커싱 지점이 변경될 수 있다. 부수적으로, 기록 스위치(SWw) 또는 판독 스위치(SWr)는 조정 가능할 수 있다.
- [0053] 부수적으로, 기록 스위치(SWw) 및 판독 스위치(SWr)가 온 상태인 시간은 장치 메인 유닛(101)에 의해 제공된 도시되지 않은 제어 유닛 또는 프로브 내의 제어기로부터의 신호에 기초하여 조정된다.
- [0054] 제 2 수정예에 대한 설명이 제공될 것이다. 전술된 지연 유닛(3)은 도 9에 도시된 바와 같이 구성될 수 있다. 더 구체적인 설명이 제공될 것이다. 이 예에서, 각각의 기록 스위치(SWw)는 동기적으로 턴온되고 턴오프되는 제 1 스위치(ASWw) 및 제 2 스위치(BSWw)를 포함하고, 각각의 판독 스위치(SWr)는 동기적으로 턴온되고 턴오프되는 제 3 스위치(CSWr) 및 제 4 스위치(DSWr)를 포함한다.
- [0055] 각각의 제 1 스위치(ASWw)의 일 단부는 전술된 증폭 유닛(2)의 출력측 제 1 단자(2a)와 접속되고, 그 다른 단부는 전술된 캐패시터(C)의 일 단부와 접속된다. 각각의 대응 제 2 스위치(BSWw)의 일 단부는 캐패시터(C)의 다른 단부와 접속되고, 그 다른 단부는 증폭 유닛(2)의 출력측 제 2 단자(2b)와 접속된다.
- [0056] 대응 제 3 스위치(CSWr)의 일 단부는 캐패시터(C)의 일 단부와 접속되고, 그 다른 단부는 전술된 출력 라인(0)과 접속된다. 대응 제 4 스위치(DSWr)의 일 단부는 캐패시터(C)의 다른 단부와 접속되고, 그 다른 단부는 접지와 접속된다.
- [0057] 제 1 스위치(ASWw), 캐패시터(C) 및 제 2 스위치(BSWw)를 포함하는 루프는 대응 증폭 유닛(2)으로부터 캐패시터(C)로 출력 전류를 적분하는 기록 회로(31)를 추가로 포함한다. 제 3 스위치(CSWr), 캐패시터(C) 및 제 4 스위치(DSWr)를 포함하는 루프는 캐패시터(C)에 기록된 전하를 판독하는 판독 회로(32)를 추가로 포함한다. 또한 제 2 수정예에서, 전술된 다수의 기록 회로(31) 및 다수의 판독 회로(32)는 서로 병렬로 제공된다[기록 회로(31-1, 31-2, 31-3, ...), 판독 회로(32-1, 32-2, 32-3, ...)].
- [0058] 제 2 수정예에서 각각의 기록 회로(31) 및 각각의 판독 회로(32)의 동작에 대한 설명이 제공될 것이다. 전술된 증폭 유닛(2)의 출력 전류가 전술된 캐패시터(C) 상에 적분될 때, 예를 들어 기록 회로(31-1)가 캐패시터(C1)에 전류를 적분할 때, 다음의 동작이 도 10에 도시된 바와 같이 발생하는데, 즉 기록 회로(31-1)의 제 1 스위치(ASWw) 및 제 2 스위치(BSWw)가 동기적으로 턴온된다. 기록 회로(31-1)의 제 1 스위치(ASWw) 및 제 2 스위치(BSWw)가 턴오프된 후에, 기록 회로(31) 중의 다른 개별 기록 회로의 제 1 스위치(ASWw) 및 제 2 스위치(BSWw)가 동기적으로 턴온되어 전류가 임의의 기록 회로(31)의 캐패시터(C)에 순차적으로 기록되게 된다. 구체적으로, 기록 회로(31-1) 다음에, 기록 회로(31-2)의 제 1 스위치(ASWw) 및 제 2 스위치(BSWw)가 도 11에 도시된 바와 같이 동기적으로 턴온되고, 기록 회로(31-2) 다음에, 기록 회로(31-3)의 제 1 스위치(ASWw) 및 제 2 스위치(BSWw)가 도 12에 도시된 바와 같이 동기적으로 턴온된다. 또한 이 예에서, 그 결과, 각각의 증폭 유닛(2)은 캐패시터(C1 내지 Cn) 중 하나와 일정하게 접속된다.
- [0059] 전술된 캐패시터(C)에 기록된 전류가 판독되는 경우에 대한 설명이 제공될 것이다. 예를 들어, 판독 회로(32-1)가 캐패시터(C)의 전류를 판독할 때, 판독 회로(32-1)의 제 3 스위치(CSWr) 및 제 4 스위치(DSWr)는 도 13에 도시된 바와 같이 동기적으로 턴온된다. 판독 회로(32-1)의 제 3 스위치(CSWr) 및 제 4 스위치(DSWr)가 턴오프된 후에, 판독 회로(32)의 다른 개별 판독 회로의 제 3 스위치(CSWr) 및 제 4 스위치(DSWr)가 순차적으로 턴온되어 다른 캐패시터(C)의 전류가 판독 회로(32) 중 하나에서 순차적으로 판독되게 된다. 구체적으로, 판독 회로(32-1) 다음에, 판독 회로(32-2)의 제 3 스위치(CSWr) 및 제 4 스위치(DSWr)가 도 14에 도시된 바와 같이 동기적으로 턴온되고, 판독 회로(32-2) 다음에, 판독 회로(32-3)의 제 3 스위치(CSWr) 및 제 4 스위치(DSWr)가 도 15에 도시된 바와 같이 턴온된다.
- [0060] 부수적으로, 지연 시간(D)은 각각의 제 1 스위치(ASWw) 및 대응 제 2 스위치(BSWw)가 온 상태로부터 오프 상태

로 전이할 때로부터 이하의 동작이 발생할 때, 즉 제 1 스위치(ASWw) 및 제 2 스위치(BSWw)에 의해 기록된 전류를 판독하는 제 3 스위치(CSWr) 및 제 4 스위치(DSWr)가 턴온될 때까지의 시간이다.

- [0061] 제 2 실시예
- [0062] 제 2 실시예에 대한 설명이 제공될 것이다. 제 1 실시예에서와 동일한 요소는 동일한 도면 부호 또는 기호로 나타내고, 그 설명을 생략될 것이다.
- [0063] 제 1 실시예에서, 지연 유닛(3)은 각각의 채널의 초음파 트랜스듀서(Tr) 및 증폭 유닛(2)에 대해 제공된다. 제 2 실시예에서, 한편, 지연 유닛(3)은 다수의 채널의 초음파 트랜스듀서(Tr) 및 증폭 유닛(2)에 공통으로 제공된다. 이 예에서, 도 16에 도시된 바와 같이, 하나의 지연 유닛(3)이 다수의 채널의 초음파 트랜스듀서(Tr) 및 증폭 유닛(2)에 공통으로 제공된다. 각각의 채널의 초음파 트랜스듀서(Tr)에서 수신된 에코 신호는 대응 증폭 유닛(2)에서 증폭되고, 예외 없이 지연 유닛(3)으로의 전류로서 입력된다.
- [0064] 도 17을 참조하여 이 예에서 지연 유닛(3)의 구성에 대한 설명이 제공될 것이다. 초음파 트랜스듀서(Tr)의 채널의 수는  $(x+1)$ 인 것으로 가정될 것이다. 이 예에서, 기록 회로(31-1, 31-2, 31-3, ..., 31-n)의 기록 스위치[SWw1, SWw2, SWw3, ..., SWwn]의  $(x+1)$ 개의 세트는 서로 병렬로 제공된다.  $(x+1)$  곱하기  $(n)$ 개의 기록 스위치가 개별 채널의 증폭 유닛(2)과 접속된다.
- [0065] 또한, 이 예에서, 기록 스위치(SWw) 및 판독 스위치(SWr)는 턴온 및 턴오프되어 각각의 채널 내의 각각의 신호가 사전 결정된 지연 시간(D)만큼 지연되게 된다. 또한 이 예에서, 각각의 채널 내의 증폭 유닛(2)은 항상 캐패시터(C) 중 하나와 접속된다. 각각의 기록 회로(31)에서, 부수적으로, 다수의 기록 스위치(SWw)가 동시에 온될 수 있다. 이 경우에, 다수의 채널의 증폭 유닛(2)으로부터의 출력 전류가 캐패시터(C) 상에서 가산되어 적분된다. 따라서, 증폭 유닛(2)으로부터의 출력 전류는 지연 유닛(3)에서 가산된다.
- [0066] 또한 지금까지 설명된 예에 따르면, 제 1 실시예에 따른 것과 동일한 장점이 얻어질 수 있다. 게다가, 노이즈에 기인하는 각각의 캐패시터(C) 내의 포화의 위험이 채널 중에 캐패시터(C)를 공유함으로써 감소될 수 있다.
- [0067] 제 3 실시예
- [0068] 제 3 실시예에 대한 설명이 제공될 것이다. 상기 실시예들에서와 동일한 요소는 동일한 도면 부호 및 기호로 나타내고, 그 설명은 생략될 것이다.
- [0069] 또한, 제 3 실시예에서, 지연 유닛(3)이 제 2 실시예에서와 같이 다수의 채널에서 초음파 트랜스듀서(Tr) 및 증폭 유닛(2)에 공통으로 제공된다. 그러나, 제 2 실시예와는 달리, 다수의 지연 유닛이 모든 채널의 몇몇 채널에서 초음파 트랜스듀서(Tr) 및 증폭 유닛(2)에 공통으로 제공된다. 그 결과, 더 큰 그룹의 채널의 몇몇 채널에서의 신호는 각각의 지연 유닛(3)에 입력된다. 이 예에서, 하나의 지연 유닛(3)이 도 18에 도시된 바와 같이 3개의 채널에 등가인 초음파 트랜스듀서(Tr) 및 증폭 유닛(2)에 대해 제공된다. 따라서, 도 19에 도시된 바와 같이, 각각의 지연 유닛(3)은 3대3 기초로 기록 회로(31-1, 31-2, 31-3, ..., 31-n)의 기록 스위치(SWw1, SWw2, SWw3, ..., SWwn)를 구비한다. 이들은 지연 유닛(3)이 접속되는 채널 내의 증폭 유닛(2)과 접속된다. 부수적으로, 도 19는 ch0 내지 ch2에 대한 지연 유닛(3)을 도시한다.
- [0070] 또한, 지금까지 설명된 예에 따르면, 제 1 또는 제 2 실시예에 따른 바와 동일한 장점이 얻어질 수 있다.
- [0071] 지금까지, 상기 실시예에 기초하여 본 발명에 대한 설명이 제공되었다. 그러나, 본 발명은 그 요지로부터 벗어나지 않고 다양하게 수정될 수 있다. 예를 들어, 또한 제 2 및 제 3 실시예에서, 능동 전류 출력 회로(4) 또는 캐패시터는 출력 라인(O)에 제공될 수 있다. 또한, 제 2 및 제 3 실시예에서, 다음의 수단이 제 2 수정예에서와 같이 제 1 실시예에 취해질 수 있는데, 각각의 기록 스위치(SWw)는 채널간 기초로 제공된 제 1 스위치(ASWw) 및 제 2 스위치(BSWw)를 포함하고, 각각의 판독 스위치(SWr)는 채널간 기초로 제공된 제 3 스위치(CSWr) 및 제 4 스위치(DSWr)를 포함한다.

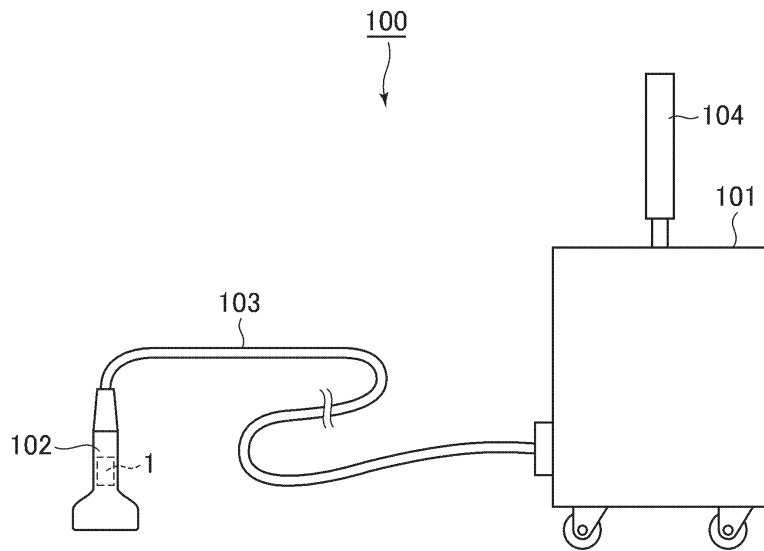
## 부호의 설명

[0072]

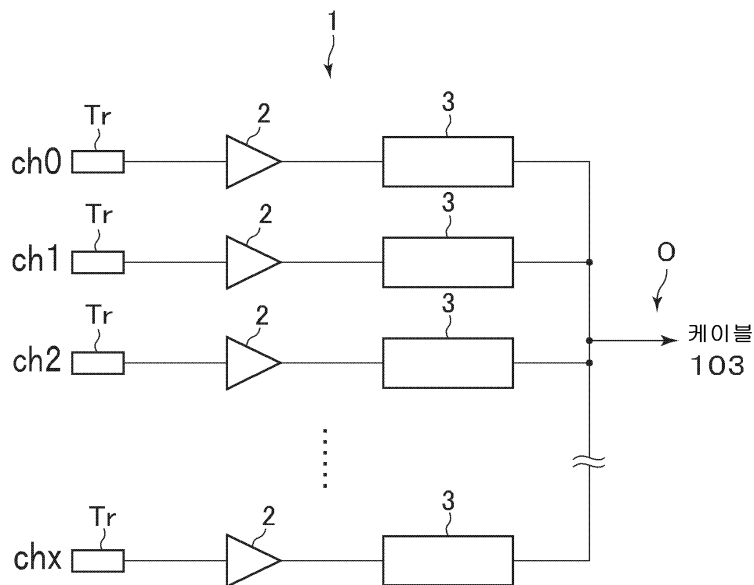
- |                    |               |
|--------------------|---------------|
| 1: 수신 회로           | 2: 증폭 유닛      |
| 3: 지연 유닛           | 4: 전하 증폭기 회로  |
| 31: 기록 회로          | 32: 판독 회로     |
| 100: 초음파 이미지 표시 장치 | 101: 장치 메인 유닛 |
| 102: 초음파 프로브       | 103: 케이블      |
| C: 캐패시터            | SWw: 기록 스위치   |
| SWr: 판독 스위치        | Tr: 초음파 트랜스듀서 |

## 도면

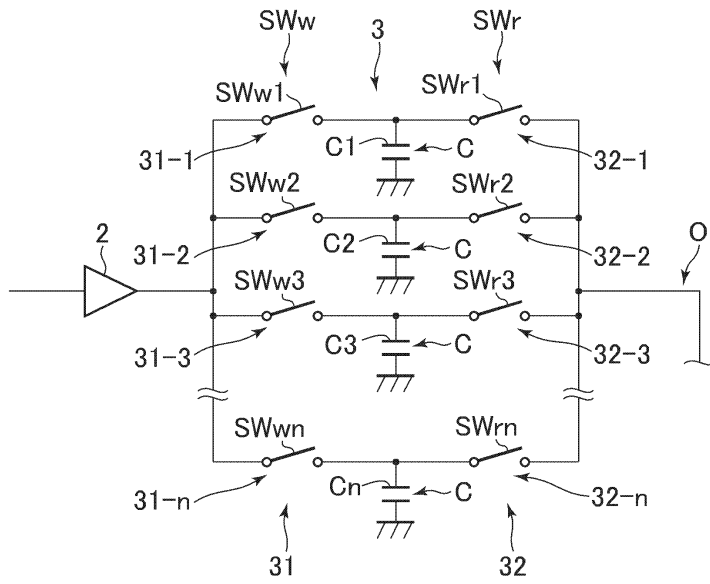
### 도면1



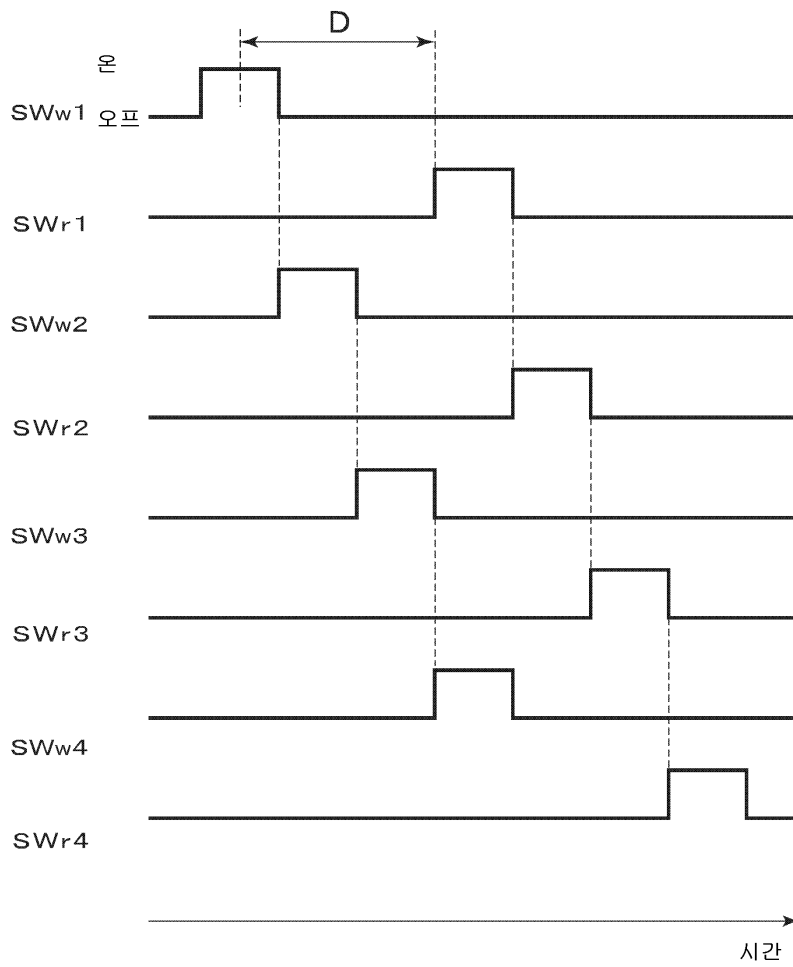
### 도면2



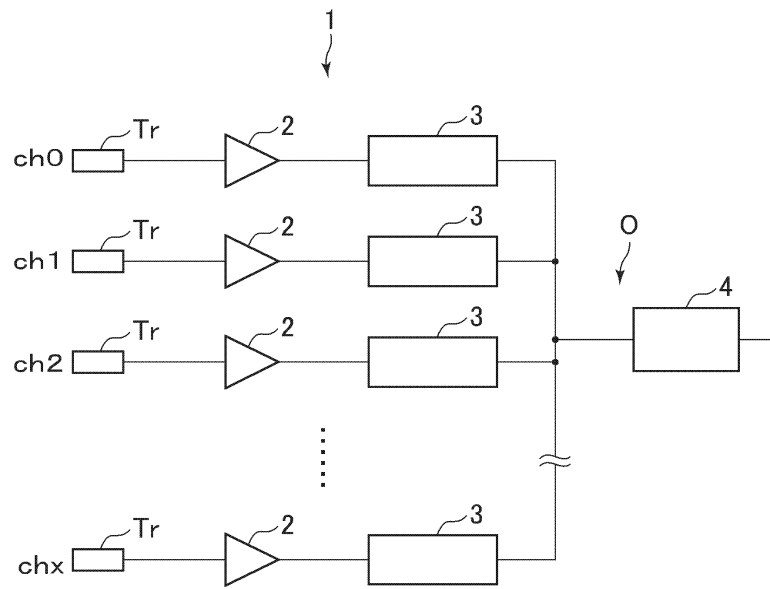
도면3



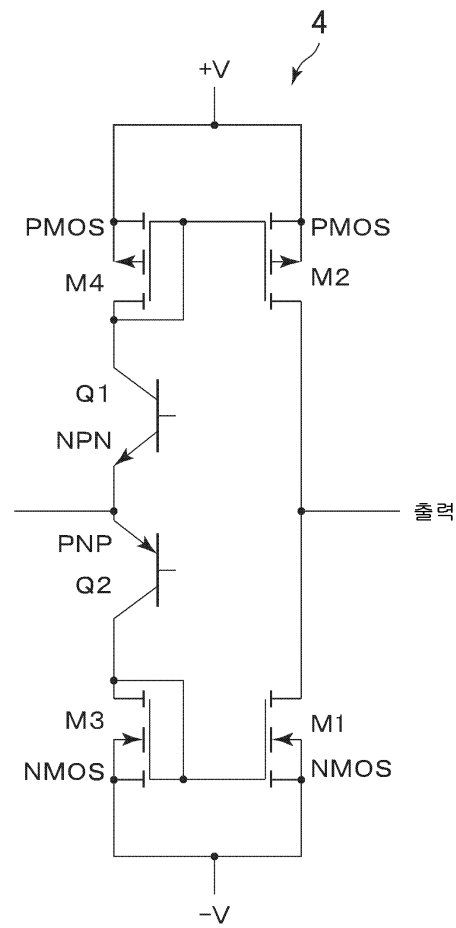
도면4



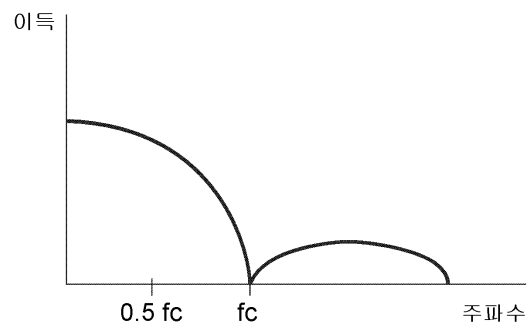
도면5



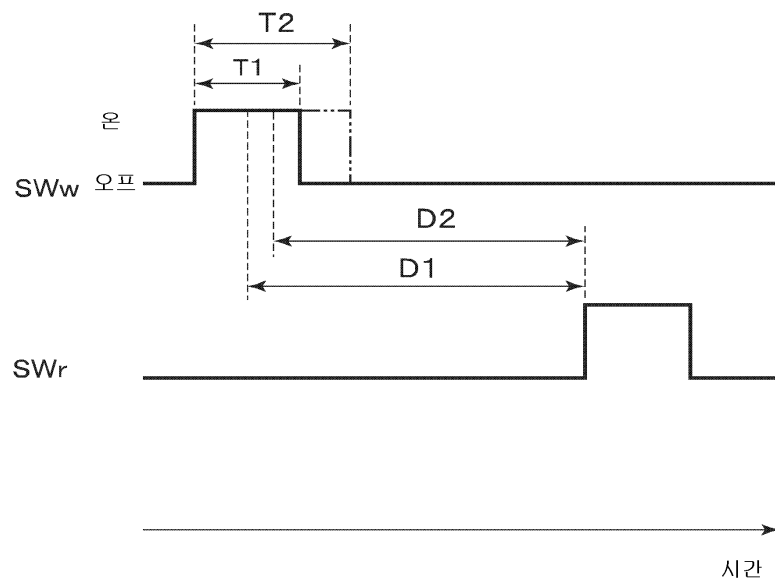
도면6



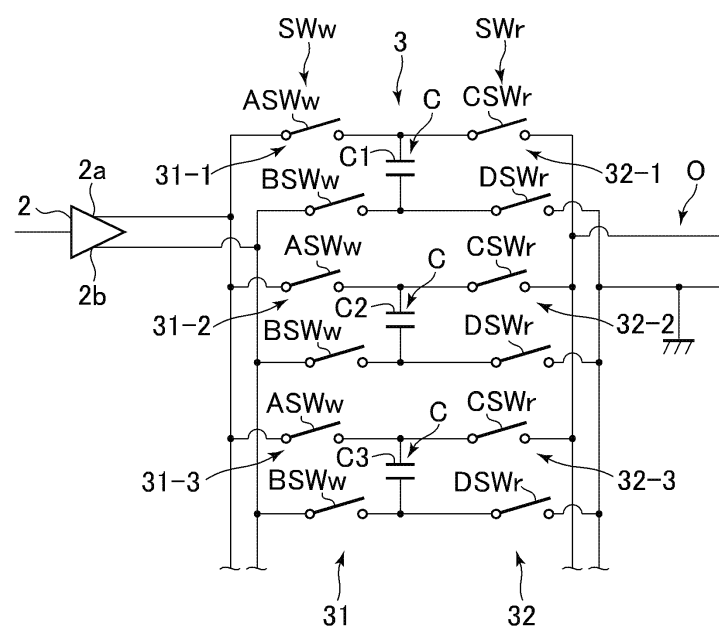
도면7



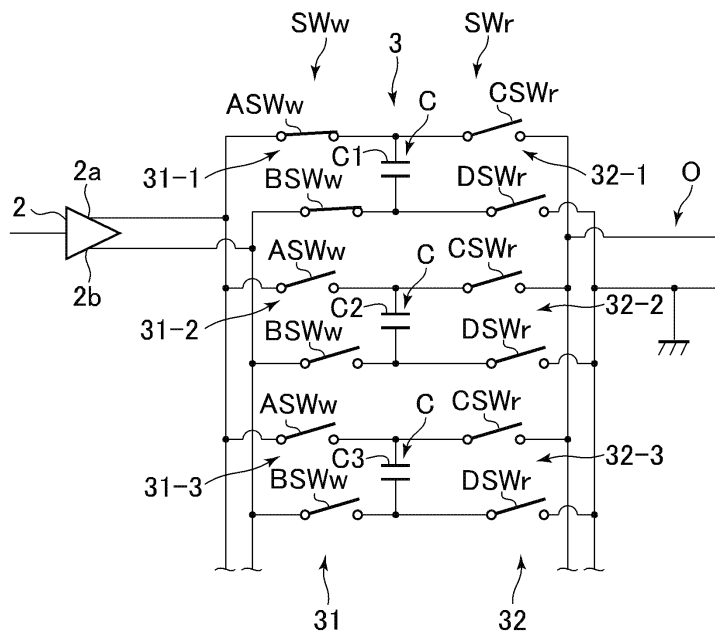
도면8



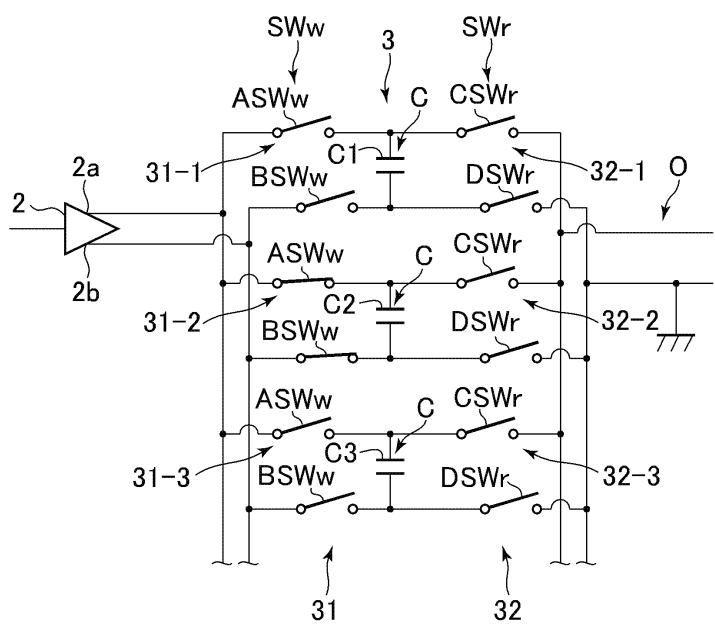
도면9



도면10

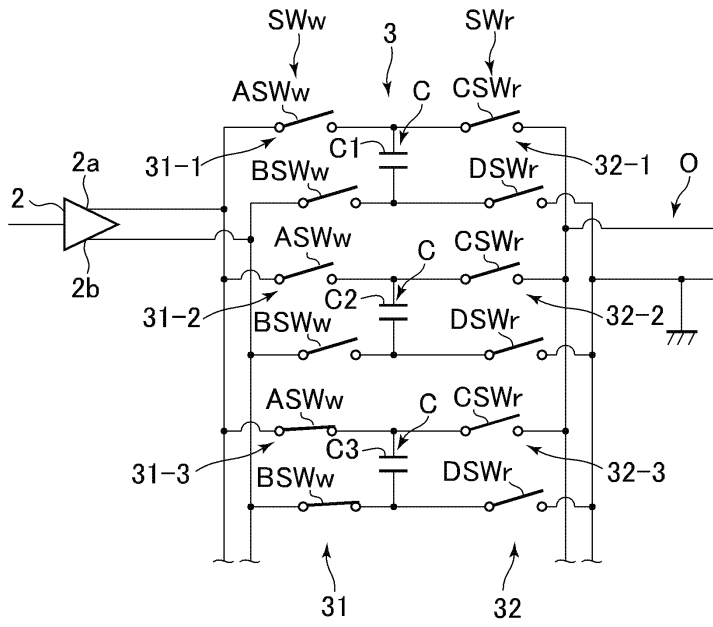


도면11

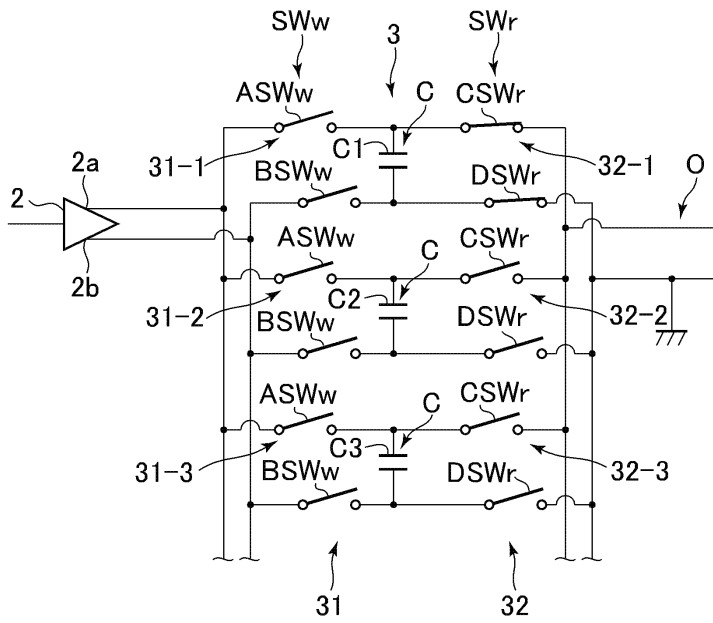




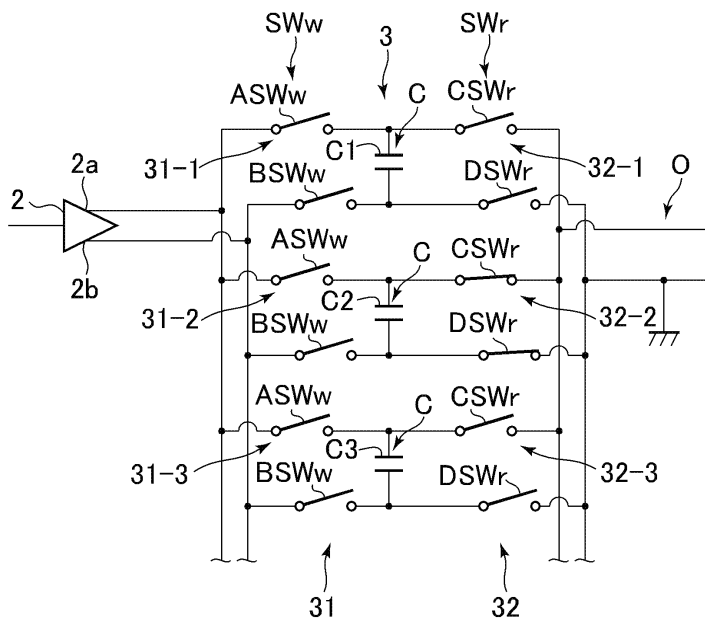
도면12



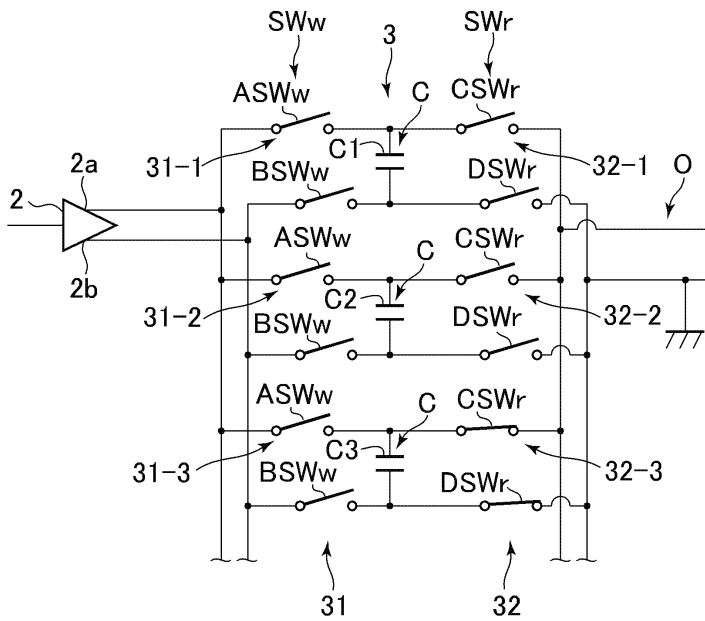
도면13



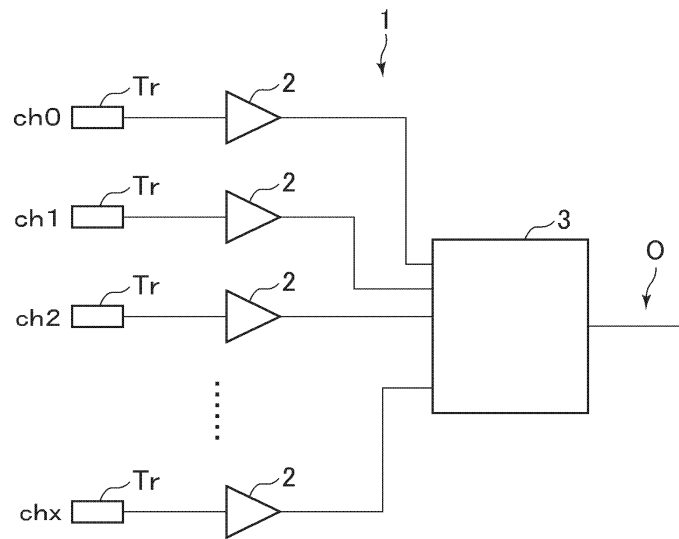
도면14



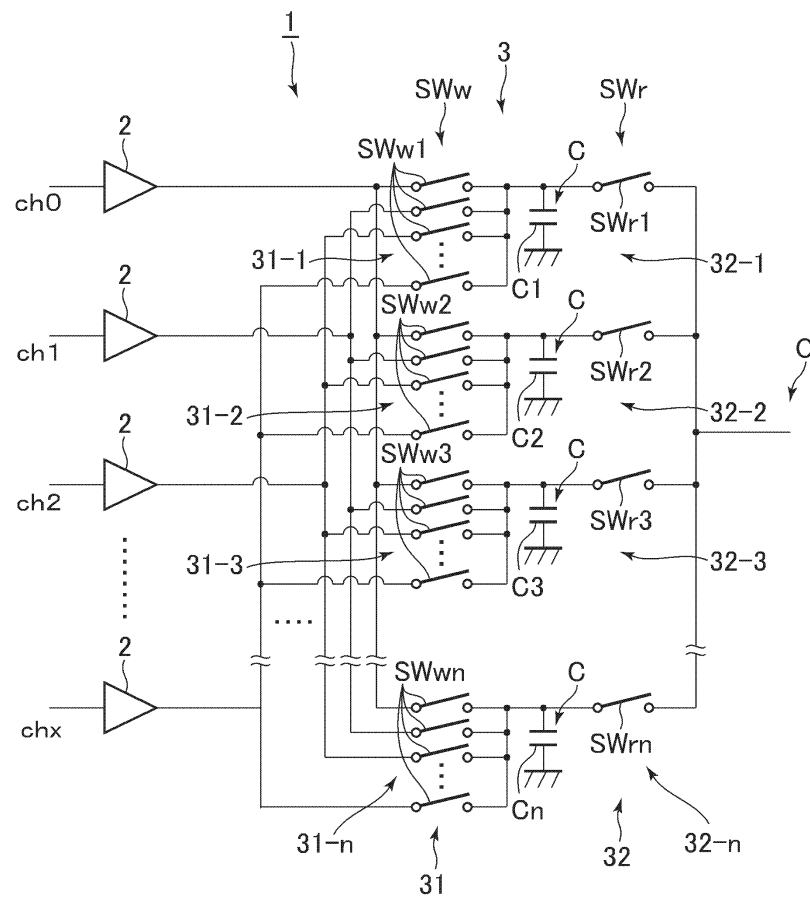
도면15



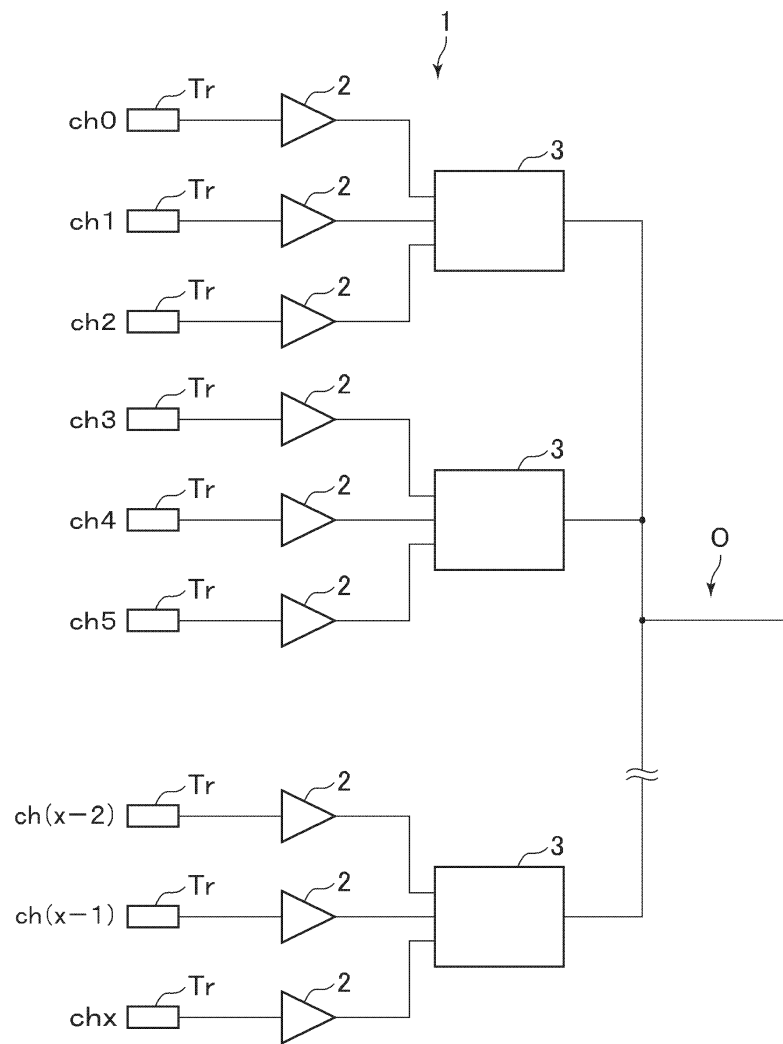
도면16



도면17



도면18



도면19

