



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) DE 601 14 503 T2 2006.06.22

(12)

Übersetzung der europäischen Patentschrift

(97) EP 1 150 301 B1

(21) Deutsches Aktenzeichen: 601 14 503.8

(96) Europäisches Aktenzeichen: 01 303 938.3

(96) Europäischer Anmeldetag: 30.04.2001

(97) Erstveröffentlichung durch das EPA: 31.10.2001

(97) Veröffentlichungstag
der Patenterteilung beim EPA: 02.11.2005

(47) Veröffentlichungstag im Patentblatt: 22.06.2006

(51) Int Cl.⁸: G11C 11/406 (2006.01)

G11C 11/4072 (2006.01)

(30) Unionspriorität:

2000131260 28.04.2000 JP
2001113443 12.04.2001 JP

(84) Benannte Vertragsstaaten:

DE, FR, GB

(73) Patentinhaber:

Fujitsu Ltd., Kawasaki, Kanagawa, JP

(72) Erfinder:

Matsuzaki, Yasurou, Nakahara-ku, Kanagawa
211-8588, JP

(74) Vertreter:

W. Seeger und Kollegen, 81369 München

(54) Bezeichnung: Speicher mit automatischer Auffrischungsfunktion und Schaltuneinheit mit automatischer interner Befehlsfunktion

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelebt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Diese Erfindung betrifft eine Speicherschaltung, die periodische Auffrischoperationen erfordert, wie beispielsweise ein dynamischer Speicher mit wahlfreiem Zugriff, und betrifft ferner eine Speicherschaltung, in der Auffrischoperationen automatisch ausgeführt werden, ohne daß ein externer Auffrischbefehl erforderlich ist, und die zur internen Hochgeschwindigkeitsausführung von externen Betriebsbefehlen in der Lage ist. Diese Erfindung betrifft auch eine integrierte Schaltungsvorrichtung, die, zusätzlich zu externen Befehlen, Befehle automatisch intern erzeugen und ausführen kann.

[0002] Ein dynamischer Speicher mit wahlfreiem Zugriff (dynamic random access memory: DRAM) ist als Speicher mit großer Kapazität weit verbreitet. Da ein DRAM ein flüchtiger Speicher ist, sind Auffrischoperationen erforderlich.

[0003] Fig. 1 ist eine Konfigurationsansicht einer herkömmlichen Speicherschaltung. Die herkömmliche Speicherschaltung hat einen Taktpuffer **10** für die Eingabe eines externen Taktsignals CLK und die Erzeugung eines internen Taktsignals CLK1 synchron mit dem externen Takt CLK; einen Befehlsdecodierer **11** für die Eingabe von Befehlen synchron mit dem internen Taktsignal CLK1; einen Adressenpuffer **12** für die Eingabe von Adressen; und einen Dateneingabe-/ausgabepuffer **13** zur Dateneingabe und -ausgabe. Zusätzlich steuert eine Steuerschaltung **14** Operationen eines Speicherkerns **15** als Antwort auf Befehle CMD, die durch den Befehlsdecodierer **11** eingegeben werden. Die Operationen des Speicherkerns werden auch synchron mit dem internen Takt signal CLK1 gesteuert.

[0004] Solch ein taktsynchroner DRAM (SDRAM) verfügt, als Auffrischoperationen, über das automatische Auffrischen und das Selbstauffrischen. Das automatische Auffrischen ist eine Auffrischoperation, die zwischen normalen Lese- und Schreiboperationen periodisch ausgeführt wird und mittels eines extern zugeführten Automatikauffrischbefehls vorgenommen wird. Das heißt, wenn ein Automatikauffrischbefehl von außen eingegeben wird, erzeugt der Befehlsdecodierer **11** einen Automatikauffrischbefehl AR1, und als Antwort auf AR1 erzeugt eine Auffrischsteuerschaltung **16** einen internen Auffrischbefehl REF. Mittels dieses internen Auffrischbefehls REF steuert die Steuerschaltung **14** die Auffrischoperation. Ein Selektor **18** selektiert die Adresse von einem Auffrischadressenzähler **17** und gibt die Adresse an eine Adressenverriegelungsschaltung **19** aus.

[0005] Andererseits ist das Selbstauffrischen eine Auffrischoperation, bei der die Speichervorrichtung selbst die Auffrischoperation ausführt, während sie im Energieherabschaltbetriebszustand ist, und zwar

als Antwort auf eine Auffrischzeitlage, die durch einen internen Oszillator OSC automatisch erzeugt wird. In dem Energieherabschaltbetriebszustand werden keine Befehle (zum Lesen oder Schreiben) extern zugeführt, und so erzeugt die Auffrischsteuerschaltung **16** einen internen Auffrischbefehl REF als Antwort auf eine Auffrischzeitlage, die zu einer beliebigen Zeitlage erzeugt wird. Daher steuert die Steuerschaltung **14** die Auffrischoperation.

[0006] Auf diese Weise werden Befehle während des normalen Betriebszustandes extern zugeführt, und Auffrischbefehle werden auch extern zugeführt, und als Antwort werden Auffrischoperationen ausgeführt. Während des Energieherabschaltzustandes werden keine Befehle extern zugeführt, und so wird die Auffrischzeitlage automatisch intern erzeugt und werden Auffrischoperationen ausgeführt.

[0007] Auf diese Weise muß in herkömmlichen Speicherschaltungen der Speichercontroller, der die Speicherschaltung steuert, die Auffrischzeitlage während des Intervalls des normalen Betriebszustandes steuern. Das heißt, der Speichercontroller ist mit einem Zeitgeber versehen und muß Automatikauffrischbefehle an die Speicherschaltung immer dann ausgeben, wenn die Auffrischzeitlage auftritt. Ein Problem bei dem Speichercontroller ist daher die Komplexität der Speicherschaltungssteuerung.

[0008] In herkömmlichen Speicherschaltungen führt die Steuerschaltung **14** die Steuerung als Antwort auf Lese- und Schreibbefehle aus, die synchron mit dem Taktsignal zugeführt werden. Falls hier die Steuerschaltung **14** gerade die vorherige interne Operation ausführt, wird die nächste interne Operation als Antwort auf den neu zugeführten Befehl ausgeführt, ungetacht der vorherigen internen Operationen. Es sind auch Speicherschaltungen vorgeschlagen worden, in denen dann, falls während der Ausführung der vorherigen internen Operation ein neuer Befehl extern zugeführt wird, jener Befehl zurückgewiesen wird.

[0009] In dem obigen letzteren Fall ist das Zurückweisen eines Befehls von dem Speichercontroller unerwünscht, und so führen Speicherschaltungen interne Operationen im allgemeinen als Antwort auf zugeführte Befehle so wie bisher in dem ersten Fall aus. Falls daher in dem normalen Betriebszustand ein Auffrischbefehl innerhalb der Speicherschaltung autonom ausgegeben wird und Auffrischoperationen ausgeführt werden, kann ein Befehl, der während dieser Operationen zugeführt wird, die Auffrischoperation stören. Falls dann, wie in dem letzten Fall, ein zugeführter Befehl zurückgewiesen wird, wird die Steuerung durch den Speichercontroller noch komplexer.

[0010] JP 58-048293 offenbart einen Speicher, in

dem ein Auffrischen innerhalb einer L-Pegel-Periode des Systemtaktes ausgeführt wird, und ein Lesen oder Schreiben wird innerhalb einer H-Pegel-Periode des Systemtaktes ausgeführt, so daß der Speicher den intern erzeugten Auffrischbefehl ausführen kann, ohne die gewöhnlichen Lese- und Schreiboperationen zu stören.

[0011] US-A-4 839 484 offenbart einen Speicher gemäß der Präambel von Anspruch 1, worin dann, falls eine gewöhnliche Zugriffsforderung empfangen wird, während eine Auffrischoperation ausgeführt wird, die Daten zum Auffrischen in einem Leseverstärker zum Auffrischen gesichert werden, so daß die gerade ausgeführte Auffrischoperation unterbrochen wird und der geforderte gewöhnliche Zugriff ausgeführt wird. Sobald der geforderte gewöhnliche Zugriff beendet ist, wird sofort die unterbrochene Auffrischoperation wiederaufgenommen.

[0012] Gemäß der vorliegenden Erfindung ist eine Speichervorrichtung vorgesehen, die externe Befehle empfängt, mit:
einem Speicherkern, der DRAM-Zellen enthält;
einer Auffrischbefehlserzeugungsschaltung zum internen Erzeugen eines Auffrischbefehls zum Auffrischen der DRAM-Zellen; und
einer Steuerschaltung, die den externen Befehl und den Auffrischbefehl empfängt, zum Steuern des Speicherkerns;
bei der die externen Befehle mit einem Intervall zugeführt werden, das größer gleich einer minimalen Zykluszeit der externen Befehle ist, wobei die DRAM-Zellen eine interne Operationszykluszeit haben, die kürzer als die minimale Zykluszeit der externen Befehle ist; dadurch gekennzeichnet, daß:
die Steuerschaltung ein aktives Befehlsempfangssignal erzeugt, wenn der Speicherkern die Ausführung einer internen Operation beendet und eine neue interne Operation starten kann; bei der
in dem Fall, wenn die Steuerschaltung keinen neuen externen Befehl und keine neuen Auffrischbefehle während der Ausführung einer gegenwärtigen internen Operation empfängt, der Speicherkern die Ausführung eines neuen internen Operationszyklus entsprechend einem neuen externen Befehl bei Empfang des neuen externen Befehls startet; und
in dem Fall, wenn die Steuerschaltung keinen neuen externen Befehl und keine neuen Auffrischbefehle während der Ausführung einer gegenwärtigen internen Operation empfängt, der Speicherkern die Ausführung eines neuen internen Operationszyklus entsprechend einem neuen Auffrischbefehl bei Empfang des neuen Auffrischbefehls startet; und
in dem Fall, wenn die Steuerschaltung einen neuen externen Befehl während der Ausführung einer gegenwärtigen internen Operation empfängt, der Speicherkern die Ausführung eines neuen internen Operationszyklus entsprechend dem neuen externen Befehl startet, wenn das Befehlsempfangssignal auf

Grund der Vollendung der gegenwärtigen internen Operation aktiv wird; und
in dem Fall, wenn die Steuerschaltung einen neuen Auffrischbefehl während der Ausführung einer gegenwärtigen internen Operation empfängt, der Speicherkern die Ausführung eines neuen internen Operationszyklus entsprechend dem neuen Auffrischbefehl startet, wenn das Befehlsempfangssignal auf Grund der Vollendung der gegenwärtigen internen Operation aktiv wird.

[0013] Es ist eine Überlegung der Erfindung, eine Speierschaltung vorzusehen, die Auffrischoperationen automatisch ausführen kann, ohne externe Auffrischbefehle von einem Speichercontroller zu empfangen.

[0014] Eine andere Überlegung dieser Erfindung ist das Vorsehen einer Speierschaltung, die im normalen Betrieb Auffrischoperationen automatisch ausführen kann, ohne externe Auffrischbefehle zu benötigen, und die auch interne Operationen als Antwort auf normale externe Befehle schnell ausführen kann.

[0015] Noch eine andere Überlegung dieser Erfindung ist das Vorsehen einer integrierten Schaltungsvorrichtung, die zum automatischen Ausgeben von internen Befehlen zusätzlich zum Empfang von extern zugeführten Befehlen in der Lage ist, und zum Ausführen von internen Befehlen, ohne Operationen zu stören, die externen Befehlen entsprechen.

[0016] In einer bevorzugten Ausführungsform der vorliegenden Erfindung umfaßt eine integrierte Schaltungsvorrichtung eine erste Schaltung, die Befehle synchron mit einem Taktsignal empfängt und einen ersten internen Befehl intern erzeugt, und eine zweite Schaltung, die einen zweiten internen Befehl in einem vorgegebenen Zyklus intern erzeugt. Die interne Schaltung führt interne Operationen gemäß dem ersten internen Befehl durch taktsynchrone Operationen aus, und wenn ein zweiter interner Befehl ausgegeben wird, führt sie interne Operationen entsprechend dem zweiten internen Befehl und interne Operationen entsprechend dem ersten internen Befehl durch taktasynchrone Operationen sequentiell aus.

[0017] In einer anderen bevorzugten Ausführungsform ist die obige integrierte Schaltungsvorrichtung eine Speierschaltung, die Auffrischoperationen erfordert; ist der obige erste interne Befehl ein Lese- oder ein Schreibbefehl; ist der obige zweite interne Befehl ein Auffrischbefehl; und ist die interne Schaltung eine Speichersteuerschaltung. Das heißt, in dieser Ausführungsform führt die Speichersteuerschaltung in einem normalen Zustand Steueroperationen entsprechend dem ersten internen Befehl durch taktsynchrone Operationen gemäß Befehlen aus, die synchron mit dem Taktsignal empfangen werden.

Wenn ein Auffrischbefehl als zweiter interner Befehl intern erzeugt wird, führt die Speichersteuerschaltung bei einer taktasynchronen Operation Steueroperationen entsprechend diesem Auffrischbefehl und dem ersten internen Befehl sequentiell aus. Wenn interne Operationszyklen schließlich externe Operationszyklen einholen, führt die Speichersteuerschaltung wieder Steueroperationen für den ersten internen Befehl durch taktsynchrone Operationen aus.

[0018] In einer anderen bevorzugten Ausführungsform umfaßt die integrierte Schaltungsvorrichtung ferner eine interne Takterzeugungsschaltung, die ein erstes internes Taktsignal synchron mit einem externen Taktsignal erzeugt, und ein zweites internes Taktsignal, das schneller als das externe Taktsignal ist. Die interne Schaltung führt eine interne Operation entsprechend dem ersten internen Befehl synchron mit dem ersten internen Taktsignal während eines normalen Zustandes aus und führt interne Operationen entsprechend dem ersten internen Befehl und interne Operationen entsprechend dem zweiten internen Befehl synchron mit dem zweiten internen Taktsignal aus, wenn der zweite interne Befehl erzeugt wird.

[0019] Die zuerst erwähnte bevorzugte Ausführungsform kann auf eine asynchrone Speicherschaltung angewendet werden. In diesem Fall definiert eine Spezifikation der Speicherschaltung einen minimalen Zyklus des externen Befehls, gemäß dem externe Befehle zugeführt werden können. Ein Speichercontroller hat einen internen Operationszyklus, der kürzer als der minimale Zyklus des externen Befehls ist. Die Speichersteuerschaltung führt eine interne Operation als Antwort auf den externen Befehl während eines normalen Zustandes aus und führt interne Operationen gemäß dem internen Operationszyklus kontinuierlich aus.

[0020] Noch eine andere bevorzugte Ausführungsform der Erfindung ist eine taktsynchrone integrierte Schaltungsvorrichtung, die bei jeweils M externen Operationszyklen ($M \geq 2$) N interne Operationszyklen hat, wobei N größer als M ist ($M < N < 2M$). M externen Operationszyklen werden höchstens M interne Operationszyklen entsprechend M externen Befehlen und wenigstens ein interner Operationszyklus, der einem internen Befehl und keinem externen Befehl entspricht, zugeordnet. Das heißt, indem interne Operationszyklen etwas kürzer als externe Operationszyklen gemacht werden, ist es möglich, interne Befehle auszuführen, die innerhalb erweiterter Operationszyklen vorkommen können, die M externe Operationszyklen umfassen.

[0021] Eine weitere bevorzugte Ausführungsform ist eine Speicherschaltung, die Auffrischoperationen erfordert. Wenn in diesem Fall ein Auffrischbefehl während erweiterter Operationszyklen, die M Operations-

zyklen umfassen, intern erzeugt wird, werden ($N - M$) interne Operationszyklen genutzt, um die Auffrischoperation auszuführen. Diese ($N - M$) Zyklen sind die Differenz während erweiterter Operationszyklen zwischen der Anzahl von internen Operationszyklen N und der Anzahl von externen Operationszyklen M . In dem die Latenz (Zugriffszeit) ab Eingabe des externen Befehls bis zur Lesedatenausgabe für mehrere Taktzyklen gehalten wird, ist es jedoch möglich, Lesedaten kontinuierlich an einen externen Speichercontroller entsprechend kontinuierlichen externen Befehlen auszugeben.

[0022] In der Speicherschaltung der obigen bevorzugten Ausführungsform ist eine interne Takterzeugungsschaltung vorgesehen, die während eines erweiterten Operationszyklus, der M externe Taktzyklen umfaßt, N interne Takte erzeugt. Ein externer Befehl wird synchron mit dem externen Taktsignal (oder nach Abwarten einer vorgegebenen Phasendifferenz) eingegeben, und der interne Befehl wird synchron mit dem internen Taktsignal erzeugt. Lesedaten werden von dem Speicherkern synchron mit dem verzögerten internen Taktsignal ausgegeben und werden von dem Datenausgangsanschluß synchron mit dem externen Taktsignal ausgegeben. Ähnlich werden Schreibdaten von dem Dateneingangsanschluß synchron mit dem externen Taktsignal eingegeben und dem Speicherkern synchron mit dem internen Taktsignal eingegeben. Daher wird die Phasendifferenz zwischen dem externen Taktsignal und dem internen Taktsignal durch die Befehls- und Dateneingabe-/ausgabeschaltungseinheiten absorbiert.

[0023] Eine andere bevorzugte Ausführungsform der Erfindung wird ähnlich auf eine Speicherschaltung angewendet, in der Auffrischoperationen erforderlich sind. Wenn in diesem Fall ein Auffrischbefehl während eines erweiterten Operationszyklus, der M Operationszyklen umfaßt, intern erzeugt wird, werden ($N - M$) interne Operationszyklen genutzt, um die Auffrischoperation auszuführen. Ferner kann die Auffrischoperation in eine Vielzahl von internen Operationszyklen geteilt werden und ausgeführt werden. Daher kann die Latenz (Zugriffszeit) ab Eingabe des externen Befehls bis zur Ausgabe der Lesedaten verkürzt werden, und eine Hochgeschwindigkeitsoperation kann gewährleistet werden.

[0024] In einer anderen bevorzugten Ausführungsform werden, wenn Auffrischoperationen in Operationen geteilt werden, die den Wortleitungsantrieb einschließen, und in Operationen, die das Schreiben in Speicherzellen einschließen, dann, wenn die Auffrischadresse während einer Auffrischoperation (Reihenadresse) und die Adresse von nachfolgenden Lese- oder Schreiboperationen (Reihenadresse) koinzidieren, Daten, die während der ersten Hälfte der Auffrischoperation ausgelesen und gehalten werden, als

Auslesedaten für nachfolgende Lese- oder Schreboperationen verwendet. Auch wenn Daten in Speicherzellen während der ersten Hälfte der Auffrischoperation zerstört werden, kommt es somit nicht zu Behinderungen von nachfolgenden Operationen.

[0025] In noch einer anderen bevorzugten Ausführungsform wird, wenn das externe Taktsignal, das die Eingabe von externen Befehlen steuert, einen kürzeren Zyklus als den externen Operationszyklus hat, ein zweiter interner Operationszyklus gemäß den externen Befehlen erzeugt, die synchron mit dem externen Taktsignal eingegeben werden. Wenn diese Ausführungsform auf eine Speicherschaltung angewendet wird, erzeugt daher die Auffrischbefehlserzeugungsschaltung Auffrischbefehle gemäß dem Zustand der Eingabe von externen Befehlen.

[0026] Mittels der obigen Ausführungsform kann auch im Falle einer integrierten Schaltungsvorrichtung oder einer Speicherschaltung, die in einem Hochgeschwindigkeitstaktsystem installiert ist, ein zweiter interner Operationszyklus autonom erzeugt und ausgeführt werden.

[0027] Aspekte der Erfindung sind so wie in den beiliegenden unabhängigen Ansprüchen definiert.

[0028] Nun folgt beispielhaft eine eingehende Beschreibung der vorliegenden Erfindung unter Bezugnahme auf die beiliegenden Zeichnungen, in denen:

[0029] [Fig. 1](#) eine Konfigurationsansicht einer herkömmlichen Speicherschaltung ist;

[0030] [Fig. 2](#) eine Gesamtkonfigurationsansicht einer Speicherschaltung in einer ersten Ausführungsform der Erfindung ist;

[0031] [Fig. 3A](#) und B Zeichnungen sind, die eine taktsynchrone Operation und eine taktasynchrone Operation zeigen;

[0032] [Fig. 4](#) eine Zeichnung ist, die ein Beispiel für die Konfiguration einer Speichersteuerschaltung **14** zeigt;

[0033] [Fig. 5](#) ein Zeitlagendiagramm ist, das einen Übergang von der taktsynchronen Operation zu der taktasynchronen Operation zeigt, wenn ein Auffrischbefehl erzeugt wird;

[0034] [Fig. 6](#) ein Zeitlagendiagramm ist, das die taktsynchrone Operation und taktasynchrone Operation in der ersten Ausführungsform zeigt;

[0035] [Fig. 7](#) ein Zeitlagendiagramm ist, das eine taktsynchrone Operation und taktasynchrone Operation im Falle eines langsameren externen Taktes zeigt;

[0036] [Fig. 8](#) ein Zeitlagendiagramm ist, das eine taktsynchrone Operation und taktasynchrone Operation im Falle eines noch langsameren externen Taktes zeigt;

[0037] [Fig. 9](#) ein Zeitlagendiagramm ist, das eine taktsynchrone Operation und taktasynchrone Operation in dem Fall zeigt, wenn interne Operationszyklen doppelt so lang wie die externen Taktzyklen CLK1 sind;

[0038] [Fig. 10](#) eine Konfigurationsansicht der Speicherschaltung in einer zweiten Ausführungsform der Erfindung ist;

[0039] [Fig. 11](#) ein Operationszeitlagendiagramm der Speicherschaltung der zweiten Ausführungsform ist;

[0040] [Fig. 12](#) ein Operationszeitlagendiagramm für den Fall ist, wenn Lesebefehle und Schreibbefehle gemischt sind;

[0041] [Fig. 13](#) ein Schaltungsdiagramm für die Takerzeugungsschaltung ist;

[0042] [Fig. 14](#) ein Operationszeitlagendiagramm für die Takerzeugungsschaltung ist;

[0043] [Fig. 15](#) eine Zeichnung ist, die die Auffrischbefehlserzeugungsschaltung und deren Operationszeitlagendiagramm zeigt;

[0044] [Fig. 16](#) eine Konfigurationsansicht der Speicherschaltung in einer dritten Ausführungsform der Erfindung ist;

[0045] [Fig. 17A](#) und B Zeichnungen sind, die die Auffrischoperation der dritten Ausführungsform erläutern;

[0046] [Fig. 18](#) eine Zeichnung ist, die die Auffrischoperation der dritten Ausführungsform erläutert;

[0047] [Fig. 19](#) ein Operationszeitlagendiagramm für die dritte Ausführungsform ist;

[0048] [Fig. 20](#) eine Zeichnung ist, die die Takerzeugungsschaltung zeigt, die auf die dritte Ausführungsform angewendet wird;

[0049] [Fig. 21](#) ein Operationszeitlagendiagramm für die Takerzeugungsschaltung ist;

[0050] [Fig. 22](#) eine Zeichnung ist, die die Auffrischbefehlserzeugungsschaltung, die auf die dritte Ausführungsform angewendet wird, und deren Operationszeitlagendiagramm zeigt;

[0051] [Fig. 23](#) eine Zeichnung ist, die die Auffrisch-

befehlserzeugungsschaltung in einem Energieherabschaltzustand und deren Operationszeitlagendiagramm zeigt;

[0052] [Fig. 24](#) eine Zeichnung ist, die die Speierschaltung einer vierten Ausführungsform dieser Erfindung zeigt;

[0053] [Fig. 25](#) ein Operationszeitlagendiagramm der vierten Ausführungsform ist;

[0054] [Fig. 26](#) ein Operationszeitlagendiagramm der vierten Ausführungsform ist;

[0055] [Fig. 27](#) ein Operationszeitlagendiagramm der vierten Ausführungsform ist;

[0056] [Fig. 28](#) ein Operationszeitlagendiagramm der vierten Ausführungsform ist;

[0057] [Fig. 29](#) eine Zeichnung ist, die die Takterzeugungsschaltung zeigt, die auf die vierte Ausführungsform angewendet wird;

[0058] [Fig. 30](#) ein Operationszeitlagendiagramm der Takterzeugungsschaltung von [Fig. 29](#) ist;

[0059] [Fig. 31](#) eine andere Takterzeugungsschaltung ist, die auf die vierte Ausführungsform angewendet wird;

[0060] [Fig. 32](#) ein Operationszeitlagendiagramm der Takterzeugungsschaltung von [Fig. 31](#) ist;

[0061] [Fig. 33](#) eine Zeichnung ist, die eine Auffrischbefehlserzeugungsschaltung, die auf die vierte Ausführungsform angewendet wird, und deren Operation zeigt;

[0062] [Fig. 34](#) eine Zeichnung ist, die eine andere Befehlsregisterschaltung in der vierten Ausführungsform zeigt;

[0063] [Fig. 35](#) ein Operationszeitlagendiagramm der Specherschaltung für den Fall ist, wenn die Befehlsregisterschaltung von [Fig. 34](#) verwendet wird;

[0064] [Fig. 36](#) ein Operationszeitlagendiagramm der Specherschaltung für den Fall ist, wenn die Befehlsregisterschaltung von [Fig. 34](#) verwendet wird;

[0065] [Fig. 37](#) eine Zeichnung einer Takterzeugungsschaltung für den Fall ist, wenn das Befehlsregister von [Fig. 34](#) verwendet wird;

[0066] [Fig. 38](#) ein Operationszeitlagendiagramm für die Takterzeugungsschaltung von [Fig. 37](#) ist;

[0067] [Fig. 39](#) eine Konfigurationsansicht der Specherschaltung einer fünften Ausführungsform der Er-

findung ist;

[0068] [Fig. 40](#) eine Zeichnung ist, die den Fluß von Signalen in [Fig. 39](#) zeigt;

[0069] [Fig. 41](#) ein Operationszeitlagendiagramm für [Fig. 39](#) ist;

[0070] [Fig. 42](#) eine Zeichnung einer anderen Befehlsregisterschaltung in der fünften Ausführungsform ist;

[0071] [Fig. 43](#) eine Zeichnung ist, die den Fluß von Signalen in [Fig. 42](#) zeigt;

[0072] [Fig. 44](#) ein Operationszeitlagendiagramm für [Fig. 42](#) ist;

[0073] [Fig. 45](#) eine Zeichnung ist, die die Beziehung zwischen externen Operationszyklen, auf die eine andere Takterzeugungsschaltung angewendet wird, und internen Operationszyklen zeigt;

[0074] [Fig. 46](#) eine Zeichnung ist, die eine andere Takterzeugungsschaltung zeigt;

[0075] [Fig. 47](#) ein Operationszeitlagendiagramm für die Takterzeugungsschaltung von [Fig. 46](#) ist;

[0076] [Fig. 48](#) eine Zeichnung ist, die eine Specherschaltung gemäß einer Abwandlung der ersten Ausführungsform zeigt;

[0077] [Fig. 49](#) ein Operationszeitlagendiagramm der Abwandlung von [Fig. 48](#) ist;

[0078] [Fig. 50](#) eine Zeichnung ist, die eine Specherschaltung gemäß einer anderen Abwandlung der ersten Ausführungsform zeigt;

[0079] [Fig. 51A](#) und B Zeitlagendiagramme sind, die eine Operation der Abwandlung von [Fig. 50](#) zeigen;

[0080] [Fig. 52](#) ein Operationszeitlagendiagramm in dem Fall ist, wenn der normale Operationszustand in einen schnelleren Operationsmodus bei Erzeugung des internen Auffrischbefehls übergeht; und

[0081] [Fig. 53](#) ein Zeitlagendiagramm eines langsamens Operationsmodus und eines schnellen Operationsmodus gemäß der vorliegenden Abwandlung ist.

[0082] Die unten beschriebenen Ausführungsformen werden am Beispiel einer Specherschaltung erläutert; aber diese Erfindung ist nicht auf eine Specherschaltung begrenzt und kann auch auf allgemeine integrierte Schaltungsvorrichtungen angewendet werden.

Erste Ausführungsform der Erfindung

[0083] [Fig. 2](#) ist eine Gesamtkonfigurationsansicht einer Speicherschaltung in einer ersten Ausführungsform dieser Erfindung. Elementen, die dieselben wie jene in [Fig. 1](#) sind, sind dieselben Bezugszeichen zuordnet. Ein externes Taktsignal CLK, das von außen zugeführt wird, wird einem Taktpuffer **10** eingegeben, und ein internes Taktsignal CLK1, das mit dem Taktsignal CLK synchron ist, aber leicht phasenverschoben ist, wird erzeugt. Dieses interne Taktsignal CLK1 wird nichtgezeigten Schaltungen zugeführt, die ein Befehlsdecodiererregister **11**, ein Adressenpufferregister **12**, ein Dateneingabe-/ausgabepufferregister **13**, eine Speichersteuerschaltung **14** und eine Auffrischbefehlserzeugungsschaltung **20** enthalten, wodurch zu einer taktsynchronen Operation beigetragen wird. Das Taktfreigabesignal CKE ist ein Signal, das einen normalen Zustand und einen Energieherabschaltzustand angibt.

[0084] In der Speicherschaltung in der ersten Ausführungsform empfängt das Befehlsdecodiererregister **11** einen Befehl CMD synchron mit dem Taktsignal CLK1, erzeugt einen Lesebefehl RD oder einen Schreibbefehl WR und führt diesen der Speichersteuerschaltung **14** zu. Die Auffrischbefehlserzeugungsschaltung **20** erzeugt einen Auffrischbefehl REF als Antwort auf ein Auffrischzeitgebersignal REFTM, das in einem feststehenden Auffrischzyklus durch einen internen Auffrischzeitgeber **21** erzeugt wird. Im Gegensatz zu herkömmlichen Beispielen antwortet die Auffrischbefehlserzeugungsschaltung **20** auf das Auffrischzeitgebersignal REFTM, sei es in dem normalen Zustand oder in dem Energieherabschaltzustand, und erzeugt einen Auffrischbefehl REF.

[0085] Die Speichersteuerschaltung **14** führt normalerweise Lesesteueroperationen oder Schreibsteueroperationen durch taktsynchrone Operationen gemäß internen RD- und WR-Befehlen aus. Wenn ein Auffrischbefehl REF erzeugt wird, führt die Speichersteuerschaltung **14** eine Auffrischsteueroperation oder eine nachfolgende Steueroperation eines internen Befehls durch taktasynchrone Operationen aus. Die Steuerschaltung **14** führt Steueroperationen entsprechend Befehlen aus, indem zu einem Speicherkern **15** zum Beispiel solche Signale wie ein Wortleitungsantriebssignal, ein Leseverstärkeraktivierungssignal, ein Spaltenselektionssignal und ein Vorladesignal zugeführt werden.

[0086] Wenn ein Operationszyklus beendet ist, erzeugt die Speichersteuerschaltung **14** zu diesem Zweck ein Befehlsempfangssignal CMDEN, um den nächsten Befehl zu empfangen. Wenn nach Ausgabe des Befehlsempfangssignals CMDEN ein interner Befehl RD, WR oder REF empfangen wird, wird ein Rücksetzsignal RST1 dem Befehlsdecodiererregister

11 zugeführt, wird ein Rücksetzsignal RST2 der Auffrischbefehlserzeugungsschaltung **20** zugeführt und werden die jeweiligen internen Befehle zurückgesetzt.

[0087] [Fig. 3A](#) und B zeigen eine taktsynchrone Operation und eine taktasynchrone Operation der obigen Schaltung. [Fig. 3A](#) erläutert die taktsynchrone Operation. Die Befehle RD und WR werden synchron mit dem Taktsignal CLK1 eingegeben, erzeugt und durch das Befehlsregister **11** gehalten. Die Speichersteuerschaltung **14** empfängt die internen Befehle RD und WR, die durch das Befehlsregister **11** gehalten werden, während das Befehlsempfangssignal CMDEN auf dem H-Pegel (high) ist. Dann werden Steueroperationen entsprechend dem internen Befehl ausgeführt.

[0088] Der Speicherkern **15** hat ein Speicherzel lenarray; der minimale Operationszyklus dieses Speicherzel lenarrays umfaßt einen Wortleitungsanstieg ta, eine Bitleitungsverstärkung tb, einen Wortleitungsabfall tc und ein Bitleitungsvorladen td. Diese bilden das Speicherzel lenarray-Operationsintervall tmca.

[0089] In einem normalen synchronen DRAM existiert angesichts der Streuung aufgrund von Herstellungsprozessen und anderen Faktoren auch dann, wenn das Speicherzel lenarray-Operationsintervall tmca synchron mit dem Taktsignal CLK1 wiederholt wird, eine Befehlswartezeit t1 zwischen den Speicherzel lenarray-Operationsintervallen tmca. Daher wird, wie in [Fig. 3A](#) gezeigt, auch wenn das Speicherzel lenarray-Operationsintervall tmca beendet ist und ein Befehlsempfangssignal CMDEN erzeugt wird, ein neuer Befehl erst dann eingegeben, wenn die Befehlswartezeit t1 abgelaufen ist. Nachdem der neue Befehl eingegeben ist, wird der interne Befehl durch die Speichersteuerschaltung **14** empfangen, und es beginnt die entsprechende Steueroperation. Als Resultat wird das Speicherzel lenarray-Operationsintervall tmca synchron mit dem Taktsignal CLK1 wiederholt.

[0090] Als nächstes zeigt [Fig. 3B](#) die taktasynchrone Operation. Die Befehle RD, WR werden entweder synchron mit dem Taktsignal CLK1 gehalten, oder sonst wird ein weiterer Auffrischbefehl REF, der nicht gezeigt ist, asynchron erzeugt. Wenn das Speicherzel lenarray-Operationsintervall tmca beendet ist, sind die internen Befehle RD, WR, REF bereits erzeugt, und somit empfängt die Speichersteuerschaltung **14** den internen Befehl als Antwort auf das Befehlsempfangssignal CMDEN, und es beginnt das entsprechende Speicherzel lenarray-Operationsintervall. Daher existiert in diesem Fall keine Befehlswartezeit t1 zwischen Speicherzel lenarray-Operationsintervallen tmca, und die Speicherzel lenarray-Operationen werden in dem minimalen Operationszyklus

wiederholt.

[0091] Wenn taktasynchrone Operationen ausgeführt werden, existiert keine Befehlswartezeit t_1 , und so können dann, auch wenn Speicherzellenarray-Operationen mit einer Phasenverzögerung nach der Phase des Taktsignals CLK1 beginnen, durch das Ausführen einer Vielzahl von Befehlen mit einem minimalen Operationszyklus die Speicherzellenarray-Operationen allmählich die Phase des Taktsignals CLK1 einholen.

[0092] Auf diese Weise sind taktsynchronen Operationen normale Operationen, und taktasynchrone Operationen entsprechen Hochgeschwindigkeitsoperationen. Das Umschalten zwischen diesen normalen Operationen und Hochgeschwindigkeitsoperationen kann durch logische UND-Verknüpfung des internen Befehls, der durch das Befehlsregister **11** gehalten wird, und des Befehlsempfangssignals CMDEN, das zu der Zeit der Vollendung des Operationsintervalls erzeugt wird, leicht vorgenommen werden. Das heißt, falls das Befehlsempfangssignal CMDEN früher erzeugt wird, wird das Speicherzellenarray-Operationsintervall gemäß dem internen Befehl begonnen, der anschließend synchron mit dem Takt signal erzeugt wird. Daher sind Operationen in diesem Fall die taktsynchronen Operationen (normale Operationen) von [Fig. 3A](#). Falls andererseits der interne Befehl früher als CMDEN existiert, beginnt das Speicherzellenarray-Operationsintervall als Antwort auf das nachfolgend erzeugte Befehlsempfangssignal CMDEN ohne die Wartezeit t_1 . In diesem Fall sind Operationen die taktasynchronen Operationen (Hochgeschwindigkeitsoperationen) von [Fig. 3B](#).

[0093] Wenn das Speicherzellenarray Operationen als Antwort auf einen Befehl beginnt, wird das Befehlsempfangssignal CMDEN zurückgesetzt und wird der interne Befehl des Befehlsregisters **11** zurückgesetzt. Ferner wird der Auffrischbefehl der Auffrischbefehlserzeugungsschaltung **20** zurückgesetzt. [Fig. 4](#) ist eine Zeichnung, die ein Beispiel für die Konfiguration der Speichersteuerschaltung **14** zeigt. Die Speichersteuerschaltung **14** hat eine Steuersignalerzeugungsschaltung **24**, die verschiedene Steuersignale ϕ dem Speicherkerne **15** zuführt, und Eingabepuffer für interne Befehle **25, 26, 27**. Steuersignale enthalten Wortleitungsantriebssignale ϕ_{WL} , die Wortleitungen antreiben, Bitleitungstransfergattersignale ϕ_{BTR} , die die Bitleitungstransfergatter zwischen Bitleitungspaaren und Leseverstärkern antreiben, Aktivierungssignale ϕ_{LE} , die Leseverstärker aktivieren, Spaltengatterantriebssignale ϕ_{CL} und Vorladesignale ϕ_{PRE} .

[0094] Die Speichersteuerschaltung **14** hat auch Impulserzeugungsschaltungen **28, 30, 32, 33**, die Impulse bei der abfallenden Flanke eines Eingangsimpulses erzeugen, und ein Flipflop FF, das das Be-

fehlsempfangssignal CMDEN erzeugt. Interne Befehle RD, WR, REF sind zum Beispiel im inaktiven Zustand auf dem L-Pegel (low) und im aktiven Zustand auf dem H-Pegel.

[0095] [Fig. 5](#) ist ein Zeitlagendiagramm, das den Fall zeigt, wenn ein Übergang von einer taktsynchronen Operation zu einer taktasynchronen Operation erfolgt, wenn ein Auffrischbefehl erzeugt wird. Das Speicherzellenarray wiederholt normale Operationen, die mit dem Takt synchron sind, bis zu der ansteigenden Flanke C1 des Taktsignals CLK1. Daher wird vor der Taktanstiegsflanke C1 das Befehlsempfangssignal CMDEN erzeugt. Ferner wird angenommen, daß vor der Taktanstiegsflanke C1 das Auffrischzeitgebersignal REFTM erzeugt wird.

[0096] Wenn das Auffrischzeitgebersignal REFTM vor dem Operationszyklus 1 erzeugt wird, erzeugt die Auffrischbefehlserzeugungsschaltung **20** einen Auffrischbefehl REF nach einer Verzögerung von vorgegebener Zeitdauer ab der ansteigenden Flanke C1 des nachfolgenden Taktsignals. Somit wird einem internen Befehl RD(A0), der einem externen Befehl entspricht, der Vorrang gegeben, und ein interner Operationszyklus desselben kann ausgeführt werden.

[0097] Wenn das Befehlsempfangssignal CMDEN empfangen wird, wird der interne Befehl RD(A0) (Lesbefehl), der bei der ansteigenden Flanke C1 erzeugt wird, dem Befehlseingabepuffer **25** der Speichersteuerschaltung **14** synchron mit dem Taktsignal CLK1 eingegeben. Demzufolge werden verschiedene Steuersignale für die Leseoperation durch die Steuersignalerzeugungsschaltung **24** erzeugt, und der Zyklus 1 startet bei der ansteigenden Flanke C1. In dem Zyklus 1 werden das Wortleitungsantriebssignal ϕ_{WL} , das Leseverstärkeraktivierungssignal ϕ_{LE} , das Spaltenselektionssignal ϕ_{CL} und andere Signale erzeugt, und schließlich wird das Vorladesignal ϕ_{PRE} erzeugt. Wenn das Vorladeintervall endet, erzeugt das Flipflop FF ein Befehlsempfangssignal CMDEN. Wenn Operationen für den internen Befehl RD(A0) beginnen, wird der Befehl durch das Rücksetzsignal RST1 zurückgesetzt.

[0098] An diesem Punkt wird bereits ein Auffrischbefehl REF erzeugt, und so nimmt der Befehlseingabepuffer **27** diesen REF-Befehl als Antwort auf das Befehlsempfangssignal CMDEN auf, und die Steuersignalerzeugungsschaltung **24** erzeugt verschiedene Steuersignale ϕ , die der Auffrischoperation entsprechen. In Wirklichkeit ist die Auffrischoperation dieselbe wie eine Leseoperation. Wenn der REF-Befehl aufgenommen wird, wird ein Rücksetzsignal RESET erzeugt, und das Befehlsempfangssignal CMDEN erreicht den L-Pegel. Zu derselben Zeit wird ein Rücksetzsignal RST2 erzeugt, und der Auffrischbefehl REF wird zurückgesetzt. Daher beginnt die Operati-

on eines Zyklus 2 entsprechend dem Auffrischbefehl vor der Taktanstiegsflanke C2 ohne dazwischenliegende Wartezeit t1. Das heißt, es kommt zu einer taktasynchronen Operation.

[0099] Wenn die Auffrischoperation endet, wird wieder ein Befehlsempfangssignal CMDEN erzeugt. Zu dieser Zeit wird bereits ein interner Befehl RD(A1) in dem Befehlsregister **11** synchron mit der Taktflanke C2 gehalten. Daher wird als Antwort auf das Befehlsempfangssignal CMDEN der interne Befehl RD(A1) dem Befehlseingabepuffer **25** eingegeben, und die Operation eines nächsten Zyklus 3 beginnt. Diese Operation ist auch eine taktasynchrone Operation.

[0100] Anschließend werden interne Befehle, die synchron mit der Taktflanke erzeugt werden, durch sequentielle taktasynchrone Operationen ähnlich ausgeführt. Eine taktasynchrone Operation ist eine Hochgeschwindigkeitsoperation ohne Wartezeit (Verzögerung), so daß der interne Operationszyklus die Zyklen des Taktes CLK1 allmählich einholt, und das Befehlsempfangssignal CMDEN eilt der Phase der ansteigenden Flanke des Taktes CLK1 voraus. Als Resultat werden die internen Operationszyklen zu taktasynchronen Operationen, und zwar synchron mit dem Taktsignal CLK1 und mit einer dazwischenliegenden Wartezeit t1 (zwischen internen Zyklen).

[0101] [Fig. 6](#) ist ein Zeitlagendiagramm, das die taktasynchrone Operation und die taktasynchrone Operation (Hochgeschwindigkeitsoperation) in der ersten Ausführungsform zeigt. [Fig. 6](#) zeigt die Operation von [Fig. 5](#) mit zahlreicher Operationszyklen. Der externe Befehl CMD wird synchron mit dem Taktsignal CLK1 zugeführt, und interne Befehle werden durch das Befehlsregister **11** gehalten. Bei dem Beispiel von [Fig. 6](#) wird der Lesebefehl RD kontinuierlich zugeführt.

[0102] Anfangs werden die internen Operationszyklen RD0-2 synchron mit dem Taktsignal CLK1 ausgeführt. Wenn zu der Zeit eines internen Operationszyklus RD1 der Auffrischzeitgeber ein Auffrischzeitgeberignal REFTM erzeugt, wird ein interner Auffrischbefehl REF nach einer feststehenden Verzögerung ausgegeben. Wenn ein interner Operationszyklus RD2 endet, beginnt ein interner Operationszyklus gemäß dem existierenden Auffrischbefehl REF. Danach erfolgt ein Übergang zu der taktasynchronen Operation, und interne Operationszyklen RD3 bis RD7 sind Hochgeschwindigkeitsoperationen. Wenn interne Operationszyklen schließlich die Zyklen des Taktes CLK1 einholen, werden ein interner Operationszyklus RD8 und nachfolgende Zyklen wieder zu taktasynchronen Operationen.

[0103] Das heißt, daß als Antwort auf kontinuierlich eingegebene Lesebefehle alle aufgenommen und gehalten werden, wenn eine Unterbrechung bei er-

forderlichen Auffrischoperationszyklen erfolgt, und die gehaltenen Lesebefehle werden durch taktasynchrone Hochgeschwindigkeitsoperationen ausgeführt. Demzufolge werden die Lesedaten kontinuierlich an einen Datenausgangsanschluß DQ ausgegeben, und der Speichercontroller "sieht" die internen Auffrischoperationen nicht; es scheint so, als ob gerade ein normales kontinuierliches Lesen ausgeführt wird.

[0104] [Fig. 7](#) ist ein Zeitlagendiagramm, das die taktasynchrone Operation und die taktasynchrone Operation (Hochgeschwindigkeitsoperation) im Falle eines langsameren externen Taktes zeigt. In diesem Fall sind Zyklen der internen Hochgeschwindigkeitsoperation (der taktasynchronen Operation) beträchtlich kürzer als Zyklen des Taktes CLK1. Daher beginnt die taktasynchrone Operation bei einem Auffrischoperationszyklus REF nach Erzeugung eines Auffrischbefehls REF; aber diese Hochgeschwindigkeitsoperation dauert bis zum nächsten Leseoperationszyklus RD3, worauf die taktasynchrone Operation folgt. Das heißt, nach Ausführung der Auffrischoperation wird das Intervall verkürzt, bis interne Operationszyklen die Zyklen des Taktes CLK1 einholen.

[0105] [Fig. 8](#) ist ein Zeitlagendiagramm, das die taktasynchrone Operation und die taktasynchrone Operation (Hochgeschwindigkeitsoperation) im Falle eines noch langsameren externen Taktes zeigt. In diesem Fall wird nach dem dritten Leseoperationszyklus RD eine Auffrischoperation taktasynchron ausgeführt; aber diese Auffrischoperation wird vor der nächsten ansteigenden Flanke des Taktes CLK1 vollendet, und ab dem nächsten Leseoperationszyklus kehrt die Operation zu der taktasynchronen Operation zurück.

[0106] In all den Fällen von [Fig. 6](#), [Fig. 7](#) und [Fig. 8](#) werden interne Schaltungen so gesteuert, daß Lesedaten an den Datenausgangsanschluß DQ zwei Taktzyklen nach Eingabe des externen Befehls ausgegeben werden, so daß selbst dann, wenn kontinuierliche Befehle während der normalen Operation durch Auffrischoperationen während der Verarbeitung unterbrochen werden, Lesedaten ohne Problem (Unterbrechung) kontinuierlich ausgegeben werden können.

[0107] [Fig. 9](#) ist ein Zeitlagendiagramm, das die taktasynchrone Operation und die taktasynchrone Operation (Hochgeschwindigkeitsoperation) in dem Fall zeigt, wenn interne Operationszyklen zweimal so lang wie die Zyklen des externen Taktes CLK1 sind. Dies ist ein Beispiel für die Fälle, wenn der Takt CLK1 in dem mit der Speichervorrichtung versehenen System schnell ist und im Vergleich dazu Operationen innerhalb der Vorrichtung langsam sind. In diesem Fall sind die Spezifikationen so, daß die kontinuierliche Zufuhr von externen Befehlen synchron mit dem ex-

ternen Takt CLK1 nicht zulässig ist. Daher werden externe Befehle schnellstens synchron mit ungeradzahligen oder mit geradzahligen Taktanstiegsflanken zugeführt. Auch in diesem Fall kann, wie in [Fig. 9](#) gezeigt, die Wartezeit t_1 zwischen internen Operationszyklen ähnlich wie im Fall von [Fig. 6](#) genutzt werden, so daß ein Auffrischoperationszyklus eingefügt werden kann. Im Falle von [Fig. 9](#) werden Lesedaten an den Datenausgangsanschluß DQ jedoch vier Taktzyklen nach Eingabe des externen Befehls ausgegeben.

[0108] Es gibt auch Fälle, bei denen, nachdem ein Befehl synchron mit einem ungeradzahligen Taktzyklus eingegeben worden ist, der Befehl synchron mit einem geradzahligen Taktzyklus zugeführt wird. Jedoch werden auch in diesem Fall Befehle nicht synchron mit kontinuierlichen Taktzyklen zugeführt. Daher liegen in diesem Fall zwei Taktzyklen zwischen Befehlen, und die Einfügung eines internen Auffrischoperationszyklus wird nicht behindert.

[0109] In der obigen ersten Ausführungsform hat das Auffrischzeitgebersignal REFTM zum Beispiel eine Frequenz, die ungefähr zwei Größenordnungen niedriger als bei dem Taktsignal CLK ist. Daher wird bei mehreren hundert Taktzyklen CLK das Auffrischzeitgebersignal REFTM ungefähr einmal erzeugt. Als Resultat entfallen auf mehrere hundert externe Operationszyklen interne Operationszyklen, in denen ein Auffrischzyklus zu mehreren hundert Zyklen hinzugefügt wird. Es ist nicht erforderlich, allen externen Operationszyklen zwei Typen von internen Operationszyklen, nämlich normale interne Operationszyklen und Auffrischoperationszyklen zuzuordnen, und die Hochgeschwindigkeitsoperation wird bei der normalen Operation gewährleistet.

Zweite Ausführungsform der Erfindung

[0110] Eine zweite Ausführungsform dieser Erfindung ist eine Speicherschaltung, die Befehle durch interne Operationszyklen ausführt, die kürzer als externe Operationszyklen sind. In einer Speicherschaltung, die Auffrischoperationen erfordert, hat die Speichersteuerschaltung bei jeweils M externen Operationszyklen ($M \geq 2$) N interne Operationszyklen, wobei N größer als M ist ($M < N < 2M$). Externe Befehle werden synchron mit externen Operationszyklen eingegeben. Die Lesedatenausgabe und die Schreibdateneingabe erfolgen auch synchron mit externen Operationszyklen. Jedoch haben die N internen Operationszyklen erste interne Operationszyklen, die externe Befehle entsprechend externen Operationszyklen ausführen, und zweite interne Operationszyklen, die Auffrischbefehle ausführen. Wenn Auffrischbefehle intern ausgegeben werden, werden die obigen zweiten internen Operationszyklen verwendet, um Auffrischoperationen auszuführen.

[0111] Die Speicherschaltung der zweiten Ausführungsform erzeugt innerhalb eines erweiterten Operationszyklus, der M externe Operationszyklen umfaßt, N interne Operationszyklen, wobei N größer als M ist, und führt unter Verwendung der $(N - M)$ internen Operationszyklen Auffrischoperationen entsprechend Auffrischbefehlen aus, die intern automatisch erzeugt werden. Die Eingabe von Befehlen und Schreibdaten und die Ausgabe von Lesedaten erfolgt jedoch synchron mit externen Operationszyklen, so daß es für den Speichercontroller so zu sein scheint, daß die Speicherschaltung synchron mit externen Operationszyklen arbeitet. Durch den Einsatz von N internen Operationszyklen, wobei N um einen oder um mehrere Zyklen größer als M ist, können Lesedaten auch kontinuierlich synchron mit externen Operationszyklen als Antwort auf kontinuierlich eingegebene Lesebefehle ausgegeben werden, und zwar mit einer Verzögerung einer vorgegebenen Leselatenz (Zugriffszeit).

[0112] In der folgenden Ausführungsform wird der Fall von $M = 7$ und $N = 8$ erläutert.

[0113] [Fig. 10](#) ist ein Konfigurationsdiagramm der Speicherschaltung in der zweiten Ausführungsform der Erfindung. Elementen, die dieselben wie jene in [Fig. 2](#) sind, sind dieselben Bezugszeichen zugeordnet. [Fig. 11](#) ist ein Operationszeitlagendiagramm. Im Vergleich zu [Fig. 2](#) unterscheidet sich die Speicherschaltung von [Fig. 10](#) darin, daß sie mit einer Taktzeitungsschaltung **35** versehen ist, die ein Taktsignal ECLK1 aus einem externen Takt ECLK synchron mit dem externen Takt und interne Takte ICLK1 bis ICLK3 und REF-CLK erzeugt, die interne Operationszyklen steuern. Wie in [Fig. 11](#) gezeigt, definiert der interne Takt ICLK acht interne Operationszyklen, die bei jeweils sieben externen Operationszyklen auftreten. Daher ist die Periode der internen Taktzyklen etwas kürzer als die Periode von externen Taktzyklen.

[0114] Von den Taktsignalen, die durch die obige Taktzeitungsschaltung **35** erzeugt werden, ist das externe Taktsignal ECLK1 mit dem externen Taktsignal ECLK synchron, und es steuert die Eingangs- und Ausgangszeitlage von Befehlen, Adressen und Daten. Das interne Taktsignal ICLK1 steuert den Start von internen Operationszyklen, um externe Befehle auszuführen. Das interne Taktsignal ICLK2 ist gegenüber dem obigen Taktsignal ICLK1 verzögert und gibt Daten, die von dem Speicherkerne gelesen werden, an einen Datenbus DB2 aus. Der Ausgangsverriegelungstakt ICLK3 empfängt Daten, die von dem Datenbus DB2 ausgegeben werden, in dem Ausgangsregister **134** innerhalb der Dateneingangs-/ausgangsschaltung **13**. Das Auffrischaktsignal REF-CLK steuert interne Auffrischoperationszyklen.

[0115] Daher werden in der Speicherschaltung von

Fig. 10 externe Befehle CMD einem Befehlsdecoder **11A** eingegeben, und externe Adressen werden einem Adressenpuffer **12A** eingegeben, und zwar jeweils synchron mit dem Taktsignal ECLK1. In dem Dateneingabe-/ausgabepuffer **13** werden Lesedaten von einem Ausgabepuffer **133** ausgegeben und werden Schreibdaten einem Eingabepuffer **131** eingegeben, und zwar synchron mit dem Taktsignal ECLK1.

[0116] Ein Befehlsregister **11B** und Adressenregister **12B** führen Befehle RD, WR und externe Adressen EAdd der Speichersteuerschaltung **14** und dem Speicherkerne **15** synchron mit dem internen Taktsignal ICLK1 zu. Ähnlich werden Lesedaten von dem Speicherkerne an den Lesepuffer synchron mit dem internen Taktsignal ICLK2 ausgegeben, und Lesedaten in dem Datenbus werden durch das Register **134** synchron mit dem Ausgangsverriegelungstakt ICLK3 verriegelt. Schreibdaten werden durch das Register **132** synchron mit dem internen Taktsignal ICLK1 verriegelt. Daher absorbieren die Register **11B**, **12B**, **134** und **132** Phasenverschiebungen zwischen den externen Taktsignalen und internen Taktsignalen und verriegeln und übertragen entsprechende Signale gemäß internen Operationszyklen.

[0117] Das Zeitlagendiagramm von **Fig. 11** zeigt den Fall, bei dem Lesebefehle Read-0 bis Read-12 als externe Befehle synchron mit dem externen Takt ECLK zugeführt werden. Ein Zyklus, der sieben externen Taktzyklen ECLK umfaßt, wird als erweiterter Operationszyklus bezeichnet. In diesem erweiterten Operationszyklus werden sieben interne Taktzyklen ICLK1 und ein Auffrischtaktzyklus REF-CLK erzeugt.

[0118] Zuerst wird synchron mit dem externen Taktsignal ECLK1 ein externer Befehl dem Befehlsdecoder **11A** eingegeben, und die externe Adresse wird auch dem Adressenpuffer **12A** eingegeben. Der erste Lesebefehl Read-0 wird durch das Register **11B** synchron mit dem internen Taktsignal ICLK1 verriegelt und der Speichersteuerschaltung **14** zugeführt. Dann werden die Leseoperationszyklen synchron mit dem internen Taktsignal ICLK1 ausgeführt. Lesedaten, die von dem Speicherkerne **15** gelesen werden, werden durch einen Lesepuffer SB synchron mit dem internen Taktsignal ICLK2 an den Datenbus DB2 ausgegeben und durch das Ausgangsregister **134** synchron mit dem Ausgangsverriegelungstakt ICLK3 verriegelt. Schließlich werden die Lesedaten von dem Ausgabepuffer **133** synchron mit dem externen Taktsignal ECLK1 an den Ausgangsanschluß DQ ausgegeben. Bei dem Beispiel von **Fig. 11** beträgt die Latenz ab der Eingabe des ersten Lesebefehls Read-0 bis zur Ausgabe der Lesedaten Q0 zwei externe Taktzyklen.

[0119] Bei dem Beispiel von **Fig. 11** wird der zweite interne Operationszyklus innerhalb des erweiterten Operationszyklus zum Auffrischoperationszyklus be-

stimmt. Daher wird das Auffrischtaktsignal REF-CLK als zweites internes Taktsignal erzeugt. Die Auffrischbefehlserzeugungsschaltung **20** erzeugt einen Auffrischbefehl REF synchron mit dem Auffrischtaktsignal REF-CLK als Antwort auf das Auffrischzeitgeber signal REFTM, das durch den Auffrischzeitgeber **21** in jedem Auffrischzyklus erzeugt wird. Wenn das Auffrischzeitgebersignal erzeugt ist, wird daher die Auffrischoperation in dem zweiten internen Operationszyklus innerhalb des erweiterten Operationszyklus ausgeführt. Bei der Auffrischoperation selektiert der Selektor **18** eine Auffrischadresse RAdd des Auffrischadressenzählers **17** und führt sie einem Reihendecodierer RDEC zu. Wenn die Auffrischoperation ausgeführt wird, wird der Auffrischadressenzähler **17** inkrementiert. Falls kein Auffrischzeitgebersignal erzeugt wird, werden keine Operationen in dem zweiten internen Operationszyklus ausgeführt. In den dritten bis achten internen Operationszyklen werden Lesoperationen entsprechend den verbleibenden sechs Lesebefehlen, nämlich Read-1 bis Read-6 ausgeführt.

[0120] Daher sind im Vergleich zu externen Operationszyklen (Zyklen des externen Takt ECLK) interne Operationszyklen im Anschluß an eine eingefügte Auffrischoperation beträchtlich verzögert; da aber interne Operationszyklen jeweils 1/8 kürzer als externe Taktzyklen sind, nähern sich die internen Operationszyklen allmählich den externen Taktzyklen an und holen sie am Ende des erweiterten Operationszyklus schließlich ein.

[0121] **Fig. 12** ist ein Operationszeitlagendiagramm für den Fall, wenn Lesebefehle und Schreibbefehle gemischt sind. Auch in diesem Fall existieren ähnlich wie im Fall von **Fig. 11** acht interne Operationszyklen bei sieben externen Taktzyklen. Schreibdaten D2 werden synchron mit dem externen Takt ECLK1 eingegeben, und Schreiboperationen werden synchron mit internen Operationszyklen ausgeführt. Da die Leselatzenz 2 beträgt, wird ein nächster Schreibbefehl Write-2 vier Taktzyklen nach dem Lesebefehl Read-1 zugeführt. Somit werden Konflikte zwischen Lesedaten Q1 und Schreibdaten D2 am Eingangs-/Ausgangsanschluß DB vermieden.

[0122] **Fig. 13** ist ein Schaltungsdiagramm für die Takterzeugungsschaltung, und **Fig. 14** ist das Operationszeitlagendiagramm derselben. Die Takterzeugungsschaltung **35** gibt das externe Taktsignal ECLK dem Eingabepuffer **39** ein und erzeugt über eine Impulsbreiteneinstellschaltung **40** ein Taktsignal ECLK1 mit einer Impulsbreite, die einem Wert von drei Toren ab der ansteigenden Flanke gleich ist. Dieses Taktsignal ECLK1 ist daher mit dem externen Takt ECLK synchron und ist in der Phase etwas verzögert.

[0123] Die Ausgabe N1 der Impulsbreiteneinstellschaltung **40** wird einem Eingang eines Phasenkom-

parators **41** zugeführt und auch dem anderen Eingang über variable Verzögerungselemente D1 bis D8 zugeführt. Als Antwort auf die durch den Phasenkomparator **41** detektierte Phasendifferenz gibt eine Verzögerungssteuerschaltung **42** eine Verzögerungssteuerspannung V_c aus, so daß die Phasendifferenz verschwindet. Die Verzögerungszeiten von jedem der variablen Verzögerungselemente D1 bis D8 werden gemäß dieser Verzögerungssteuerspannung V_c eingestellt.

[0124] Daher werden als Ausgabe der variablen Verzögerungselemente acht interne Taktsignale N1 bis N8 erzeugt, die Phasenverschiebungen haben, die zur Teilung eines Zyklus des externen Taktes ECLK in acht gleiche Teile führen. Diese internen Taktsignale N1 bis N8 werden gemäß Selektionssignalen S1 bis S8, die von einem Schieberegister **37** ausgegeben werden, durch einen Multiplexer **38** selektiert und als internes Taktsignal N10 ausgegeben. Das Schieberegister **37** wird durch die abfallende Flanke des internen Taktsignals N10 verschoben. Die Selektionssignale S1 bis S8, die der Reihe nach erzeugt werden, selektieren die internen Taktsignale N1 bis N8 in der Reihenfolge S1, S8, S7, ..., S2. Als Resultat ist das interne Taktsignal N10 ein Takt mit kurzem Zyklus, der 7/8 des Zyklus des externen Taktes ECLK umfaßt und eine Phase hat, die 1/8 Zyklus bezüglich des externen Taktes ECLK vorausseilt.

[0125] Von diesem internen Taktsignal N10 wird der zweite Taktzyklus durch ein NOR-Gatter **44** eliminiert, so daß sieben interne Takte ICLK1 erzeugt werden. Ferner wird der zweite Takt durch ein NAND-Gatter **43** selektiert, und ein Auffrischtaktsignal REF-CLK wird erzeugt. Ein internes Taktsignal ICLK2 wird mit einer Phasenverzögerung durch die Verzögerungszeit von variablen Verzögerungselementen D9 bis D12 bezüglich des internen Taktes ICLK1 erzeugt. Aus dem Takt N4 wird ein Ausgangsverriegelungstakt ICLK3 mit einer Phasenverzögerung in einem Wert von zwei Inverterstufen erzeugt. Durch das Selektieren des Taktes N4 werden C1 und C2 des internen Taktes ICLK2 und C3, C4, C5 des Ausgangsverriegelungstaktes ICLK3 in der Reihenfolge C3-C1-C4-C2-C5 erzeugt. Auch wenn eine Auffrischoperation in den zweiten internen Operationszyklus eingefügt wird, kann daher das Ausgangsregister **134** kontinuierlich in derselben Ordnung wie die Lesedaten als Antwort auf kontinuierliche Lesebefehle verriegelt werden.

[0126] [Fig. 15](#) ist eine Zeichnung, die die Auffrischbefehlserzeugungsschaltung und das Operationszeitlagendiagramm derselben zeigt. Die Auffrischbefehlserzeugungsschaltung **20** hat Verzögerungsflipflops **46**, **47**; ein NAND-Gatter **48**; und eine Verzögerungsschaltung **49**. Wie in dem Operationszeitlagendiagramm gezeigt, erreicht ein Signal N22 den H-Pegel synchron mit dem Auffrischtaktsignal REF-CLK

im Anschluß an die Erzeugung eines Auffrischzeitgebersignals REFTM, und ein Auffrischbefehl REF wird erzeugt. Nach der Verzögerung der Verzögerungsschaltung **49** wird ein Aufwärtszählsignal UP erzeugt und wird die Adresse des Auffrischadressenzählers **17** inkrementiert. Somit werden die Flipflops **46**, **47** zurückgesetzt.

[0127] Von den acht internen Operationszyklen innerhalb des erweiterten Operationszyklus ist der zweite interne Operationszyklus Auffrischoperationen vorbehalten. Wenn das Auffrischzeitgebersignal REFTM erzeugt wird, wird ein Auffrischbefehl REF in dem unmittelbar folgenden zweiten internen Operationszyklus erzeugt, und Auffrischoperationen werden in dem Speicherkerne **15** ausgeführt. Bei diesen Auffrischoperationen werden Wortleitungen entsprechend der Auffrischadresse RAdd von dem Auffrischadressenzähler angetrieben, und Daten, die auf Bitleitungspaare gelesen werden, werden durch den Leerverstärker SA verstärkt und wieder in die Speicherzellen geschrieben. Dann werden Wortleitungspegel herabgesetzt und werden Vorladeoperationen ausgeführt.

Dritte Ausführungsform der Erfindung

[0128] In der zweiten Ausführungsform wurde der zweite interne Operationszyklus als Auffrischoperationszyklus zugeordnet. Daher war die Lesezugriffzeit (Leselatenz) von Lesebefehlen entsprechend dem ersten internen Operationszyklus relativ lang, wie in [Fig. 11](#) gezeigt. Denn die Ausgabezeitlage von Lesedaten in Zyklen vor und nach dem zweiten internen Operationszyklus erfolgt synchron mit dem externen Takt kontinuierlich.

[0129] Andererseits gibt es in einer dritten Ausführungsform dieser Erfindung bei acht externen Operationszyklen acht erste interne Operationszyklen für die Ausführung von externen Befehlen und zwei zweite interne Operationszyklen, um Auffrischoperationen auszuführen. Die zweiten internen Operationszyklen für Auffrischoperationen sind ungefähr halb so lang wie die ersten internen Operationszyklen, und eine einzelne Auffrischoperation wird in zwei zweite interne Operationen geteilt. Als Resultat kann die schlechteste Lesezugriffzeit im Vergleich zu der zweiten Ausführungsform verkürzt werden.

[0130] [Fig. 16](#) ist ein Konfigurationsdiagramm der Speierschaltung in der dritten Ausführungsform der Erfindung. Unterschiede zu [Fig. 10](#) betreffen die Erzeugung von zwei Auffrischbefehlen REF1, REF2 und das Vorsehen eines Komparators **50**, der die Auffrischadresse RAdd und eine externe Adresse EAdd vergleicht und ein Vergleichsergebnissignal erzeugt. Diese Konfiguration unterscheidet sich von [Fig. 10](#) auch dadurch, daß innerhalb des Speicherkerne **15** ein Datenregister DRG vorgesehen ist, das

Speicherzellenlesedaten temporär hält, und durch ein Transfergatter TRG, das zwischen Bitleitungs-paaren (nicht gezeigt) innerhalb eines Zellenarrays MCA und dem Datenregister DRG vorgesehen ist. Das Datenregister DRG, das im wesentlichen dieselbe Schaltung wie der Leseverstärker SA ist, verstärkt und hält die Spannung von Bitleitungspaaren in der ersten Hälfte des Auffrischoperationszyklus. Sonst sind dieselben Bezugszeichen zugeordnet worden, und somit werden die Erläuterungen weggelassen.

[0131] [Fig. 17](#) und [Fig. 18](#) sind Zeichnungen, die Auffrischoperationen in der dritten Ausführungsform erläutern. [Fig. 17A](#) zeigt eine normale Auffrischoperation und eine Lese- oder Schreiboperation. Auf jeden Fall wird eine Wortleitung WL, die durch eine Reihenadresse selektiert wird, angetrieben, und Daten in Speicherzellen werden auf Bitleitungspaares BL, /BL gelesen; diese werden durch den Leseverstärker SA verstärkt, und nach dem Neuschreiben wird ein Vorladen ausgeführt.

[0132] [Fig. 17B](#) zeigt eine Auffrischoperation in dieser Ausführungsform. Auffrischoperationen in dieser Ausführungsform werden in zwei Auffrischoperationszyklen REF1, REF2 geteilt und ausgeführt. Bei dem Anfangsauffrischschnitt 1 wird die Wortleitung angetrieben und werden Speicherzellen zum Auffrischen selektiert, und diese Daten werden über Bitleitungspaares und das Transfergatter TRG zu dem Datenregister DRG übertragen. Das Datenregister DRG ist im wesentlichen dieselbe Schaltung wie der Lese-verstärker, kann die Spannung auf Bitleitungspaaren verstärken und diese Daten halten. Als nächstes werden bei dem Auffrischschnitt 2 die Speicherzellen zum Auffrischen wieder selektiert, und Daten, die durch das Datenregister gehalten werden, werden über das Transfergatter wieder in Speicherzellen geschrieben. Bei beiden Auffrischschnitten wird das Vor-laden zuletzt ausgeführt. Zwischen den zwei Auf-frischschnitten werden ferner normale Lese- oder Schreiboperationszyklen eingefügt, die externen Be-fehlen entsprechen.

[0133] [Fig. 18](#) zeigt eine andere Auffrischoperation dieser Ausführungsform. Indem die Auffrischoperati-on in zwei Auffrischzyklen geteilt wird, werden bei dem Anfangsauffrischschnitt 1 die Daten der Spei-cherzellen zum Auffrischen zerstört. Bei dem Auf-frischschnitt 2, der mehreren internen Operationszyklen folgt, wird das Neuschreiben aus dem Datenre-gister ausgeführt; falls aber in normalen internen Operationszyklen während dieses Intervalls auf Rei-henadressen zugegriffen wird, die dieselben wie die aufgefrischten Speicherzellen sind, können Lese- und Schreiboperationen nicht normal ausgeführt wer-den.

[0134] Daher wird, wie in [Fig. 18](#) gezeigt, wenn eine Reihenadresse von aufgefrischten Speicherzellen Aa

und die Reihenadresse von nachfolgenden normalen internen Operationen Aa koinzidieren, das Transfergatter TRG in dem internen Operationszyklus geöff-net, und Daten werden gelesen, die durch das Datenregister DRG gehalten werden, oder Daten, die Schreibdaten von einem Schreibverstärker WA ent-sprechen, werden in das Datenregister DRG ge-schrieben. Daher ist es in diesem internen Operati-onszyklus nicht immer erforderlich, Wortleitungen an-zutreiben.

[0135] Bei dem nachfolgenden Auffrischschnitt 2 werden Wortleitungen angetrieben, wird das Transfergatter TRG wieder geöffnet und werden Daten, die in dem Datenregister DRG gehalten werden, über Bitleitungspaares in Speicherzellen geschrieben. So-mit erfolgt ein Neuschreiben bei Leseoperationen und ein Neuschreiben bei Schreiboperationen.

[0136] Zu diesem Zweck ist ein Adressenkomparat or **50** vorgesehen, wie in [Fig. 16](#) gezeigt, und die Speichersteuerschaltung **14** steuert das Öffnen und Schließen des Transfergatters TRG gemäß dem Ver-gleichsergebnissignal. Ein Freigabesignal EN wird an diesen Adressenkomparator **50** nur während des In-tervalls zwischen dem Anfangsauffrischbefehl REF1 und dem nächsten Auffrischbefehl REF2 ausge-geben, und während dieses Intervalls werden die Auf-frischadresse RAdd und externe Adressen EAdd ver-glichen.

[0137] [Fig. 19](#) ist ein Operationszeitlagendiagramm für die dritte Ausführungsform. Zehn interne Operati-onszyklen werden bei acht externen Operationszyklen erzeugt. Bei dem zweiten und dem siebten inter-nen Zyklus werden die Auffrischoperationszyklen, die zweigeteilt sind, nämlich Ref1-a und Ref2-a ausge-führt. Daher werden Auffrischoperationszyklen nach jeweils vier normalen internen Operationszyklen zum Ausführen von externen Befehlen ausgeführt. Da Auffrischoperationen in zwei Zyklen geteilt werden, enden individuelle Auffrischoperationszyklen also unge-fähr nach der Hälfte der Zeit eines normalen inter-nen Operationszyklus. Als Resultat wird die Zugriffs-zeit für einen Lesebefehl Read-0 im Vergleich zu [Fig. 11](#) verkürzt. Denn die Zeit des Auffrischoperationszyklus Ref1-a im Anschluß an den internen Operati-onszyklus Read-0 ist kurz, so daß auch dann, wenn Ausgangsdaten Q0 von dem internen Operati-onszyklus Read-0 und Ausgangsdaten Q1 von dem folgenden internen Operationszyklus Read-1 konti-nuierlich sind, die Ausgangsdaten Q0 nicht so sehr verzögert werden müssen.

[0138] Bei acht externen Taktzyklen ECLK werden, wie in [Fig. 19](#) gezeigt, acht interne Taktzyklen ICLK1, die die Ausführung von externen Befehlen steuern, und zwei Auffrischtaktzyklen REF-CLK erzeugt. So-mit werden zehn interne Operationszyklen erzeugt.

[0139] [Fig. 20](#) ist eine Zeichnung, die die Takterzeugungsschaltung 35 zeigt, die auf die dritte Ausführungsform angewendet wird, und [Fig. 21](#) ist das Operationszeitlagendiagramm derselben. Dieselben Bezugssymbole wie in [Fig. 13](#) sind in [Fig. 20](#) zugeordnet. Im Gegensatz zu der Takterzeugungsschaltung von [Fig. 13](#) hat in der Takterzeugungsschaltung von [Fig. 20](#) das Schieberegister 37 eine fünfstufige Konfiguration. Selektionssignale S1, S5, S4, S3, S2, die durch das Schieberegister 37 erzeugt werden, werden auf den Multiplexer 38 angewendet, und N1, N8, N4, N3, N2 werden in dieser Reihenfolge als internes Taktsignal N10 selektiert. Daher werden bei vier externen Taktzyklen ECLK fünf interne Taktzyklen N10 erzeugt.

[0140] Der interne Taktzyklus N10 mit der Zeitlage des Taktsignals N8 wird durch das NAND-Gatter 43 selektiert, und das Auffrischtaktsignal REF-CLK wird erzeugt. Der interne Taktzyklus N10 mit der Zeitlage des Taktsignals N8 wird durch das NOR-Gatter 44 entfernt, und ein internes Taktsignal ICLK1 zum Beginnen von internen Operationszyklen wird erzeugt. Das interne Taktsignal ICLK1 wird durch die Verzögerungselemente D9 bis D12 verzögert, um ein anderes internes Taktsignal ICLK2 zu erhalten. In [Fig. 20](#) wurde die Schaltung, die das Ausgangsverriegelungstaktsignal ICLK3 erzeugt, weggelassen.

[0141] [Fig. 22](#) ist eine Zeichnung, die die Auffrischbefehlserzeugungsschaltung, die auf die dritte Ausführungsform angewendet wird, und das Operationszeitlagendiagramm derselben zeigt. Im Vergleich zu der in [Fig. 15](#) gezeigten Auffrischbefehlserzeugungsschaltung, die auf die zweite Ausführungsform angewendet wird, sind bei der Auffrischbefehlserzeugungsschaltung von [Fig. 22](#) Flipflops 60, 61, 62 und ein NAND-Gatter 63 hinzugekommen. Durch die Flipflops 46, 47 und das NAND-Gatter 48 wird daher, nachdem ein Auffrischzeitgebersignal REFTM erzeugt ist, der erste Auffrischbefehl REF1 synchron mit dem nächsten Auffrischzyklus REF-CLK erzeugt. Durch die Verwendung der Flipflops 60, 61, 62 und des NAND-Gatters 63 wird dann, nachdem das Auffrischzeitgebersignal REFTM erzeugt ist, der zweite Auffrischbefehl REF2 synchron mit dem zweiten Auffrischzyklus REF-CLK erzeugt. Ferner wird durch die Verwendung eines Auffrischflipflops 64 in dem Intervall, nachdem der erste Auffrischbefehl REF1 erzeugt ist und bis der zweite Auffrischbefehl REF2 erzeugt wird, ein Komparatorfreigabesignal EN erzeugt. Nachdem der zweite Auffrischbefehl REF2 erzeugt ist, wird ein Aufwärtszählsignal über die Verzögerungsschaltung 49 erzeugt.

[0142] In der zweiten Ausführungsform, die in [Fig. 10](#) gezeigt ist, und der dritten Ausführungsform, die in [Fig. 16](#) gezeigt ist, wird das Taktfreigabesignal CKE von außen zugeführt. Dieses Taktfreigabesignal CKE ist ein Signal, das den normalen Operationszu-

stand und den Energieherabschaltzustand angibt. Das heißt, wenn das Taktfreigabesignal CKE auf dem H-Pegel ist, ist der Zustand der normale Operationszustand (aktive Zustand), und wenn es auf dem L-Pegel ist, ist der Zustand der Energieherabschaltzustand. In dem Energieherabschaltzustand stoppt die Takterzeugungsschaltung 35 die Erzeugung der verschiedenen Taktsignale. Als Resultat stoppen die Befehls-, Adressen- und Dateneingabe-/ausgabeschaltungen, denen das externe Taktsignal CLK1 zugeführt wird, die Eingabe und Ausgabe von externen Signalen. Weiterhin stoppt auch die Speichersteuerschaltung 14 Operationen, die externen Befehlen entsprechen.

[0143] [Fig. 23](#) ist eine Zeichnung, die die Auffrischbefehlserzeugungsschaltung in dem Energieherabschaltzustand und deren Operationszeitlagendiagramm zeigt. Im Vergleich zu der Auffrischbefehlserzeugungsschaltung von [Fig. 15](#) sind die NAND-Gatter 66, 67 hinzugekommen und wird ein Taktfreigabesignal CKE zugeführt.

[0144] Wie in dem Zeitlagendiagramm gezeigt, wird im normalen Operationszustand, bei dem das Taktfreigabesignal CKE auf dem H-Pegel ist, ähnlich wie in [Fig. 15](#), nachdem das Auffrischzeitgebersignal REFTM erzeugt ist, ein Auffrischbefehl REF synchron mit dem Auffrischtaktsignal REF-CLK erzeugt. Andererseits wird in dem Energieherabschaltzustand, bei dem das Taktfreigabesignal CKE auf dem L-Pegel ist, dann, wenn ein Auffrischzeitgebersignal REFTM erzeugt wird, ein Auffrischbefehl REF erzeugt. Denn in dem Energieherabschaltzustand wird kein Auffrischakt signal REF-CLK erzeugt.

Vierte Ausführungsform der Erfindung

[0145] In den zweiten und dritten Ausführungsformen sind externe Operationszyklen und externe Taktzyklen dieselben. Jedoch müssen integrierte Schaltungsvorrichtungen und Speicherschaltungen, die in ein System montiert sind, das mit einem schnellen Takt signal synchronisiert ist, interne Operationen als Antwort auf einen externen Hochgeschwindigkeitstakt ausführen, der Zyklen hat, die um einen Faktor von zwei oder mehr kürzer als interne Operationszyklen sind. In diesen Fällen haben interne Operationszyklen Längen, die auf interne Operationszyklen der integrierten Schaltungsvorrichtung oder Speicherschaltung eingestellt sind.

[0146] Eine vierte Ausführungsform ist eine Speicherschaltung, die auf den Fall angewendet wird, wenn der externe Operationszyklus zum Beispiel 20 ns beträgt, wohingegen der externe Taktzyklus 10 ns beträgt. Das heißt, diese Speicherschaltung kann bei einem externen Operationszyklus mit einer Frequenz von 50 MHz arbeiten und kann darüber hinaus in ein System mit einem Taktzyklus mit einer Frequenz von

100 MHz montiert werden. In solch einem Fall ist ein System, das mit einem schnellen Takt arbeitet, an ein Intervall von zwei Taktzyklen oder mehr zwischen Befehlseingaben in Koordination mit den Operationszyklen der Speicherschaltung gebunden. Daher ist sogar die schnellste Befehlseingabe auf die Eingabe von externen Befehlen synchron mit jedem zweiten externen Taktzyklus begrenzt. Externe Befehle können synchron entweder mit ungeradzahligen externen Taktflanken oder mit geradzahligen externen Taktflanken eingegeben werden. Als Resultat müssen dann, wenn nach der Zufuhr eines externen Befehls bei einer ungeradzahligen Taktflanke der nächste externe Befehl bei einer geradzahligen Taktflanke zugeführt wird, zwei externe Taktzyklen dazwischen eingefügt werden.

[0147] [Fig. 24](#) ist eine Zeichnung, die die Speicherschaltung der vierten Ausführungsform dieser Erfindung zeigt. [Fig. 25](#) bis [Fig. 28](#) sind Operationszeitlängendiagramme der vierten Ausführungsform. [Fig. 25](#) zeigt die Basisoperation; [Fig. 26](#) zeigt die Operation, wenn ein externer Befehl auf der Seite der Phase "a" des externen Taktsignals ECLK eingegeben wird; [Fig. 27](#) zeigt die Operation, wenn ein externer Befehl auf der Seite der Phase "b" des externen Taktsignals ECLK eingegeben wird; und [Fig. 28](#) zeigt die Operation, wenn externe Befehle wahllos sowohl auf der Seite der Phase "a" als auch "b" des externen Taktsignals ECLK eingegeben werden.

[0148] Somit existieren in der vierten Ausführungsform zwei Typen von Phasenbeziehungen zwischen externen Operationszyklen und internen Operationszyklen. Das heißt, es sind die in [Fig. 26](#) und [Fig. 27](#) gezeigten zwei Typen vorhanden. Wenn dann, wie in [Fig. 26](#) gezeigt, ein externer Befehl auf der Seite der Phase "a" eingegeben wird, wird daher von den acht internen Operationszyklen, die innerhalb des erweiterten Zyklus erzeugt werden, der sieben externe Operationszyklen umfaßt, der zweite interne Operationszyklus Auffrischoperationen zugewiesen. Wenn andererseits, wie in [Fig. 27](#) gezeigt, ein externer Befehl auf der Seite der Phase "b" eingegeben wird, wird von den acht internen Operationszyklen der sechste interne Operationszyklus Auffrischoperationen zugewiesen. Wenn externe Befehle wahllos eingegeben werden, wie in [Fig. 28](#) gezeigt, kann der interne Operationszyklus, der für Auffrischoperationen verwendet wird, nicht im voraus spezifiziert werden. Daher wird in der vierten Ausführungsform der für Auffrischoperationen verwendete Zyklus gemäß dem Zustand der Eingabe von externen Befehlen bestimmt. Genauer gesagt, die Auffrischbefehlserzeugungsschaltung **20** nimmt einen Zustand ein, der die Erzeugung von Auffrischbefehlen gemäß dem Zustand der Eingabe von externen Befehlen synchron mit zwei konsekutiven externen Taktzyklen zuläßt.

[0149] Ferner ist es auf der Seite der Speicherschal-

tung nicht möglich vorherzusagen, bei welcher Phase ein externer Befehl zugeführt werden wird, und so muß der Befehlsdecodierer **11A**, der externe Befehle eingibt, externe Befehle bei beiden Phasen "a" und "b" synchron mit dem externen Takt signal eingegeben und muß interne Befehle halten. Daher hat, wie in [Fig. 24](#) gezeigt, das Befehlsregister **11B** ein Register 1a zum Halten von internen Befehlen für externe Befehle, die bei der Phase "a" des externen Taktes eingegeben werden, und ein Register 1b zum Halten von internen Befehlen bei der Phase "b". Diese Register 1a, 1b halten Befehle synchron mit den Takten ECLK1-a, ECLK1-b, die der externe Takt ECLK sind, der durch zwei geteilt ist.

[0150] Die internen Befehle in diesen Registern der ersten Stufe 1a, 1b werden in einem Register einer späteren Stufe 2 über Schalter SW1a, SW1b synchron mit dem internen Taktsignal ICLK1 gehalten. Wie in den oben beschriebenen Ausführungsformen hat das interne Taktsignal ICLK1 eine Frequenz, die das 8/7fache des externen Operationszyklus beträgt (7/8 der Zykluslänge). Das Register der späteren Stufe 2 hat zum Beispiel einen ODER-Logikeingang und hält den internen Befehl, der durch eines der Register der vorherigen Stufe 1a, 1b gehalten wurde. Falls durch die Register der vorherigen Stufe 1a, 1b kein interner Befehl gehalten wird, hält das Register der späteren Stufe 2 keinen internen Befehl.

[0151] Das Befehlsregister **11B** ist auf diese Weise konfiguriert: Wie bei den Befehlsregistern 1a, 1b von [Fig. 25](#) beschrieben, werden in jedem internen Operationszyklus die Schalter SW1, SW2 gleichzeitig eingeschaltet, und die internen Befehle von beiden Registern der Anfangsstufe 1a, 1b werden gleichzeitig zu dem Register der späteren Stufe 2 übertragen. Ein externer Befehl wird bei einer der zwei Phasen "a", "b" eingegeben, so daß einer der internen Befehle RD, WR zu dem Register der späteren Stufe 2 übertragen wird und durch die Steuerschaltung **14** ausgeführt wird.

[0152] Von den acht internen Operationszyklen in dem erweiterten Zyklus wird in dem zweiten internen Operationszyklus der Inhalt des Registers der Anfangsstufe 1b allein zu dem Register der späteren Stufe 2 übertragen. Ähnlich wird in dem sechsten internen Operationszyklus der Inhalt des Registers der Anfangsstufe 1a allein übertragen. Wenn das Register der späteren Stufe 2 irgendeinen internen Befehl hält, und zwar RD oder WR, stoppt die Auffrischbefehlserzeugungsschaltung **20** die Erzeugung von Auffrischbefehlen; falls keiner der internen Befehle RD, WR gehalten wird, wird die Erzeugung von Auffrischbefehlen zugelassen.

[0153] Die obigen Operationen haben folgende Bedeutung. In dem zweiten internen Operationszyklus wird nur das Register der Anfangsstufe 1b über-

wacht, und falls kein externer Befehl bei dem externen Taktsignal 1b eingegeben wird, wird dieser Zyklus als Auffrischoperationszyklus Ref zugeordnet. Diese Operation ist in [Fig. 26](#) gezeigt. In dem sechsten internen Operationszyklus wird nur das Register der Anfangsstufe 1a überwacht, und so wird, falls kein externer Befehl bei dem externen Taktsignal 5a eingegeben wird, dieser Zyklus als Auffrischoperationszyklus Ref zugeordnet. Diese Operation ist in [Fig. 27](#) gezeigt.

[0154] Auch wenn ein Zyklus ein normaler interner Operationszyklus ist, wird dann, falls keine externen Befehle kontinuierlich bei beiden Phasen "a", "b" des externen Taktes ECLK eingegeben werden, das Register der späteren Stufe 2 keinen internen Befehl halten, und so wird der Zyklus als Auffrischoperationszyklus zugeordnet. Diese Operation ist in [Fig. 28](#) gezeigt. Wie in [Fig. 28](#) ist dann, wenn externe Befehle wahllos bei beiden Phasen "a", "b" des externen Taktes eingegeben werden, ein Intervall von zwei externen Taktzyklen zwischen den externen Befehlen erforderlich, und somit werden mehr interne Operationszyklen zu Auffrischoperationszyklen.

[0155] Auf diese Weise werden interne Operationszyklen als Auffrischoperationszyklen gemäß dem Zustand der Eingabe von externen Befehlen zugeordnet. Wenn ein Auffrischzeitgebersignal REFTM erzeugt wird, erzeugt die Auffrischbefehlserzeugungsschaltung **20** einen Auffrischbefehl in einem Auffrischoperationszyklus.

[0156] Acht interne Taktzyklen ICLK1 werden, wie in [Fig. 26](#), [Fig. 27](#) und [Fig. 28](#) gezeigt, bei jeweils sieben externen Operationszyklen erzeugt (ein externer Operationszyklus ist zwei externen Taktzyklen ECLK äquivalent). Das zweite interne Taktsignal ICLK2, das die Ausgabe von Lesedaten an den Datenbus DB2 steuert, ist gegenüber dem ersten internen Taktsignal ICLK1 verzögert und wird erzeugt, indem der Takt zu der Zeit der Auffrischoperationszyklen ausgeschlossen wird. Ein Ausgangsverriegelungstakt ECLK-L wird erzeugt, indem eine vorgegebene Phasenverzögerung zu einem der externen Taktsignale ECLK hinzugefügt wird, je nachdem, ob der externe Befehl bei der Phase "a" oder "b" eingegeben wird. Daher ist der Ausgangsverriegelungstakt ECLK-L mit dem externen Takt synchron. In [Fig. 26](#) wird der Ausgangsverriegelungstakt ECLK-L durch das Verzögern des externen Taktes ECLK bei der Phase "a" erzeugt; in [Fig. 27](#) wird er durch das Verzögern des externen Taktes ECLK bei der Phase "b" erzeugt. In [Fig. 28](#) sind verzögerte externe Taktsignale mit beiden Phasen gemischt.

[0157] Unter erneuter Bezugnahme auf [Fig. 24](#) wird, wenn ein interner Befehl in einem der Register der Anfangsstufe 1a, 1b gehalten wird, eine externe Adresse von dem Adressenregister **12c** eingegeben.

Wenn ein Schreibbefehl WR in einem der Register der Anfangsstufe 1a, 1b gehalten wird, werden Schreibdaten vom Datenregister **135** eingegeben. Auf jeden Fall bedeutet dies, daß eine externe Adresse und Schreibdaten synchron mit dem effektiven externen Takt eingegeben werden.

[0158] [Fig. 29](#) ist eine Zeichnung, die die Takerzeugungsschaltung zeigt, die auf die vierte Ausführungsform angewendet wird, und [Fig. 30](#) ist das Operationszeitlagendiagramm derselben. Ähnlich wie in der Takerzeugungsschaltung von [Fig. 13](#) sind ein achtstufiges Schieberegister **37**, ein Multiplexer **38**, eine Phasenvergleichsschaltung **41**, eine Verzögerungssteuerschaltung **42** und eine DLL-Schaltung, die aus variablen Verzögerungselementen D1 bis D8 gebildet ist, vorgesehen. Unterschiede gegenüber dem Beispiel von [Fig. 13](#) enthalten den Fakt, daß Steuertaktsignale des Registers der Anfangsstufe ECLK1-a, 1-b durch einen Frequenzteiler **70** aus dem externen Taktsignal ECLK erzeugt werden; den Fakt, daß beim Erzeugen eines Lesebefehls RD ein zweites internes Taktsignal ICLK2 durch ein NAND-Gatter **71** erzeugt wird; und den Fakt, daß beim Erzeugen von Lesebefehlen RD1(a), RD1(b) am Ausgang des Befehlsregisters der Anfangsstufe der Ausgangsverriegelungstakt ECLK-L erzeugt wird, und zwar verzögert durch die Zeitlage des frequenzgeteilten externen Taktes. Ferner werden Schaltsignale Dis-a, b zu der Zeitlage der Schieberegisterstufen 2, 6 erzeugt.

[0159] Das Operationszeitlagendiagramm von [Fig. 30](#) zeigt den Fall, wenn externe Befehle bei den Zyklen 1a, 2a, 3a, 4b, 6a des externen Taktes ECLK1 eingegeben werden. Hierbei sind die internen Operationszyklen 2 und 6 Auffrischoperationszyklen. Ein zweites internes Taktsignal ICLK2 wird als Antwort auf den Lesebefehl RD erzeugt, und ein Ausgangsverriegelungstakt ECLK-L wird erzeugt. Wenn kein Lesebefehl RD auftritt, wird das zweite interne Taktsignal ICLK2, das die Ausgabe von Lesedaten von dem Speicherkerne steuert, nicht erzeugt. Der Ausgangsverriegelungstakt ECLK-L wird gemäß dem Vorhandensein oder Nichtvorhandensein eines Lesebefehls RD1 in dem Befehlsregister 1 erzeugt, und zwar verzögert von den frequenzgeteilten externen Taktignalen ECLK1-a, 1-b.

[0160] [Fig. 31](#) zeigt eine andere Takerzeugungsschaltung. Im Vergleich zu der in [Fig. 29](#) gezeigten Takerzeugungsschaltung sind zu dieser Takerzeugungsschaltung die Schalter SW11, SW12 hinzugefügt worden; der Schalter SW11 selektiert einen der Takte N2, 3, 4 gemäß Selektionssignalen SR3, 4 des Schieberegisters **37**, und der Schalter SW12 selektiert eines der Takt signale N6, 7, 8 gemäß Selektionssignalen SR7, 8.

[0161] [Fig. 32](#) ist ein Operationszeitlagendiagramm der Takerzeugungsschaltung von [Fig. 31](#). Wie in

[Fig. 31](#) und [Fig. 32](#) gezeigt, selektiert der Schalter SW11 den Takt N2, wenn das Selektionssignal SR3 des Schieberegisters **37** H ist, selektiert er den Takt N4, wenn das Selektionssignal SR4 = H ist, und selektiert sonst den Takt N3. Als Resultat eilt die Phase des Ausgangsverriegelungstaktes ECLK-L(1a) leicht voraus, und die internen Takte ICLK2(1), ECLK-L(1a) und ICLK2(2) werden ohne Überlappung erzeugt, wie in [Fig. 32](#) gezeigt. Ähnlich ist die Phase des Ausgangsverriegelungstaktes ECLK-L(2a) leicht verzögert, und er wird nach der Erzeugung des internen Taktes ICLK2(3) erzeugt. Somit werden Lesedaten von dem Speicherkern an den Datenbus DB2 ausgegeben, und die Operationstoleranz zum Verriegeln durch das Ausgangsregister **134** kann erhöht werden. Die Konfiguration und Operation des Schalters SW12 sind ähnlich. Das heißt, der Schalter SW12 selektiert den Takt N6, wenn SR7 = H ist, selektiert den Takt N8, wenn SR8 = H ist und selektiert sonst den Takt N7.

[0162] [Fig. 33](#) ist eine Zeichnung, die eine Auffrischbefehlserzeugungsschaltung, die auf die vierte Ausführungsform angewendet wird, und deren Operation zeigt. Diese Konfiguration unterscheidet sich von der in [Fig. 23](#) gezeigten Auffrischbefehlserzeugungsschaltung darin, daß der Auffrischtakt REF-CLK als Antwort auf einen internen Lesebefehl RD und Schreibbefehl WR erzeugt wird. Das heißt, das interne Taktsignal ICLK1, das den Start von internen Operationszyklen steuert, durchläuft eine Kleinverzögerungsschaltung **82**, bevor es einem NAND-Gatter **81** zugeführt wird. Falls die internen Operationsbefehle RD, WR von dem Befehlsregister der späteren Stufe 2 ausgegeben werden, wird die Erzeugung des Auffrischtaktes REF-CLK durch das NOR-Gatter **80** unterdrückt. Falls andererseits die internen Operationsbefehle RD, WR von dem Befehlsregister der späteren Stufe 2 ausgegeben werden, wird die Erzeugung des Auffrischtaktes REF-CLK durch das NOR-Gatter **80** zugelassen.

[0163] Daher wird dann, falls im normalen Operationszustand ($CKE = H$) nach Erzeugung des Auffrischzeitgebersignals REFTM der Auffrischtakt REF-CLK erzeugt wird, der Auffrischbefehl REF erzeugt, und das Aufwärtszählsignal UP wird erzeugt. Andererseits wird im Energieherabschaltmodus ($CKE = L$), falls das Auffrischzeitgebersignal REFTM erzeugt wird, der Auffrischbefehl REF sofort erzeugt.

[0164] Durch das Kombinieren des Befehlsregisters **11B** von [Fig. 24](#) und der Auffrischbefehlserzeugungsschaltung von [Fig. 33](#) wird, wie oben erläutert, die Erzeugung von internen Auffrischbefehlen REF gemäß dem Zustand der Eingabe von externen Befehlen zugelassen.

[0165] [Fig. 34](#) ist eine Zeichnung, die eine andere Befehlsregisterschaltung zeigt, die auf die vierte Aus-

führungsform angewendet wird. Das in [Fig. 24](#) gezeigte Befehlsregister **11B** ist mit zwei Befehlsregistern der Anfangsstufe parallel versehen, entsprechend den Phasen "a", "b" des externen Taktes ECLK. Bei dem Schaltungsbeispiel von [Fig. 34](#) sind Befehlsregister seriell vorgesehen (FF1, FF2 und FF4, FF5), um interne Befehle synchron mit beiden Phasen des externen Taktsignals ECLK1 zu halten, und Gatter G1, G3 sind anstelle der Schalter SW1a, 1b vorgesehen. Jeweilige Flipflops FF3, FF6 entsprechen den Befehlsregistern der späteren Stufe.

[0166] In der Befehlsregisterschaltung von [Fig. 34](#) werden der neueste Schreibbefehl und Lesebefehl, die durch den Befehlsdecodierer **11A** decodiert und erzeugt wurden, durch die jeweiligen Flipflops FF1, FF4 synchron mit dem Taktsignal ECLK1 (nicht frequenzgeteilt) verriegelt, das synchron mit dem externen Takt erzeugt wird. Befehle, die synchron mit dem vorherigen externen Taktzyklus ECLK1 verriegelt werden, werden durch die Flipflops FF2, FF5 synchron mit dem frequenzgeteilten internen Takt ICLK1 verriegelt. Gemäß dem Selektionssignal Dis, das durch die Taktzeugungsschaltung **35** erzeugt wird, wird entweder das logische Produkt des Schreibbefehls der Flipflops FF1, FF2 ($Dis = L$) oder des Schreibbefehls des Flipflops der vorherigen Stufe FF1 ($Dis = H$) durch das Flipflop FF3 der späteren Stufe gehalten, und zwar durch die ODER-Schaltung, die aus den Gattern G1, G2, G3 gebildet ist. Die Lesebefehlsseite ist ähnlich konfiguriert. Ein Adressenerfassungssignal Aen wird durch das logische Produkt **85** des internen Lesebefehls RD1 und internen Schreibbefehls WR1 erzeugt, und ein Datenerfassungssignal Den wird durch den internen Schreibbefehl WR1 erzeugt.

[0167] [Fig. 35](#) und [Fig. 36](#) sind Operationszeitlängendiagramme der Speicherschaltung für den Fall, wenn die Befehlsregisterschaltung von [Fig. 34](#) verwendet wird. [Fig. 35](#) zeigt die Basisoperation, während [Fig. 36](#) die Operation für den Fall zeigt, wenn, wie in [Fig. 28](#), externe Befehle wahllos bei Taktphasen "a" und "b" zugeführt werden.

[0168] In der Befehlsregisterschaltung von [Fig. 34](#) hat das Register der ersten Stufe anstelle einer parallelen Konfiguration eine serielle Konfiguration. Daher werden, wie in [Fig. 35](#) gezeigt, Lesebefehle, die synchron mit kontinuierlichen externen Taktzyklen ECLK1 verriegelt werden, in den Flipflops FF4, FF5 angeordnet. Als Resultat treten die Fälle, bei denen die Lesebefehle RD1, RD2 in der Reihenfolge von Phase "a", Phase "b" sind, und die Fälle, bei denen sie in der Reihenfolge Phase "b", Phase "a" sind, abwechselnd auf. Daher werden in [Fig. 34](#) anstelle der Schalter SW1a, 1b immer nur die Befehle RD1, WR1 der Flipflops der Anfangsstufe FF1, 4 durch die Flipflops der späteren Stufe FF3, FF6 verriegelt. Das heißt, das Schaltsignal Dis erreicht bei den zweiten

und sechsten internen Operationszyklen den H-Pegel, wobei die Gatter G1, G3 die Ausgabe der Flipflops FF2, FF5 zur Übertragung zu FF3, FF6 nicht zu lassen. Durch diese Konfiguration wird, wie in [Fig. 35](#) gezeigt, in dem zweiten internen Operationszyklus der Befehl auf der Seite der Phase 1b in dem Flipflop der späteren Stufe FF6 gehalten, und in dem sechsten internen Operationszyklus wird der Befehl auf der Seite der Phase 5a in der späteren Stufe gehalten. Das heißt, die Operation ist effektiv dieselbe wie jene von [Fig. 25](#).

[0169] Im Falle der wahllosen Eingabe von externen Befehlen in [Fig. 36](#) werden effektive interne Befehle innerhalb von fettgedruckten Rahmen gehalten, und interne Operationszyklen 1, 4, 7 werden als Auffrischoperationszyklen zugeordnet. Wenn externe Befehle konsekutiv bei der Phase "a" des externen Taktes eingegeben werden, wird der interne Operationszyklus 2 als Auffrischoperationszyklus zugeordnet, wie in [Fig. 26](#); wenn externe Befehle konsekutiv bei der Phase "b" des externen Taktes eingegeben werden, wird der interne Operationszyklus 6 als Auffrischoperationszyklus zugeordnet, wie in [Fig. 27](#). Falls während des zugeordneten Auffrischoperationszyklus ein Auffrischzeitgebersignal REFTM erzeugt wird, wird der Auffrischbefehl REF erzeugt und wird die Auffrischoperation ausgeführt.

[0170] [Fig. 37](#) ist eine Zeichnung einer Taktzeugungsschaltung für den Fall, wenn das Befehlsregister von [Fig. 34](#) verwendet wird, und [Fig. 38](#) ist das Operationszeitlagendiagramm davon. Im Vergleich zu dem Beispiel von [Fig. 29](#) unterscheidet sich die Taktzeugungsschaltung von [Fig. 37](#) darin, daß das Selektionssignal Dis durch das NOR-Gatter **85** und den Inverter der späteren Stufe als logisches Produkt der Zeitlage der zweiten und sechsten Zyklen des Schieberegisters **37** erzeugt wird, und darin, daß beim Erzeugen eines Lesebefehls RD1 der Ausgangsverriegelungstakt ECLK-L erzeugt wird, indem der Ausgangstakt ECLK1 verzögert wird. Durch den Einsatz einer seriellen Schaltungskonfiguration für das Befehlsregister von [Fig. 34](#) kann die Schaltung zum Erzeugen des Ausgangsverriegelungstaktes ECLK-L vereinfacht werden. Dies kann auch auf die Ausgangsverriegelungstaktzeugungsschaltung von [Fig. 29](#) angewendet werden. Das Schaltsignal Dis erreicht bei dem zweiten und sechsten internen Operationszyklus den H-Pegel, wie oben erläutert, wobei der Befehl der Flipflops der vorderen Stufen FF1, FF4 nur zu den Flipflops der hinteren Stufen FF3, FF6 übertragen wird.

[0171] Im Vergleich zu [Fig. 30](#) existieren in dem Operationszeitlagendiagramm von [Fig. 38](#) keine frequenzgeteilten Taktsignale ECLK1-a, 1-b, und die Haltezeit des Lesebefehls RD1 in dem Befehlsregister der Anfangsstufe ist halb so lang. Die Kombination der externen Befehle in [Fig. 38](#) ist dieselbe wie in

[Fig. 30](#), und somit ist die Gesamtoperation dieselbe. Das heißt, während Auffrischoperationszyklen REF wird der interne Takt ECLK2 nicht erzeugt, und der Ausgangsverriegelungstakt ECLK-L wird gemäß dem Lesebefehl RD1 nach einer feststehenden Verzögerung erzeugt.

Fünfte Ausführungsform der Erfindung

[0172] Eine fünfte Ausführungsform der Erfindung ist eine Speicherschaltung für den Fall, wenn sich bei externen Operationszyklen externe Taktzyklen auf 1/3 belaufen; das heißt, die Frequenz des externen Taktes ist dreimal so groß wie beim internen Takt. Zum Beispiel kann eine Speichervorrichtung mit einem externen Operationszyklus von 30 ns in ein System mit einem Taktzyklus von 10 ns montiert werden.

[0173] [Fig. 39](#) ist ein Konfigurationsdiagramm der Speicherschaltung der fünften Ausführungsform der Erfindung. Im Vergleich zu [Fig. 24](#), die die vierte Ausführungsform zeigt, ist in [Fig. 39](#) die Konfiguration des Befehlsregisters **11B** unterschiedlich. In [Fig. 39](#) hat der externe Takt ECLK die dreifache Frequenz, und somit umfaßt das Befehlsregister **11B** drei parallele Register der ersten Stufe 1a, 1b, 1c und Schalter SW1a, 1b, 1c. Demzufolge steuern Taktsignale ECLK1-a, b, c, die durch 1/3-Frequenzteilung des externen Taktes ECLK erhalten werden, die Zeitlage der Befehlserfassung der Register der ersten Stufe. Sonst ist die Konfiguration dieselbe wie in [Fig. 24](#).

[0174] [Fig. 40](#) ist eine Zeichnung, die den Fluß von Signalen in der Speicherschaltung von [Fig. 39](#) zeigt; [Fig. 41](#) zeigt Operationen für den Fall, wenn externe Befehle wahllos bei Phasen "a", "b", "c" eingegeben werden. Hierbei umfaßt ein erweiterter Zyklus fünf externe Operationszyklen, und innerhalb dieses erweiterten Zyklus werden sechs interne Operationszyklen erzeugt. Sequentielle interne Befehle werden in den Registern der ersten Stufe 1a, 1b, 1c innerhalb des Befehlsregisters **11B** entsprechend dem Dreiphasentakt ECLK1-a, b, c gehalten, der durch 1/3-Frequenzteilung des externen Taktes ECLK erhalten wird. Über die Schalter SW1a, 1b, 1c werden Zyklen zum Übertragen zu dem Register der späteren Stufe 2 der logischen Summe aller Befehle mit Phasen "a", "b", "c" und Zyklen zum Übertragen der logischen Summe von Befehlen mit den sequentiellen Phasenkombinationen, die zwischen bc, ca, ab wechseln, abwechselnd erzeugt. Deshalb wird, wie in [Fig. 40](#) gezeigt, die logische Summe von Befehlen bei den Phasen "a", "b", "c" bei den internen Zyklen 1, 3, 5 übertragen und wird die logische Summe von Befehlen bei einer Phase bc, ab, ca bei dem internen Zyklus 2, 4, 6 übertragen. Es ist auch möglich, konsekutiv eine Vielzahl von Zyklen zu erzeugen, um alle logischen Summen zu übertragen, aber aus Platzgründen ist in [Fig. 40](#) der kürzeste Fall eines einzelnen Zyklus gezeigt.

[0175] In dem internen Operationszyklus 2 wird, wie in [Fig. 40](#) gezeigt, die logische Summe von Befehlen mit Phasen 1b, 1c zu dem Register der späteren Stufe übertragen. Daher wird, wenn externe Befehle im kürzesten Zyklus synchron mit der Phase "a" eingegeben werden, der zweite interne Operationszyklus ein Auffrischoperationszyklus. Ähnlich wird, wenn externe Befehle konsekutiv synchron mit der Phase "b" eingegeben werden, der sechste interne Operationszyklus ein Auffrischzyklus. Wenn externe Befehle konsekutiv synchron mit der Phase "c" eingegeben werden, wird der vierte interne Operationszyklus ein Auffrischzyklus.

[0176] [Fig. 41](#) zeigt die Operation für den Fall, wenn externe Befehle mit Phasen 1a, 2a, 3b, 4b, 5c eingegeben werden. Effektive interne Befehle werden innerhalb fettgedruckter Rahmen in dem Befehlsregister erzeugt. Daher werden die internen Operationszyklen 2, 6, in denen keine effektiven Befehle in dem Befehlsregister der späteren Stufe erzeugt werden, auffrischoperationskompatible Zyklen REF. Falls das Auffrischzeitgebersignal REFTM bei dieser Zeitlage erzeugt wird, erzeugt die Auffrischbefehlserzeugungsschaltung **20** einen Auffrischbefehl REF.

[0177] [Fig. 42](#) zeigt eine andere Befehlsregisterorschaltung, die auf die fünfte Ausführungsform angewendet wird. Diese Befehlsregisterorschaltung **11B** ist ein Beispiel dafür, wenn die Register der ersten Stufe entsprechend der zweistufigen seriellen Verbindung von [Fig. 34](#) in drei Stufen seriell verbunden sind. In [Fig. 42](#) werden Lesebefehle durch das Flipflop FF10 synchron mit dem Takt ECLK1 verriegelt, der mit dem externen Takt ECLK synchron ist, und der Reihe nach zu den Flipflops der späteren Stufe FF11, FF12 übertragen. Die logische Summe der Ausgaben RD1, RD2, RD3 dieser drei Flipflops durchläuft die Gatter G3, G5 und wird zu dem Register der späteren Stufe FF13 übertragen. Wenn das Selektionssignal Dis den H-Pegel erreicht, wird die Ausgabe RD3 des Flipflops der dritten Stufe FF13 durch das Gatter G3 gelöscht, und die logische Summe der verbleibenden Ausgaben RD1, RD2 wird zu dem Register der späteren Stufe FF13 übertragen. Die Konfiguration und Operation sind auf der Schreibbefehlsseite auch ähnlich.

[0178] [Fig. 43](#) ist eine Zeichnung, die den Fluß von Signalen in [Fig. 42](#) zeigt. Im Vergleich zu [Fig. 40](#) ist die Zeit, für die die Befehle RD1, 2, 3 in jedem der Befehlsregister gehalten werden, kürzer, und das Verschieben in der Reihenfolge erfolgt synchron mit dem externen Takt ECLK1. Sonst ist die Operation dieselbe. Im Falle von [Fig. 43](#) werden die Befehle RD1, 2, 3 in der Reihenfolge verschoben, und durch Selektionen der Phase des Selektionssignals Dis entsprechen somit die Befehle RD1, RD2 den externen Befehlen bei den Phasen cb, ba, ac, weshalb das Befehlsregister von [Fig. 42](#) der Befehlsregisterorschaltung von [Fig. 42](#) entspricht, die die logische Summe

der zwei Befehle RD1, 2 von den drei Befehlen RD1, 2, 3 aufnimmt. Auch in diesem Fall wird der interne Operationszyklus 2 ein Auffrischoperationszyklus, wenn externe Befehle konsekutiv mit der Phase "a" eingegeben werden.

[0179] [Fig. 44](#) zeigt Operationen für den Fall, wenn externe Befehle synchron mit dem externen Takt bei 1a, 2a, 3b, 4b, 5c eingegeben werden. Diese Figur entspricht [Fig. 41](#). Unterschiede gegenüber [Fig. 41](#) enthalten den Fakt, daß die Länge des fettgedruckten Rahmens, der effektive Befehle in dem Befehlsregister angibt, kürzer ist. Sonst sind sie dieselben, und effektive Befehle werden nicht in den internen Operationszyklen 2, 6 gehalten, so daß diese Zyklen als Auffrischoperationszyklen zugeordnet werden. Auch in diesem Fall wird, falls ein Auffrischzeitgebersignal vorhanden ist, ein Auffrischbefehl erzeugt.

[0180] Falls die fünfte Ausführungsform erweitert wird, kann eine Speicherschaltung entsprechend einem externen Takt mit L-fachen externen Operationszyklen konfiguriert werden (wobei L vier oder größer ist). In diesem Fall wird die Erzeugung eines Auffrischbefehls in Abhängigkeit von den Umständen von externen Befehlen zugelassen, die synchron mit L konsekutiven externen Taktzyklen eingegeben werden. In diesem Fall wird, falls ein Auffrischzeitgebersignal erzeugt wird, um eine Zeit anzugeben, zu der die Auffrischoperation ausgeführt werden sollte, die interne Operation tatsächlich zu einer Auffrischoperation.

Eine andere Takerzeugungsschaltung

[0181] [Fig. 45](#), [Fig. 46](#) und [Fig. 47](#) sind Diagramme, die eine andere Takerzeugungsschaltung zeigen. Wie in [Fig. 45](#) gezeigt, wird diese auf Fälle angewendet, in denen die Zyklen des externen Taktes ECLK in bezug auf externe Operationszyklen Ecyc und interne Operationszyklen Icyc kurz genug sind und externe Operationszyklen Ecyc und interne Operationszyklen Icyc ganzzahlige Vielfache der Zyklen des externen Taktes ECLK sind. Bei dem Beispiel von [Fig. 45](#) sind die externen Operationszyklen Ecyc fünfmal so lang wie die Zyklen des externen Taktes ECLK, und interne Operationszyklen Icyc sind viermal so lang. Daher hat ein erweiterter Zyklus Lcyc vier externe Operationszyklen Ecyc und fünf interne Operationszyklen Icyc. In diesem Fall kann ein externer Befehl RD synchron mit einer der ansteigenden Flanken des externen Taktes ECLK zugeführt werden, wobei jedoch wenigstens vier externe Taktzyklen ECLK zwischen benachbarten externen Befehlen eingefügt werden müssen.

[0182] In einem Fall wie dem obigen, wie in [Fig. 46](#) gezeigt, benötigt die Takerzeugungsschaltung keine DLL-Schaltung mit variablen Verzögerungselementen, Phasenvergleichsschaltung und Verzögerungen-

steuerschaltung. Das heißt, interne Taktsignale können auf der Basis des externen Taktes ECLK erzeugt werden.

[0183] Im Vergleich zu der Taktzeugungsschaltung, die in [Fig. 13](#) gezeigt ist, hat die Taktzeugungsschaltung von [Fig. 46](#) auch ein Schieberegister **37** sowie einen Multiplexer **38**, jedoch keine DLL-Schaltung. Statt dessen werden Signale N1 bis N5 durch das Ermitteln des logischen UND eines Taktes ECLK1, der aus dem externen Takt ECLK erzeugt wird, und der Ausgabe des Schieberegisters **90** erzeugt. Wie in dem Operationszeitlagendiagramm von [Fig. 47](#) gezeigt, führt das erste Schieberegister **90** eine Verschiebung synchron mit dem externen Taktsignal ECLK1 aus. Daher sind die Taktsignale N1 bis N5, die durch das Ermitteln des logischen Produktes dieser Schiebesignale und des externen Taktes ECLK1 erzeugt werden, den Ausgaben N1 bis N9 der DLL-Schaltung von [Fig. 13](#) ähnlich. Indem diese Taktsignale N1 bis N5 unter Verwendung der Ausgabe des zweiten Schieberegisters **37** selektiert werden, kann ein internes Taktsignal ICLK1 erzeugt werden, das Zyklen hat, die viermal so lang wie der externe Takt ECLK1 sind. Ferner wird der zweite interne Takt ICLK2 erzeugt, der die Zeitlage zur Ausgabe von Lesedaten von dem Speicherkerne an den Datenbus DB2 steuert, und zwar durch Flipflops **91**, **92**, **93** und das NAND-Gatter **94** zu einer Zeitlage, die um zwei externe Taktzyklen verzögert ist.

[0184] Wenn die Taktzeugungsschaltung von [Fig. 46](#) verwendet wird, sollte ein zweckmäßiger Operationszyklus von den fünf internen Operationszyklen für Auffrischoperationen genutzt werden. Ferner sollten interne Operationszyklen für zweckmäßige Auffrischoperationen entsprechend den Umständen von externen Befehlen verwendet werden, die synchron mit dem externen Takt eingegeben werden.

Erste Abwandlung der ersten Ausführungsform

[0185] [Fig. 48](#) ist eine Zeichnung, die eine Specherschaltung gemäß einer Abwandlung der ersten Ausführungsform zeigt. In der ersten Ausführungsform, die in [Fig. 2](#) bis [Fig. 10](#) gezeigt ist, führt der Speichercontroller eine Operation entsprechend einem internen Befehl synchron mit einem externen Taktsignal während eines normalen Zustandes aus, und nachdem ein Auffrischbefehl ausgegeben ist, führt der Speichercontroller Operationen entsprechend dem Auffrischbefehl und dem internen Befehl asynchron mit dem externen Takt aus. Bei der asynchronen Operation wird die Speicherzellenarray-Operation gemäß dem internen Operationszyklus ausgeführt, der kürzer als der externe Befehlszyklus ist, wobei sie eine schnellere Operation als die normale Operation ist.

[0186] Andererseits sind bei der Abwandlung von

[Fig. 48](#) eine Taktzeugungsschaltung **102** zum Erzeugen eines schnelleren Taktsignals ICLK3 als das externe Taktsignal ECLK1 und eine Schaltanordnung SW hinzugefügt worden. Die Schaltungen **102** und SW erzeugen während eines normalen Zustandes ein internes Taktsignal ICLK2 synchron mit dem externen Taktsignal ECLK, und eine interne Operation wird synchron mit dem internen Taktsignal ICLK2 gesteuert. Nachdem ein Auffrischbefehl intern ausgegeben ist, erzeugen diese Schaltungen **102** und SW ein internes Taktsignal ICLK2 synchron mit dem Taktsignal ICLK3 (das schneller als das externe Taktsignal ECLK ist), so daß die interne Operation synchron mit dem internen Taktsignal ICLK2 gesteuert wird. Nachdem der interne Operationszyklus den Zyklus des externen Taktsignals einholt, kehren dann die Schaltungen **102** und SW in den normalen Operationszustand zurück, um das interne Taktsignal ICLK2 synchron mit dem externen Taktsignal ECLK zu erzeugen.

[0187] Um das interne Taktsignal ICLK2 für die interne Operationszeitlage umzuschalten, enthält die Specherschaltung von [Fig. 48](#) ein ODER-Gatter **104** zum Erzeugen einer logischen Summe aus dem Lesebefehl RD, Schreibbefehl WR und Auffrischbefehl REF und einen Komparator **103** zum Vergleichen einer Zeitlage des H-Pegels einer Ausgabe S1 des Gatters **104** und einer Zeitlage des H-Pegels des Befehlsempfangssignals CMDEN. Während die Zeitlage des Befehlsempfangssignals CMDEN schneller ist, wird sie als normaler Zustand bestimmt, und ein Operationsschaltsignal OSW erreicht den L-Pegel, so daß das Taktsignal ECLK1 synchron mit dem externen Taktsignal ECLK als internes Taktsignal ICLK2 ausgegeben wird. Während die Zeitlage der Erzeugung von irgendeinem Befehl (Ausgabe S1 des ODER-Gatters **104**) schneller ist, wird sie ferner als schnellerer Operationsmodus bestimmt, und das Operationsschaltsignal OSW erreicht den H-Pegel, so daß das schnellere Taktsignal ICLK3, das durch die Taktzeugungsschaltung **102** erzeugt wird, als internes Taktsignal ICLK2 ausgegeben wird.

[0188] [Fig. 49](#) ist ein Operationszeitlagendiagramm der Abwandlung von [Fig. 48](#). Bei diesem Beispiel wird ein Lesebefehl RD synchron mit einem externen Taktsignal ECLK1 zugeführt. Als Antwort darauf hält das Befehlsregister **11** den Lesebefehl und gibt ihn aus. Als Antwort auf den Auffrischbefehl REF, der durch den Auffrischzeitgeber **21** in vorgegebenen Zyklen erzeugt wird, erzeugt die Auffrischbefehlserzeugungsschaltung **20** den Auffrischbefehl REF. Andererseits erzeugt der Controller **14** ein Befehlsempfangssignal CMDEN immer dann, wenn eine interne Operation des Befehls beendet ist, um einen nächsten Befehl zu empfangen.

[0189] Der Komparator **103** vergleicht eine ansteigende Flanke des Befehlsempfangssignals CMDEN und eine ansteigende Flanke des Lesebefehls RD,

des Schreibbefehls WR oder des Auffrischbefehls REF (oder eine Startzeitlage des H-Pegels dieser Befehle), setzt das Operationsschaltignal OSW auf den L-Pegel als normalen Modus, wenn das Befehlsempfangssignal CMDEN schneller ist, und setzt das Operationsschaltignal OSW auf den H-Pegel als schnelleren Operationsmodus, wenn die Zeitlage der Befehle schneller ist. Das heißt, die Schaltanordnung SW selektiert den externen Takt ECLK1 oder den schnelleren Takt ICLK3 in Abhängigkeit von dem Schaltignal OSW und gibt das interne Taktsignal ICLK2 aus. Die Speichersteuerschaltung 14 steuert den Speicherkerne 15 synchron mit dem internen Taktsignal ICLK2. Die Zeitlage der Lesedaten und der Schreibdaten wird jedoch synchron mit dem externen Takt ECLK1 gesteuert.

[0190] Bei dem Beispiel von [Fig. 49](#) erfolgen interne Operationen der Lesebefehle RD-0A bis RD-A2 in einem normalen Operationszustand und wird das interne Taktsignal ICLK2 synchron mit dem externen Taktsignal ECLK1 erzeugt. Nachdem der Auffrischbefehl REF ausgegeben ist, treten die internen Operationen jedoch in einen schnelleren Operationszustand ein, und das interne Taktsignal ICLK2 synchron mit dem schnelleren Taktsignal ICLK3 wird erzeugt. In der Zwischenzeit holt der interne Operationszyklus den externen Taktzyklus bei dem Lesebefehl RD-A7 ein, und die interne Operation kehrt nach dem Lesebefehl RD-A8 zu dem normalen Zustand zurück.

Zweite Abwandlung der ersten Ausführungsform

[0191] [Fig. 50](#) ist eine Zeichnung, die eine Speicherschaltung gemäß einer anderen Abwandlung der ersten Ausführungsform zeigt. Diese abgewandelte Speicherschaltung ist ein Speicher mit wahlfreiem Zugriff zur asynchronen Operation, ohne daß ein externes Taktsignal zugeführt wird. Die Operation der ersten Ausführungsform wird auf einen DRAM des asynchronen Typs angewendet.

[0192] Ein DRAM des asynchronen Typs hat eine Spezifikation eines minimalen Intervalls von externen Befehlen, in dem die externen Befehle zugeführt werden dürfen. Deshalb kann ein Speichercontroller die externen Befehle der Speichervorrichtung nicht in einem Zeitintervall zuführen, das kürzer als das minimale Intervall der externen Befehle ist, das in der Spezifikation definiert ist. Die Speicherschaltung führt eine interne Speicheroperation bei Empfang des externen Befehls aus und gibt Lesedaten aus. Die Spezifikation definiert auch eine Zugriffszeit zwischen einem Eingangslesebefehl und Ausgangslesedaten. Deshalb holt der Speichercontroller die Lesedaten zu einer Zeitlage, die gegenüber der Zugriffszeit leicht verzögert ist, nachdem der externe Befehl zugeführt ist. Beim Holen der Lesedaten sendet der Speichercontroller zu der Speicherschaltung ein Mel dungssignal, das die Speicherschaltung über die

Vollendung des Holens der Lesedaten informiert.

[0193] Gemäß der ersten Ausführungsform arbeitet die Speichervorrichtung als Antwort auf den externen Befehl in einem normalen Zustand, und wenn der interne Auffrischbefehl ausgegeben wird, arbeitet sie gemäß einem internen Operationszyklus, der zu dem externen Takt asynchron ist und kürzer als der Zyklus des externen Taktes ist. Deshalb arbeitet die Speichervorrichtung in dem normalen Zustand in einem langsamen Operationsmodus und in einem schnellen Operationsmodus, wenn der interne Auffrischbefehl ausgegeben wird. Diese Operation kann ohne weiteres auf den asynchronen DRAM angewendet werden.

[0194] Im Vergleich zu der Speicherschaltung von [Fig. 2](#) enthält die Speicherschaltung der Abwandlung von [Fig. 50](#) keine Taktpufferschaltung, aber sie enthält eine Verzögerungsschaltung 100 zum Erzeugen eines Ausgangszeitlagensignals SOUT. Das Daten-E/A-Pufferregister 13 gibt Lesedaten als Antwort auf das Ausgangszeitlagensignal SOUT aus. Die Verzögerungszeit der Verzögerungsschaltung entspricht der obenerwähnten Zugriffszeit. Die Struktur, dies ausgenommen, ist dieselbe wie in [Fig. 2](#).

[0195] Die Speichersteuerschaltung 14, die dieselbe wie in [Fig. 4](#) ist, erzeugt Steuersignale entsprechend dem zugeführten Befehl und erzeugt ein Befehlsempfangssignal CMDEN bei Vollendung der Speicherarray-Operation, um den nächsten Befehl zu empfangen und die Steuersignale entsprechend dem nächsten Befehl zu erzeugen. Gemäß der Abwandlung ist die Speicherarray-Operationsperiode entsprechend dem internen Operationszyklus so bemessen, um kürzer als das minimale Intervall von externen Befehlen zu sein. Als Resultat kann in einem normalen Zustand der interne Operationszyklus synchron mit der Eingangszeitlage des externen Befehls wiederholt werden. Wenn der Auffrischbefehl intern ausgegeben wird, können andererseits die internen Operationszyklen asynchron zu der Eingangszeitlage des externen Befehls seriell wiederholt werden. Das heißt, in dem normalen Operationszustand arbeitet die Speicherschaltung in einem langsameren Operationsmodus synchron mit der Zeitlage des externen Befehls, wohingegen dann, wenn der interne Auffrischbefehl ausgegeben wird, die Speicherschaltung in einem schnelleren Operationsmodus gemäß dem internen Operationszyklus arbeitet. Wenn der interne Operationszyklus die Zeitlage des externen Befehls einholt, kehrt die Speicherschaltung zu dem langsameren Operationsmodus zurück.

[0196] [Fig. 51A](#) und B sind Zeitlagendiagramme, die eine Operation der obigen Abwandlung zeigen. [Fig. 51A](#) zeigt einen normalen Operationszustand, der der langsamere Operationsmodus ist und mit der Zeitlage des externen Befehls synchron ist. Wie in

der Zeichnung gezeigt, ist die Speicherzellenarray-Operationsperiode tmca so bemessen, um kürzer als ein minimales Intervall der externen Befehle tecmd zu sein. Wenn die Speicherzellenarray-Operation, die die interne Operation ist, synchron mit dem externen Befehl beginnt, geht deshalb die Operation zu Ende, bevor der nächste externe Befehl zugeführt wird. Obwohl das Befehlsempfangssignal CMDEN als Antwort auf das Ende der Speicherzellenarray-Operation auf den H-Pegel ansteigt, wird der nächste externe Befehl (RD, WR) zu dieser Zeit noch nicht zugeführt. Beim nächsten externen Befehl, der nach einer vorgegebenen Zeitperiode zugeführt wird, startet die nächste Speicherarray-Operation als Antwort auf den zugeführten Befehl. Trotz des asynchronen DRAMs kann dann, da der interne Operationszyklus tmca kürzer als das minimale Intervall der externen Befehle tecmd ist, der interne Operationszyklus synchron mit der Zeitlage des externen Befehls in dem normalen Operationszustand wiederholt werden.

[0197] [Fig. 51B](#) zeigt den schnelleren Operationsmodus, der zu der Zeitlage des externen Befehls asynchron ist, wenn der interne Auffrischbefehl REF ausgegeben wird. Da eine Unterbrechung bei der internen Auffrischoperation erfolgt, kann die Speicherarray-Operation erst zu der nächsten Zeitlage des externen Befehls beendet werden. Deshalb werden die nächsten Speicherarray-Operationen als Antwort auf den Anstieg des Befehlsempfangssignals CMDEN kontinuierlich ausgeführt. Das heißt, die internen Operationszyklen werden wiederholt ausgeführt, ohne auf die Zeitlage des nächsten externen Befehls zu warten.

[0198] [Fig. 52](#) ist ein Operationszeitlagendiagramm in dem Fall, wenn der normale Operationszustand bei Erzeugung des internen Auffrischbefehls in den schnelleren Operationsmodus übergeht. [Fig. 52](#) ist dasselbe wie das Operationszeitlagendiagramm von [Fig. 5](#), nur daß das Taktsignal CLK1 eliminiert wurde. Wenn der erste Lesebefehl RD(A0) erzeugt wird, wird die vorherige Speicherzellenarray-Operation beendet und ist das Befehlsempfangssignal CMDEN bereits auf dem H-Pegel. Deshalb beginnt die interne Speicherzellenarray-Operation als Antwort auf die Zeitlage des Lesebefehls RD(A0). Dies ist der Zyklus Nr. 1. Die Speicherzellenarray-Operation umfaßt, wie oben beschrieben, den Wortleitungsantrieb (Steuer-Signal ϕ_{WL}), die Leseverstärkeraktivierung (ϕ_{LE}), die Spaltengatterselektion (ϕ_{CL}) und das Vorladen (ϕ_{PRE}). Wenn das Vorladesteuersignal erzeugt wird, erreicht das Befehlsempfangssignal CMDEN den H-Pegel.

[0199] Gemäß [Fig. 52](#) erreicht das Auffrischzeitgeber-Signal REFTM den H-Pegel während der ersten Leseoperation, um die Zeitlage des internen Auffrischens anzugeben. Als Antwort darauf wird ein inter-

ner Auffrischbefehl REF(Aa) erzeugt.

[0200] Wenn die Speicherzellenarray-Operation für den ersten Lesebefehl beendet ist und das Befehlsempfangssignal CMDEN den H-Pegel erreicht, ist der Auffrischbefehl REF(Aa) bereits erzeugt, weshalb die Auffrischoperation für den Auffrischbefehl sofort starten kann. Dies ist der Zyklus Nr. 2. Die Auffrischoperation ist eine Leseoperation ohne die Spalten-gatterselektion.

[0201] Da ferner während der internen Auffrischoperation der nächste Lesebefehl RD(A1) zugeführt wird, startet die interne Leseoperation kontinuierlich bei Vollendung der Auffrischoperation. Dies ist der Zyklus Nr. 3.

[0202] [Fig. 53](#) ist ein Zeitlagendiagramm des langsamen Operationsmodus und des schnellen Operationsmodus gemäß der vorliegenden Abwandlung. Dieses ist jenem von [Fig. 6](#) äquivalent, wobei das Taktsignal CLK1 eliminiert wurde. Das heißt, bei dem taktasynchronen DRAM wird der externe Befehl CMD mit einem Intervall zugeführt, das größer gleich dem minimalen Intervall der externen Befehle ist, und Lesedaten werden nach einer vorgegebenen Verzögerungszeit VERZÖGERUNG ab Zufuhr des externen Befehls an dem Anschluß DQ ausgegeben. In [Fig. 53](#) ist die Operation während der ersten drei Lesebefehle RD-A0 bis RD-A2 der langsamere Operationsmodus, bei dem die interne Operation synchron mit dem externen Befehl ausgeführt wird. Die Operation während der Lesebefehle RD-A4 bis A7 nach Erzeugung des Auffrischbefehls REF ist der schnellere Operationsmodus, bei dem die internen Operationszyklen kontinuierlich wiederholt werden. Wenn der interne Operationszyklus die Zeitlage des externen Befehls einholt, kehrt die Operation nach dem Lesebefehl RD-A8 zu dem langsameren Operationsmodus synchron mit dem externen Befehl zurück.

[0203] Gemäß der ersten Ausführungsform kann, wie oben beschrieben, entweder in dem Fall, wenn die externen Befehle synchron mit dem externen Takt zugeführt werden, oder in dem Fall, wenn die externen Befehle asynchron zugeführt werden, da der interne Operationszyklus so bemessen ist, um kürzer als der externe Operationszyklus oder der minimale Zyklus der externen Befehle zu sein, der intern erzeugte Auffrischbefehl zwischen den normalen Befehlen (Lesen oder Schreiben) unterbrechen.

[0204] Es ist eine Speicherschaltung offenbar worden, wie oben beschrieben, die Auffrischoperationen erfordert, mit: einem Speicherkern, der Speicherzellen hat; einer Speichersteuerschaltung, die bei M externen Operationszyklen ($M \geq 2$) N interne Operationszyklen hat, wobei N größer als M ist ($M < N < 2M$); und einer Auffrischbefehlserzeugungsschaltung, die Auffrischbefehle erzeugt; und bei der die N internen

Operationszyklen einen ersten internen Operationszyklus enthalten, der externe Befehle entsprechend den externen Operationszyklen ausführt, und einen zweiten internen Operationszyklus, der die Auffrischbefehle ausführt.

[0205] Diese Speicherschaltung kann ferner eine interne Takterzeugungsschaltung umfassen, die interne Taktsignale erzeugt, die die internen Operationszyklen definiert, gemäß einem externen Taktsignal, das die externen Operationszyklen definiert; und bei der die externen Befehle synchron mit dem externen Taktsignal eingegeben werden und die internen Operationszyklen mit dem internen Taktsignal synchron sind. Vorzugsweise erfolgen die Ausgabe von Lese- daten und die Eingabe von Schreibdaten synchron mit dem externen Taktsignal, und die Ausgabe von Lesedaten von dem Speicherkern und die Eingabe von Schreibdaten für den Speicherkern erfolgen synchron mit dem internen Taktsignal.

[0206] In einer Form der Speicherschaltung erzeugt die interne Takterzeugungsschaltung N interne Taktzyklen für die M externen Taktzyklen, und die N internen Taktzyklen enthalten einen ersten internen Taktzyklus, der den ersten internen Operationszyklus steuert, und einen zweiten internen Taktzyklus, der den zweiten internen Operationszyklus steuert; und die Speichersteuerschaltung führt Auffrischoperationen synchron mit den zweiten internen Taktzyklen als Antwort auf die intern erzeugten Auffrischbefehle aus.

[0207] In einer alternativen Form der Speicherschaltung erzeugt die interne Takterzeugungsschaltung die N internen Taktzyklen für die M externen Taktzyklen, und die N internen Taktzyklen enthalten einen ersten internen Taktzyklus, der den ersten internen Operationszyklus steuert, und einen zweiten internen Taktzyklus, der den zweiten internen Operationszyklus steuert; welche Speicherschaltung eine Auffrischbefehlserzeugungsschaltung hat, die als Antwort auf Auffrischzeitgebersignale, die in einem vorgegebenen Auffrischzyklus erzeugt werden, und auf die zweiten internen Taktzyklen die Auffrischbefehle erzeugt; und welche Speichersteuerschaltung Auffrischoperationen gemäß den Auffrischbefehlen ausführt.

[0208] Die obenerwähnte eine Form der Speicherschaltung kann einen Energieherabschaltmodus haben, bei dem das externe Taktsignal nicht eingegeben wird und bei der im Energieherabschaltmodus die Speichersteuerschaltung die Auffrischoperationen als Antwort auf Auffrischzeitgebersignale ausführt, die in vorgegebenen Auffrischzyklen erzeugt werden, ungeachtet des internen Taktes.

[0209] Die obenerwähnte alternative Form der Speicherschaltung kann einen Energieherabschaltmodus

haben, bei dem das externe Taktsignal nicht eingegeben wird und bei der die Auffrischbefehlserzeugungsschaltung die Auffrischbefehle als Antwort auf die Auffrischzeitgebersignale ungeachtet des zweiten internen Taktes erzeugt.

[0210] Die Speichersteuerschaltung kann eine Steuerung entsprechend dem Auffrischbefehl in einer Vielzahl von zweiten internen Operationszyklen ausführen. Vorzugsweise wird innerhalb der Vielzahl der zweiten internen Operationszyklen eine vorgegebene Anzahl von konsekutiven ersten internen Operationszyklen eingefügt. Die zweiten internen Operationszyklen können kürzer als die ersten internen Operationszyklen sein.

[0211] In der obigen Speicherschaltung hat der Speicherkern vorzugsweise ein Datenregister, das die Daten von Speicherzellen, die aufgefroren werden, temporär hält, und die Speichersteuerschaltung liest Daten in den aufgefrorenen Speicherzellen und hält die Lesedaten in dem Datenregister während des anfänglichen zweiten internen Operationszyklus und schreibt in dem nächsten zweiten internen Operationszyklus die in dem Datenregister gehaltenen Daten wieder in die aufgefrorenen Speicherzellen.

[0212] Wenn in diesem Fall die Adresse in dem anfänglichen zweiten internen Operationszyklus und die Adresse in dem nachfolgenden ersten internen Operationszyklus koinzidieren, wird in dem nachfolgenden ersten internen Operationszyklus das Lesen oder Neuschreiben gemäß den Daten ausgeführt, die in dem Datenregister gehalten werden.

[0213] Es ist auch eine integrierte Schaltungsvorrichtung offenbart worden, die synchron mit einem Takt signal arbeitet, mit: einer internen Schaltung, die bei M externen Operationszyklen ($M \geq 2$) N interne Operationszyklen hat, wobei N größer als M ist ($M < N < 2M$), und bei der die N internen Operationszyklen erste interne Operationszyklen haben, die externe Befehle entsprechend den externen Operationszyklen ausführen, und zweite interne Operationszyklen, die interne Befehle ausführen.

[0214] Diese integrierte Schaltungsvorrichtung kann ferner eine interne Takterzeugungsschaltung umfassen, die ein internes Takt signal erzeugt, das die internen Operationszyklen definiert, gemäß einem externen Takt signal, das die externen Operationszyklen definiert. Die externen Befehle werden synchron mit dem externen Takt signal eingegeben, und die internen Operationszyklen sind mit dem internen Takt signal synchron.

[0215] Des weiteren ist eine Speicherschaltung offenbart worden, die Auffrischoperationen erfordert, mit: einem Speicherkerne, der Speicherzellen hat; ei-

ner Speichersteuerschaltung, die bei M externen Operationszyklen ($M \geq 2$) N interne Operationszyklen hat, wobei N größer als M ist ($M < N < 2M$); und einer Auffrischbefehlserzeugungsschaltung, die Auffrischbefehle erzeugt; und bei der die N internen Operationszyklen erste interne Operationszyklen enthalten, die externe Befehle entsprechend den externen Operationszyklen ausführen, und zweite interne Operationszyklen, die die Auffrischbefehle ausführen, und die Auffrischbefehlserzeugungsschaltung die Auffrischbefehle gemäß einem Empfang des externen Befehls erzeugt.

[0216] In dieser Schaltung hat ein externes Taktignal vorzugsweise eine Frequenz, die höher als die Frequenz der externen Operationszyklen ist. Die Speicherschaltung umfaßt ferner eine interne Takterzeugungsschaltung, die ein internes Taktignal erzeugt, das die internen Operationszyklen gemäß dem externen Taktignal definiert. Die externen Befehle werden gemäß einem Zyklus zugeführt, der größer gleich dem externen Operationszyklus ist, und werden synchron mit dem externen Taktignal eingegeben.

[0217] Dadurch wird es möglich, daß die Auffrischbefehlserzeugungsschaltung die Erzeugung der Auffrischbefehle gemäß der Kombination von externen Befehlen zuläßt, die synchron mit einer vorgegebenen Anzahl von externen Taktzyklen eingegeben werden.

[0218] Alternativ gestattet die Auffrischbefehlserzeugungsschaltung die Erzeugung der Auffrischbefehle, wenn die externen Befehle nicht synchron mit irgendwelchen externen Taktzyklen von einer vorgegebenen Anzahl von konsekutiven externen Taktzyklen eingegeben werden.

[0219] In einer Form dieser Speicherschaltung beträgt die Frequenz der externen Befehle das L-fache der Frequenz der externen Operationszyklen, und die Auffrischbefehlserzeugungsschaltung gestattet die Erzeugung der Auffrischbefehle, wenn die externen Befehle nicht synchron mit irgendwelchen ($L - 1$) externen Taktzyklen von L konsekutiven externen Taktzyklen eingegeben werden und innerhalb der M externen Operationszyklen Kombinationen der genannten ($L - 1$) externen Taktzyklen in Umlauf gebracht werden.

[0220] In einer anderen Form der Speicherschaltung, bei der die Frequenz der externen Befehle das L-fache der Frequenz der externen Operationszyklen beträgt, umfaßt die Speicherschaltung ferner ein internes Befehlsregister, das die externen Befehle in den aktuellsten L externen Taktzyklen hält, und sie erzeugt entsprechende interne Befehle gemäß den gehaltenen externen Befehlen. In vorgegebenen Zyklen von den N internen Operationszyklen ignoriert

das interne Befehlsregister die gehaltenen externen Befehle in einigen Zyklen von den L gehaltenen externen Befehlen und erzeugt die internen Befehle.

[0221] In dieser anderen Form der Speicherschaltung gestattet die Auffrischbefehlserzeugungsschaltung die Erzeugung der Auffrischbefehle gemäß internen Befehlen, die durch das interne Befehlsregister erzeugt werden.

[0222] Alternativ gestattet die Auffrischbefehlserzeugungsschaltung die Erzeugung der Auffrischbefehle, wenn keine internen Befehle existieren, die durch das interne Befehlsregister erzeugt werden.

[0223] Auf jeden Fall erzeugt die Auffrischbefehlserzeugungsschaltung die Auffrischbefehle während eines Zustandes der Erlaubnis der Auffrischbefehlserzeugung als Antwort auf die Erzeugung von Auffrischzeitgebersignalen, die zu einer vorgegebenen Zeitlage erzeugt werden.

[0224] Die obige Beschreibung hat auch eine Speicherschaltung offenbart, die Auffrischoperation erfordert, mit: einem Speicherkern, der Speicherzellen hat; einer ersten Schaltung, die einen Befehl empfängt, der synchron mit einem externen Taktignal zugeführt wird, und die einen ersten internen Befehl intern erzeugt; einer zweiten Schaltung, die einen Auffrischbefehl intern in einem vorgegebenen Auffrischzyklus erzeugt, der größer (länger) als der Zyklus des externen Taktsignals ist; und einer Speichersteuerschaltung, die einen ersten internen Operationszyklus und einen zweiten internen Operationszyklus enthält, der kürzer als der erste interne Operationszyklus ist, eine Steuerung entsprechend dem ersten internen Operationszyklus ausführt und, wenn der Auffrischbefehl ausgegeben wird, sequentiell eine Steuerung entsprechend dem Auffrischbefehl und eine Steuerung entsprechend dem ersten internen Befehl gemäß dem zweiten internen Operationszyklus ausführt.

[0225] In dieser Speicherschaltung führt die Speichersteuerschaltung vorzugsweise die entsprechende Steuerung gemäß dem ersten internen Operationszyklus aus, falls eine Endzeitlage der internen Operation schneller (früher) als eine Erzeugungszeitlage des ersten internen Befehls oder des Auffrischbefehls ist, und führt die entsprechende Steuerung gemäß dem zweiten internen Operationszyklus aus, falls die Erzeugungszeitlage des ersten internen Befehls oder des Auffrischbefehls schneller (früher) als die Endzeitlage der internen Operation ist.

[0226] Darüber hinaus ist eine integrierte Schaltungsvorrichtung offenbart worden, die synchron mit einem Taktignal arbeitet, mit: einer ersten Schaltung, die einen ersten internen Befehl intern gemäß einem extern empfangenen Befehl erzeugt; einer

zweiten Schaltung, die einen zweiten internen Befehl intern in einem vorgegebenen Zyklus erzeugt, der größer (länger) als die Zyklen eines externen Befehlszyklus ist; und einer internen Schaltung, die einen ersten internen Operationszyklus enthält, gemäß dem eine interne Operation synchron mit dem externen Operationszyklus ausgeführt wird, und einen zweiten internen Operationszyklus, gemäß dem die interne Operation in einem Zyklus ausgeführt wird, der kürzer als der erste interne Operationszyklus ist; bei der die interne Schaltung eine Operation entsprechend dem ersten internen Befehl gemäß dem ersten internen Operationszyklus in einem normalen Zustand ausführt und eine Operation entsprechend den ersten und zweiten internen Befehlen gemäß dem zweiten Operationszyklus während einer vorgegebenen Periode nach Erzeugung des zweiten internen Befehls ausführt.

[0227] Schließlich hat die obige Beschreibung eine Speicherschaltung offenbart, die Auffrischoperationen erfordert, mit: einem Speicherkern, der Speicherzellen hat; einer ersten Schaltung, die externe Befehle empfängt, die mit einem Intervall zugeführt werden, das größer gleich einem minimalen Zyklus von externen Befehlen ist, und die einen ersten internen Befehl intern erzeugt; einer zweiten Schaltung, die einen Auffrischbefehl intern in einem vorgegebenen Auffrischzyklus erzeugt, der größer (länger) als der minimale Zyklus von externen Befehlen ist; und einer Speichersteuerschaltung, die eine interne Operation entsprechend dem ersten internen Befehl gemäß einem internen Operationszyklus ausführt, der kürzer als der minimale Zyklus von externen Befehlen ist; bei der die Speichersteuerschaltung eine interne Operation entsprechend dem ersten internen Befehl als Antwort auf eine Zeitlage des externen Befehls ausführt, während eine Endzeitlage des internen Operationszyklus schneller als die Zeitlage des externen Befehls ist, und, wenn der Auffrischbefehl ausgegeben wird, sequentiell eine Steuerung entsprechend dem Auffrischbefehl und eine Steuerung entsprechend dem ersten internen Befehl gemäß dem internen Operationszyklus ausführt.

[0228] Vorzugsweise empfängt in dieser Speicherschaltung, wenn die interne Operation beendet ist, die Speichersteuerschaltung den ersten internen Befehl, der durch die erste Schaltung erzeugt wird, oder den Auffrischbefehl, der durch die zweite Schaltung erzeugt wird, und sie führt die entsprechende interne Operation aus.

[0229] Durch diese Erfindung können somit in einer integrierten Schaltung des taktsynchronen Typs vorgegebene interne Operationszyklen, die keinen externen Instruktionen entsprechen, autonom erzeugt und ausgeführt werden, so daß die Steuerung eines externen Controllers vereinfacht werden kann.

[0230] Durch diese Erfindung können in einer Speicherschaltung, die ein Auffrischen erfordert, Auffrischoperationszyklen auch in dem normalen Operationszustand automatisch intern erzeugt werden, ohne Auffrischbefehle von einem externen Controller anzuwenden.

[0231] Der Schutzmfang dieser Erfindung ist nicht auf die oben beschriebenen Ausführungsformen begrenzt, sondern erstreckt sich auf die in den Ansprüchen beschriebenen Erfindungen.

Patentansprüche

1. Speichervorrichtung, die externe Befehle (CMD) empfängt, mit:
einem Speicherkern (15), der DRAM-Zellen enthält; einer Auffrischbefehlserzeugungsschaltung (20) zum internen Erzeugen eines Auffrischbefehls zum Auffrischen der DRAM-Zellen; und
einer Steuerschaltung (14), die den externen Befehl (CMD) und den Auffrischbefehl (REF) empfängt, zum Steuern des Speicherkerns;
bei der die externen Befehle mit einem Intervall zugeführt werden, das größer gleich einer minimalen Zykluszeit der externen Befehle ist, wobei die DRAM-Zellen eine interne Operationszykluszeit haben, die kürzer als die minimale Zykluszeit der externen Befehle ist; **dadurch gekennzeichnet**, daß:
die Steuerschaltung ein aktives Befehlsempfangssignal (CMDEN) erzeugt, wenn der Speicherkern die Ausführung einer internen Operation beendet und eine neue interne Operation starten kann; bei der in dem Fall, wenn die Steuerschaltung (14) keinen neuen externen Befehl und keine neuen Auffrischbefehle während der Ausführung einer gegenwärtigen internen Operation empfängt, der Speicherkern die Ausführung eines neuen internen Operationszyklus entsprechend einem neuen externen Befehl bei Empfang des neuen externen Befehls startet; und in dem Fall, wenn die Steuerschaltung (14) keinen neuen externen Befehl und keine neuen Auffrischbefehle während der Ausführung einer gegenwärtigen internen Operation empfängt, der Speicherkern die Ausführung eines neuen internen Operationszyklus entsprechend einem neuen Auffrischbefehl bei Empfang des neuen Auffrischbefehls startet; und in dem Fall, wenn die Steuerschaltung (14) einen neuen externen Befehl während der Ausführung einer gegenwärtigen internen Operation empfängt, der Speicherkern die Ausführung eines neuen internen Operationszyklus entsprechend dem neuen externen Befehl startet, wenn das Befehlsempfangssignal auf Grund der Vollendung der gegenwärtigen internen Operation aktiv wird; und
in dem Fall, wenn die Steuerschaltung (14) einen neuen Auffrischbefehl während der Ausführung einer gegenwärtigen internen Operation empfängt, der Speicherkern die Ausführung eines neuen internen Operationszyklus entsprechend dem neuen Auf-

frischbefehl startet, wenn das Befehlsempfangssignal auf Grund der Vollendung der gegenwärtigen internen Operation aktiv wird.

2. Speichervorrichtung nach Anspruch 1, bei der eine Latenzperiode zwischen einer Empfangszeitlage des neuen externen oder Auffrischbefehls und der Anfangszeitlage des aktiven Befehlsempfangssignals (CMDEN) in dem Fall vorhanden ist, wenn die Steuerschaltung (14) keine neuen externen und Auffrischbefehle zu Beginn der Periode empfängt, die anfängt, wenn das Befehlsempfangssignal (CMDEN) aktiv ist.

3. Speichervorrichtung nach Anspruch 1 oder 2, bei der eine Vielzahl der internen Operationszyklen sequentiell ausgeführt wird, während die Steuerschaltung (14) die neuen externen oder Auffrischbefehle zu Beginn des aktiven Befehlsempfangssignals (CMDEN) empfängt.

4. Speichervorrichtung nach Anspruch 1, 2 oder 3, welche Speichervorrichtung ein DRAM des asynchronen Typs ist, dem kein externes Taktsignal zugeführt wird.

5. Speichervorrichtung nach irgendeinem vorhergehenden Anspruch, bei dem der externe Befehl (CMD) ein Lesebefehl oder ein Schreibbefehl ist.

6. Speichervorrichtung nach irgendeinem vorhergehenden Anspruch, bei der die Auffrischbefehlserzeugungsschaltung (20) den Auffrischbefehl (REF) sowohl in einem normalen Operationsmodus als auch in einem Energieherabschaltmodus erzeugt.

7. Speichervorrichtung nach irgendeinem vorhergehenden Anspruch, bei der der interne Operationszyklus eine Aktivierung einer Wortleitung, eine Verstärkung der Bitleitungsspannung, eine Inaktivierung der Wortleitung und ein Vorladen der Bitleitungen enthält.

8. Speichervorrichtung nach irgendeinem vorhergehenden Anspruch, bei der das Befehlsempfangssignal (CMDEN) als Antwort auf ein Vorladesignal zum Vorladen von Bitleitungen erzeugt wird.

9. Speichervorrichtung nach Anspruch 8, bei der ein Übergang des Befehlsempfangssignals (CMDEN) dem Beginn der Periode entspricht, die anfängt, wenn das Befehlsempfangssignal (CMDEN) aktiv ist.

10. Speichervorrichtung nach irgendeinem vorhergehenden Anspruch, ferner mit: einem Befehlsregister (11) zum Speichern des externen Befehls (CMD) und Zuführen des externen Befehls zu der Steuerschaltung (14).

11. Speichervorrichtung nach Anspruch 10, bei der das Befehlsregister (11) bei Initiierung des internen Operationszyklus zurückgesetzt wird.

Es folgen 53 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1 STAND DER TECHNIK

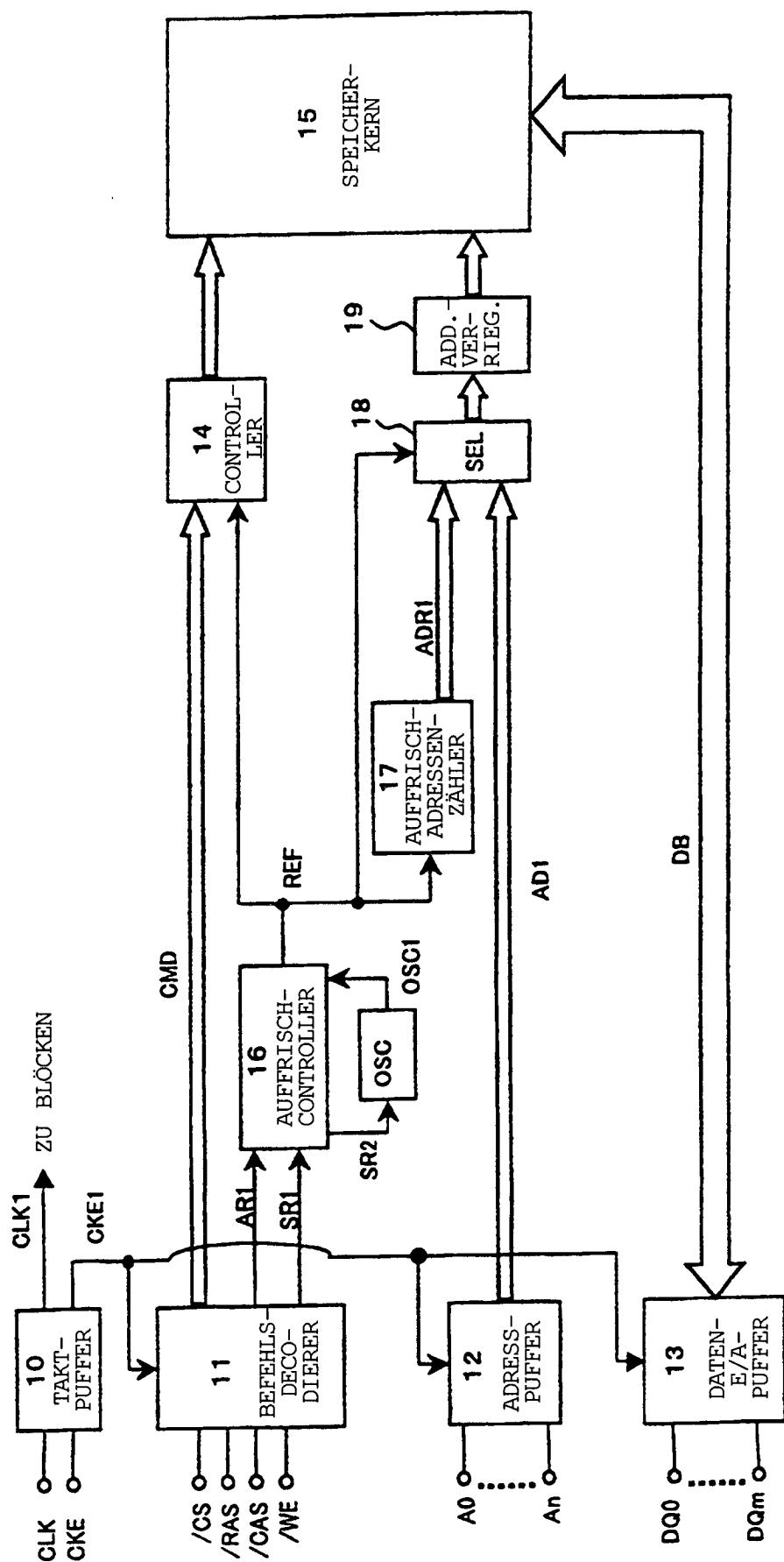


FIG. 2

ERSTE AUSFÜHRUNGSFORM

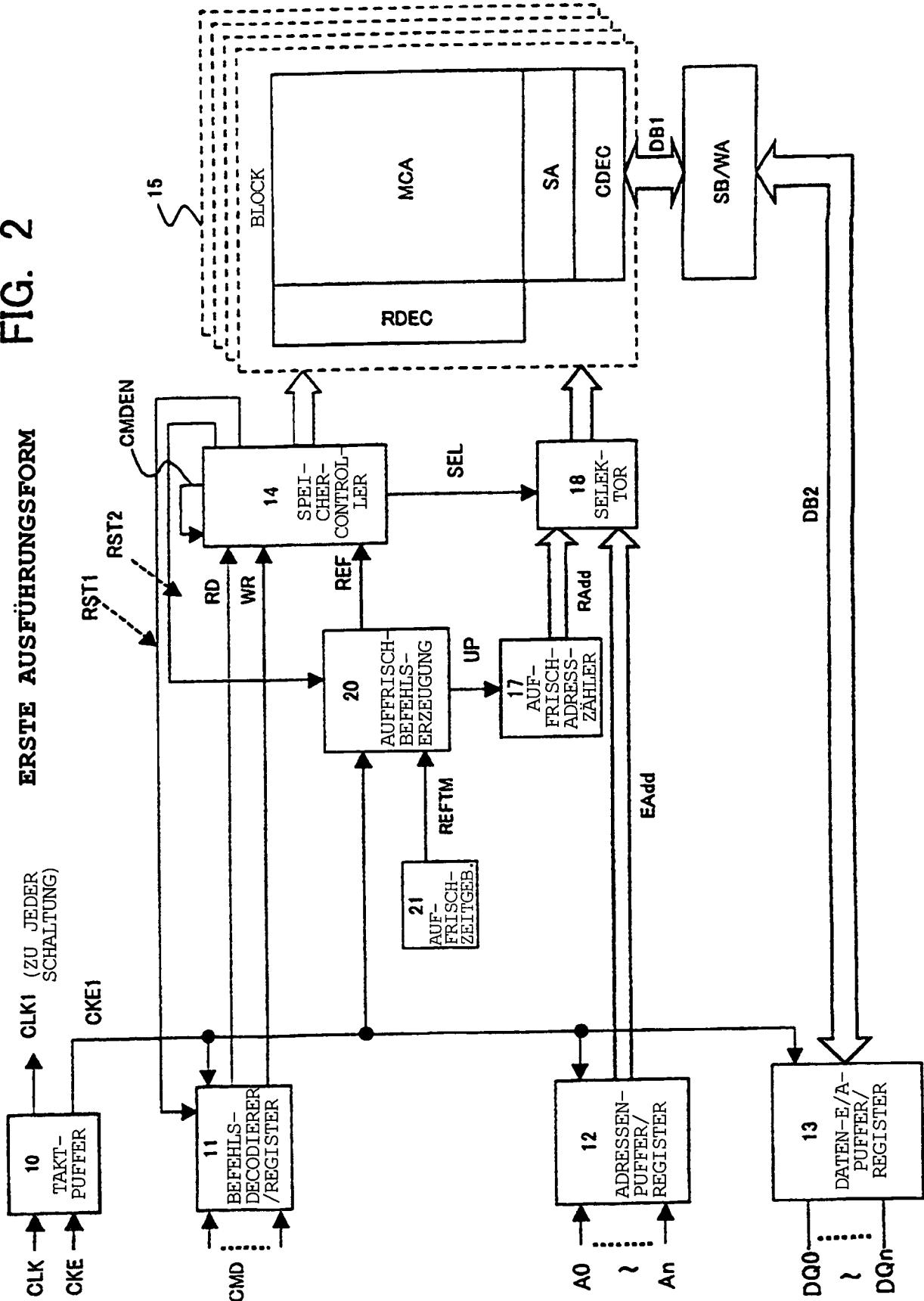


FIG. 3A
TAKTSYNCHRONE
OPERATION

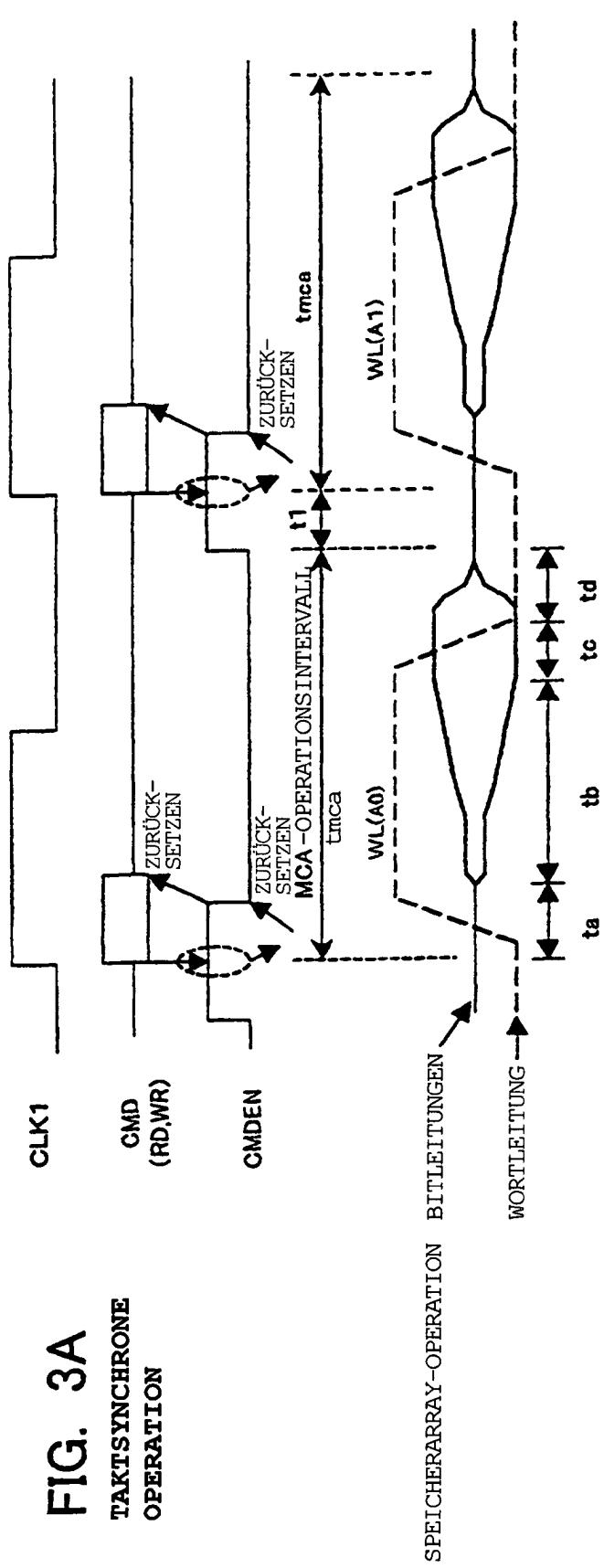


FIG. 3B
TAKTASYNCHRONE
OPERATION

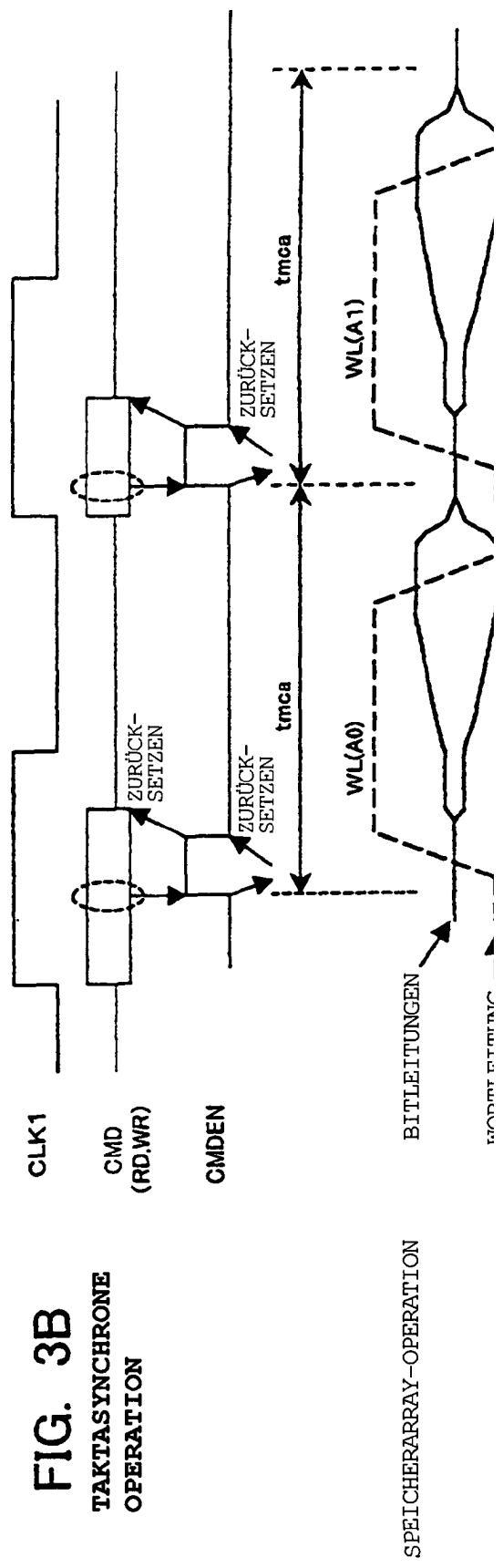


FIG. 4

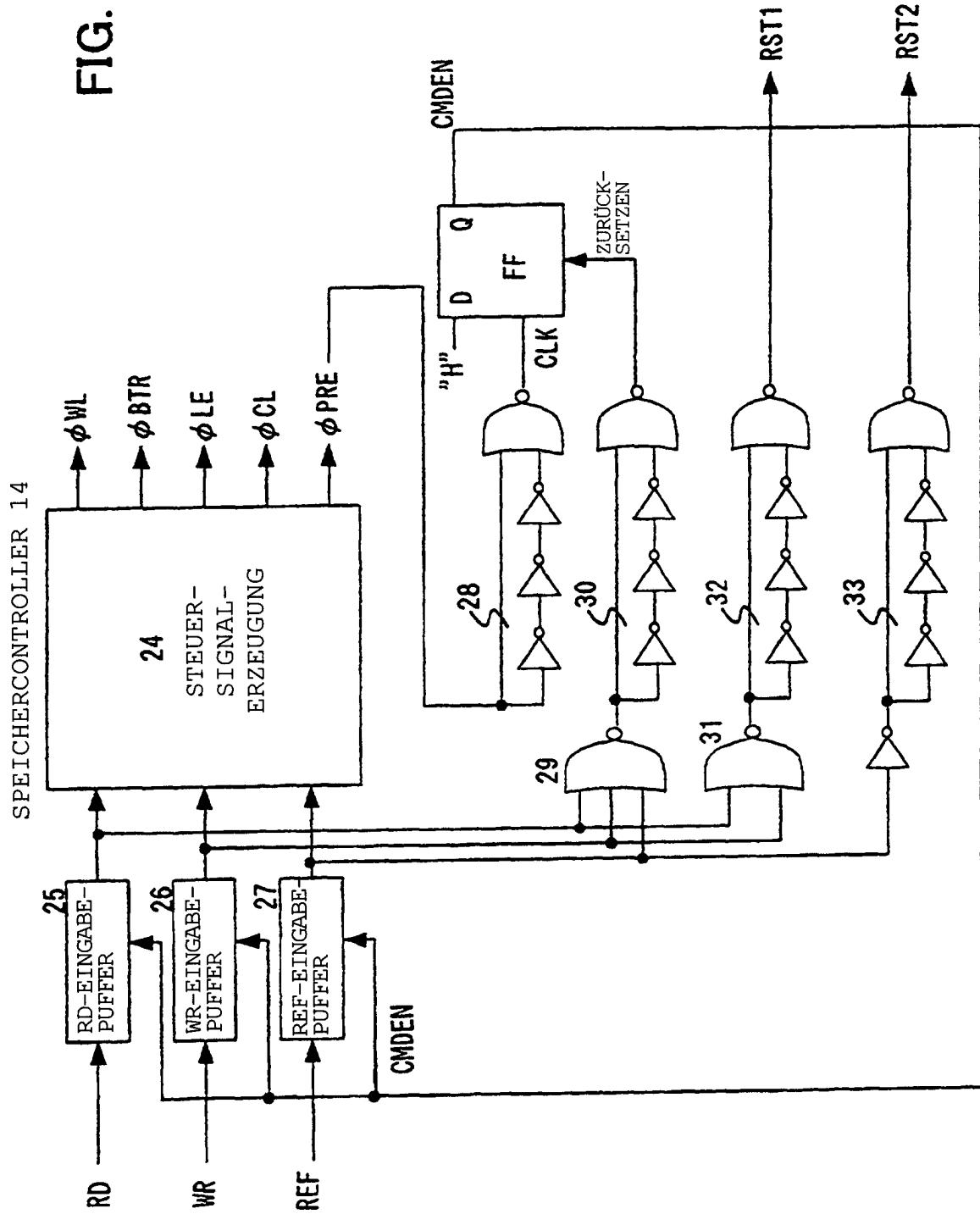


FIG. 5

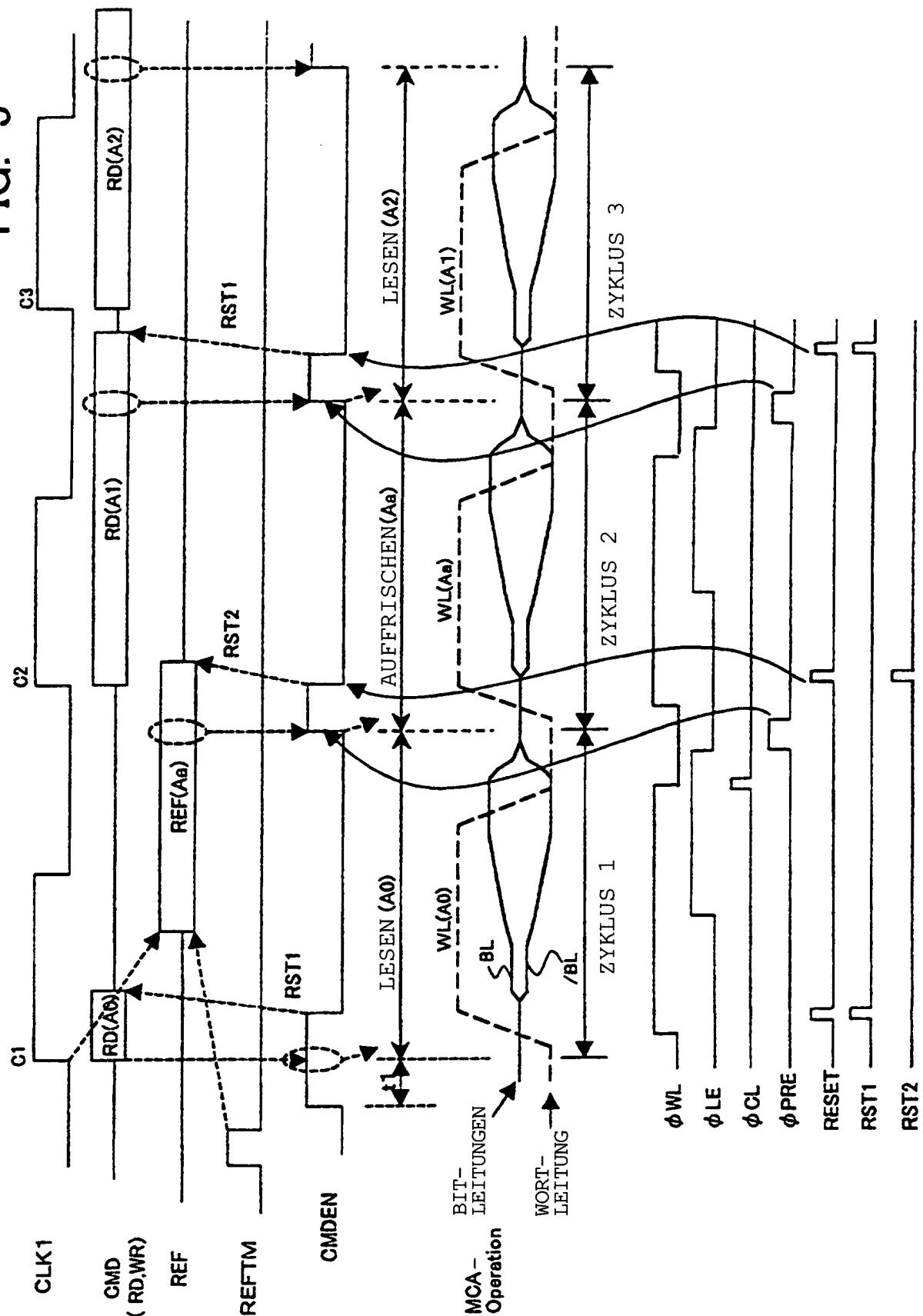


FIG. 6

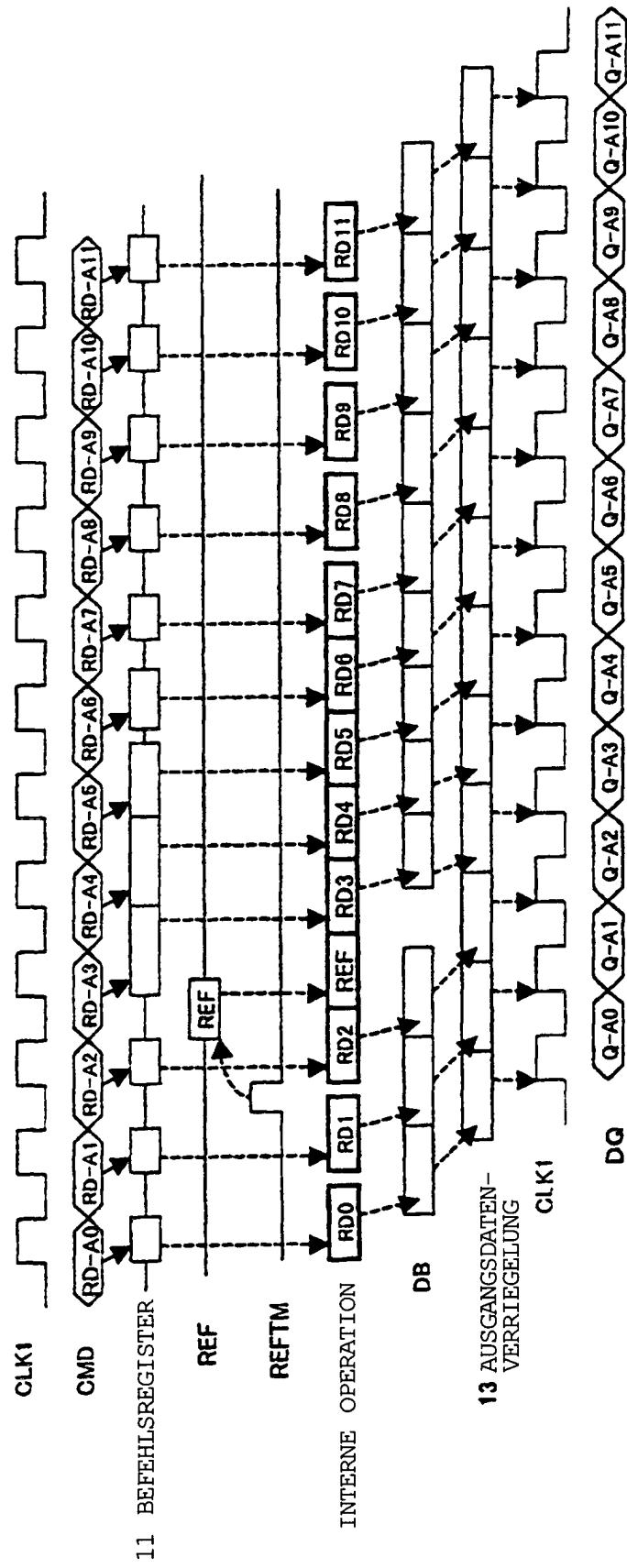


FIG. 7

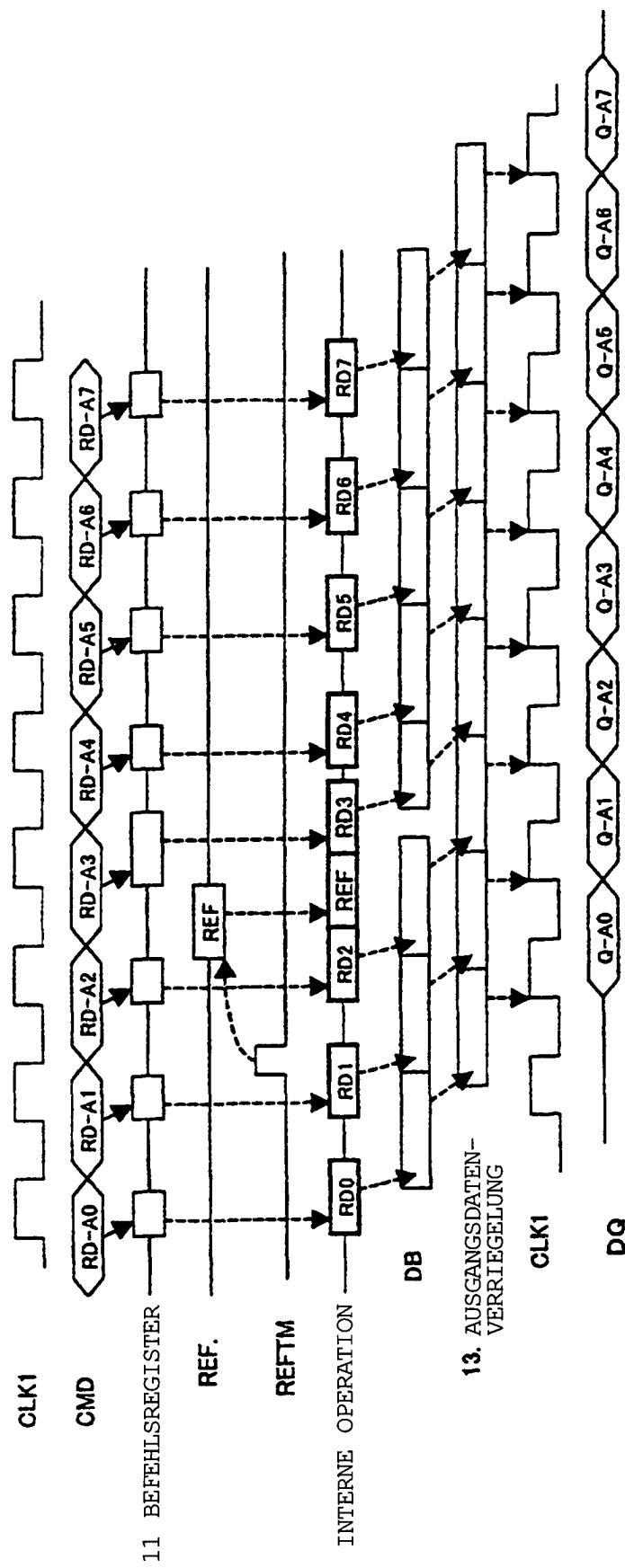


FIG. 8

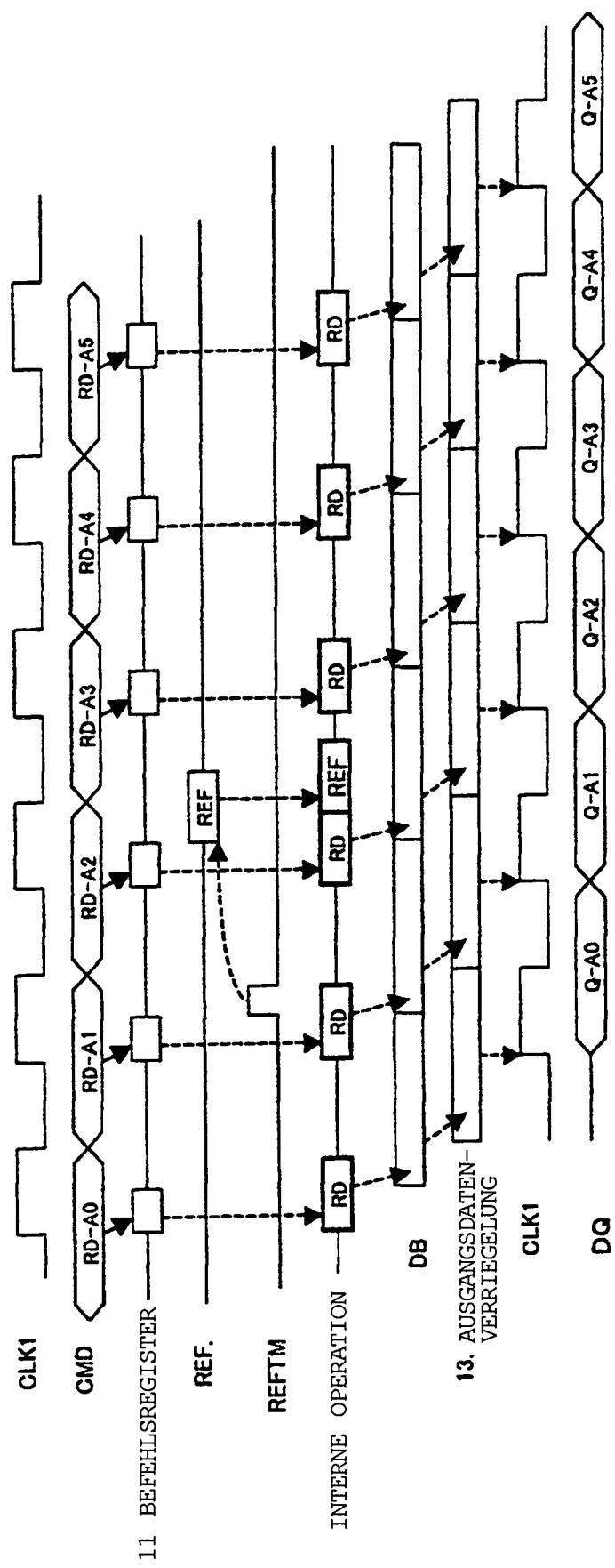


FIG. 9

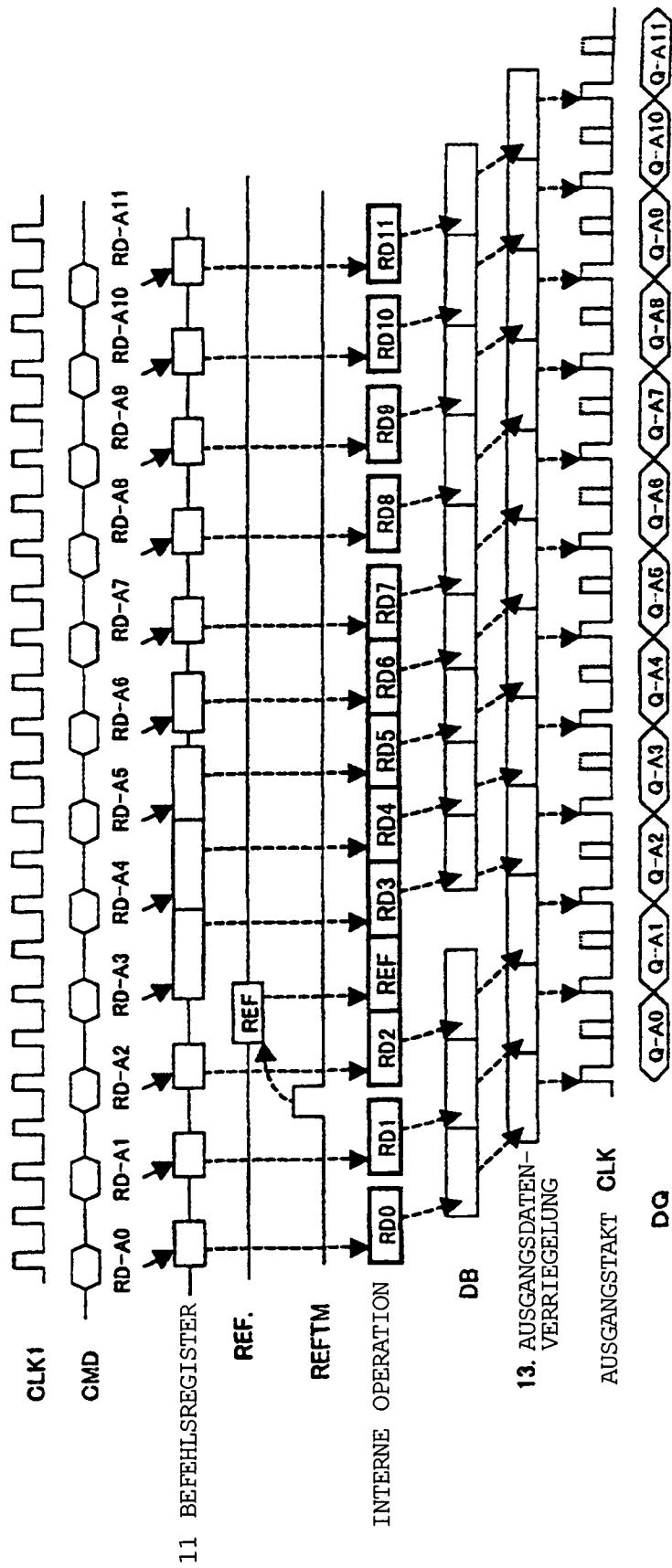


FIG. 10

ZWEITE AUSFÜHRUNGSFORM

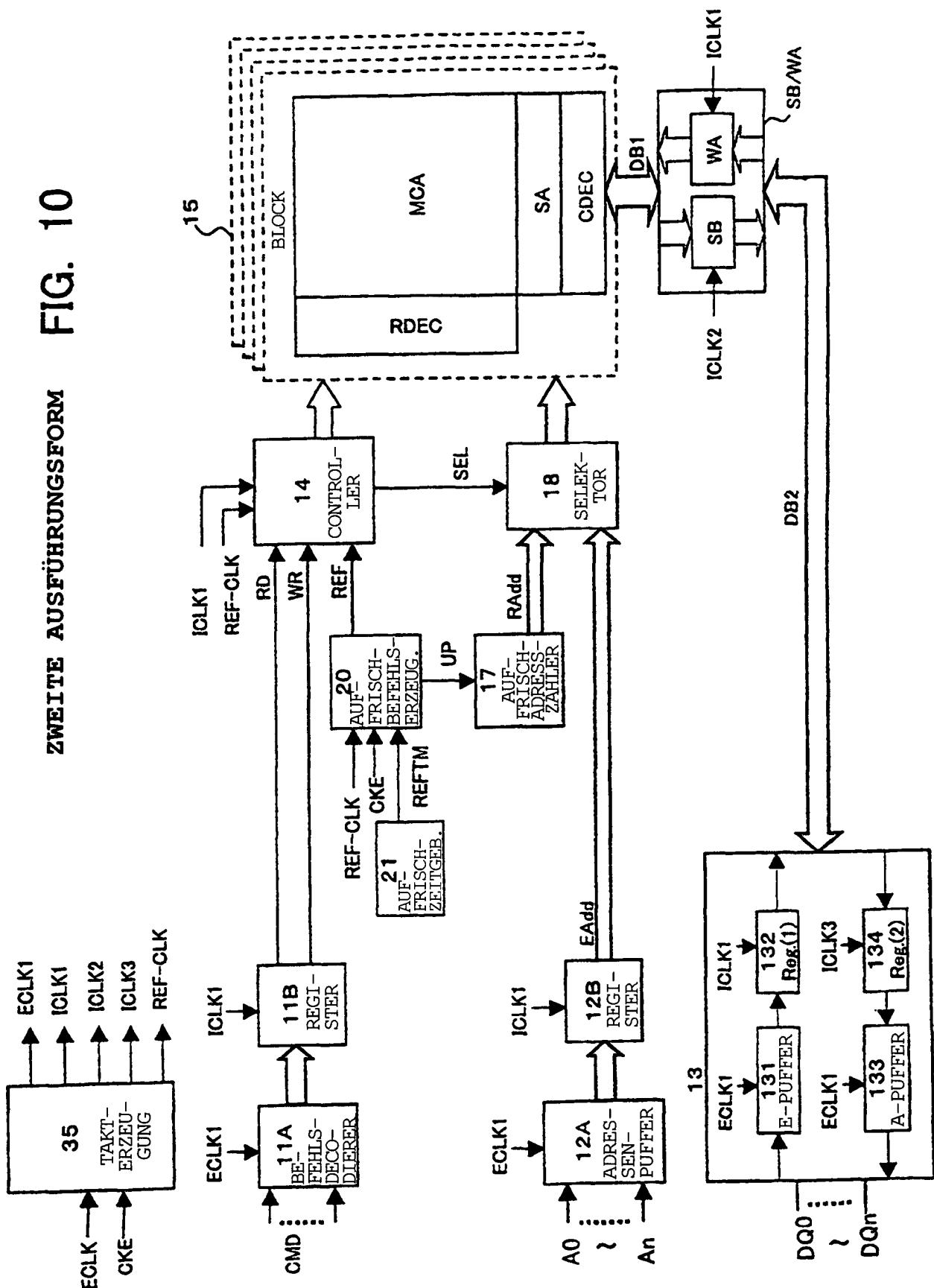


FIG. 11

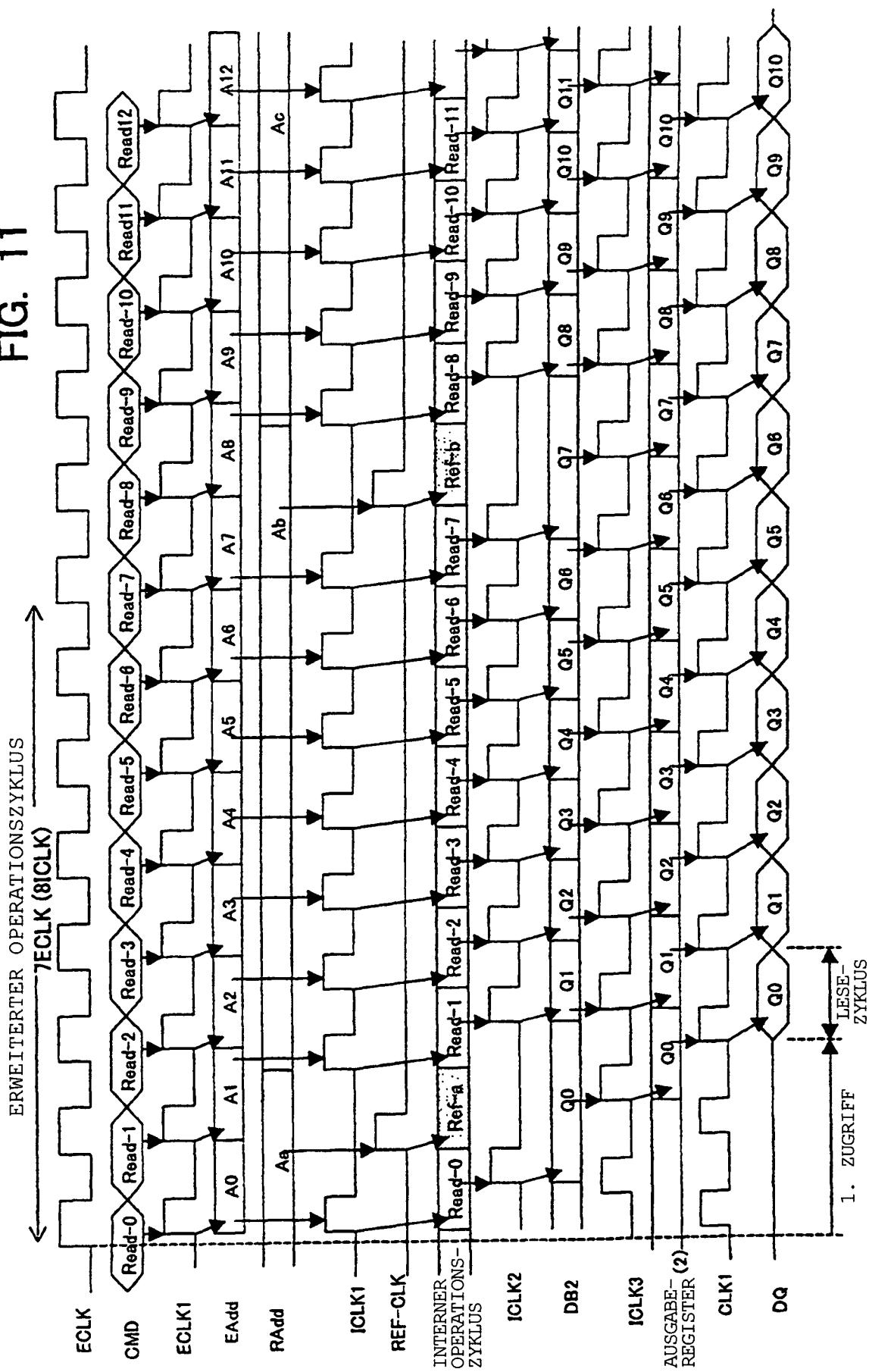


FIG. 12

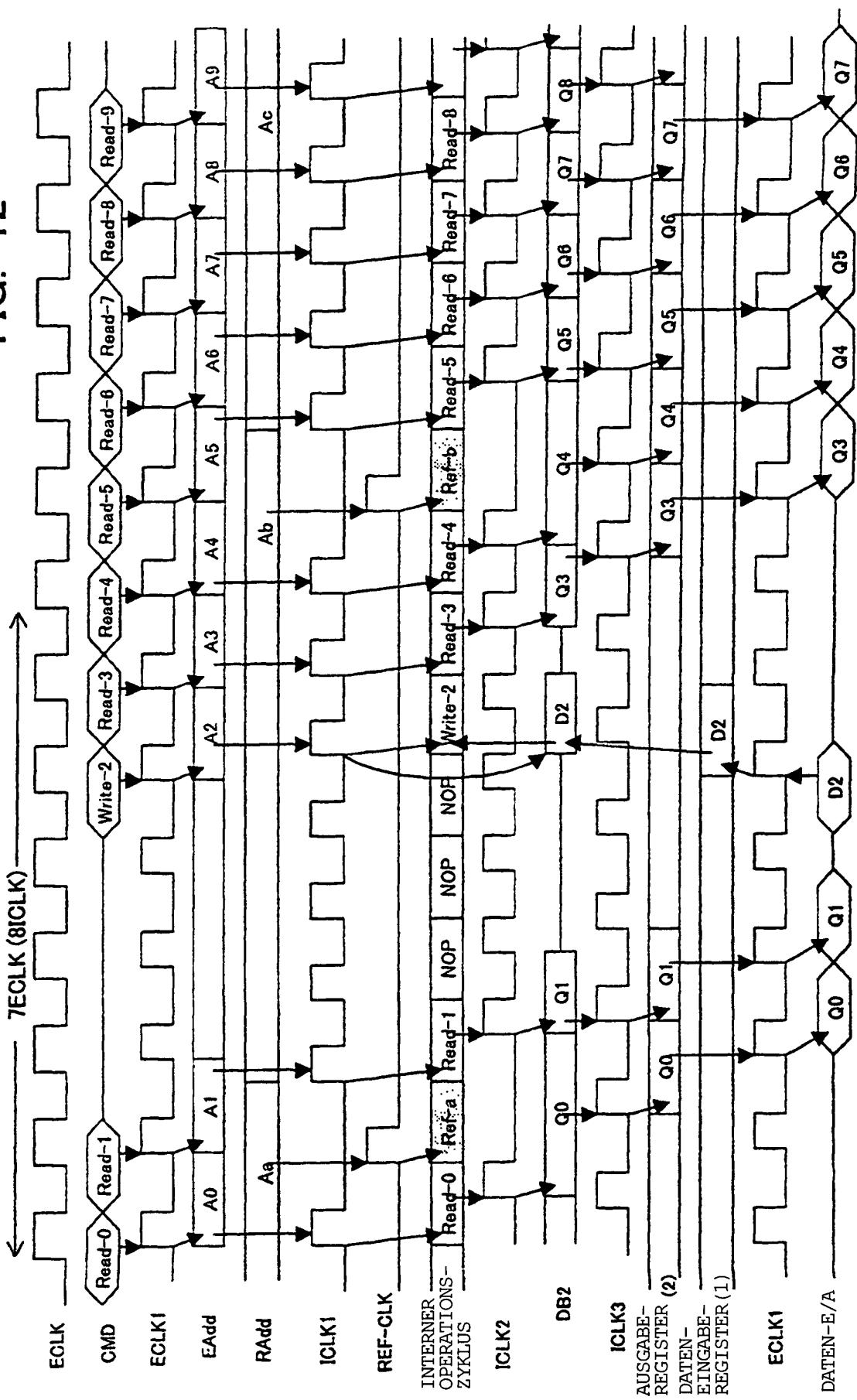


FIG. 13

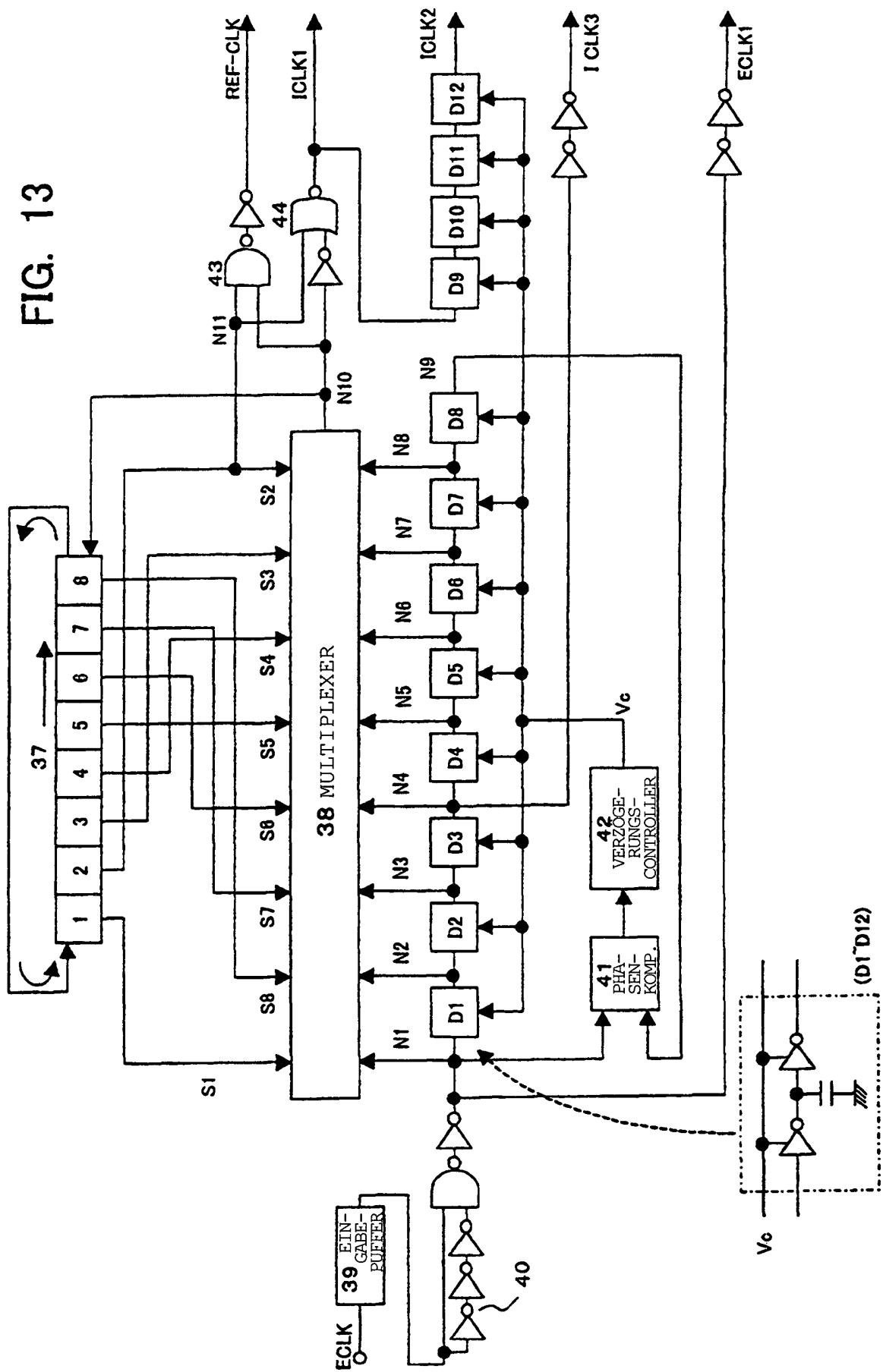


FIG. 14

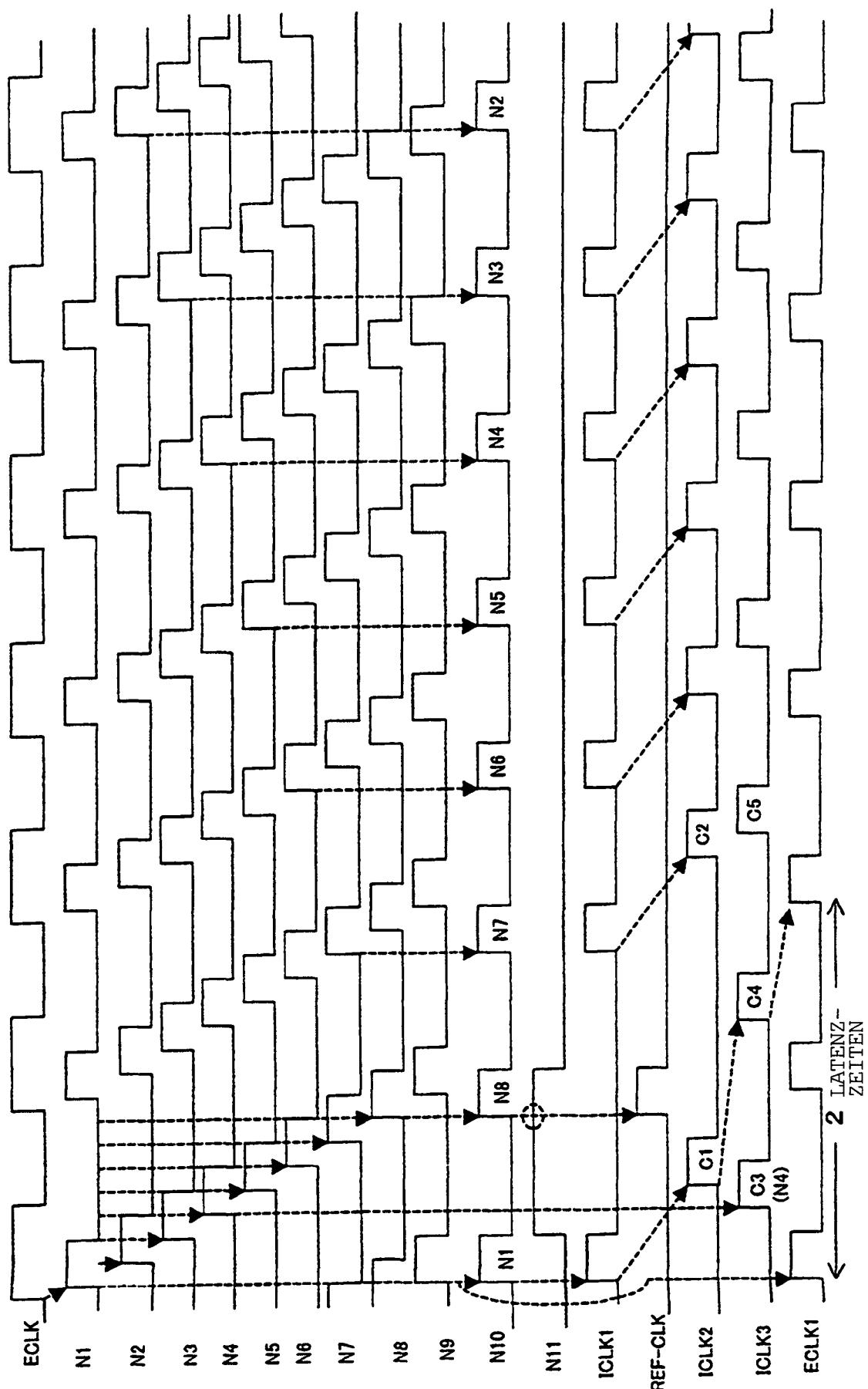


FIG. 15 AUFFRISCHBEFEHLSERZEUGUNG

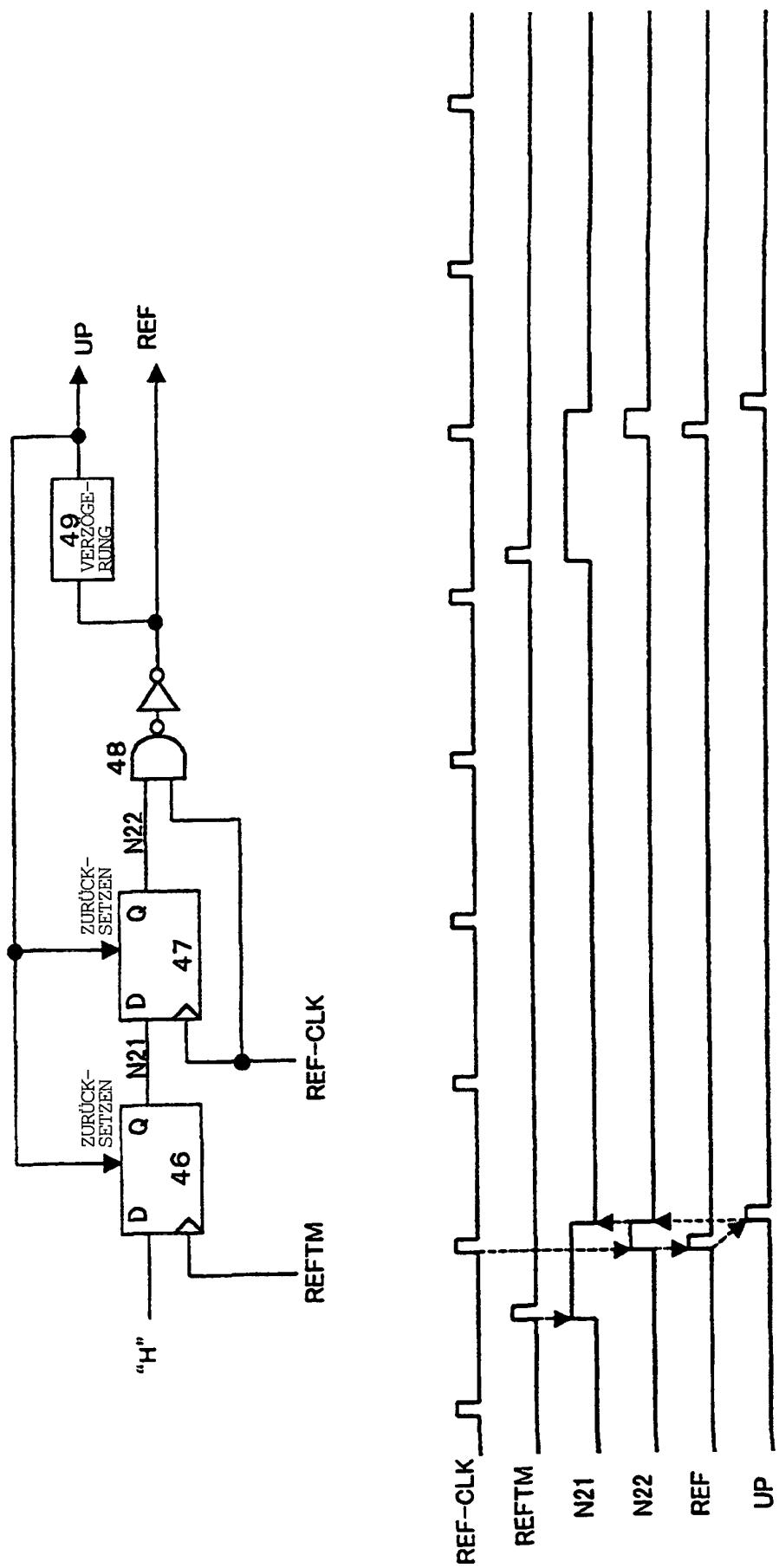


FIG. 16

DRITTE AUSFÜHRUNGSFORM

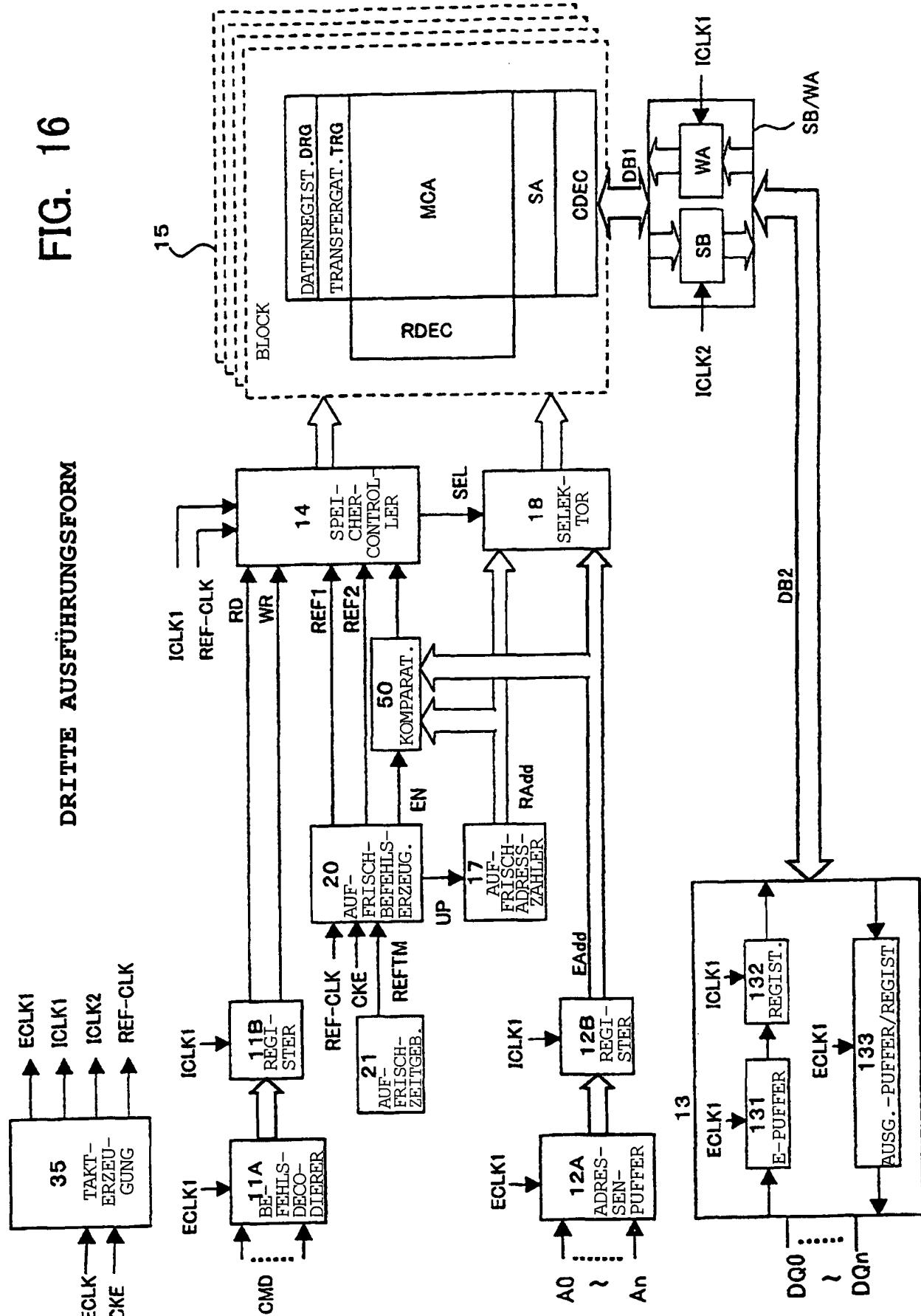


FIG. 17A
NORMALÉ
AUFRISCH-
OPERATION

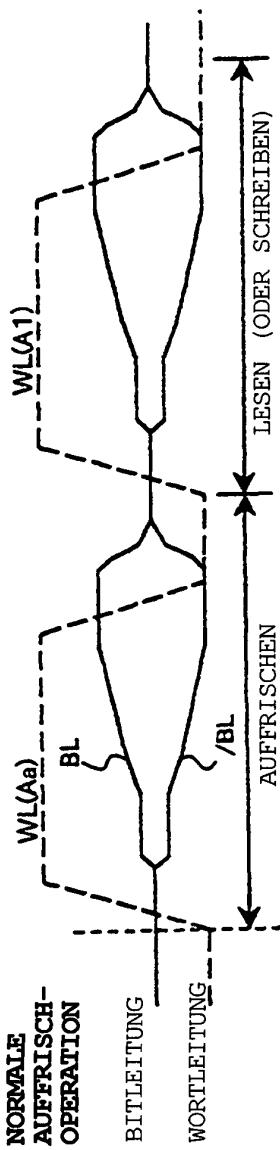


FIG. 17B

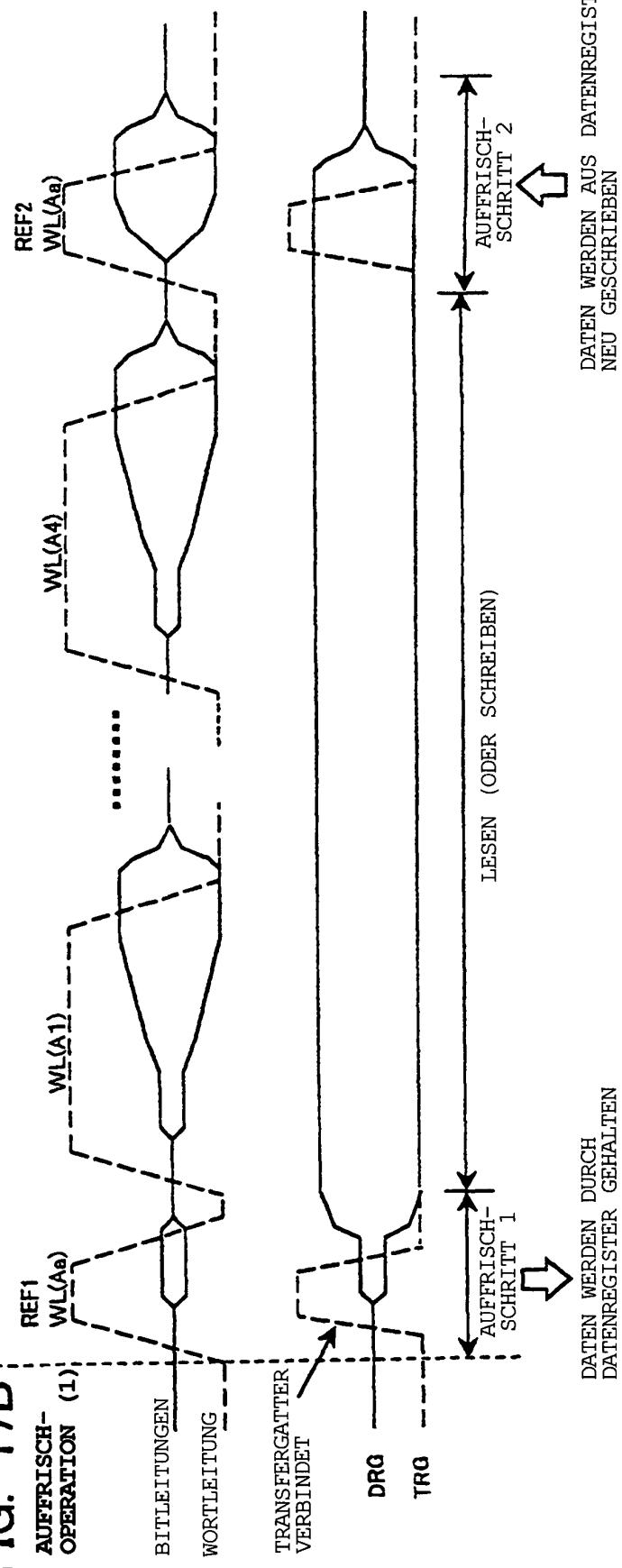


FIG. 18

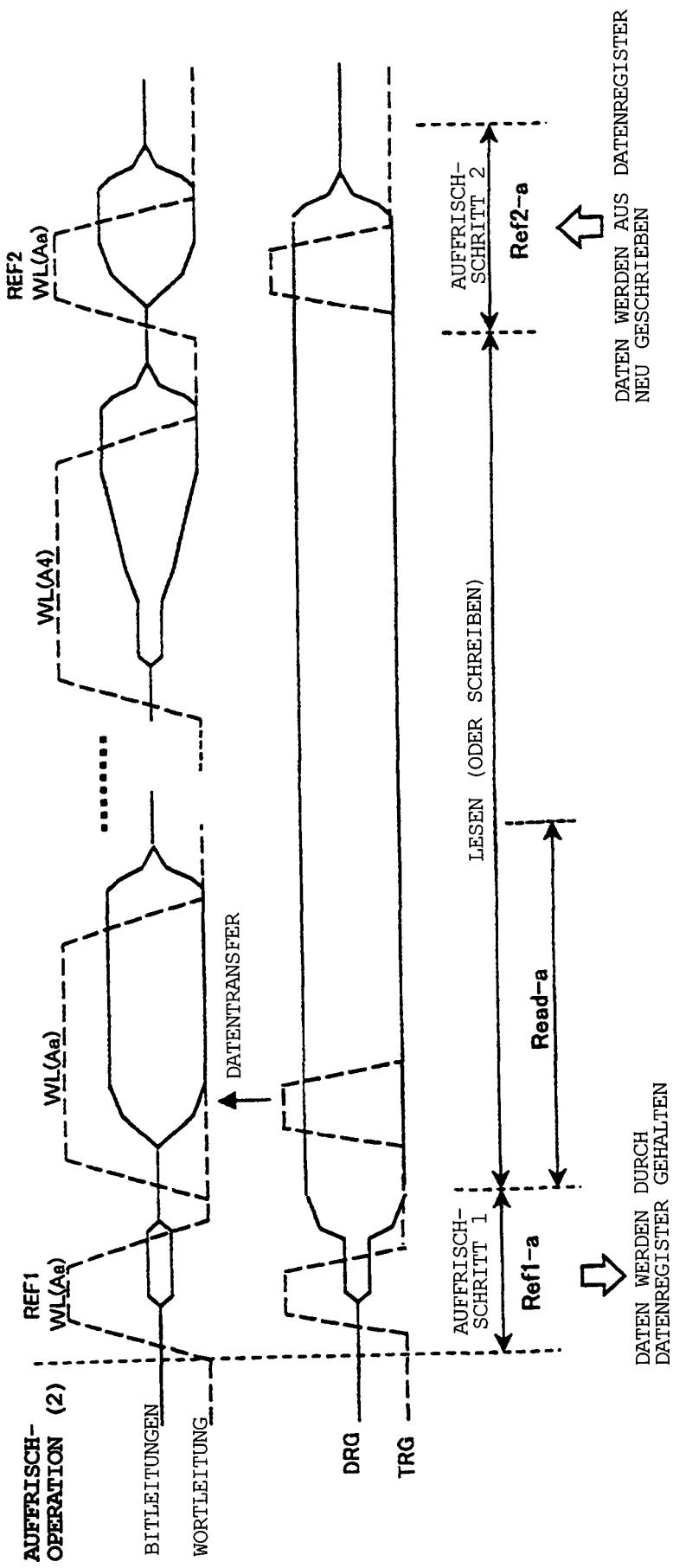


FIG. 19

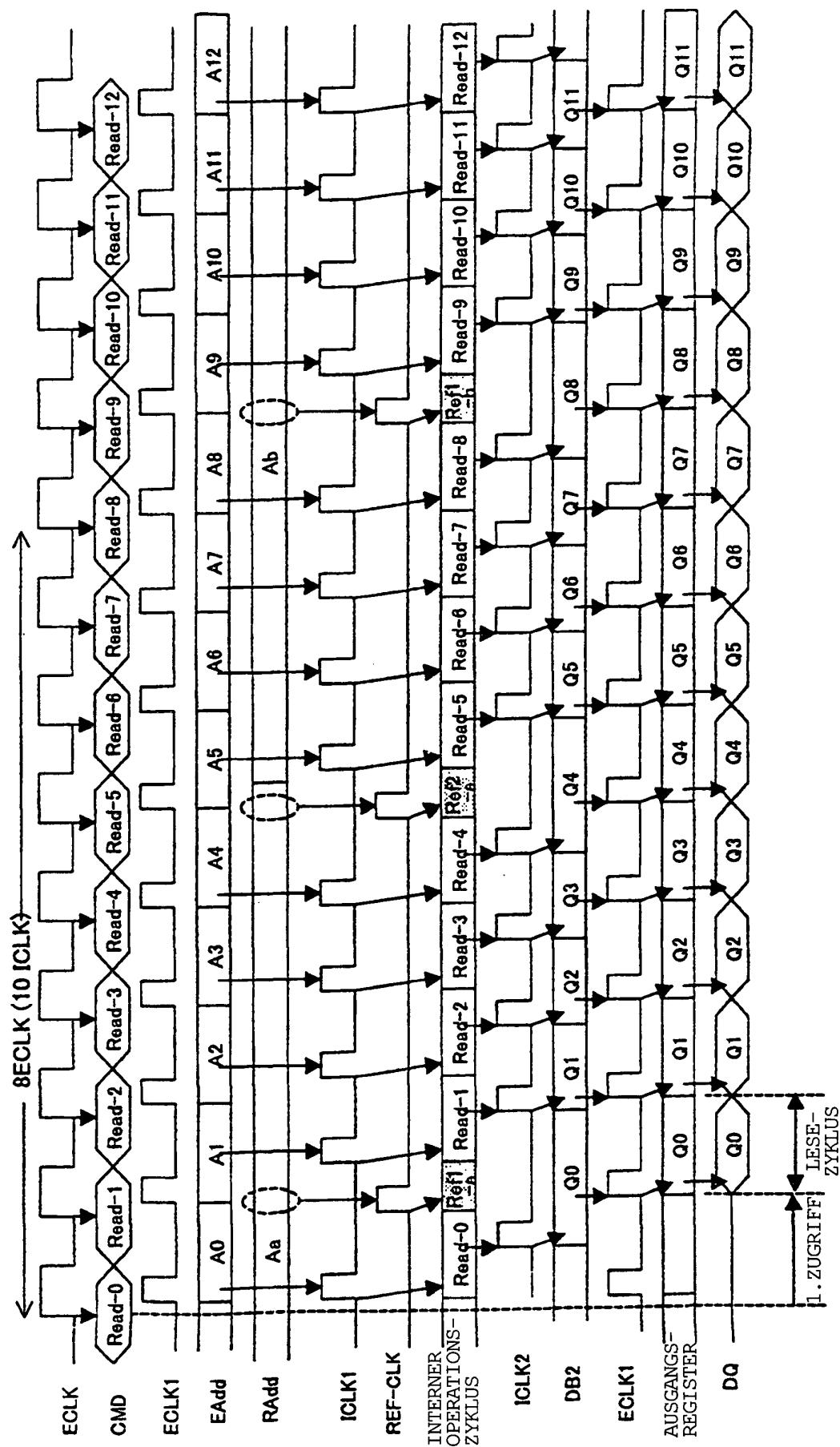


FIG. 20

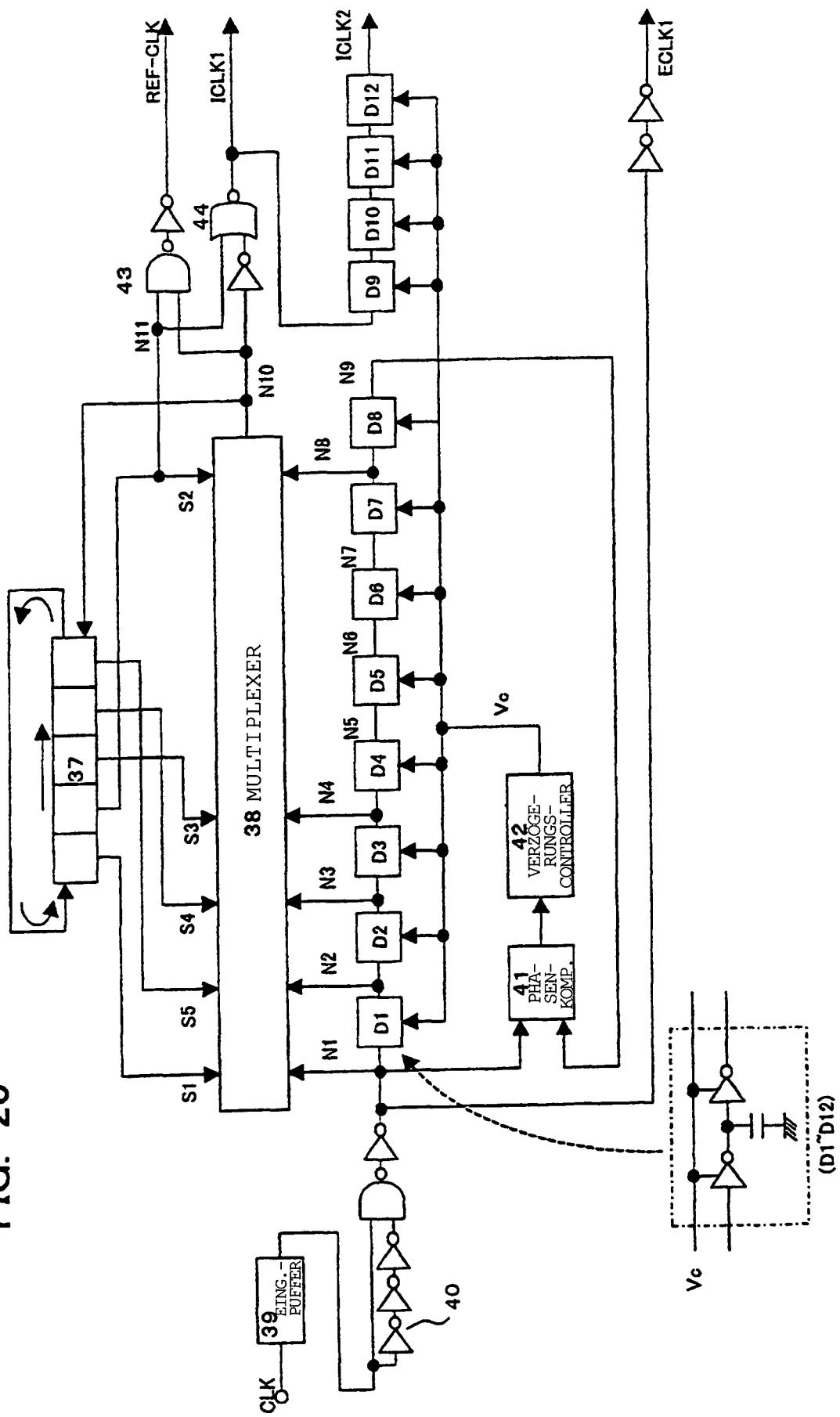


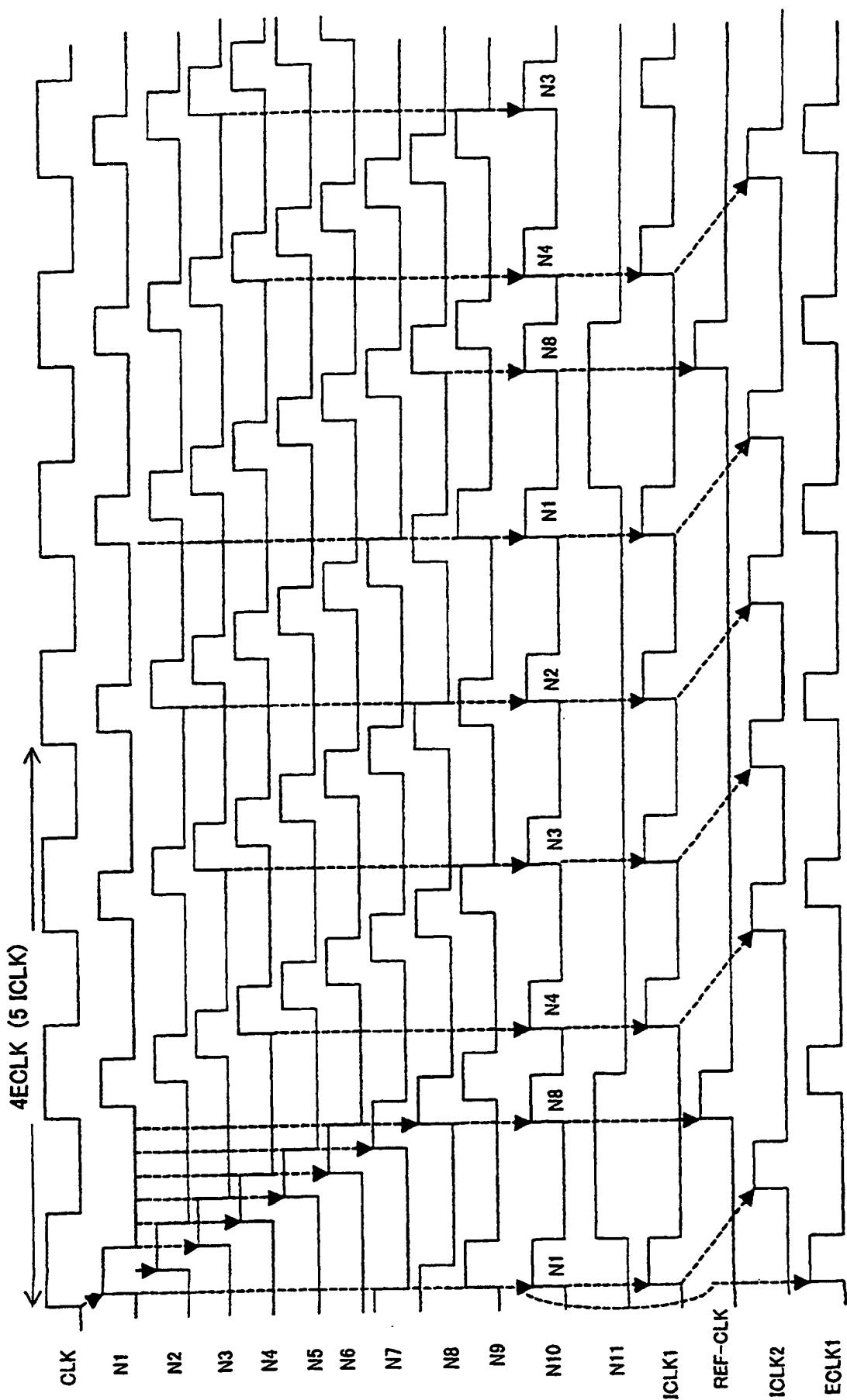
FIG. 21

FIG. 22

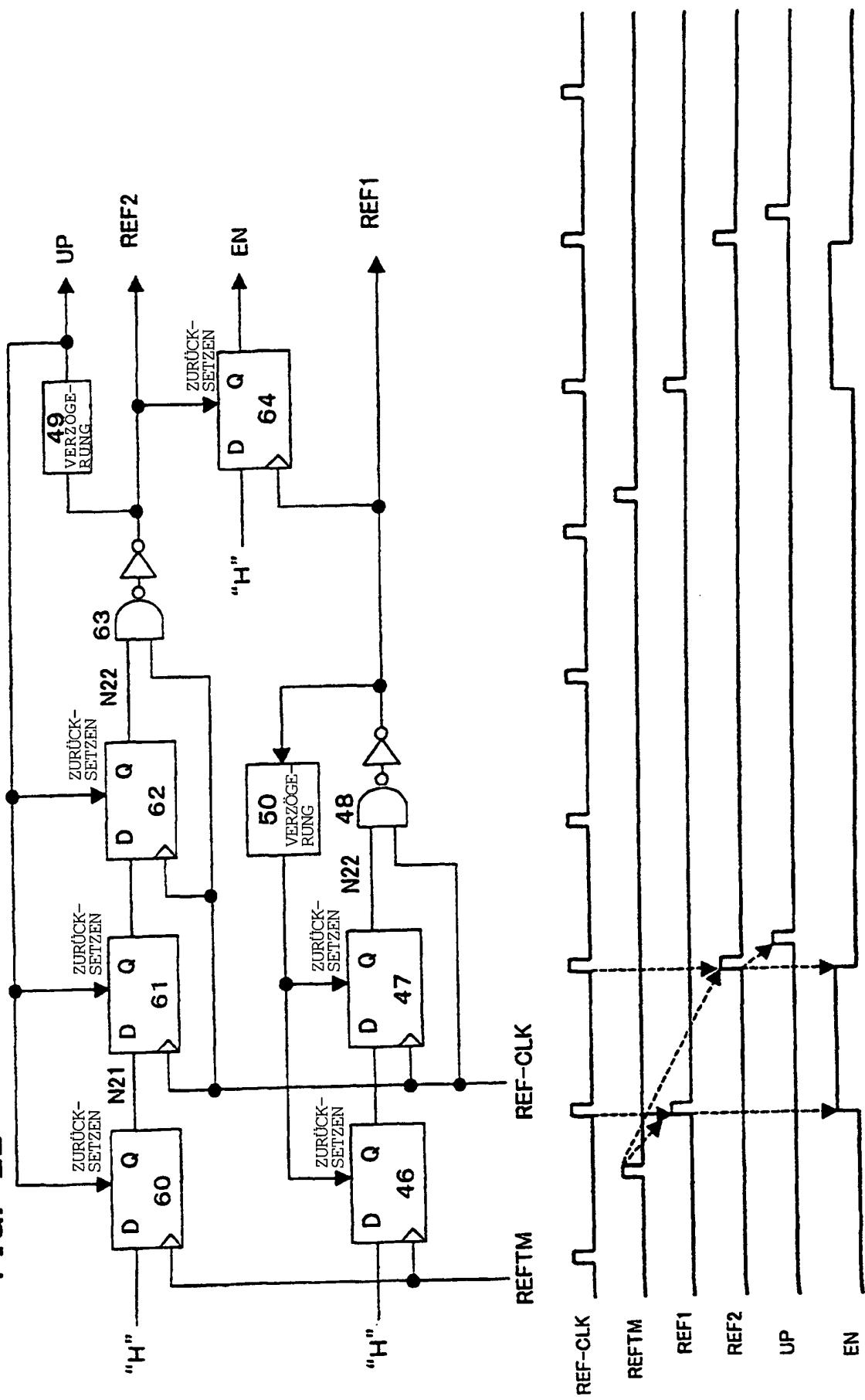


FIG. 23

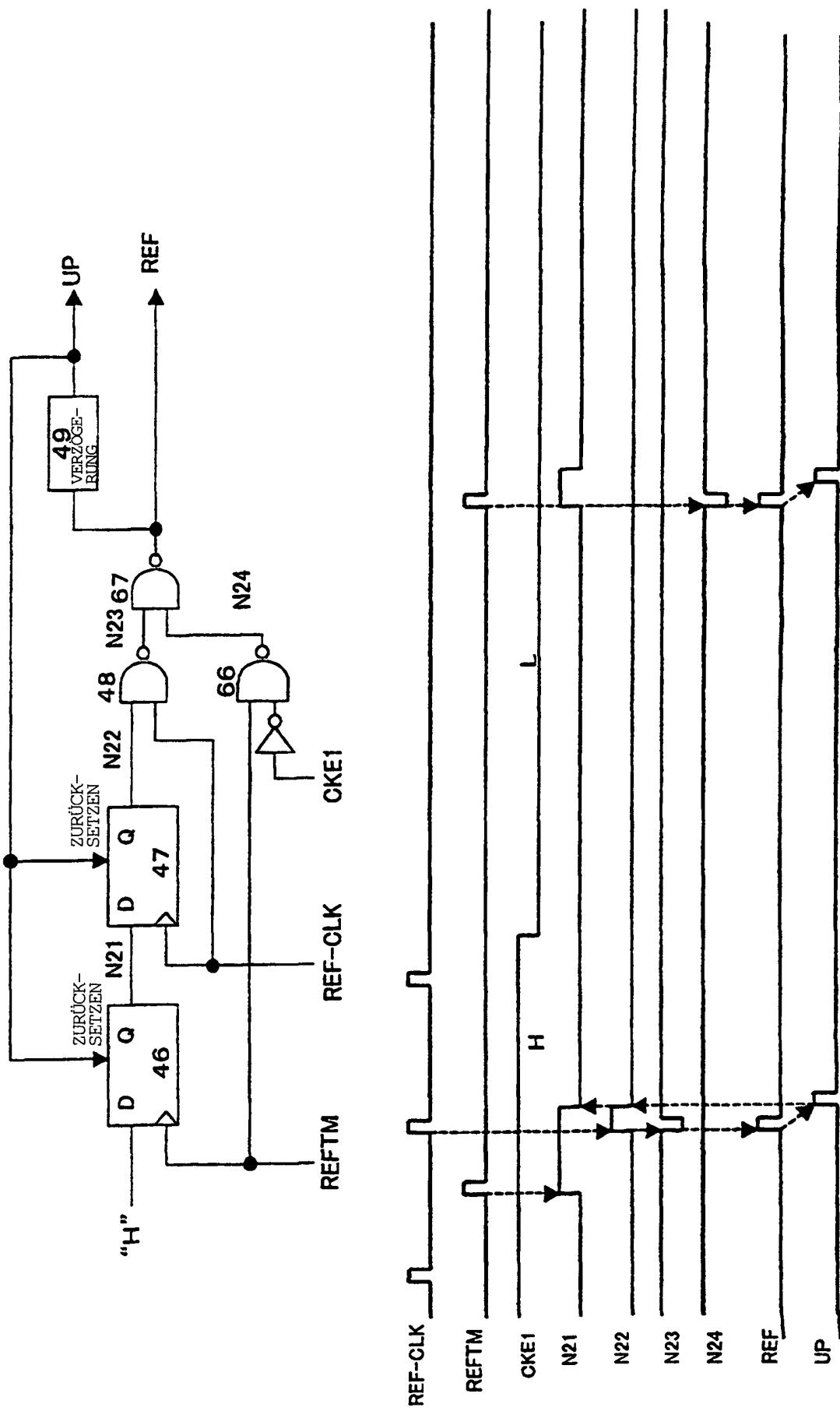


FIG. 24
VIERTE AUSFÜHRUNGSFORM

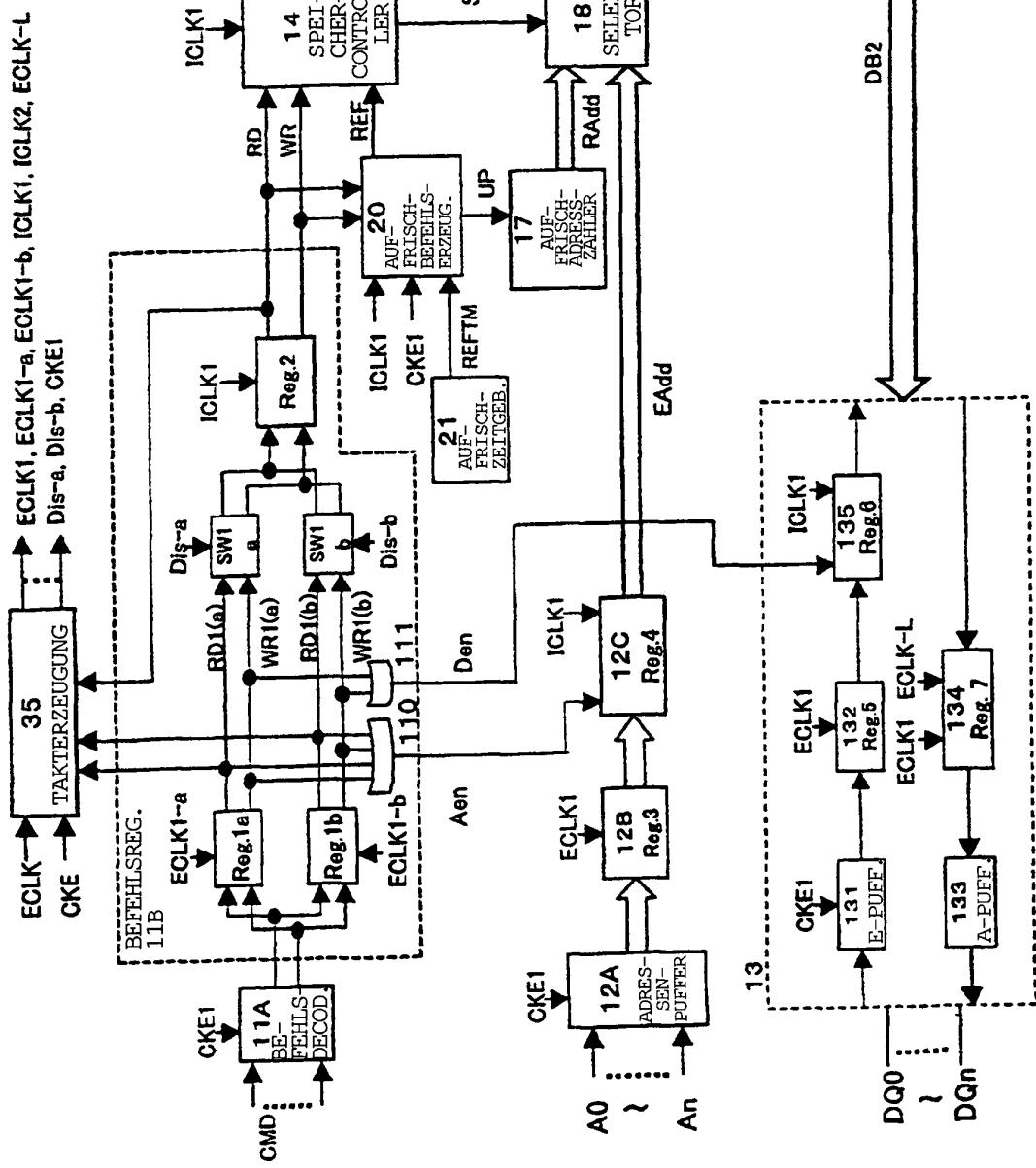


FIG. 25

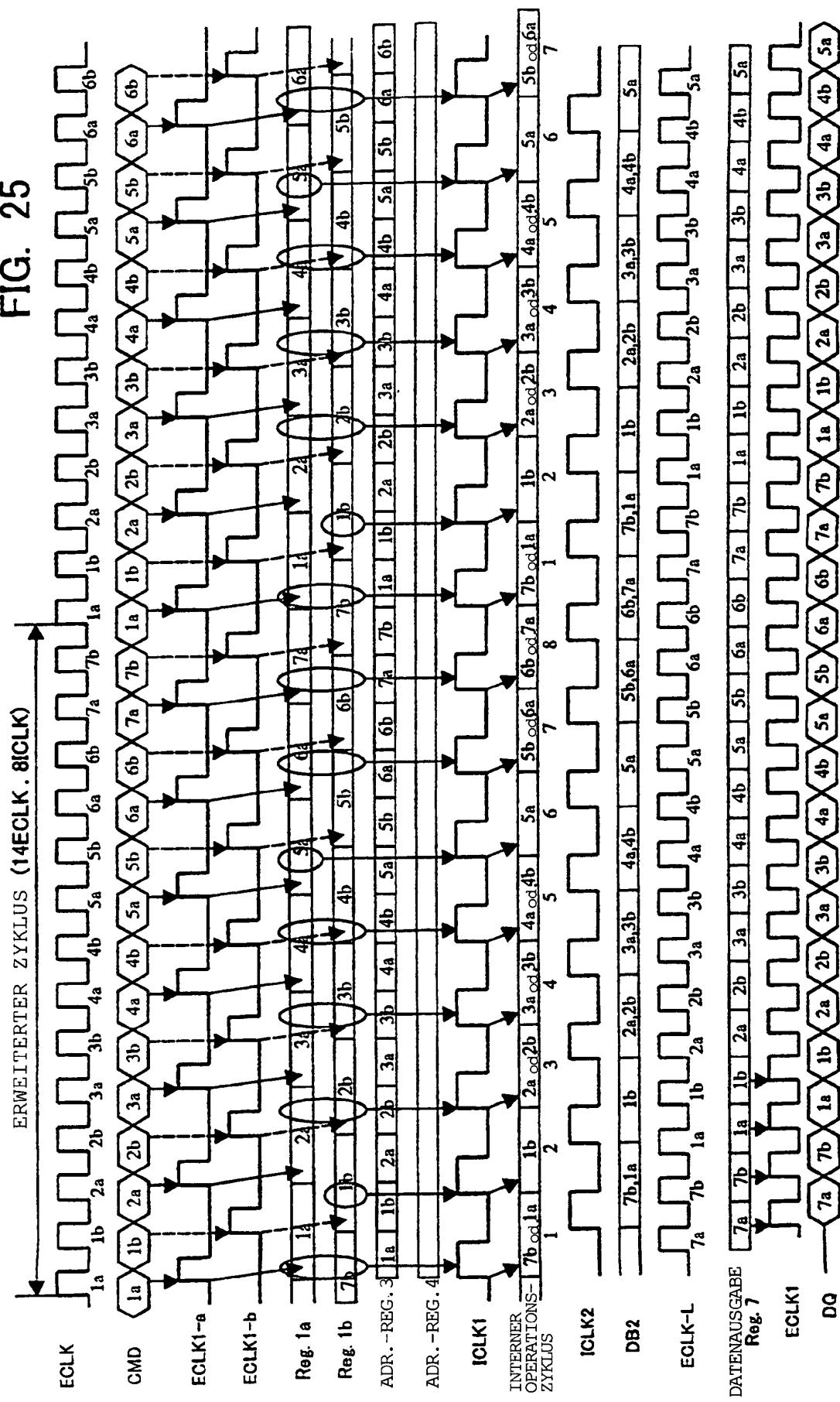


FIG. 26

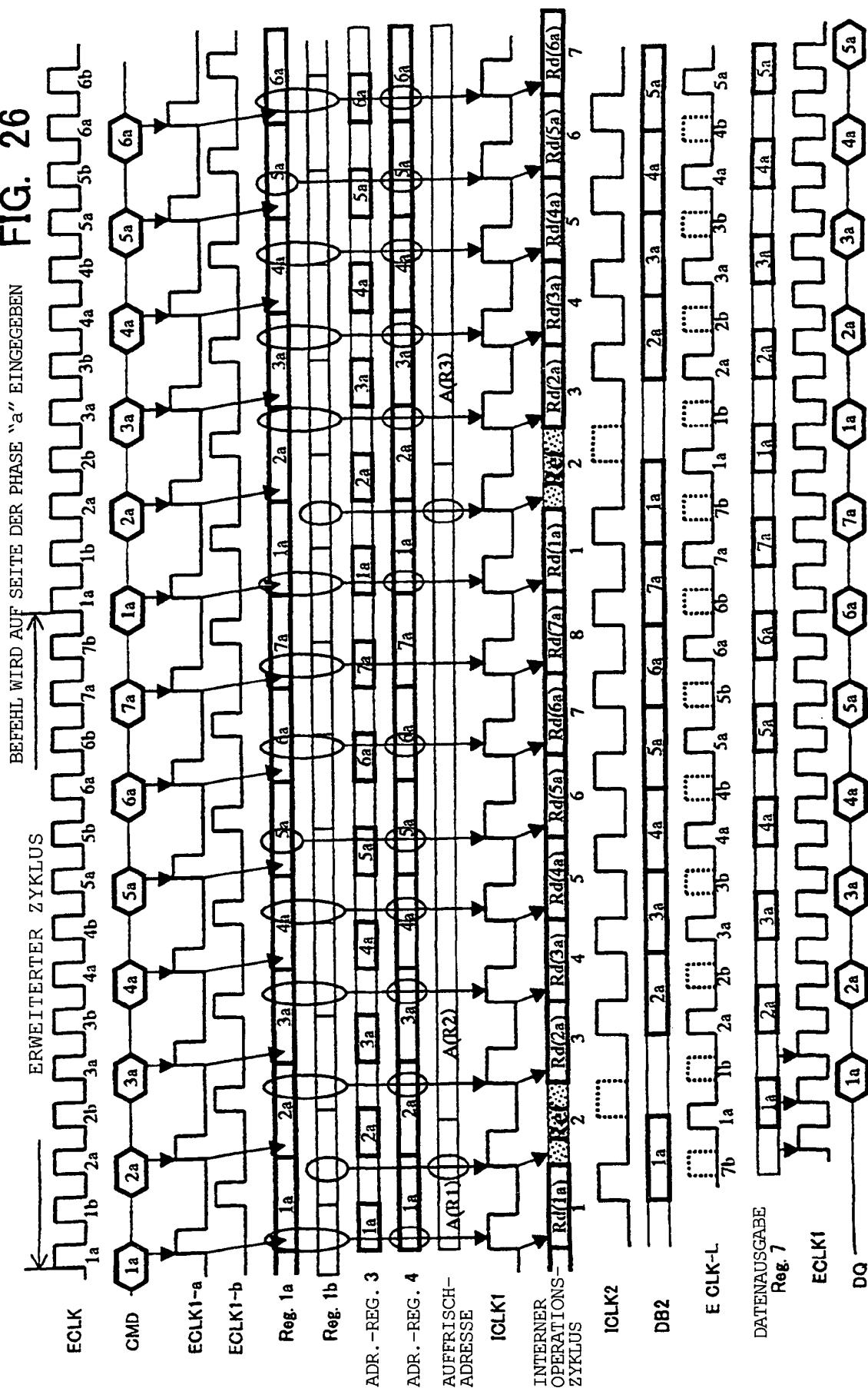


FIG. 27

BEFEHL WIRD AUF SEITE DER PHASE "b" EINGEGEBEN

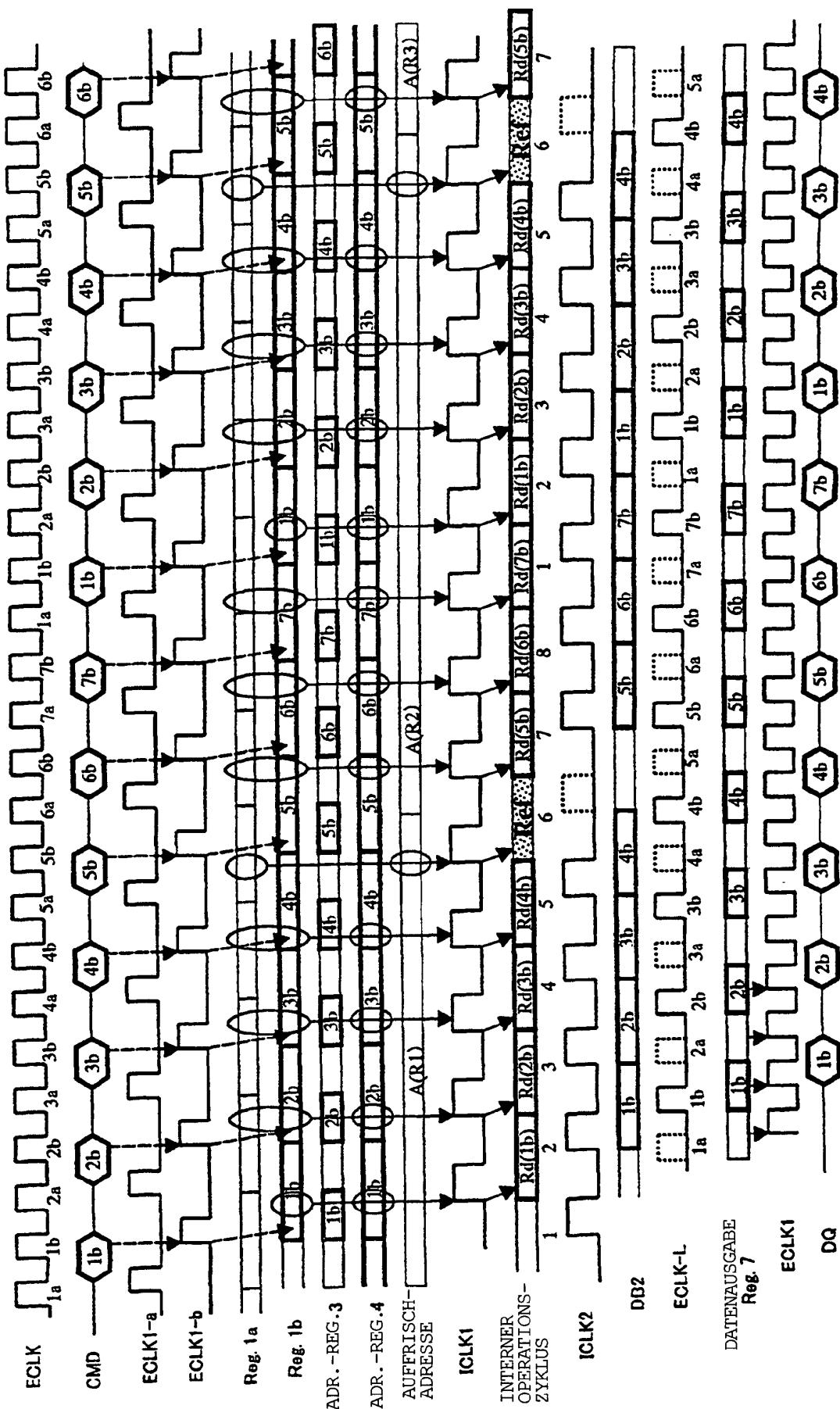


FIG. 28

BEFEHL WIRD WAHLLOS BEI DEN PHASEN "a" UND "b" EINGEGEBEN

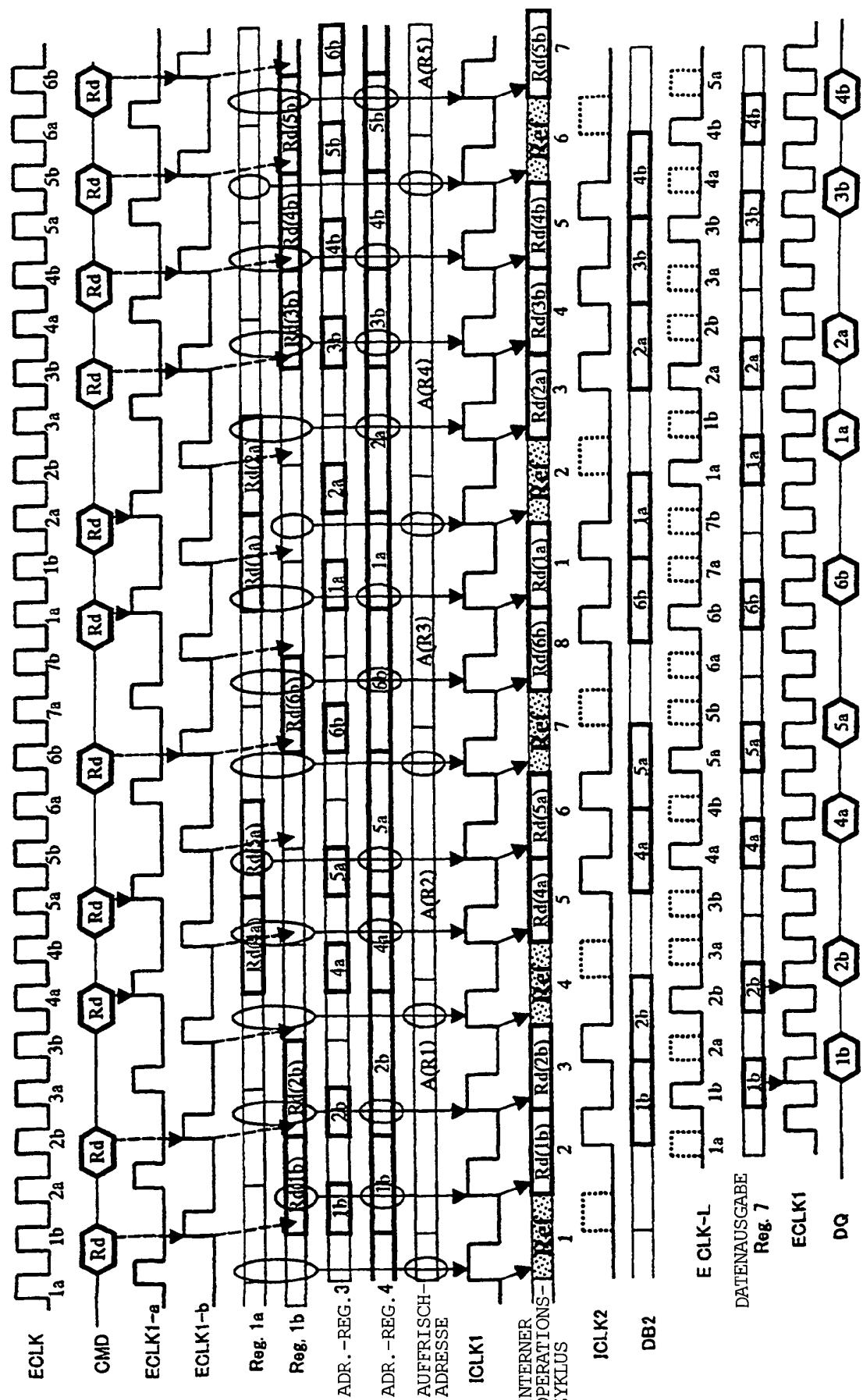


FIG. 29

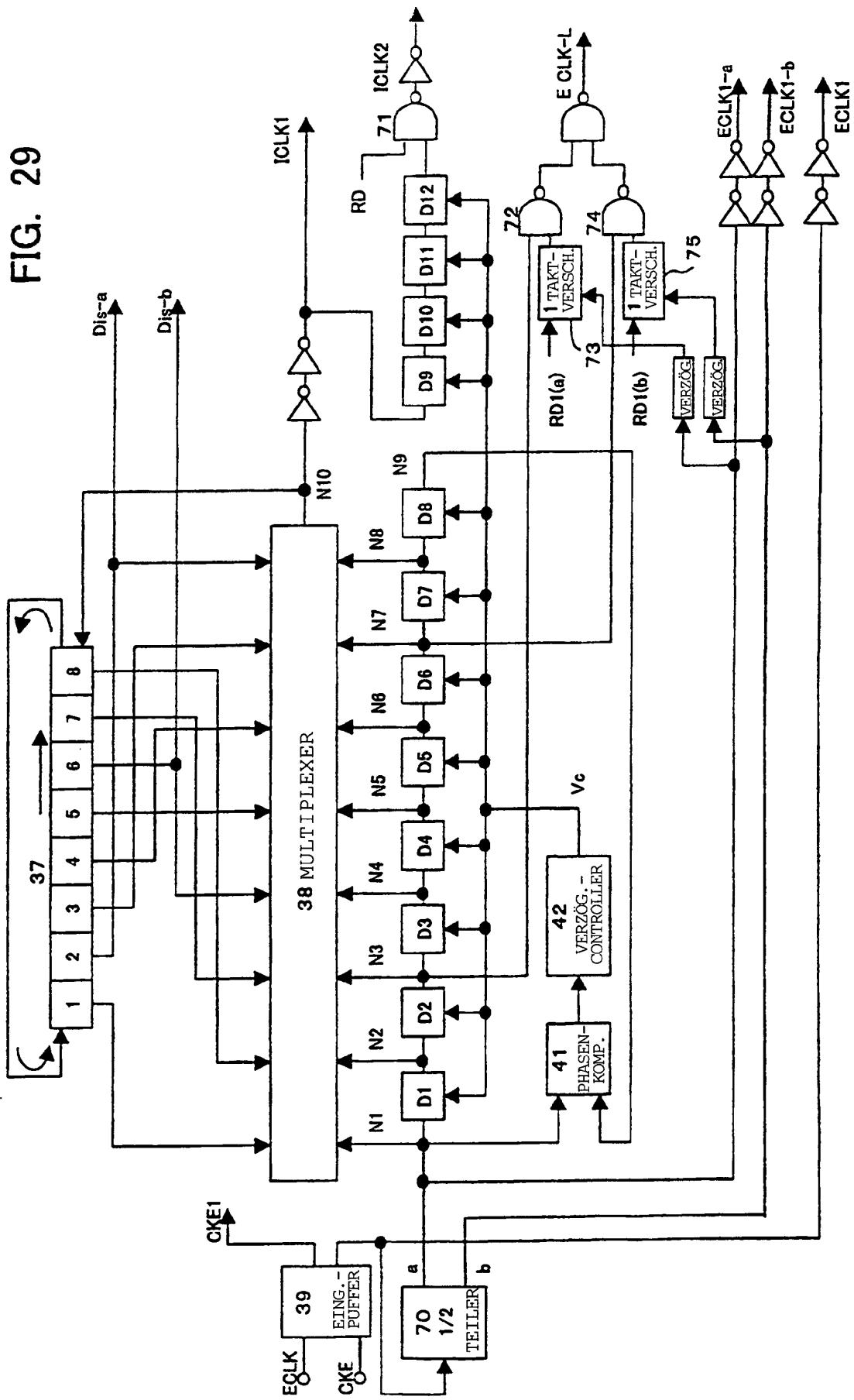


FIG. 30

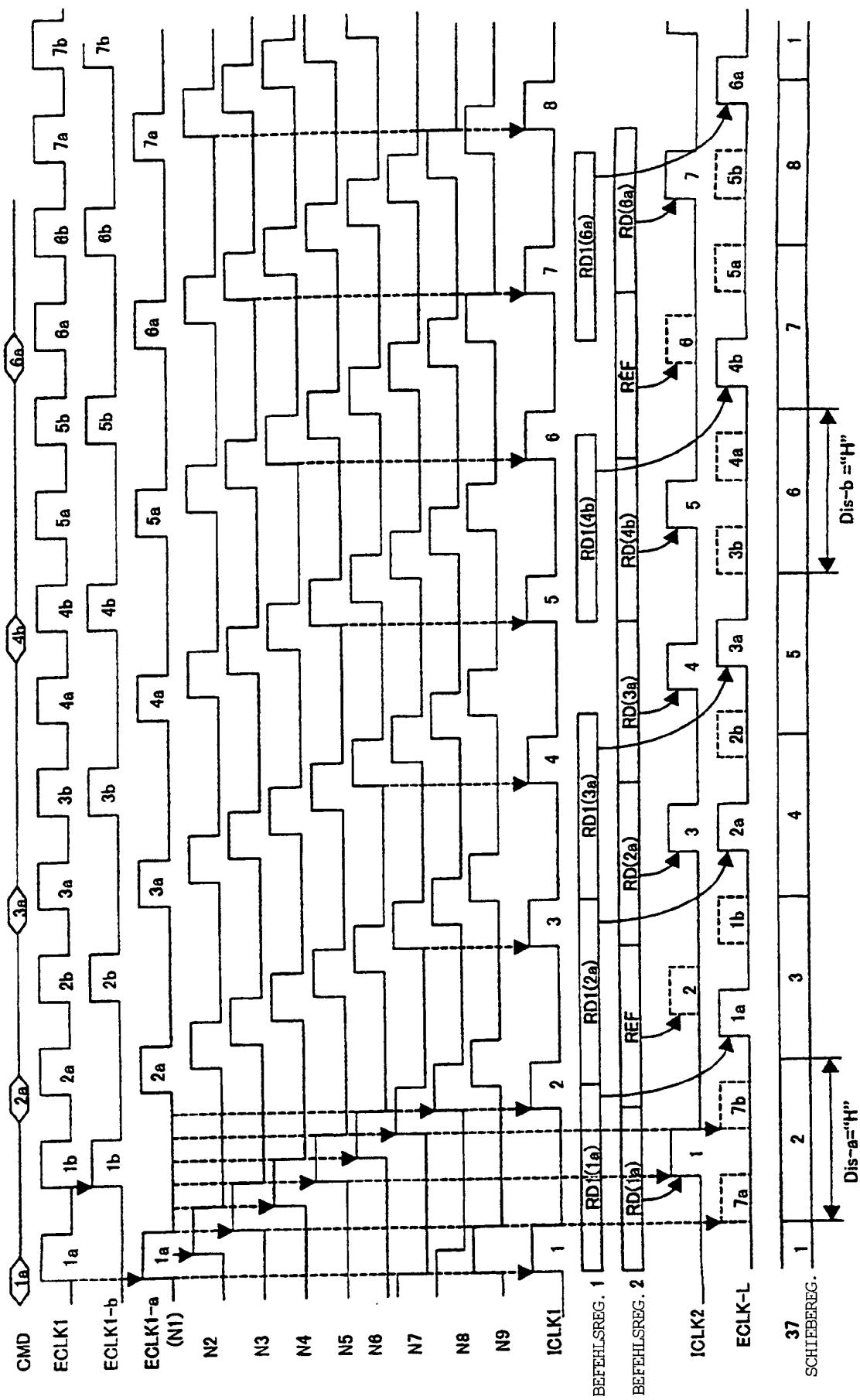


FIG. 31

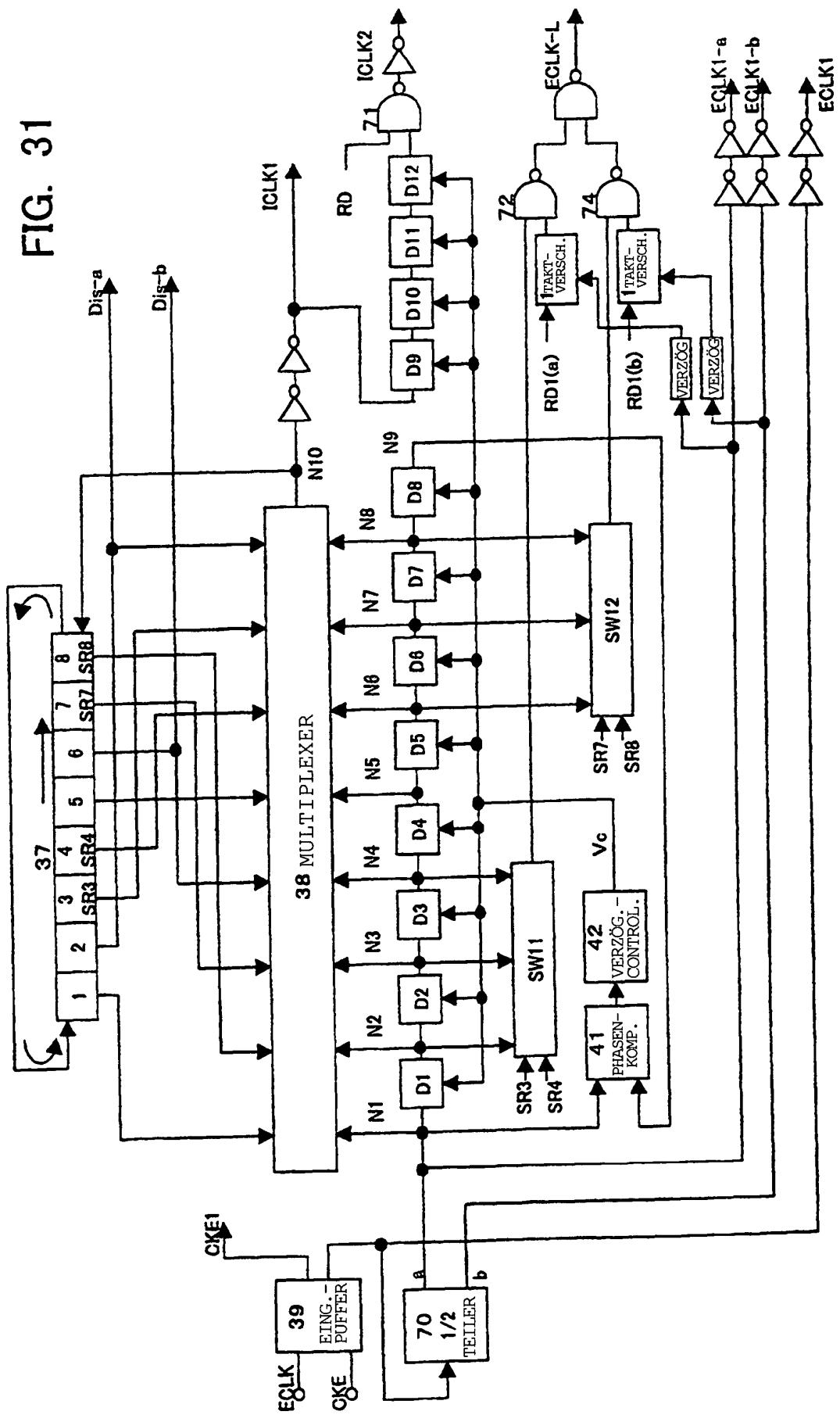


FIG. 32

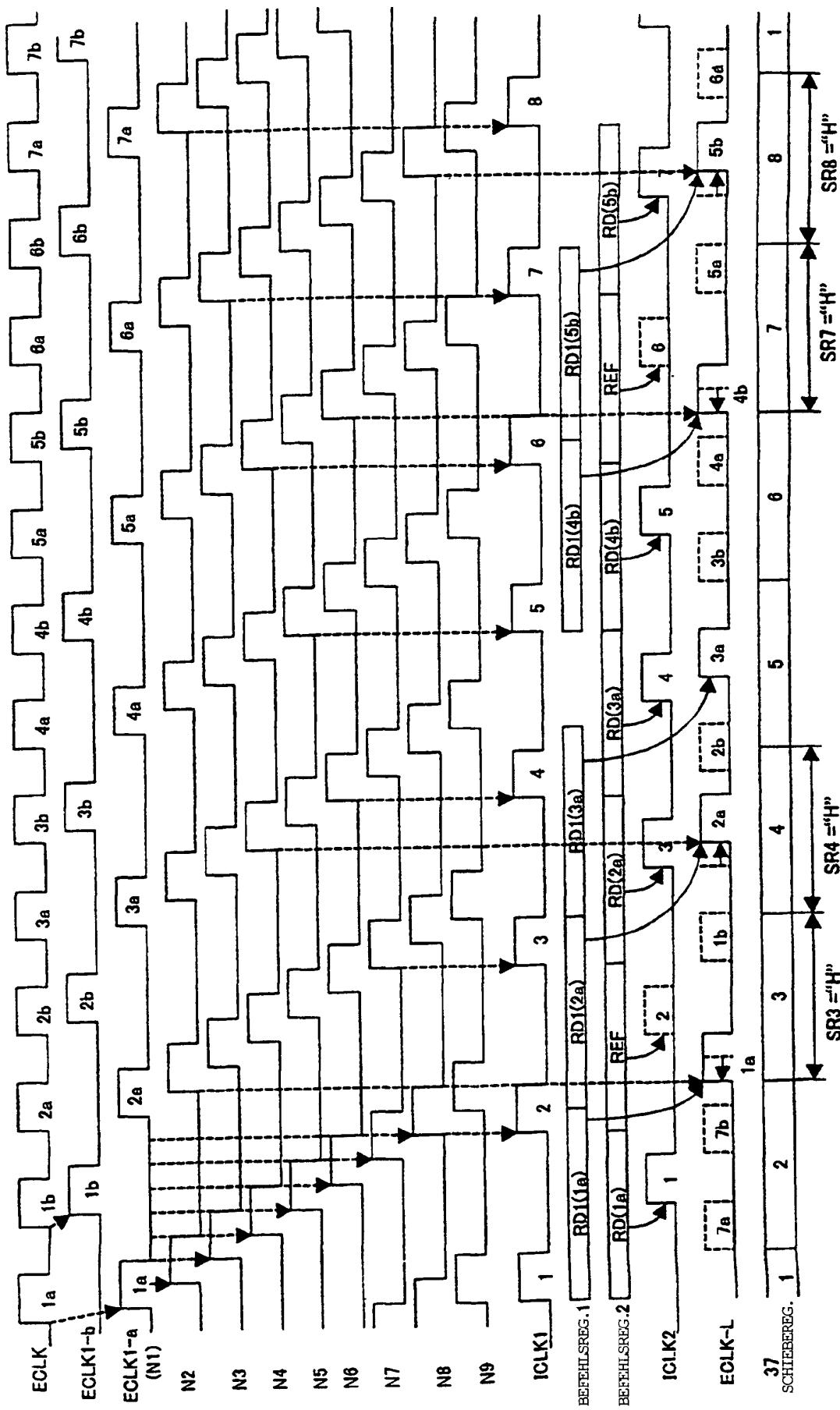


FIG. 33

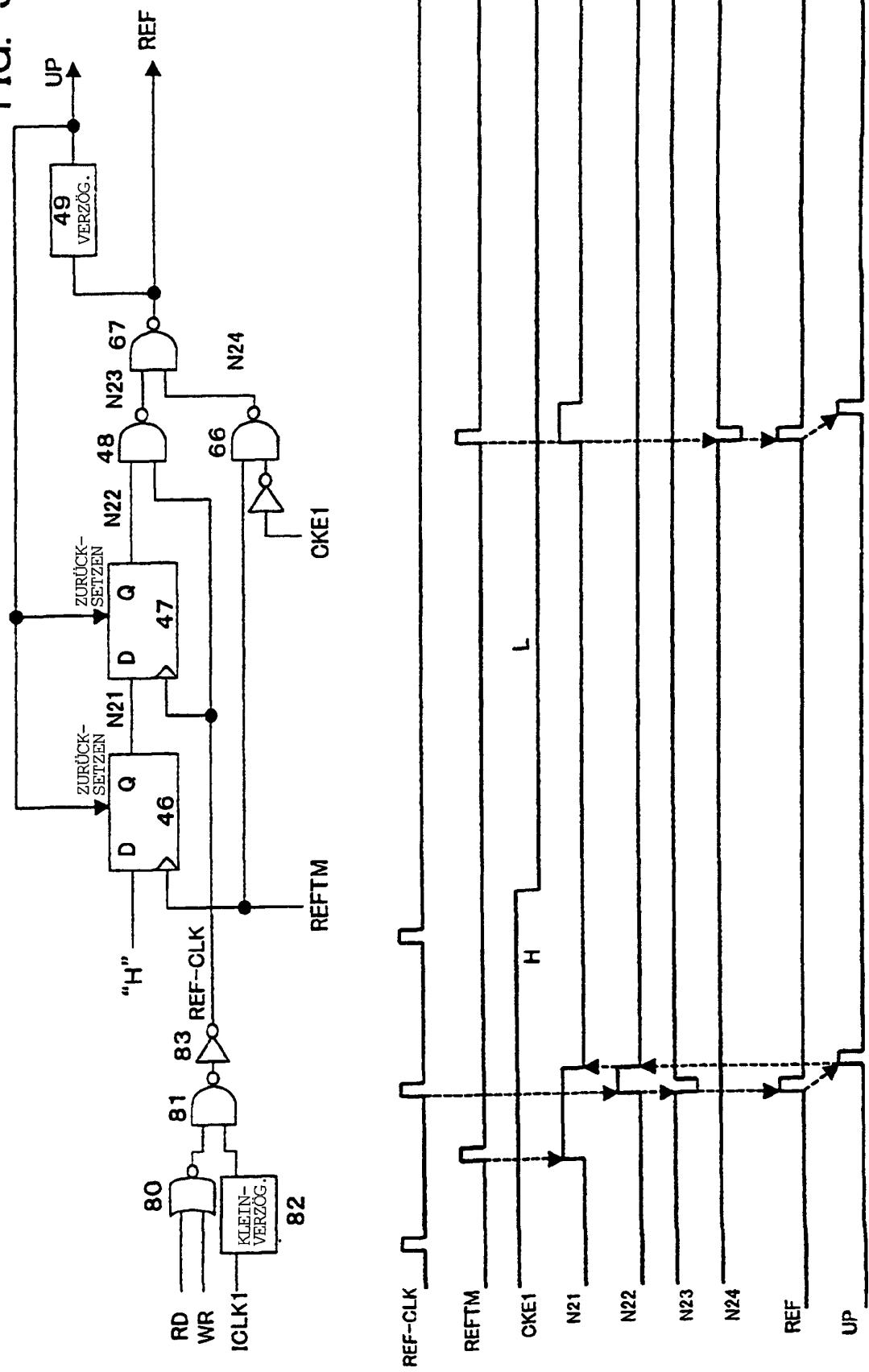


FIG. 34

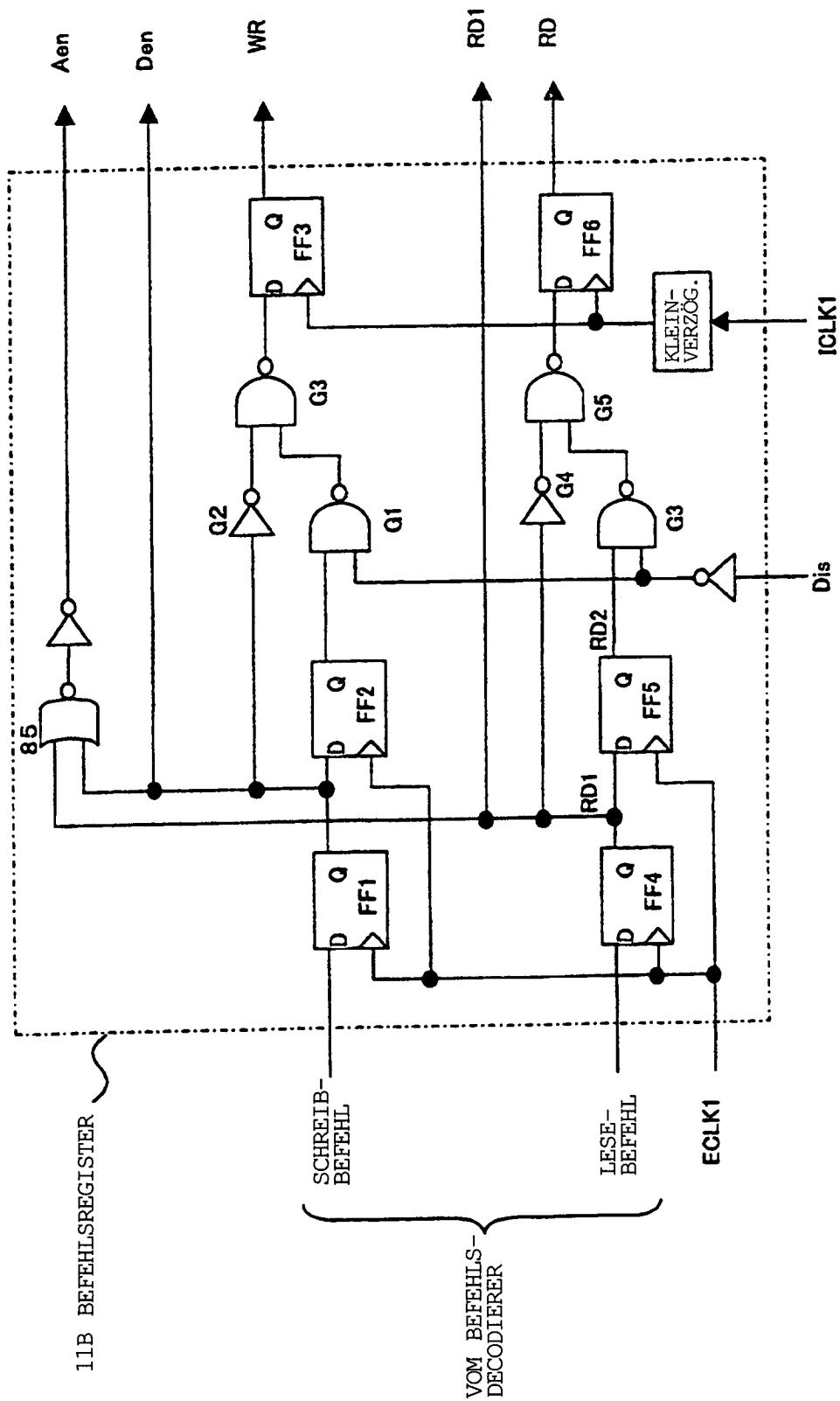


FIG. 35

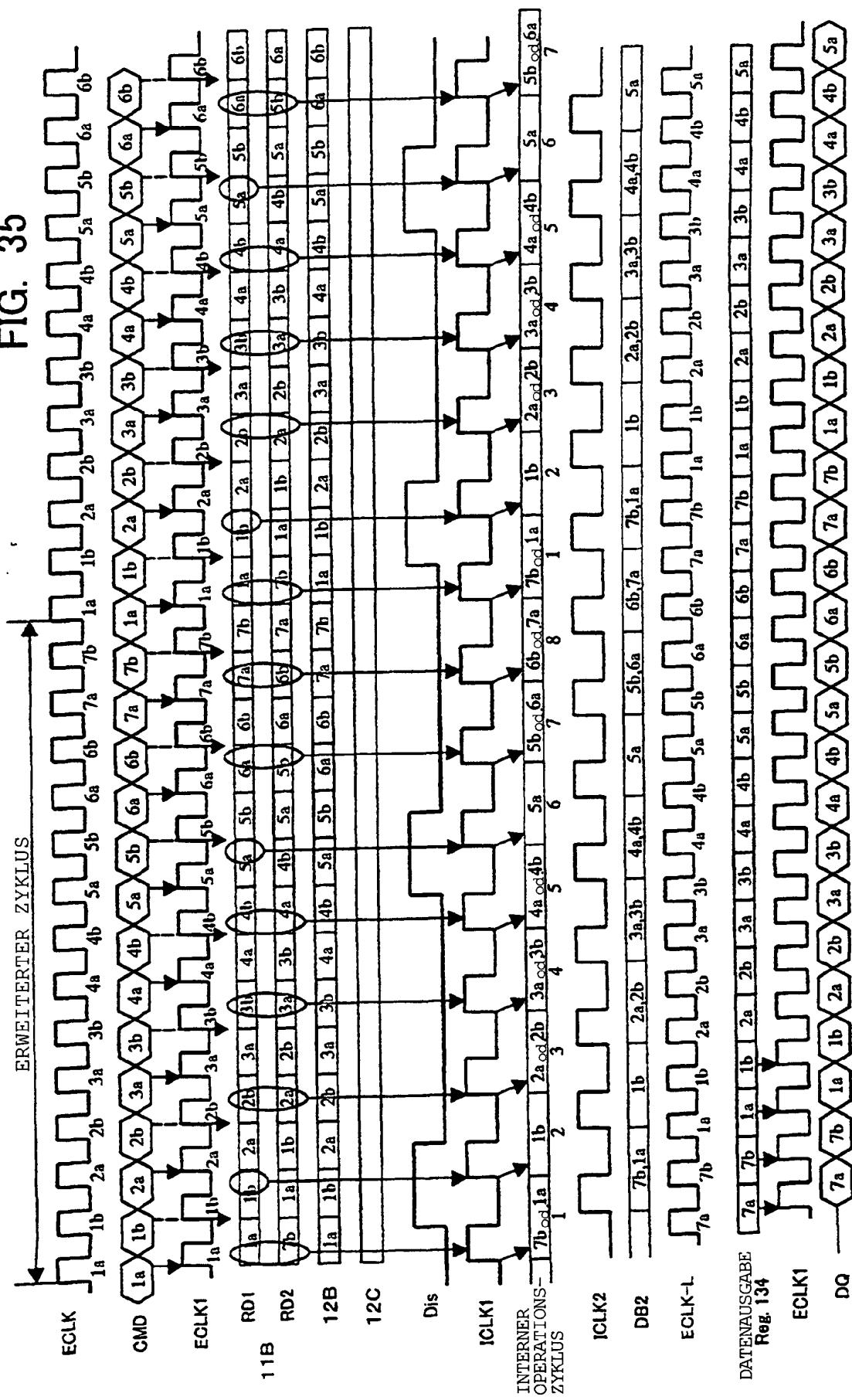


FIG. 36

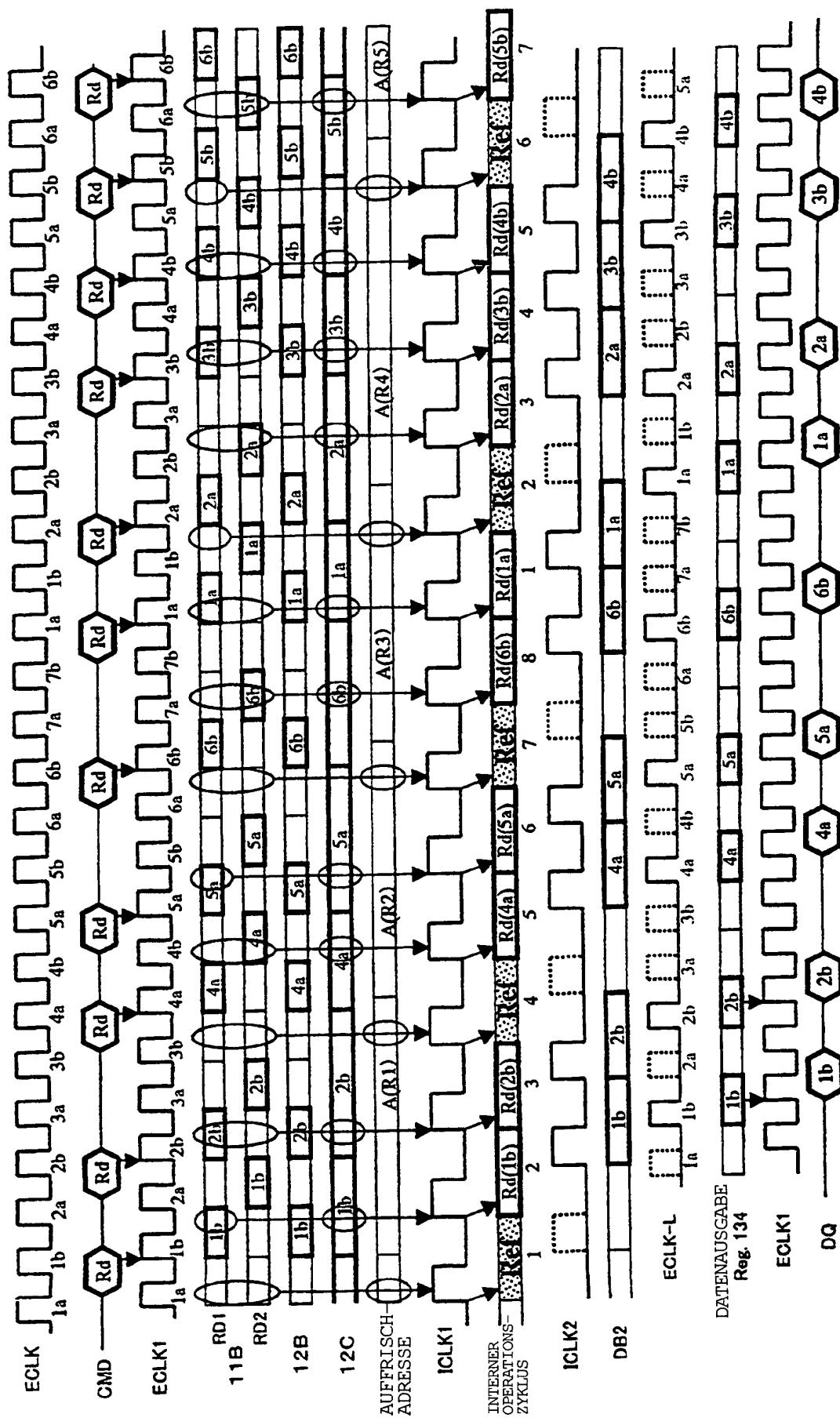


FIG. 37

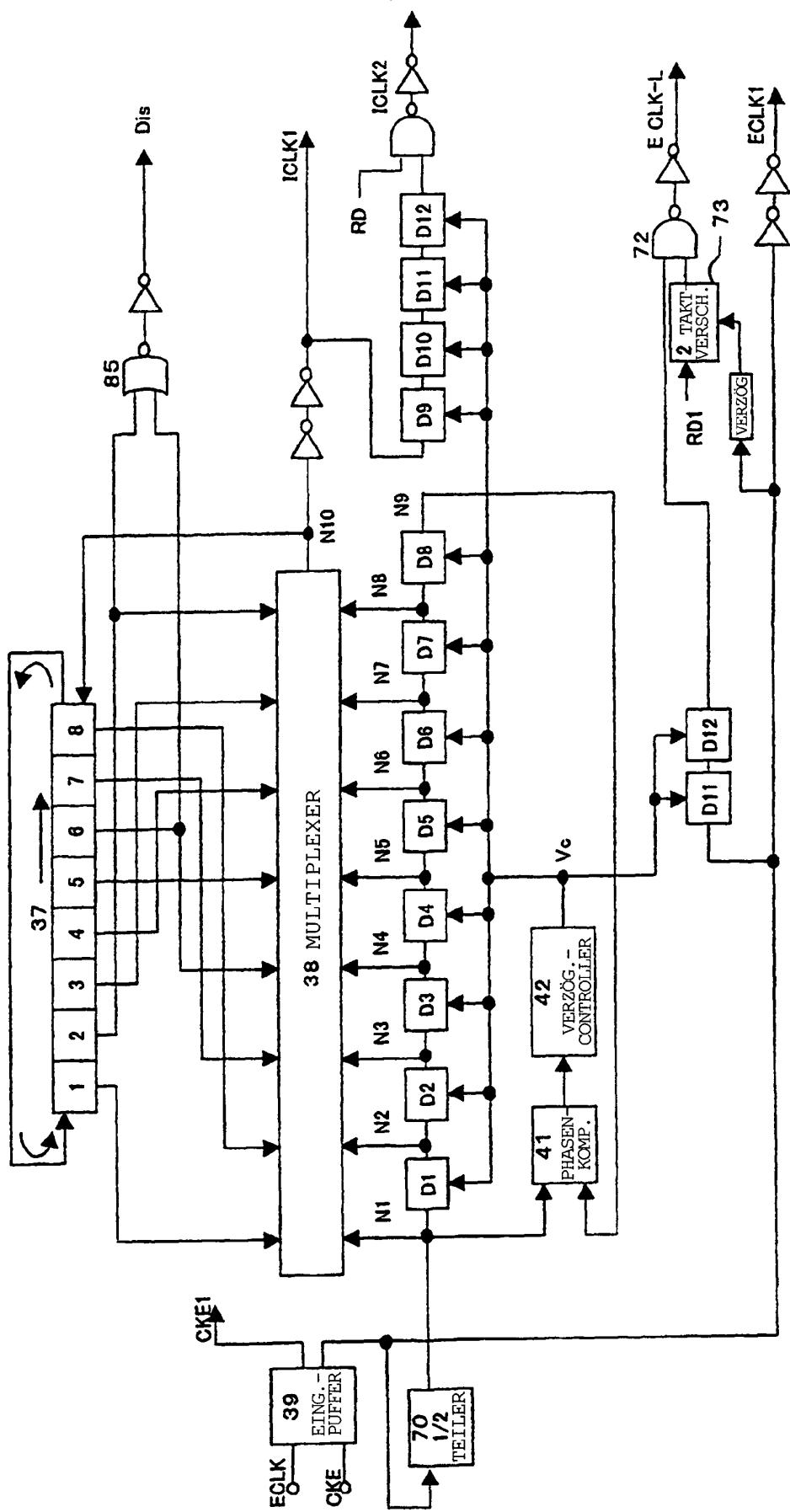


FIG. 38

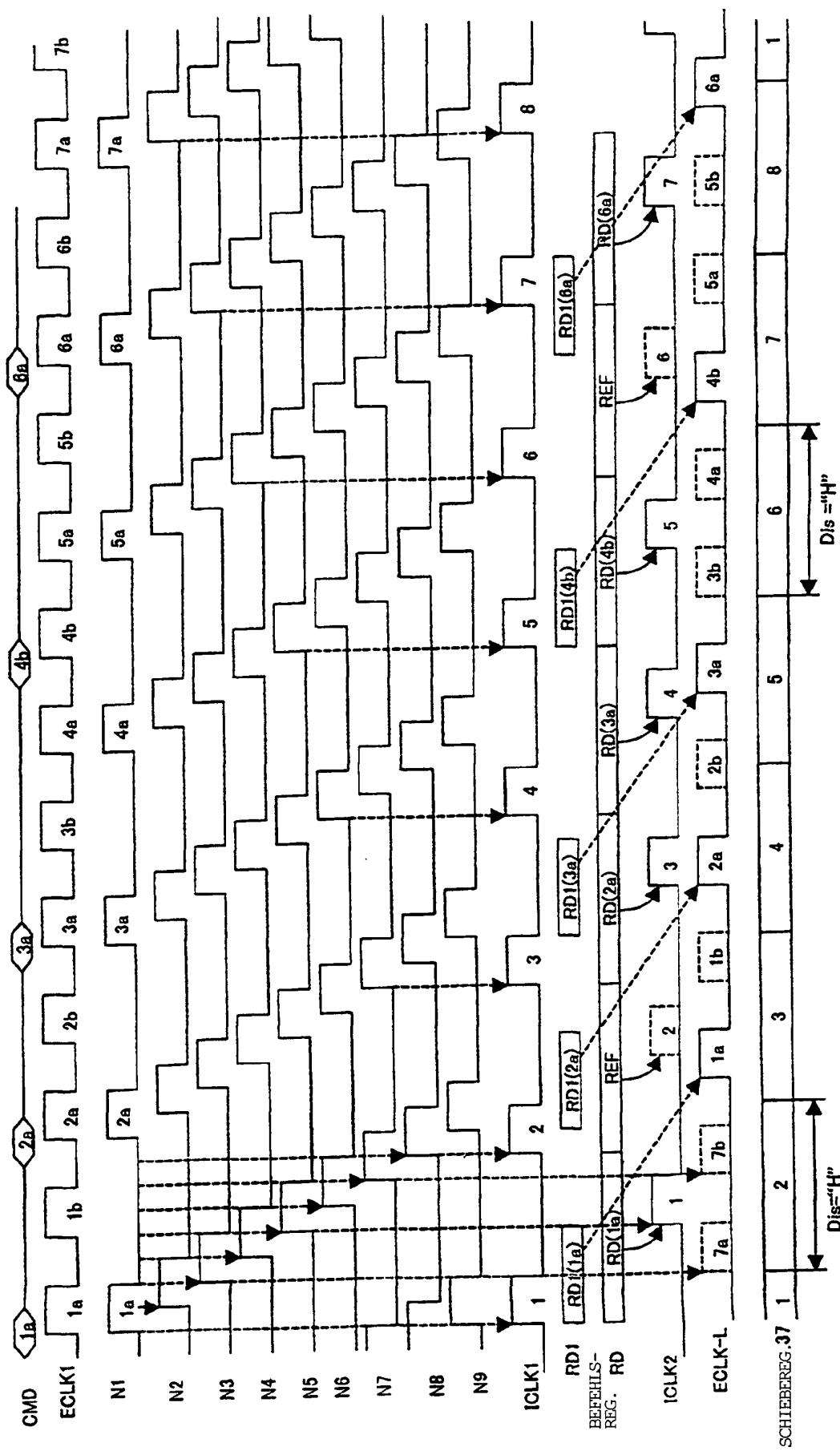


FIG. 39
FÜNFTE AUSFÜHRUNGSFORM

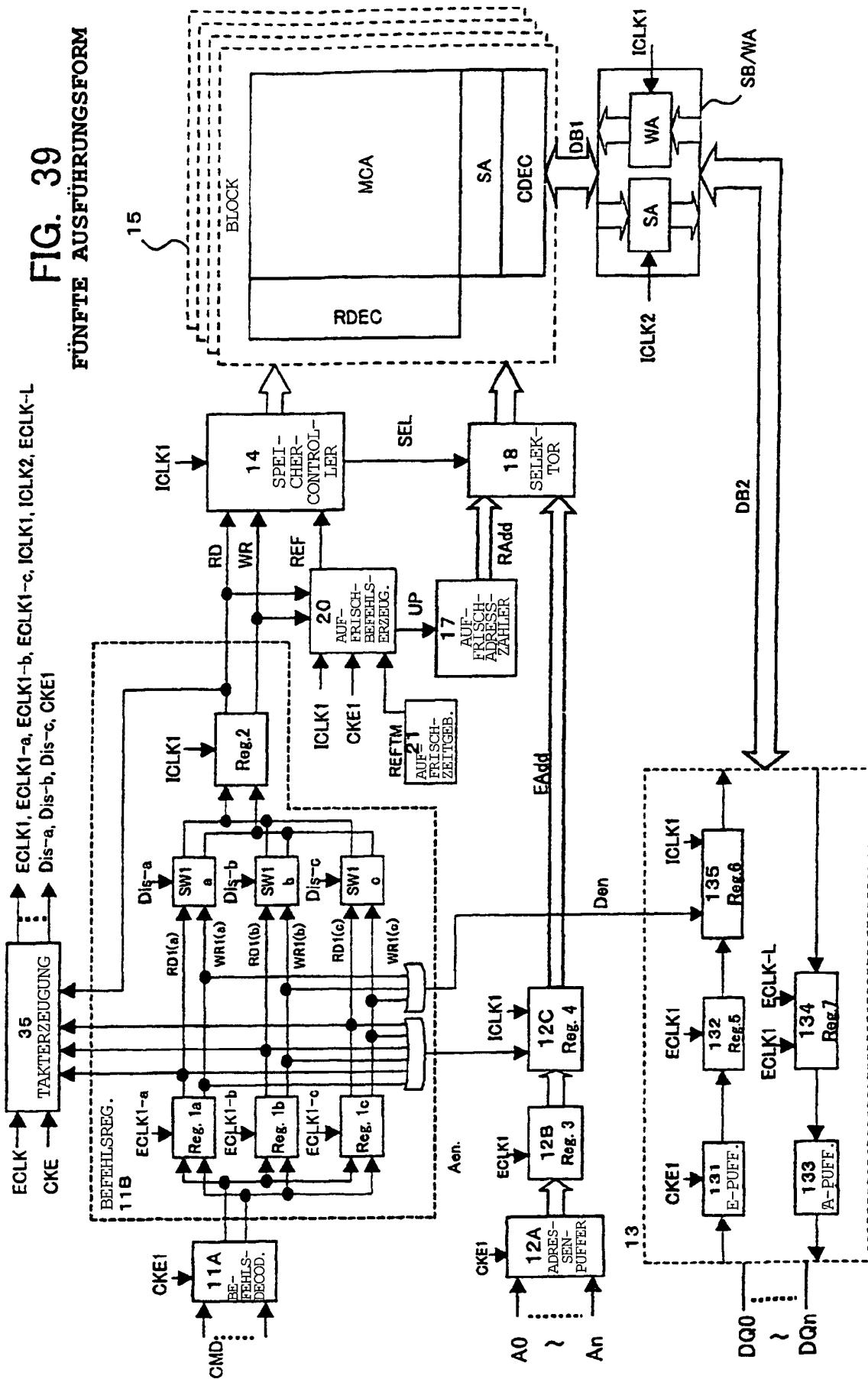


FIG. 40

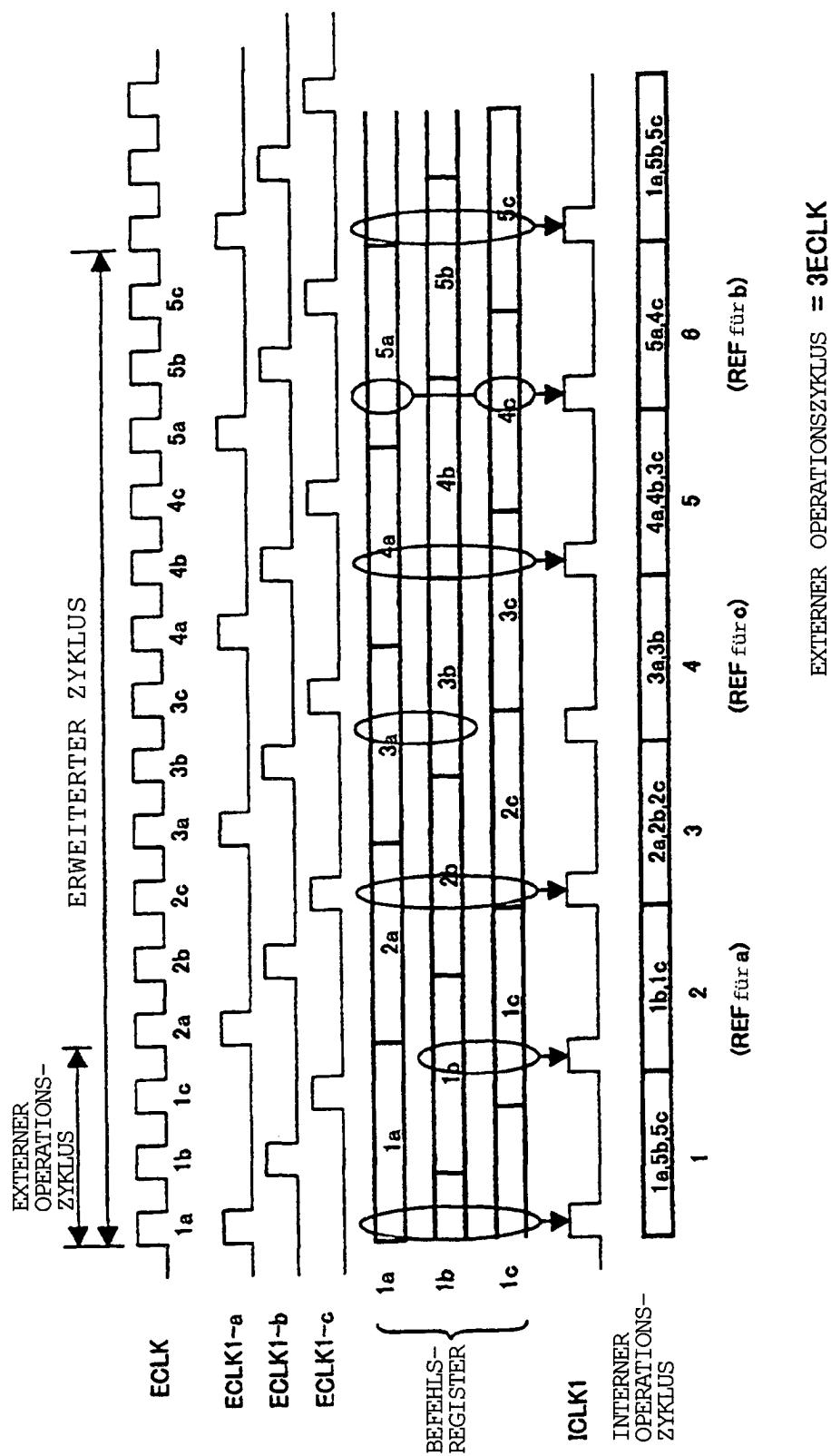


FIG. 41

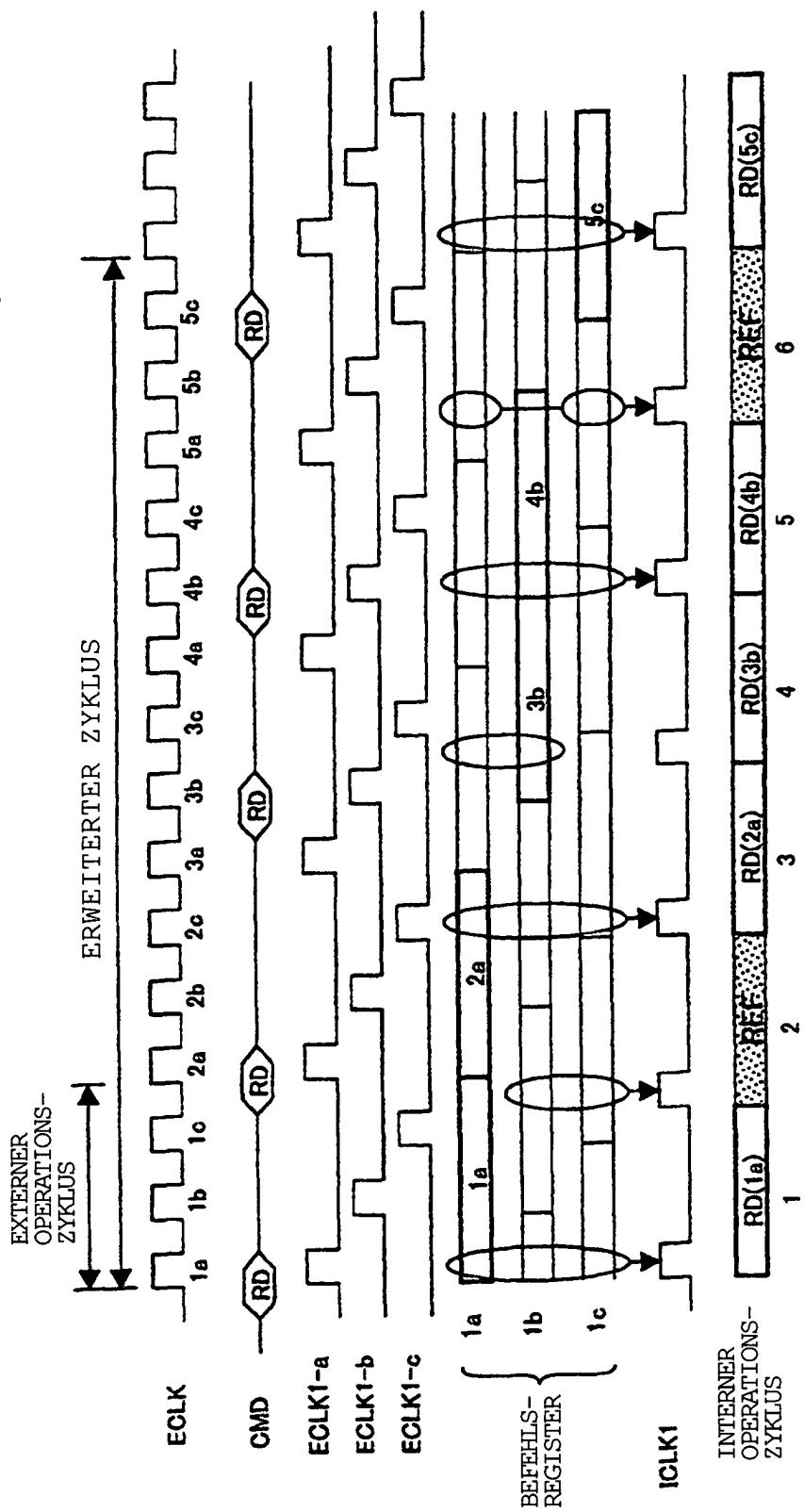


FIG. 42

11B BEEFEHLREGISTER

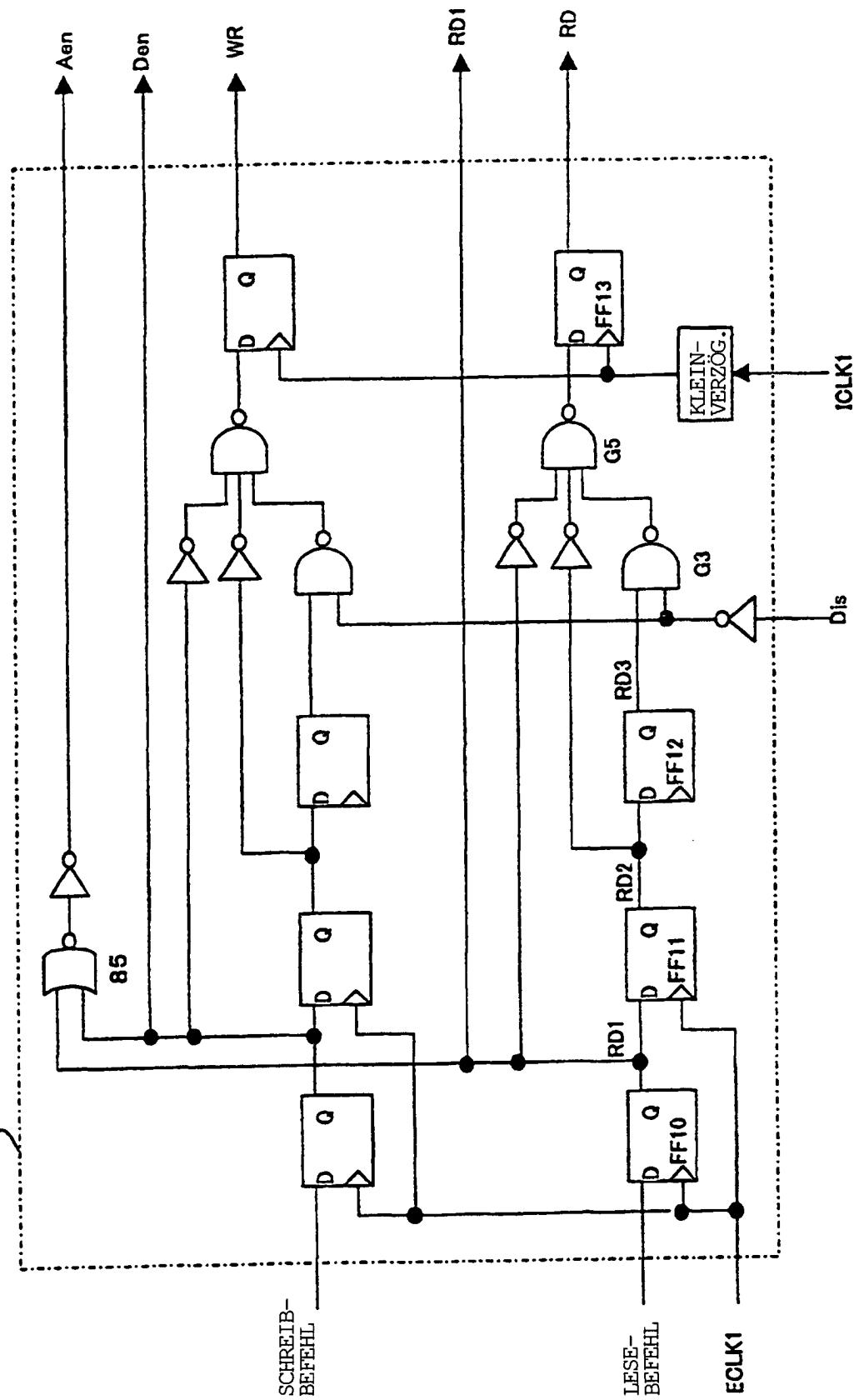


FIG. 4.3

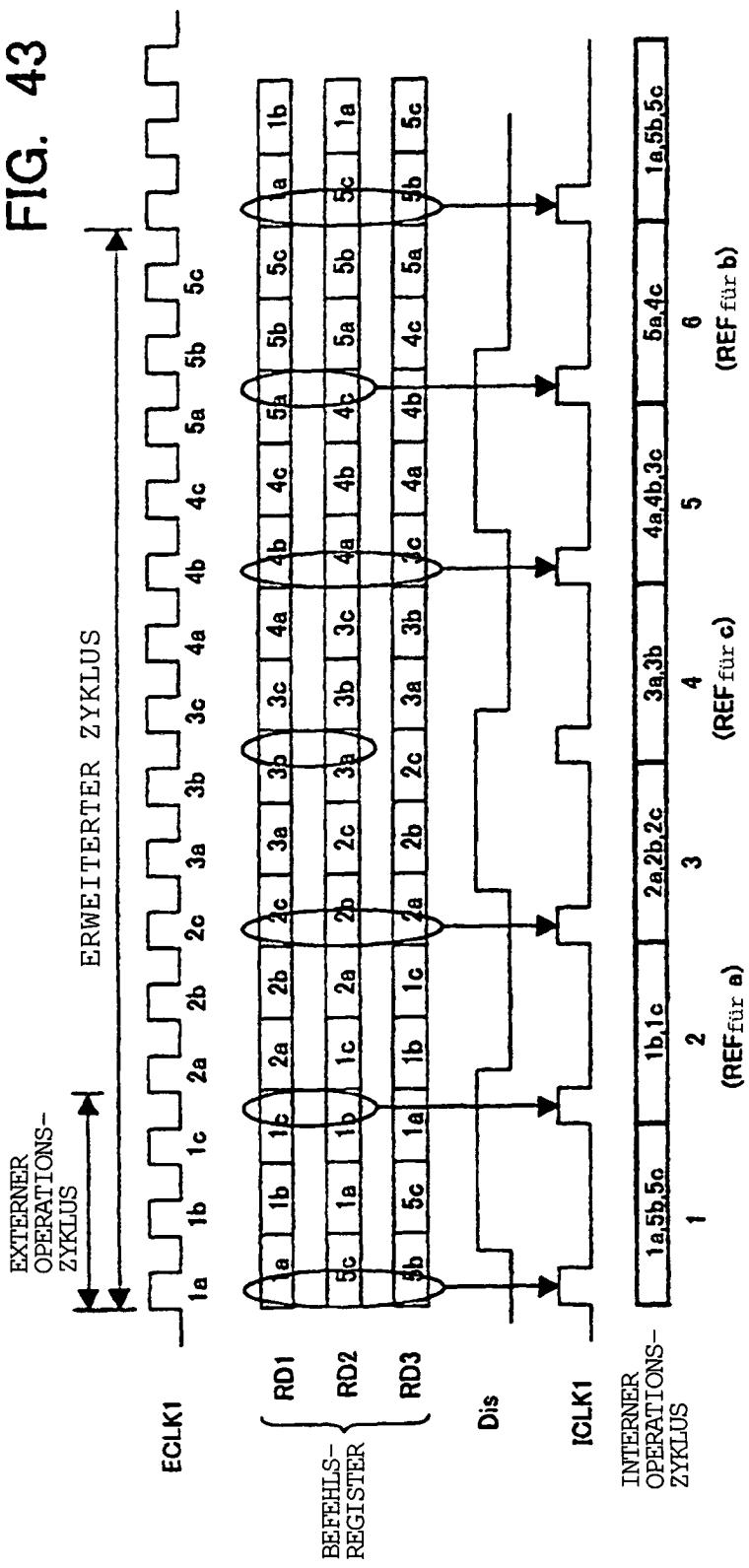


FIG. 44

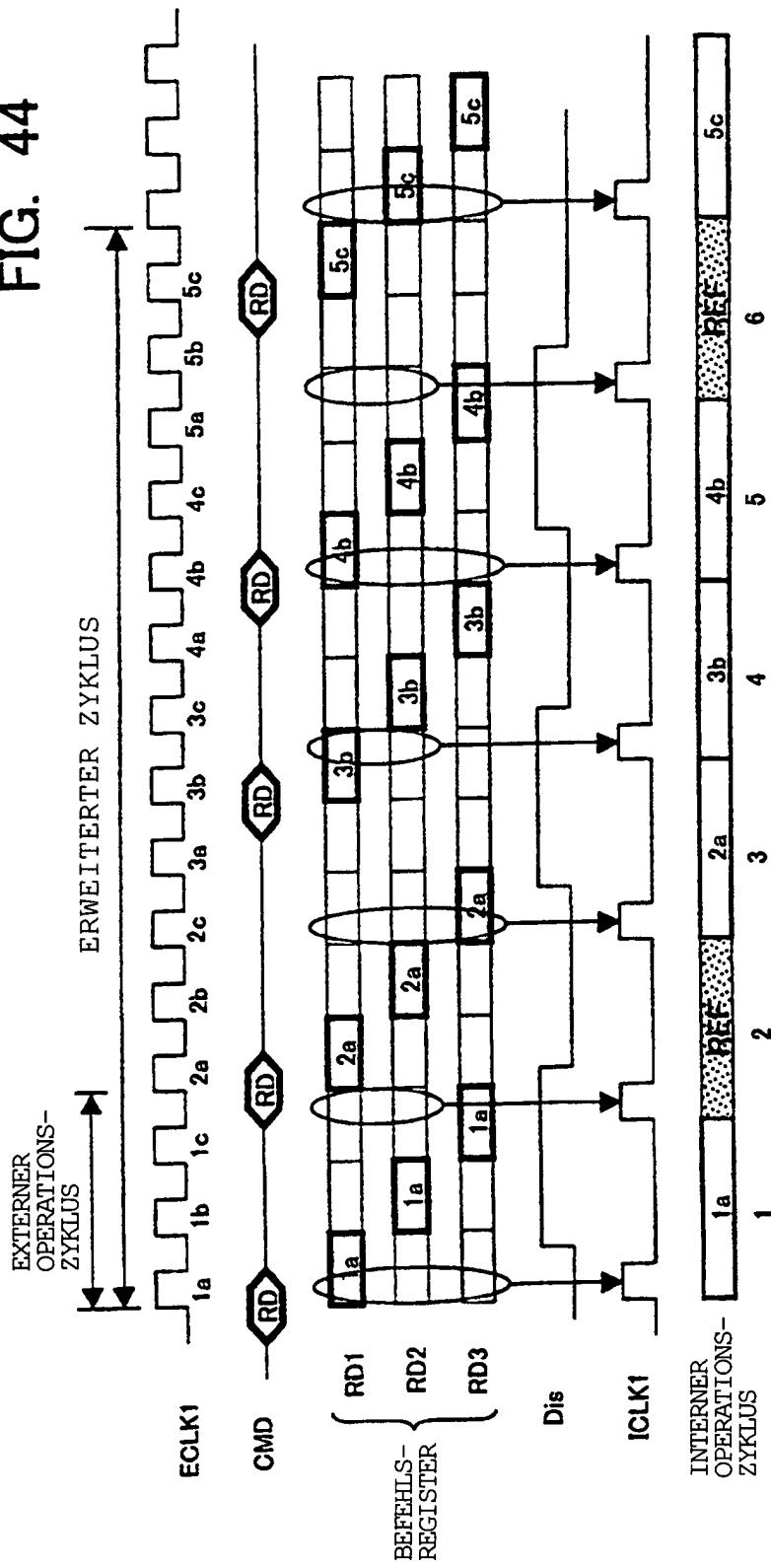


FIG. 45

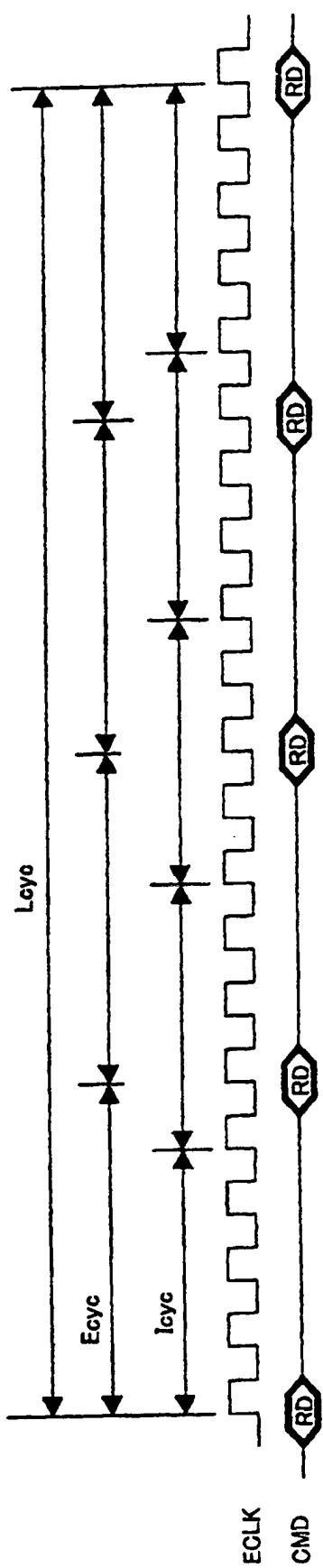


FIG. 46

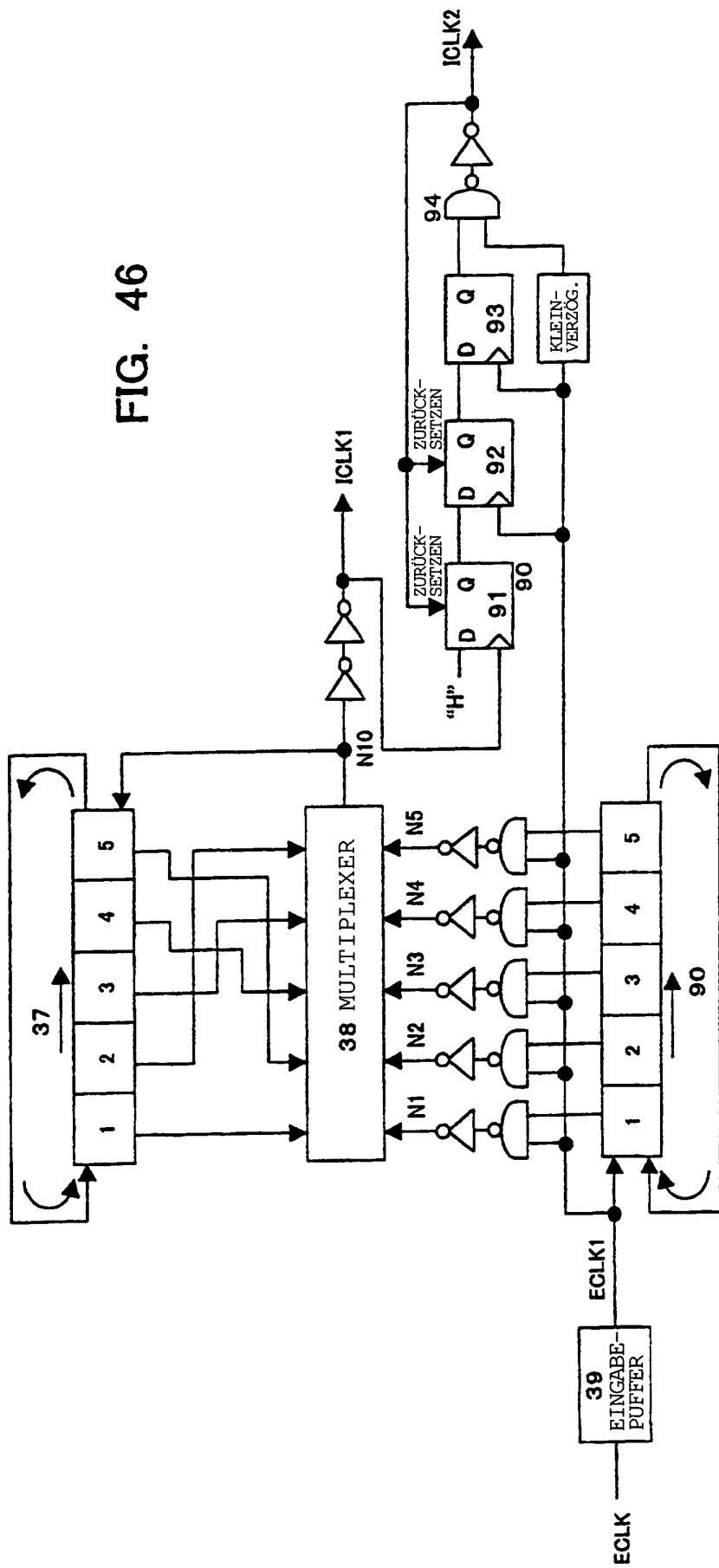


FIG. 47

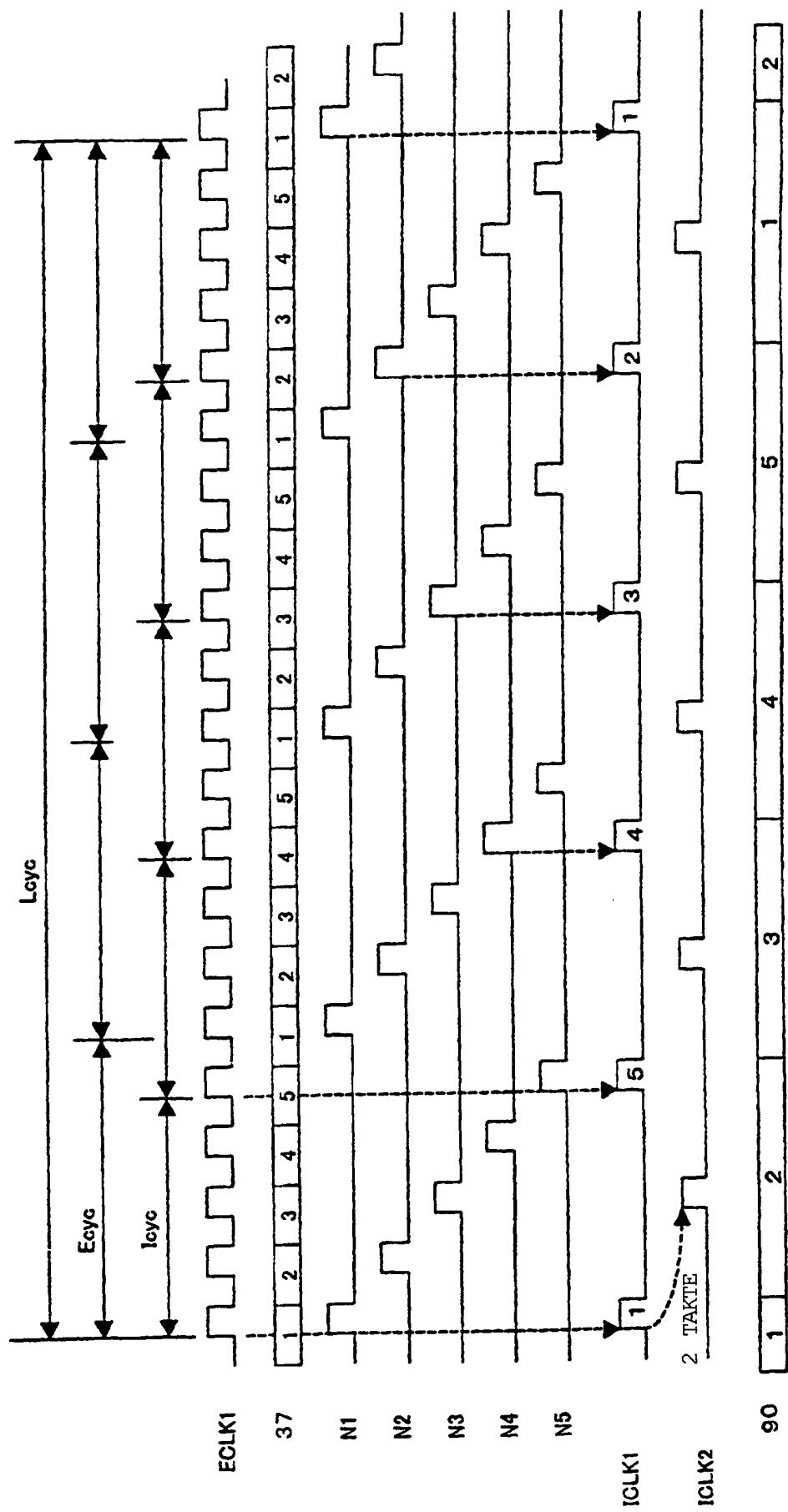


FIG. 48

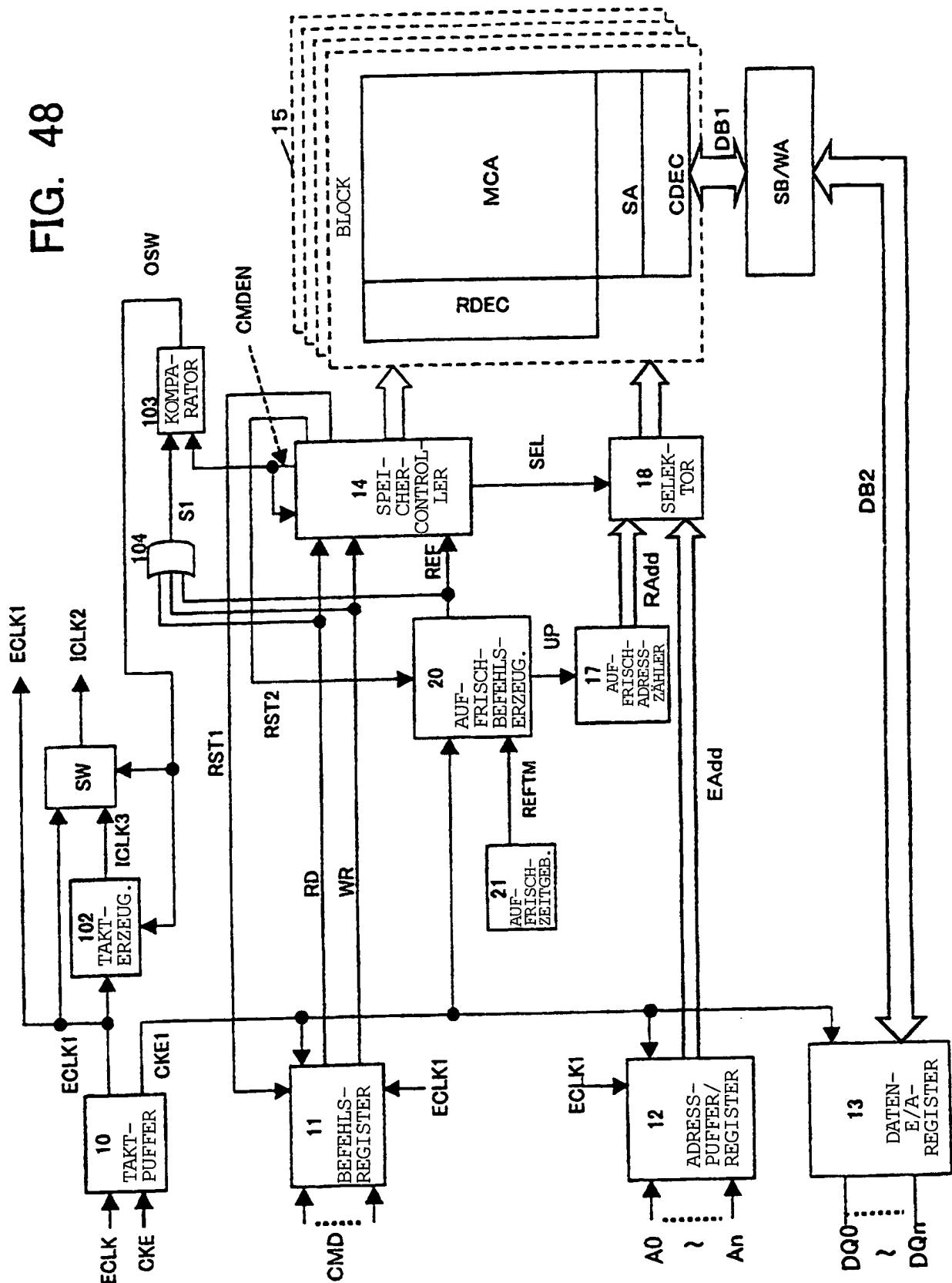


FIG. 4.9

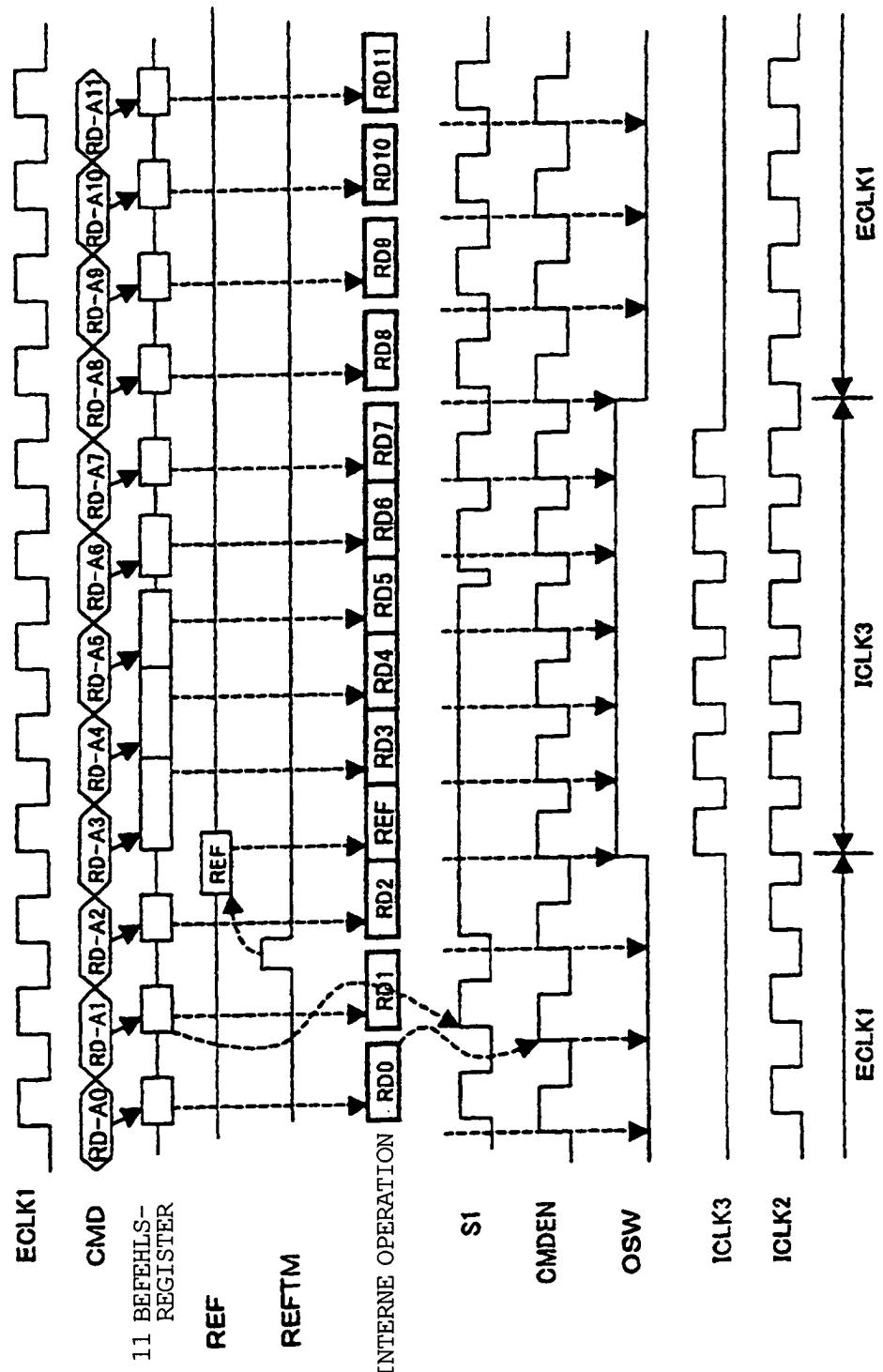
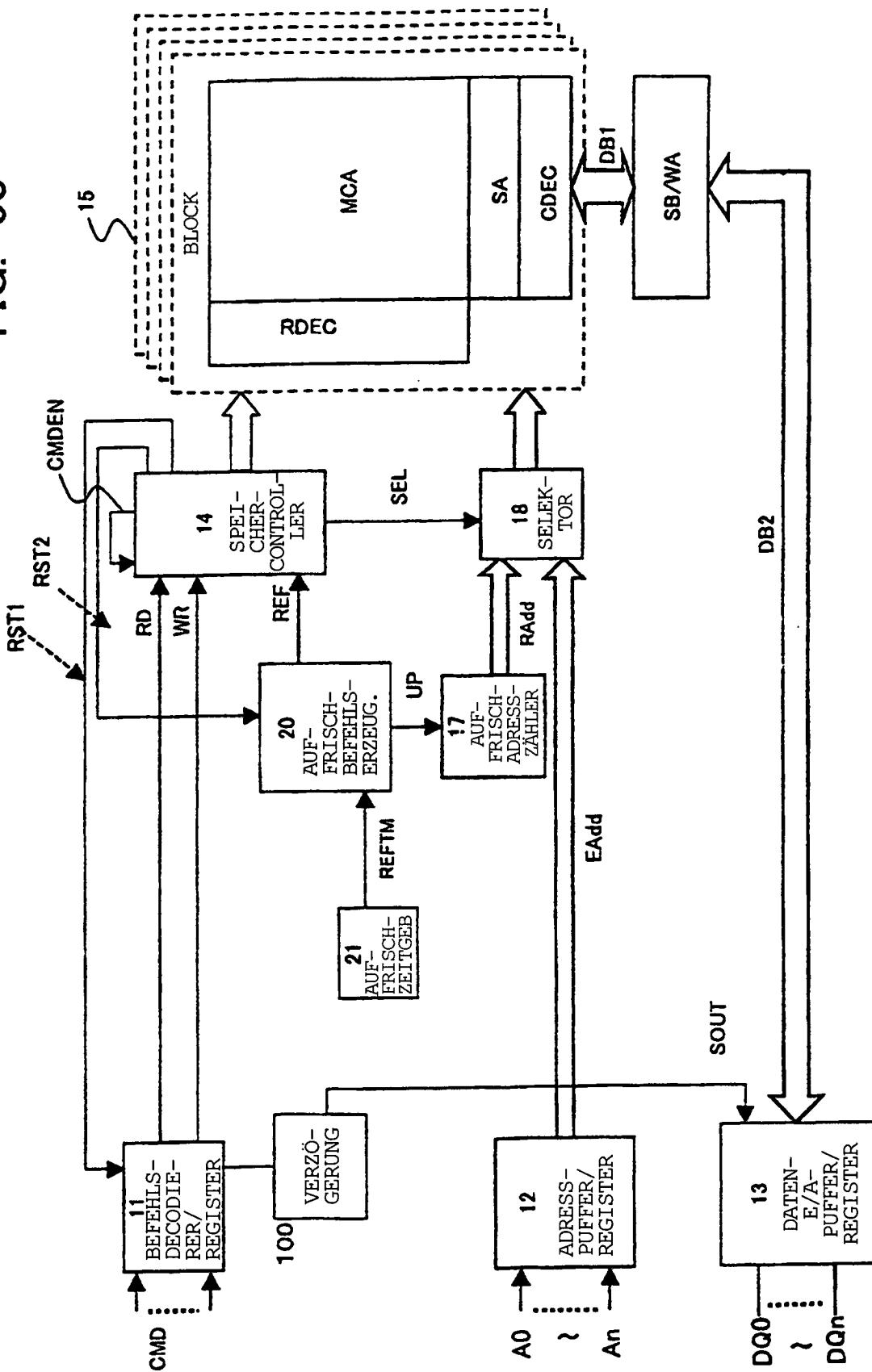


FIG. 50



MINIMALES INTERVALL DER
EXTERNEN BEFEHLE

FIG. 51A
**OPERATION SYNCHRON
MIT EXTERNER
BEFEHLSZEITLAGE**

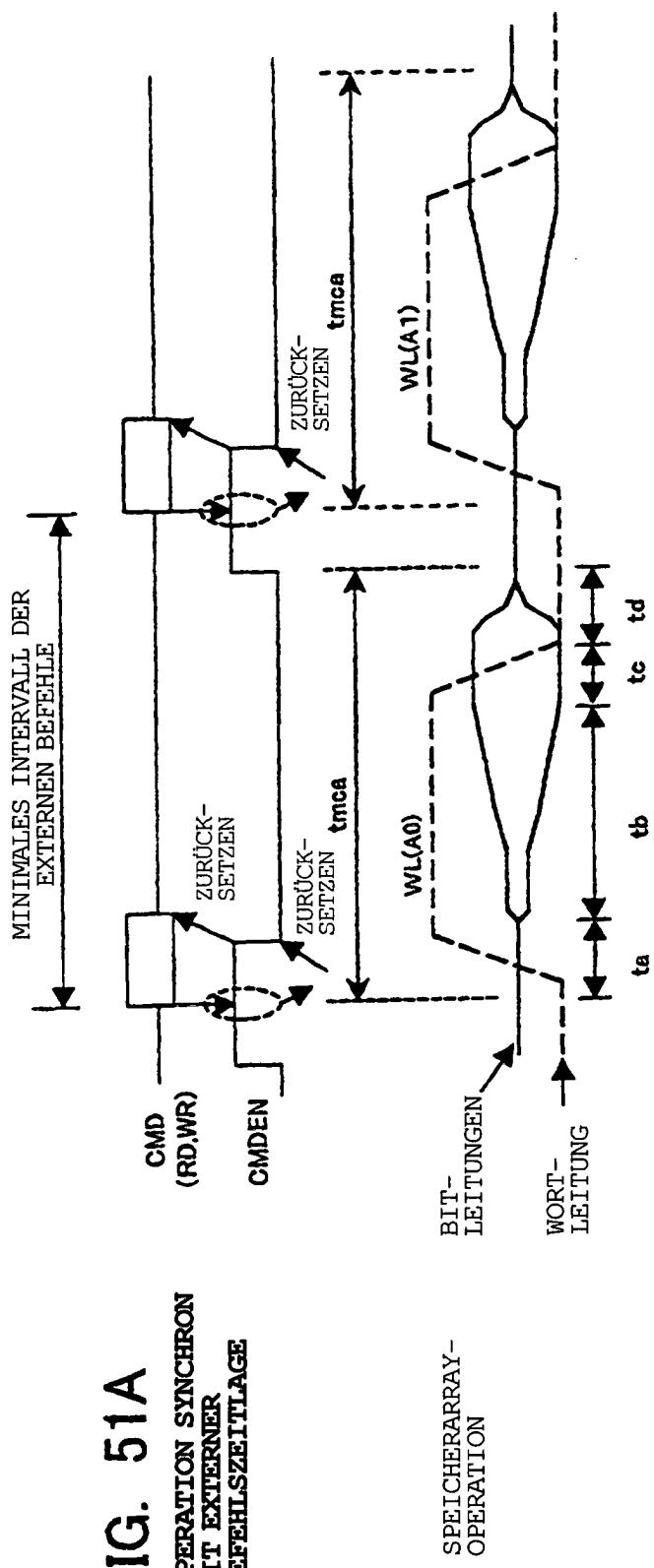


FIG. 51B
**OPERATION ASYNCHRON
MIT EXTERNER
BEFEHLSZEITLAGE**

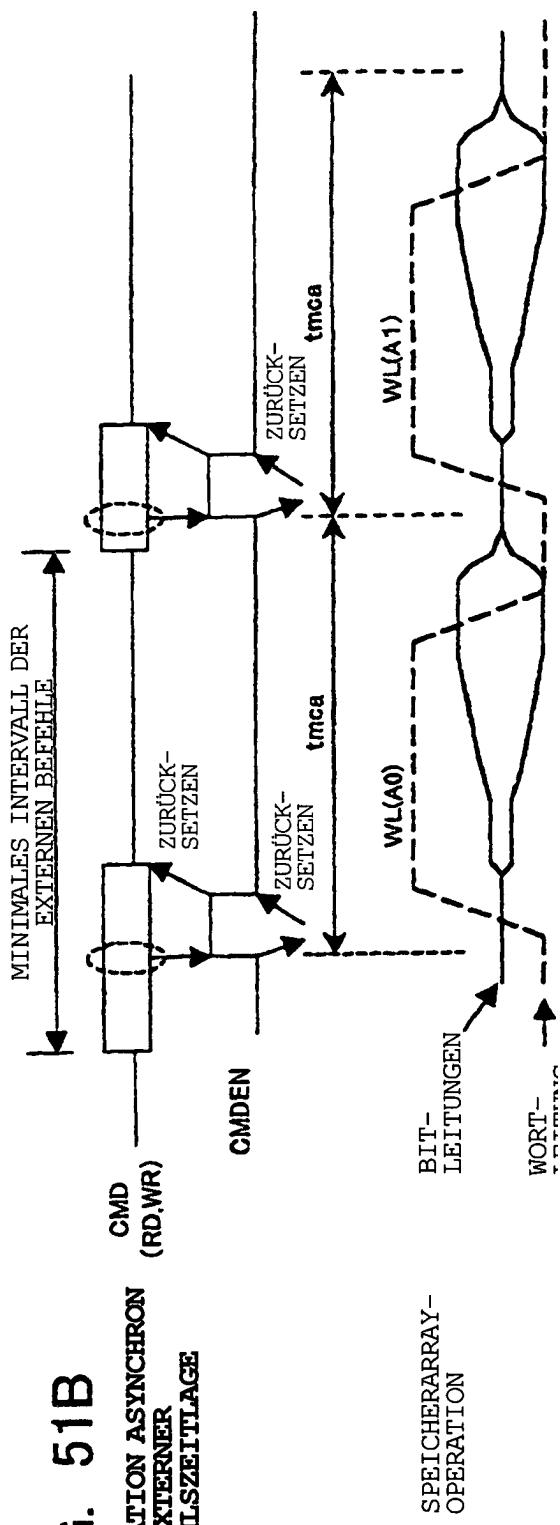


FIG. 52

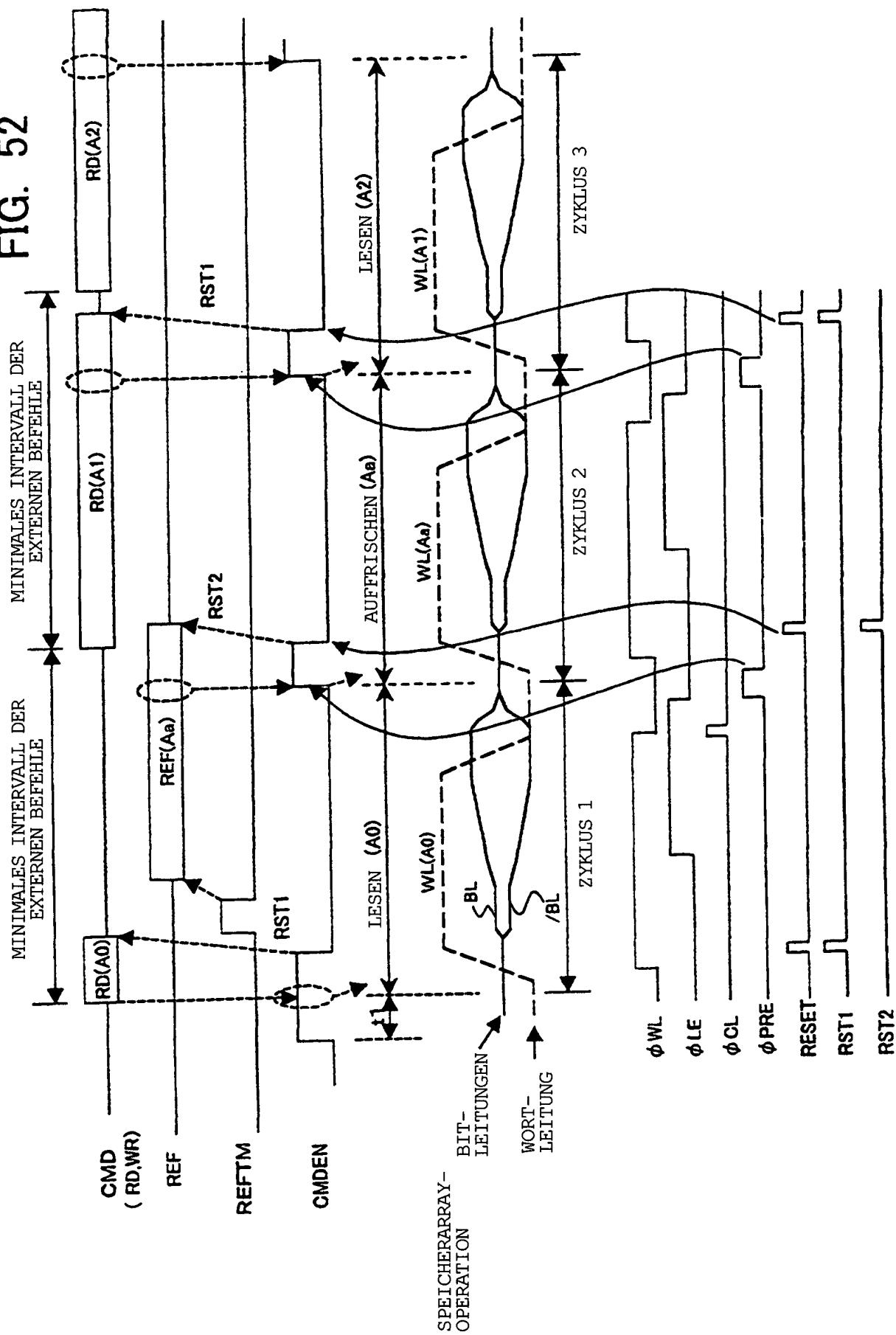


FIG. 53

