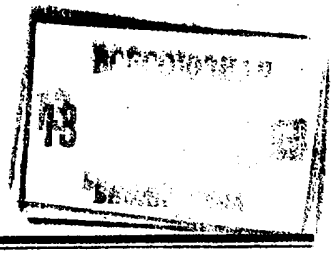
СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1087986 A

(51) G 06 F 7/06

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3557294/18-24
(22) 28.02.83
(46) 23.04.84. Бюл. № 15
(72) А.М.Кенин и Е.К.Пьянков
(53) 681.325.5(088.8)
(56) 1. Авторское свидетельство СССР № 610107, кл.G 06 F 7/06, 1975.
2. Авторское свидетельство СССР № 943707, кл. G 06F 7/06, 1980 (прототип).

(54)(57) УСТРОЙСТВО ДЛЯ СОРТИРОВКИ И ВЫБОРКИ ИНФОРМАЦИИ, содержащее регистр результата, узел сравнения, узел анализа количества единиц и n узлов анализа несовпадения с константой сравнения (где n-количество сравнимых чисел), каждый из которых состоит из кольцевого регистра сдвига, элемента памяти, триггера и блока сравнения, причем информационный вход кольцевого регистра сдвига каждого i-го узла анализа соединен с i-м информационным входом устройства, где i=1,2,...,n, выход кольцевого регистра сдвига каждого узла анализа несовпадения с константой сравнения подключен к входу соответствующего элемента памяти и первому входу блока сравнения, второй вход которого соединен с выходом узла сравнения, а выход - с входом установки в единичное состояние соответствующего триггера, вход установки в нулевое состояние которого подключен к шине начальной установки устройства, а выход - к входу разрешения записи соответствующего элемента памяти, входы управления кольцевых регистров сдвига каждого узла анализа несовпадения с константой сравнения подключены к входу тактовых сигналов устройства, выходы узла анализа количества единиц соединены с входами первой группы узла сравнения, входы второй группы которого подключены к группе входов заданий константы сравнения устройства, выход узла сравнения соединен с информационным входом регистра результата, управляющий вход которого подключен к входу тактовых сигналов устройства, узел анализа количества единиц содержит дешифратор, шифратор, элементы ИЛИ, причем входы узла анализа количества единиц соединены с входами дешифратора, каждый ℓ-й выход которого соединен с входом j-го элемента ИЛИ, где $\ell = 1,2,...K$, $j=1,2,...,(m-1)$, K - количество выходов дешифратора, m - количество выходов с одинаковым количеством единиц во входном числе, выход каждого j-го элемента ИЛИ подключен к j-му входу шифратора, выходы дешифратора, соответствующие j=0 и j=m, соединены с m- м и (m+1)-м входам шифратора соответственно, о т л и ч а ю щ е е с я тем, что, с целью расширения функциональных возможностей путем обеспечения возможности сортировки произвольно меньшего, чем n, набора чисел, и выборки K из n, в него введен n-разрядный регистр маски и n двухвходных элементов И, выходы которых соединены с соответствующими входами узла анализа количества единиц, первый вход каждого i-го элемента И соединен с выходом элемента памяти i-го узла анализа несовпадения с константой сравнения, второй вход i-го элемента И соединен с соответствующим выходом регистра маски, входы регистра маски являются входами задания набора чисел устройства, входы синхронизации триггеров всех узлов анализа несовпадения с константой сравнения подключены к блокировочной шине устройства.

(19) SU (11) 1087986 A

Изобретение относится к автоматике и вычислительной технике и может быть использовано в специализированных вычислительных машинах и устройствах обработки данных.

Известно устройство для сортировки чисел, содержащее регистр результата, узел сравнения и узел анализа количества единиц, регистры анализируемых чисел, элементы преобразования [1].

Недостатком этого устройства являются ограниченные функциональные возможности.

Наиболее близким по технической сущности к предложенному является устройство для сортировки чисел, содержащее регистр результата, узел сравнения и узел анализа количества единиц, n узлов анализа, каждый из которых состоит из кольцевого регистра сдвига, элемента памяти, триггера и схемы сравнения, причем выходы узла анализа количества единиц соединены с входами первой группы узла сравнения, входы второй группы которого подключены к группе входов задания константы устройства, выход узла соединен с информационным входом регистра результата, управляющий вход которого подключен к входу тактовых сигналов устройства, информационный вход кольцевого регистра сдвига каждого i-го узла анализа соединен с i-м информационным входом устройства, где i=1,2,...,n, выход кольцевого сдвига каждого узла анализа подключен к входу элемента памяти и первому входу схемы сравнения, второй вход которой соединен с выходом узла сравнения, а выход - с входом установки в единичное состояние триггера, вход установки в нулевое состояние которого подключен к входу управления устройства, а выход - к входу управления элемента памяти, выход элемента памяти каждого i-го узла анализа соединен с i-м входом узла анализа количества единиц, входы управления кольцевых регистров сдвига каждого узла анализа подключены ко входу тактовых сигналов устройства, узел анализа количества единиц состоит из дешифратора, шифратора, элементов ИЛИ, причем входы узла анализа соединены со входами дешифратора, каждый ℓ-ый выход которого соединен со входом j-го элемента ИЛИ, где ℓ=1,2,..., K, ℓ=1,2...,,(m-1), K - количество выходов дешифратора, m - количество выходов с одинаковым количеством единиц во входном канале, выход каждого j-го элемента ИЛИ подключен к j-му входу шифратора, выходы дешифратора, соответствующие j=0 и j=m, соединены с m-ым и (m+1)-м входами шифратора соответственно[2].

Однако известное устройство имеет ограниченные функциональные возможности, так как производит всегда сортировку только всех чисел, в то время как иногда возникает задача сортировки произвольного, меньшего чем n, набора чисел, например M, где 0<M≤n. Кроме того, известное устройство не может выполнять функцию выборки чисел K из n.

Целью изобретения является расширение функциональных возможностей устройства.

Поставленная цель достигается тем, что в устройство для сортировки и выборки информации, содержащее регистр результата, узел сравнения, узел анализа количества единиц и n узлов анализа несовпадения с константой сравнения (где n-количество сравнимых чисел), каждый из которых состоит из кольцевого регистра сдвига, элемента памяти, триггера и блока сравнения, причем информационный вход кольцевого регистра сдвига каждого i-го узла анализа соединен с i-м информационным входом устройства, где i=1,2,...,n, выход кольцевого регистра сдвига каждого узла анализа несовпадения с константой сравнения подключен к входу соответствующего элемента памяти и первому входу блока сравнения, второй вход которого соединен с выходом узла сравнения, а выход - с входом установки в единичное состояние соответствующего триггера, вход установки в нулевое состояние которого подключен к шине начальной установки устройства, а выход - к входу разрешения записи соответствующего элемента памяти, входы управления кольцевых регистров сдвига каждого узла анализа несовпадения с константой сравнения подключены к входу тактовых сигналов устройства, выходы узла анализа количества единиц соединены с входами первой группы узла сравнения, входы второй группы которого подключены к группе входов задания константы сравнения устройства, выход узла сравнения соединен с информационным входом регистра результата, управляющий вход которого подключен к входу тактовых сигналов устройства, узел анализа количества единиц содержит дешифратор, шифратор, элементы ИЛИ, причем входы узла анализа количества единиц соединены с входами дешифратора, каждый ℓ-й выход которого соединен с входом j-го элемента ИЛИ, где ℓ=1,2,...,K, j=1,2,...,(m-1), K - количество выходов дешифратора, m-количество выходов с одинаковым количеством единиц во входном числе, выход каждого j-го элемента ИЛИ подключен к j-му входу шифратора, выходы

дешифратора, соответствующие j=0 и j=m, соединены с m- м и (m +1)-м входами шифратора соответственно, с целью расширения функциональных возможностей путем обеспечения возможности сортировки произвольно меньшего, чем n, набора чисел, и выборки K из n, в него введен n-разрядный регистр маски и n двухвходных элементов И, выходы которых соединены с соответствующими входами узла анализа количества единиц, первый вход каждого i-го элемента И соединен с выходом элемента памяти i-го узла анализа несовпадения с константой сравнения, второй вход i-го элемента И соединен с соответствующим выходом регистра маски, входы регистра маски являются входами задания набора чисел устройства, входы синхронизации триггеров всех узлов анализа несовпадения с константой сравнения подключены к блокировочной шине устройства.

На чертеже представлена блок-схема предлагаемого устройства.

Устройство содержит сдвигающий регистр 1 результата, узел 2 сравнения, узел 3 анализа количества единиц, n узлов 4 анализа, каждый из которых состоит из кольцевого регистра 5 сдвига, элемента 6 памяти, триггера 7 и схемы 8 сравнения, информационный вход 9 устройства, вход установки в исходное состояние 10, вход тактовых сигналов 11, группу входов задания констант 12, n-разрядный регистр 13 маски, входы которого являются входами устройства 14, двухвходовые элементы 15, блокировочную шину 16.

Устройство работает следующим образом.

Под выделением числа с заданным рангом понимается нахождение в исходном массиве числа, относительная величина которого задана, начиная с минимального числа (например, найти девятое по величине число). Ранг числа R-это номер этого числа в отсортированном по возрастанию массиве чисел. Так, если необходимо найти девятое по величине число, то R=9. В кольцевые сдвигающие регистры 5 при помощи импульсов, подаваемых на вход тактовых сигналов 11 устройства, записываются сортируемые числа, начиная со старших разрядов. На вход установки в исходное состояние 10 устройства подается импульс, который устанавливает триггер 7 в ''1'', при этом по блокировочному входу на входы синхронизации данных триггеров подается уровень логической ''1'', разрешающий установку триггеров в любое требуемое состояние. На управляющих входах элементов 6 памяти появляется разрешающий сигнал. На вход 12 задания константы подается константа сравнения

$$A = n+1 - R,$$

где n - количество сортируемых чисел;

R - ранг выбираемого числа.

В n-разрядный регистр 13 маски через информационные входы 14 записываются единицы в те n-разрядов, которые соответствуют сортируемым числам, а в остальные (N-n) разрядов записываются нули. На первые входы элементов 15 И с соответствующих элементов 6 памяти подаются сортируемые числа старшими разрядами вперед, а на вторые входы элементов 15 И подаются сигналы разрешения или запрещения с соответствующих выходов регистра 13 маски.

После этого устройство переходит в режим выделения двоичного числа с наперед заданным рангом.

Этот процесс проходит за m тактов, где m-разрядность сортируемых чисел.

В первом такте на информационные входы элементов 6 памяти поступают значения старших разрядов чисел и проходят через схемы И на узел 3 анализа количества единиц. В этом узле подсчитывается количество единиц, содержащихся в старших разрядах сортируемых чисел и выдается результат подсчета на узел 2 сравнения. Если количество единиц в старших разрядах чисел не меньше константы сравнения A, то на выходе узла 2 сравнения появляется ''1'', в противном случае ''0''. Выходное значение узла 2 сравнения записывается в регистр 1 результата в качестве цифры старшего разряда выделяемого числа и подается на вторые входы схемы сравнения, на первые входы которых поступают сигналы старших разрядов сортируемых чисел. Каждая схема 8 сравнения выдает единичный сигнал, если значения, подаваемые на ее входы, не совпадают, в противном случае - нулевой. Таким образом, если значения на выходах кольцевого сдвигающего регистра 5 и узла 2 сравнения не совпадают, то снимается разрешающий сигнал с соответствующего элемента 6 памяти, чем блокируется запись в него последующих значений в течение всех последующих тактов работы устройства.

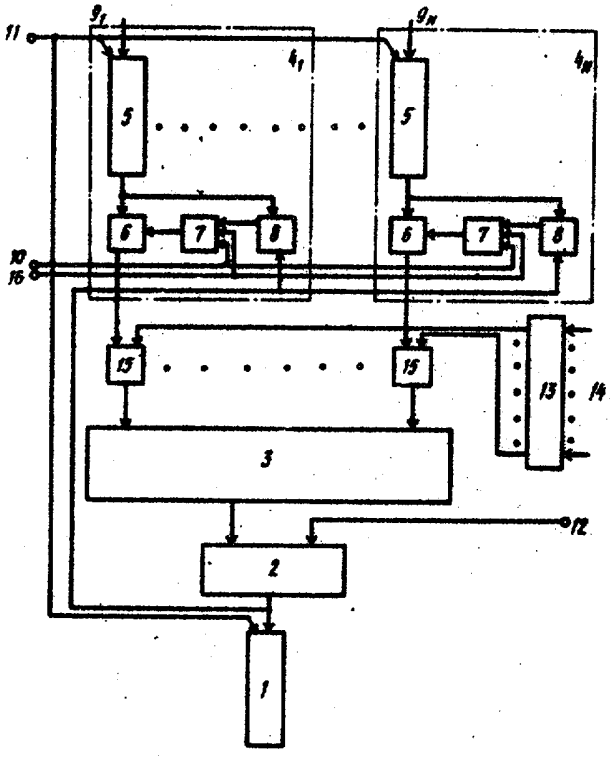
Заблокированный элемент 6 памяти выдает на элементы И, а затем на узел 3 анализа количества единиц то значение, которое было записано в него до снятия с управляющего входа разрешающего сигнала. Во втором такте на управляющий вход 11 устройства подается импульс по которому информация в регистрах 1 и 5 сдвигается на один разряд в сторону старших разрядов. В дальнейшем устройство работает аналогично описанному.

После выполнения m тактов в сдвигающем регистре 1 результата находится выделенное число, которое выводится из устройства.

Для обеспечения выполнения устройством функции выборки K из n на вход установки в исходное состояние 10 и на блокировочный вход 16 устройства подается импульс, который устанавливает триггер 7 в ''1'', после чего на блокировочный вход 16 подается уровень логического нуля и триггеры 7 запоминают исходное состояние, а на управляющих входах элементов 6 памяти в течении всего времени выборки установится разрешающий сигнал.

В i-м такте (где i=1,2,3,...,m, m-разрядность анализируемых чисел) с выходов сдвиговых регистров 5 анализируемых чисел значения i-х разрядов поступают на элементы 6 памяти и проходят на первые входы элементов 15 И, на вторые входы которых поступают сигналы разрешения или запрета с соответствующих выходов регистра 13 маски. Текущие значения i-х разрядов выбранных регистров поступают на соответствующие входы узла 3 анализа количества единиц, где производится параллельная свертка числа единиц. Результат подсчета, представленный в прямом коде, поступает параллельно на первые входы узла сравнения 2, на вторые входы которого поступает константа сравнения, представленная в дополнительном коде, разрядностью $\ell o g_2 N$. Инверсия знакового разряда результата сравнения, получаемая на выходе узла 2 сравнения, поступает на информационный вход сдвигового регистра 1 результата.

Использование предложенного устройства позволит реализовать сортировку любого набора чисел из имеющихся N чисел, кроме того, устройство позволяет на проходе реализовать выборку из массива чисел с переменным уровнем мажоритации.



ВНИИПИ Заказ 2673/45
Тираж 699 Подписное
Филиал ППП "Патент",
г.Ужгород,ул.Проектная,4