



(12) 发明专利

(10) 授权公告号 CN 1550859 B

(45) 授权公告日 2010.05.26

(21) 申请号 200410043528.3

(22) 申请日 1996.02.15

(30) 优先权数据

- 50526/95 1995.02.15 JP
- 155274/95 1995.05.30 JP
- 215408/95 1995.07.31 JP

(62) 分案原申请数据

96106023.9 1996.02.15

(73) 专利权人 株式会社半导体能源研究所  
地址 日本神奈川县

(72) 发明人 山崎舜平 小山润 竹村保彦

(74) 专利代理机构 中国专利代理(香港)有限公司  
72001

代理人 陈景峻

(51) Int. Cl.

- G02F 1/136(2006.01)
- H01L 29/786(2006.01)
- G09F 9/00(2006.01)

(56) 对比文件

- US 5334862 A, 1994.08.02, 全文.
- CN 87106738 A, 1988.04.06, 全文.
- JP 6-169086 A, 1994.06.14, 全文.
- JP 6-265940 A, 1994.09.22, 全文.
- JP 6-333948 A, 1994.12.02, 全文.
- US 5385854 A, 1995.01.31, 全文.
- JP 6-349856 A, 1994.12.22, 全文.

审查员 韩旭

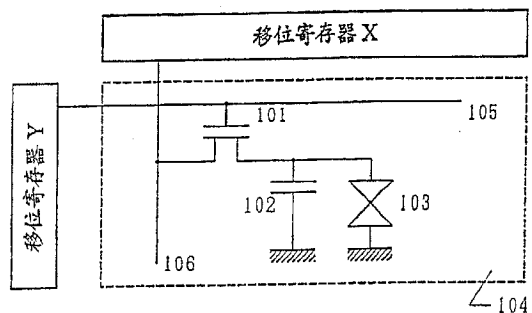
权利要求书 2 页 说明书 9 页 附图 14 页

(54) 发明名称

液晶显示器件

(57) 摘要

一种液晶显示器件,其电路包括至少五个用作转换元件的薄膜晶体管(TFT),这些晶体管没有用于单个像素电极的近似M形半导体区以及与该M形半导体区交叉的栅极线和电容线。每个TFT具有偏移区和轻微掺杂的漏极(LDD)区。然后通过向栅极线施加选择信号,TFT被控制,借此将数据写入到像素,同时将适当的电压施加到电容线上,在其作用下形成沟道,并变为一电容。因此,利用该电容使像素电极的放电量被降低。



1. 一种显示器件,包括:
  - 在衬底上的第一栅极线;
  - 在所述衬底上并与所述第一栅极线平行的第二栅极线;
  - 第一、第二、第三电容线在所述衬底上平行于所述第一和第二栅极线延伸,其中所述第一栅极线设置在所述第一和第二电容线之间,并且第二栅极线设置在所述第二和第三电容线之间,
  - 源极线,跨所述第一和第二栅极线延伸;
  - 设置在所述第一栅极线和所述源极线的相交处上的第一开关电路,所述第一开关电路包括第一半导体岛;
  - 设置在所述第二栅极线和所述源极线的相交处上的第二开关电路,所述第二开关电路包括第二半导体岛;
  - 和所述第一开关电路相关的第一像素电极;
  - 和所述第二开关电路相关的第二像素电极;
  - 位于所述第一像素电极和所述第二电容线之间的第一存储电容;以及
  - 位于所述第二像素电极和所述第三电容线之间的第二存储电容,
  - 其中所述第一和第二开关电路的每个包括:
    - 形成在所述第一和第二半导体岛的每一个中的至少第一和第二沟道区;
    - 形成在所述第一和第二半导体岛的每一个中的第一和第二杂质区,其间插入有所述第一和第二沟道区;
    - 邻近所述第一沟道区的包括轻微掺杂的漏极区的第三杂质区;
    - 栅绝缘膜;以及
    - 和所述第一和第二沟道区相邻的至少第一和第二栅电极,所述栅绝缘膜插入在其间,其中所述第一开关电路的所述第一和第二栅电极和所述第一栅极线电连接,并且所述第二开关电路的所述第一和第二栅电极和所述第二栅极线电连接。
2. 根据权利要求 1 的器件,其中所述显示器件是电致发光显示器件。
3. 根据权利要求 1 的器件,其中所述显示器件是液晶显示器件。
4. 根据权利要求 1 的器件,所述第一开关电路还包括和所述第一半导体岛相邻的至少另一栅电极,所述另一栅电极和所述第一电容线电连接。
5. 根据权利要求 1 的显示器件,还包括:
  - 提供在所述第一和第二开关电路上的、包括氮化硅的钝化膜。
6. 一种显示器件,包括:
  - 在衬底上平行延伸的所述第一栅极线和第二栅极线;
  - 在所述衬底上平行于所述第一和第二栅极线延伸的第一、第二、第三电容线,其中所述第一栅极线设置在所述第一和第二电容线之间,并且第二栅极线设置在所述第二和第三电容线之间,
  - 源极线,跨所述第一和第二栅极线延伸;
  - 串联连接的多个第一薄膜晶体管,设置在所述第一栅极线和所述源极线的相交处上;
  - 串联连接的多个第二薄膜晶体管,设置在所述第二栅极线和所述源极线的相交处上;
  - 和所述多个第一薄膜晶体管相连的第一像素电极;

和所述多个第二薄膜晶体管相连的第二像素电极；

位于所述第一像素电极和所述第二电容线之间的第一存储电容；

位于所述第二像素电极和所述第三电容线之间的第二存储电容；

其中所述多个第一和第二薄膜晶体管的每一个包括：沟道区、源和漏区、和所述沟道区相邻的栅绝缘膜、和所述栅绝缘膜相邻的栅电极；

其中所述多个第一薄膜晶体管的至少两个连接到所述第一栅极线，所述多个第一薄膜晶体管的至少一个连接到所述第一电容线，所述多个第二薄膜晶体管的至少两个连接到所述第二栅极线，所述多个第二薄膜晶体管的至少一个连接到所述第二电容线；

其中所述多个第一和第二薄膜晶体管的每一个包括至少一个轻微掺杂的漏极区。

7. 根据权利要求 6 的器件，其中所述显示器件是液晶显示器件。

8. 根据权利要求 6 的器件，所述轻微掺杂的漏极区的边缘和所述栅电极的边缘对齐。

## 液晶显示器件

### 技术领域

[0001] 本发明涉及一种用于改进有源矩阵型显示器的显示屏的图像质量的电路和元件，这类显示器件例如为液晶显示器件、等离子体显示器件或 EL(电发光)显示器件。

### 背景技术

[0002] 图 2A 示意表示一种常规的有源矩阵显示器件。用虚线表示的区域 104 是一个显示区。各薄膜晶体管 (TFT) 101 以矩阵形式分布在区域 104、连接到 TFT101 的源极上的引线是图像(数据)信号线 106,连接到 TFT101 的栅极上的引线是栅极(选择)信号线 105。多条栅极信号线和图像信号线彼此垂直配置。

[0003] 辅助电容 102 用于保证像素单元 103 的电容,存储图像数据。TFT101 用于响应于施加到像素单元 103 上的电压转换图像数据。

[0004] 通常,假如将反向偏置电压加到 TFT 的栅极,所发生的一种公知现象是在源极和漏极之间没有工作电流流动 (OFF(关断)状态),但是有漏电流 (OFF(关断)电流)存在。这一漏电流改变了像素单元的电压(电位)。

[0005] 在 N 沟道型 TFT 中,当栅极被反向偏置时,在形成在半导体薄膜表面的 P-型层和源极区和漏极区的 N 型层之间形成 PN 结。然而,由于在半导体薄膜内部存在大量的陷阱,使这种 PN 结不佳。易于产生结漏电流。实际上当栅极被反向偏置时 (OFF) 关断电流增加的原因是在形成在半导体薄膜表面中的 P-型层中的载流子密度增加以及在 PN 结处的能量势垒的宽度变窄,因此导致电场的集中和结漏电流增加。

[0006] 以这种方式产生的关断 (OFF) 电流很大程度上取决于源极/漏极电压。例如,众所周知,关断 (OFF) 电流随在源极和漏极间施加的电压增加而快速增加。即有这样一种情况,如在源极和漏极之间施加电压为 5V,以及在其间施加电压为 10V 的情况下,后者的关断 (OFF) 电流并不是前者的 2 倍,而是可能为前者的 10 倍甚至 100 倍大。这种非线性还取决于栅极电压。假如栅极的反向偏置电压大(对 N 沟道型为大的负电压),这两种情况之间存在明显的差别。

[0007] 为了克服这一难题,已经提出一种用于将各 TFT 串联的方法(多栅极法),如在序号为 5-44195 和 5-44196 的 KoKoKu 日本专利(已审查)中。当将两个 TFT111 和 112 串联,如图 2B 中所示时,施加在每个 TFT 的源极/漏极上的电压被减半。根据上述,假如施加到源极/漏极上的电压被减半,则关断 (OFF) 电流被降到 1/10。甚至到 1/100。在图 2B 中,数码 113 代表一辅助电容器,数码 114 是一像素单元,数码 115 是一栅极信号线,数据 116 是一图像信号线。

[0008] 然而,由于对液晶显示器件的图像显示所需特性要求变得更为严格,即使利用上述多栅极法也难于充分地降低关断 (OFF) 电流。这是因为即使将栅极的数量(即 TFT 数量)增加到 3、4 或 5,施加到每个 TFT 的源极/漏极电压仅稍降低到 1/3、1/4 或 1/5。而另外带来的问题是电路变得复杂,占用面积大。

## 发明内容

[0009] 本发明的目的是提供一种像素控制电路,其结构能保证通过将施加到该连接到像素电极的 TFT 的漏极/源极的电压降低到它们的常规数值的 1/10 以下,最好 1/100 以下,使关断 (OFF) 电流降低。

[0010] 在说明书中公开的本发明其特征在于,其结构包括呈矩阵形式配置的栅极信号线和图像信号线,像素电极分布在由栅极信号线和图像信号线环绕的区域内,以及邻近每个像素电极的具有相同导电类型的薄膜晶体管 (TFT) (TFT 的数量为  $n$ ) 彼此串联,其中第一 TFT ( $n = 1$ ) 的源极区或漏极区连接到其中一条图像信号线,第  $n$  TFT 的源极区域或漏极区域连接到其中一个像素电极上,邻近每个 TFT 的沟道形成区的两个区域的至少其中一个区域 (TFT 的数量为  $n-m$  ( $n > m$ )) 是一低浓度的掺杂区,用于形成导电类型的掺杂浓度低于源极区或漏极区,将每个 TFT (TFT 的数量为  $m$ ) 的栅极电压维持在某一电压,以使沟道形成区变为与源极和漏极区的导电类型相同的导电类型区。在上述结构中,  $n$  和  $m$  是除 0 以外的自然数。为了得到所希望的效果,最好  $n$  为 5 或大于 5。

[0011] 上述结构的一个实例表示在图 2C 中。在图 2C 中,5 个 TFT121 至 125 串联分布,即  $n = 5, m = 2$ 。TFT121 ( $n = 1$ ) 的源极区连接到图像信号线 129。TFT123 ( $n = 5$ ) 的漏极区连接到像素单元 127 的像素电极和辅助电容器 126。

[0012] TFT121 到 123 (TFT 的数量为  $n-m$  ( $n > m$ )) 的栅极连接到一公共的栅极信号线 128 上,以及每个 TFT 具有 -LDD (轻微掺杂漏极) 结构和/或偏移 (offset) 结构。另外的 TFT124 和 125 的栅极 (TFT 的数量为  $m$ ) 连接到公用的电容线 130。电容线 130 维持在预期的电压上。

[0013] 在图 2C 中,本发明的基本特征是 TFT121 到 125 串联,其中 TFT121 到 123 的栅极连接到栅极信号线 128,另外的 TFT124 和 125 的栅极连接到电容线 130。因此,在维持像素电压的时间阶段内,通过将电容线维持在适当的电压下,在 TFT124 和 125 的每个 TFT 的沟道和栅极之间形成电容器。

[0014] 因此,使在 TFT122 和 123 中的每一个 TFT 的源极和漏极之间的电压降低了,因此降低了 TFT 的关断 (OFF) 电流。辅助电容并不是绝对必需的。相反由于在数据写入的过程中增加了负载,假如像素单元的电容和在 TFT124 和 125 中产生的电容间的比率已达最佳的情况下则最好不包括该电容。

[0015] 为了利用图 2C 详细地介绍其工作,当选择信号施加到栅极信号线 128 上时,121 到 123 的所有 TFT 设都导通。为了使 TFT124 和 125 也导通 (ON),需要向电容线 130 施加一信号。因此,像素单元 127 按照图像信号线 129 上的信号被充电,同时 TFT124 和 125 也被充电。在该 (均衡) 阶段,当已经进行充分充电时,TFT122 和 123 的源极和漏极之间的电压近于相同。

[0016] 假如在这种状况下,选择信号没有施加或被断开,则 TFT121 到 123 被关断。在这个阶段,TFT124 和 125 仍然维持通路 (ON) 状态。将另一个像素信号顺序施加到图像信号线 129。由于 TFT121 具有一限定的关断 (OFF) 电流,存储在 TFT124 中的电荷被放电,使得电压降低。然而,其速度与在图 2A 中的常规有源矩阵电路中的电容器 102 电压下降速度相同。

[0017] 在 TFT122 中,由于源极和漏极间的电压起始接近于零,关断 (OFF) 电流极小,不过

TFT124 的电压其后会降低,因此, TFT 的源极和漏极之间的电压逐渐增加,因而关断 (OFF) 电流也增加。在 TFT123 中,关断 (OFF) 电流也以相同的方式逐渐增加,但是其速率比 TFT122 的速率更小。由上述可见,由于各 TFT 的关断 (OFF) 电流增加,像素单元 127 的电压降远低于图 2A 中所示常规有源矩阵电路的情况。

[0018] 假如 LDD 区和偏移区形成在 TFT121 到 125 的各沟道中,那么这些区域就变为漏极电阻和源极电阻。因此,能够削弱在漏极结处的电场强度和降低关断 (OFF) 电流。

[0019] 通过按照图 1A 的电路配置,可以增加这种电路的集成度,使栅极信号线 128 和电容线 130 重叠在近似 M 形的半导体区 100 上。图 1B 到 1D 表示这时的可能的组合配置,无论采用哪一个都能得到相同的效果。

[0020] 图 1B 是最传统的结构形式。TFT121 到 125 形成在半导体区 100 与栅极信号线 128 和电容线 130 的交叉处(与栅极信号线 3 个交叉以及与电容线 2 个交叉:总的 5 个交叉。将 N 型或 P 型杂质掺入由栅极信号线和电容线所分隔(封闭)的半导体区的各个区域中(在图 1B 中为 4 个区)以及在半导体区的两端的各个区域中,则这些区域就变成 TFT 的源极和漏极。应当这样形成图像信号线和像素电极,即将它们连接到半导体区的两端中的每一个区域上。(图 1B)

[0021] 在图 1C 中,对于点 a 和 b 可能并没有被电容线 130 所复盖。这是因为对于 TFT124 和 125 仅起电容器的作用,这样就足够了。

[0022] 在图 1D 中,通过与半导体区 100 形成 6 个交叉,能够形成 TFT131 到 136。这一电路表示在图 2D 中,在图 2C 中的 TFT122 利用 2 个串联的 TFT 被简单地代换。在图 2D 中数码 137 为一像素单元,数码 138 是栅极信号线,数码 139 是图像信号线,数码 140 是电容线。因此,与图 2C 比较能够降低 OFF 电流。

## 附图说明

- [0023] 图 1A 到 1D 表示在本发明中的半导体区、栅极信号线、电容线的配置;
- [0024] 图 2A-2B 示意了现有技术的情况;
- [0025] 图 2C 到 2D 表示有源矩阵电路的概图;
- [0026] 图 3A 到 3F 表示在实施例 1 中的转换元件的制造过程(横断面);
- [0027] 图 4A 到 4F 表示在第二实施例中的转换元件的制造过程(横断面);
- [0028] 图 5A 到 5F 表示在第三实施例中的转换元件的制造过程(上部视图);
- [0029] 图 6 是第三实施例中的转换元件的横断面图;
- [0030] 图 7 是第三实施例中的转换元件的电路图;
- [0031] 图 8A 和 8B 表示在第三实施例中的半导体区、栅极信号线和电容线的配置;
- [0032] 图 9 表示在第三实施例中的栅极信号线、电容线、外围电路等的配置;
- [0033] 图 10 是第四实施例中的像素区的上部视图;
- [0034] 图 11 表示图 10 所示结构的等效电路图;
- [0035] 图 12 是第五实施例中的像素区的上部视图;
- [0036] 图 13 是第六实施例中的像素区的上部视图;

## 具体实施方式

[0037] [ 实施例 1 ]

[0038] 在该实施例中,通过使栅极进行阳极化处理构成偏移栅极区和 LDD( 轻微掺杂漏极 ) 区,以便降低关断 (OFF) 电流。用于对栅极进行阳极化处理的方法公开在序号为 5-267667 的日本专利申请公开文件上。图 1A 到 1D 表示由上方看时该实施例的线路图,以及图 3A 到 3F 是制造过程的横断面图。在这些图中,左侧表示由图 1A 中的占划线 X-Y 表示的部分的横断面,右侧表示由 X' -Y' 表示的部分的横断面图。它们被画成是邻近的,但应当指出,很显然 X-Y 与 X' -Y' 并不是处在相同的直线上。

[0039] 厚度为 1000 到 5000 Å ( 埃 ) 之间例如 3000 Å 的氧化硅膜 302 作为基膜形成在基片 ( 科尔宁 7059 玻璃, 100mm×100mm ) 301 上。利用等离子体 CVD ( 化学蒸汽沉积 ) 使 TEOS ( 四乙氧硅烷 ) 分解和沉积,以便形成氧化硅膜 302。这个过程也可以通过溅射完成。

[0040] 利用等离子体 CVD 或低压 CVD (LPCVD) 沉积一厚度为 300 到 1500 Å 之间例如 500 Å 的非晶形硅膜,然后在空气环境中在 500 到 600°C 下搁置 8 到 24 小时,以便使其结晶。通过添加少量的镍可以促进结晶。用于通过添加镍之类促进结晶的方法,降低了结晶温度和缩短了结晶时间,这种方法提供在序号为 6-244104 的日本专利申请公开文件中。这个过程还可以利用激光照射通过光 - 热处理或将热处理和光 - 热处理结合来完成。

[0041] 结晶的硅膜被蚀刻,以便形成一近于 M 形岛状区 100。利用等离子体 CVD 或溅射在区域 100 上形成厚度为 700 到 1500 Å 之间例如为 1200 Å 的氧化硅膜 303 ( 图 1A 和 3A )。

[0042] 通过溅射形成厚度为 1000 Å 到 3 μm 之间例如为 5000 Å 的铝膜 ( 按重量计含 1% Si, 或 0.1 ~ 0.3% 的 Sc )。然后,在含 3% 的酒石酸的乙二醇溶液中,利用铝膜作为阳极,施加 10 到 30V 的电压,通过阳极化处理,以便形成本实施例中的由厚度约为几个 100 Å、200 Å 的精细氧化铝构成的阳极氧化层 304。阳极氧化层 304 用于粘附处于高度粘度的光敏抗蚀剂。

[0043] 在形成光敏抗蚀剂掩膜 305 之后,利用光敏抗蚀剂掩膜 305 蚀刻铝膜,以便形成栅极 306 到 309。栅极 306 和 307 对应于栅极信号线,栅极 308 和 309 对应于电容线 130 ( 图 3A )

[0044] 在这个阶段,如图 9 所示,可以进行蚀刻,以便在基片 806 上环绕有源矩阵区 805 形成铝膜区 802, 以及将所有的栅极信号线和电容线 ( 铝引线 ) 801 连接到铝膜区 802 上。假如将栅极或外围电路 ( 栅极驱动器 803 和源极驱动器 804 ) 之类的铝引线设计成与铝膜区 802 相隔离,则在外围电路的铝引线中就不能发生阳极化,因此改进了集成度。( 图 9 )

[0045] 不除去光敏抗蚀剂 305, 只有栅极 306 和 307, 即只有栅极信号线被阳极化,形成微孔的阳极氧化物 310。在这个过程中,仅向栅极 306 和 307 即向在酸溶液例如含 3% 的柠檬酸、草酸、磷酸、铬酸和硫酸的溶液中的栅极信号线 128 施加 10 至 30V 的电压。在该实施例中,在草酸溶液中 ( 30°C ) 施加 10V 电压持续 20 到 40 分。在这种状态下,由于光敏抗蚀剂掩膜 305 与阳极氧化层 304 粘附,可以防止来自光敏抗蚀剂掩膜 305 的漏电流,使得极为有效地仅在栅极 306 和 307 的侧表面中形成微形的阳极氧化物 310。微孔的阳极氧化物 310 的厚度可以根据阳极化时间进行调节,以便根据微孔的阳极氧化物 310 的厚度确定 LDD 区的长度。

[0046] 在除去光敏抗蚀剂掩膜 305 后,电流再次通过栅极 306 到 309, 即通过在电解液中的栅极信号线 138 ( 图 1B ) 进行阳极化,从而形成厚度为 500 到 2500 Å 的阳极氧化物。通

过利用乙二醇稀释酒石酸得到该电解液,其浓度为 5%,并利用氨将 pH 值调节到  $7.0 \pm 0.2$ 。将基片浸入到该溶液中。将恒流源的正端连接到基片上的栅极,将其负端连接到铂电极。在 20mA 的恒流下施加电压,持续进行氧化,直到电压达到 150V 为止。此外在 150V 的恒压下持续进行氧化,直到电流下降到 0.1mA 为止。因此在栅极信号线 128(栅极 306 和 307)和电容线 130(栅极 300 和 309)的上表面和侧表面上得到厚度为  $2000\text{\AA}$  的铝氧化膜 311 和 312,它们具有精细的结晶结构。氧化铝膜 311 和 312 的厚度可以由偏移的长度确定并与施加的电压成正比。(图 3C)

[0047] 利用环绕栅极 306 到 309 作为掩膜形成的阳极氧化物 311 和 312 蚀刻氧化硅膜 303,形成栅极绝缘膜 313 和 314。在这种状态下,需要利用侵蚀气体或侵蚀溶液使在硅和氧化硅之间的选择比率变得足够大。(图 3D)

[0048] 在除去微孔的阳极氧化物 310 后,利用栅极部分(栅极和在其周边的阳极氧化物)和作为掩膜的栅极隔离膜 313,通过进行离子掺杂以自调节方式将一种杂质(磷)掺入到岛状区 100 中,以便形成 N 型杂质区。掺杂气体是磷化氢 ( $\text{PH}_3$ )。剂量为  $5 \times 10^{14} \sim 5 \times 10^{15}$  原子/ $\text{cm}^2$ ,例如  $1 \times 10^{15}/\text{cm}^2$ ,加速电压为 60 ~ 90kv,例如 80kv。因此,由于使用栅极隔离膜 313 作为半透明掩膜,可得到高浓度掺杂区(源极和漏极区)317 到 320 以及低浓度掺杂区 321 到 324。(图 3E)

[0049] 照射 KrF 准分子激光(波长 248nm(毫微米),脉冲宽度 20ns),以便激活掺杂的高浓度掺杂区 317 到 320 以及低浓度的掺杂区 321 到 324。适宜的激光能量密度为 200 ~ 400 毫焦耳/ $\text{cm}^2$ ,最好为 250 ~ 300 毫焦耳/ $\text{cm}^2$ 。这种过程可以通过热处理进行。特别是,通过在常规情况低的温度下在含有催化元素(镍)的情况下进行激活(序号为 6-267989 的日本专利申请公开文件)。

[0050] 利用等离子体 CVD 形成厚度为  $5000\text{\AA}$  的氧化硅膜 325 作为中间的绝缘膜。一种未经处理的气体是 TEOS 和氧的混合气体。然后对中间绝缘膜 325 进行蚀刻,以便在 N 型杂质区 317 中形成连接孔。通过溅射形成铝膜,然后蚀刻形成源极引线 32。其是图像信号线 129 的延伸(图 3E)

[0051] 然后利用  $\text{NH}_3/\text{SiH}_4/\text{H}_2$  混合气体通过等离子体 CVD 形成厚度为 2000 ~  $8000\text{\AA}$  例如  $4000\text{\AA}$  的氮化硅膜作为钝化膜 327。蚀刻该钝化膜 327 和中间绝缘膜 325,形成一用于在高浓度掺杂区 320 中的像素电极的连接孔。

[0052] 通过溅射形成铟锡氧化物(ITO),然后蚀刻形成像素电极 328。像素电极 328 是像素单元 127 的一个电极(图 3F)

[0053] 经过上述过程,制成具有 N 沟道型 TFT121 ~ 125 的转换电路。这种转换电路与由图 2C 中的电路除去辅助电容 126 得到的电路相对应。注意在图 3F 上没有表示 TFT122。

[0054] 利用具有一定厚度的微孔阳极铝箔 311 将低浓度掺杂区和门电极 306 和 307 相隔离,每个低浓度掺杂区 321 ~ 324 形成在沟道形成区与源极和漏极区之间,使 TFT121 ~ 123 具有所谓的偏移栅极结构和 LDD 结构,借此降低关断(OFF)电流。因此,这些 TFT 适合于用作像素矩阵排列的元件。由于假若采用 TFT124 和 125 仅作为电容这样就足够了,故可以不形成 LDD 结构。

[0055] [实施例 2]

[0056] 该实施例是 LDD 结构改进的实例。图 1A ~ 1D 表示由上方看的该实施例的线路图,



图 4A ~ 4F 是制造过程中的横断面图。在这些图中,左侧表示在图 1A 中占划线 X-Y 表示的部分的横断面,右侧表示与图 3A ~ 3F 相似的用 X' -Y' 表示的部分的横断面,它们画出来时是邻近的,但是应当指出,很明显 X-Y 和 X' -Y' 并不处在同一直线上。

[0057] 厚度为 1000 到 5000 Å 之间例如为 3000 Å 的氧化硅膜 402 形成在基片 (科尔宁 7059 玻璃, 100mm×100mm) 401 上作为一基膜。利用等离子 CVD 分解和沉积 TEOS, 以形成氧化硅膜 402。这个过程也可以通过溅射来完成。

[0058] 利用等离子 CVD 或 LPCVD 沉积厚度为 300 到 1500 Å 之间例如 500 Å 的非晶形硅膜, 在 500 ~ 500°C 的空气环境下卑鄙置 8 到 24 小时, 以使其结晶。通过添加少量的镍可以促时结晶。这种过程也可以利用激光照射进行光 - 热处理或利用热处理和光热处理的综合来完成。

[0059] 蚀刻结晶的硅膜, 形成图 1A 中所示近于 M 形的岛状区 100。通过等离子 CVD 或溅射在区域 100 上形成厚度 700 ~ 1500 Å 之间例如 1200 Å 的氧化硅膜 403。

[0060] 通过溅射形成厚度为 1000 Å ~ 3 μm 之间例如 5000 Å 的铝膜 (按得量计含 1% Si 或 0.1 ~ 0.3% Sc)。然后, 在含有 3% 酒石酸的乙二醇溶液中, 利用铝膜作为阳极, 施加 10 ~ 30V 的电压, 通过进行阳极化处理, 形成这一实施例中的厚度约几个 100 Å、200 Å 的精细氧化铝形成的阳极氧化物层 404。该阳极氧化物层 404 用于粘附处于高粘度的光敏抗蚀剂。

[0061] 在形成光敏抗蚀剂掩膜 405 之后, 利用该光敏抗蚀剂 405 蚀刻铝膜, 形成栅极 406 到 409。栅极 4-6 和 407 对应于栅极信号线 128, 栅极 408 和 409 对应于电容线 130。(图 4A)

[0062] 没有除去光敏抗蚀剂掩膜 405, 仅对栅极 406 和 407 进行阳极化处理, 形成微孔的阳极氧化物 410。在这个过程中, 仅向栅极信号线施加 10V 电压, 在草酸溶液 (30°C) 中持续 20 到 40 分之间。由于光敏抗蚀剂掩膜 405 粘附阳极氧化物层 404, 可以防止来自光敏抗蚀剂掩膜 405 的电流线漏, 使得仅在栅极 406 和 407 的侧表面上极为有效地形成微孔的阳极氧化物 410。微孔的阳极氧化物 410 的厚度可以根据阳极化时间调节, 以便能由微孔的阳极氧化物 410 的厚度确定 LDD 区的长度。(图 4B)

[0063] 利用光敏抗蚀剂掩膜 405, 蚀刻氧化硅膜 403, 形成栅极绝缘膜 411 和 412。在顺序除去光敏抗蚀剂掩膜 405、微孔的阳极氧化物 410 和精细的阳极氧化物层 404 之后, 利用栅极 406 ~ 409 以及栅极绝缘膜 411 作为掩膜通过掺杂以自调节方式将一种杂质 (磷) 掺入到岛状区 100, 形成 N 型掺杂区。掺杂气体是磷化氢 (PH<sub>3</sub>)。剂量为 5×10<sup>14</sup> ~ 5×10<sup>15</sup> 原子/cm<sup>2</sup>, 例如为 1×10<sup>15</sup> 原子/cm<sup>2</sup>, 加速电压为 60 ~ 90KV 之间例如 80KV。由于使用栅极绝缘膜 411 作为半透明掩膜, 形成高浓度掺杂区 (源极和漏极区) 413 ~ 416 和形成低浓度掺杂区 417 ~ 420。

[0064] 照射 KrF 准分子激光 (波长 248 μm, 脉冲宽度 20nm), 激活掺杂的高浓度掺杂区 413 ~ 416 以及掺杂的低浓度掺杂区 417 ~ 420。适宜的激光能量密度为 200 ~ 400 毫焦耳/cm<sup>2</sup>, 最好为 250 ~ 300 毫焦耳/cm<sup>2</sup>。这个过程可以利用热处理来完成。特别是, 通过在比正常情况低的温度下在含有催化元素 (镍) 的情况下进行热处理可以进行激活 (序号为 6-267989 的日本专利申请公开文件)。

[0065] 利用等离子 CVD 形成厚度 5000 Å 的氧化铝膜 325 作为中间绝缘膜 421。未经处

理的气体是 TEOS 和氧的混合气体。然后蚀刻中介隔离膜 421, 形成在高浓度掺杂 413 中连接孔。利用溅射形成铝膜, 然后蚀刻形成源极引线 422。其是图像信号线 129 的延伸。(图 4E)

[0066] 然后利用  $\text{NH}_3/\text{SiH}_4/\text{H}_2$  混合气体, 通过等离子体 CVD 形成厚度为 2000 ~ 8000 Å 之间例如 4000 Å 的氮化硅膜。蚀刻钝化膜 423 和中介隔离膜 421, 形成用于在高浓度掺杂区 416 中的像素电极的连接孔。

[0067] 利用溅射形成 ITO 膜, 然后蚀刻形成像素电极 424。像素电极 424 是像素单元 127 的一个电极。(图 4F)

[0068] 经过上述过程, 制成具有 N 沟道型 TFT121 ~ 125 的转换电路。这种电路与由图 2C 中电路除去辅助电容 126 所得到的电路相对应。应注意在图 4F 中没有表示 TFT122。

[0069] 每个低浓度掺杂区 417 ~ 420 形成在沟道形成区与源极和漏极区之间, 使 TFT121 ~ 123 具有 LDD 结构, 因降低了关断 (OFF) 电流。所以, 这些 TFT 适合于作为在像素矩阵中排列的元件。由于假如 TFT124 和 125 仅用作电容器, 这样就足够了, 可以不形成 LDD 结构。

[0070] [ 实施例 3 ]

[0071] 图 5A 到 5F 表示形成该实施例中的电路的过程。由于使用一种已知的方法 (或在实施例 1 中的方法), 不再对具体的过程进行详细的介绍。

[0072] 形成一种如在实施例 1 中 (或图 1A 中) 所示的近于 M 形的半导体区 (有效层) 201 和 202。在栅极绝缘膜 (未表示) 形成之后, 形成栅极信号线 203 ~ 205 和电容线 206 ~ 208。在栅极信号线、电容线和有效层之间的位置相互关系与实施例 1 相同。(图 5A)

[0073] 在对有效层 201 ~ 204 进行掺杂之后, 形成中间绝缘层, 然后在有效层的左端形成连接孔 210 和 211, 借此形成图像信号线 209。(图 5B)

[0074] 在由栅极信号线和图像信号线环绕的区域内形成像素电极 212 ~ 214。经过上述过程, 形成用于有源矩阵电路的转换元件。电容线 206 不是与对应行的像素电极 213 重叠, 而是较高的一行的像素电极 212 相重叠。因此, 与辅助电容 126 对应的电容 215 形成在电容线 207 和像素电极 213 之间。对于其它各行, 形成相同的配置。(图 5C)

[0075] 利用这种配置方式, 即对应行的像素电极与较高一行 (或较低) 的栅极信号线相重叠, 构成图 7 所示的电路。由于电容 215 形成在电容线上, 可以降低孔径比形成电容器。因此有效地提高了电路的集成度。

[0076] 为了加大电容 215, 可以蚀刻在重叠部分中介隔离层。由此, 缩短了电极间的距离, 因此提高了电容。为了实现这一点, 如在实施例 1 中一样, 最好形成用阳极氧化物覆盖其表面的电容线。在这种状态下, 阳极氧化物是绝缘的。其横断面如图 6 所示。

[0077] 通过蚀刻对应的部分, 没有增加过程的步骤数, 就可形成电容 215。即当蚀刻中间绝缘层以便形成用于像素电极的连接孔或连接孔 210 和 211 时, 各孔可以同时形成在电容线上。图 6 表示后者实例。在适宜的蚀刻条件下, 由于铝的阳极氧化物之类并不是完全在用于蚀刻氧化硅的干燥蚀刻条件下进行蚀刻, 蚀刻要持续进行, 直到形成连接孔为止。

[0078] 为了增加孔径比, 如图 5D 到 5F 所示, 将半导体区 216 即 TFT 的一部分与图像信号线 219 相重叠也是有效的。此外, 一岛状的半导体区 221 具有如在图 8A 中所示的复杂的弯曲部分, 然后将栅极信号线 222 和电容线 223 重叠在区域 221 上 (图 8B), 从而可形成大量

的 TFT。因此,可以进一步降低关断 (OFF) 电流。

[0079] [ 实施例 4]

[0080] 该实施例是对利用图 5A ~ 5C 所示过程得到的结构的改进的实例。图 10 是该实施例的示意图。图 11 表示图 10 所示结构的等效电路。图 10 所示结构其特征在于,沿着栅极信号线方向在相邻两个像素中配置的各 TFT 组连接到一公共的电容线上。栅极信号线 902 和 904 配置在相邻像素电极 905 和 906 之间,电容线 903 配置在栅极信号线 902 和 904 之间。M 形岛状半导体区 907 和 908 的一端分别连接到像素电极 905 和 906 上。

[0081] M 形岛状半导体区 907 和 908 由结晶硅膜构成,利用这些区域作为 TFT 的有效层。在半导体区 907 和 908,各 TFT 形成在与栅极信号线 902 和 904 重叠的三个部分上,以及偏移区域和 LDD 区域可以形成在这些 TFT 中,如在实施例 1 和 2 中所述。与电容线 903 重叠的两个部分用作电容器。

[0082] 由于一条 (单独) 电容线 903 以公用方式用于一对像素电极 905 和 906,故电容线的数量可以减法,借此增加了像素的孔径比。在图 10 中仅表示了一个最少的结构。在实用的液晶显示器件中,综合了几百 × 几百的这种结构 (每一个为图 10 所示的结构)。

[0083] [ 实施例 5]

[0084] 该实施例为对图 10 所示结构的改进结构。图 12 是该实施例的结构的平面图。图 12 中的结构的特征在于对两个像素使用一公用的电容线 903 的方式。假如将图 12 的结构与图 10 相比较这一点是很明显的。

[0085] 图 11 表示该实施例的结构的等效电路。即图 12 中的结构的等效电路与图 10 的等效电路相同。利用该实施例的这种结构,可以增加孔径比。

[0086] [ 实施例 6]

[0087] 该实施例是图 10 所示结构的一种改进结构。图 13 表示该实施例的示意结构。该实施例的等效电路如图 10 所示。当采用该实施例的结构时,可以得到高孔径比。

[0088] 在本发明中,通过将多个 TFT 的栅极连接到一栅极信号线和一电容线,可以抑制在液晶盒中的电压降。通常,TFT 的特性恶化与在源极和漏极间施加的电压有关。然而,根据本发明,由于图 2C 中的 TFT122 和 123 的源极和漏极间的电压在所有驱动过程中是低的,以及 TFT122 ~ 124 具有一 LDD 区,利用本发明能防止特性恶化。

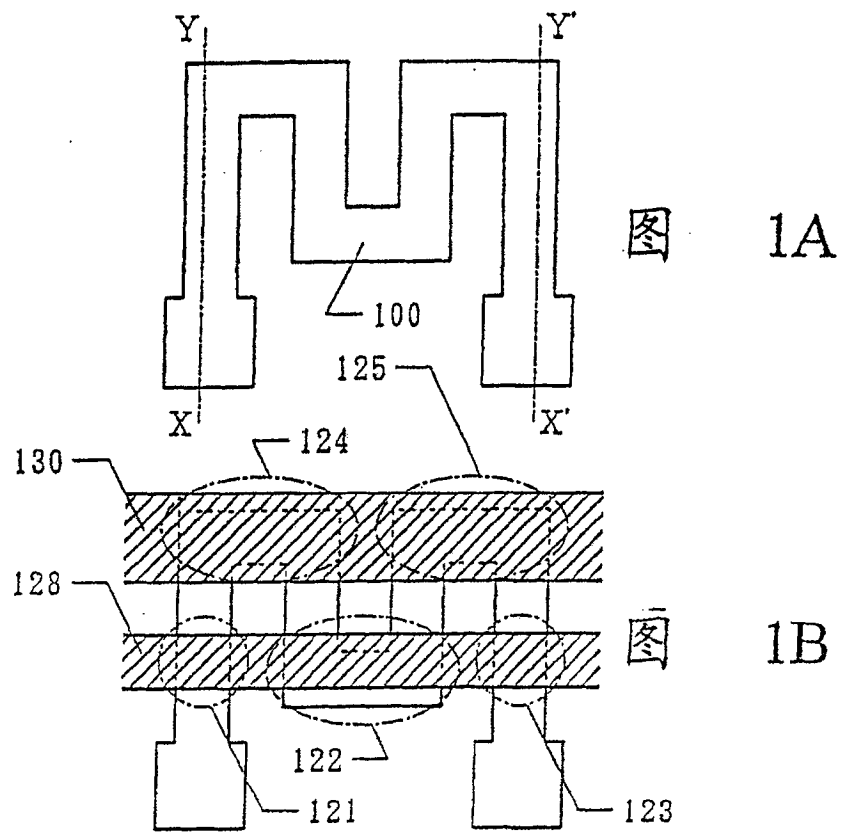
[0089] 本发明可以有效地应用在需要高分辨率的图像显示设备中。即为了显示 256 或更多的极为细微的明暗层次,在一帧显示过程中,液晶盒的放电必须抑制到 1% 或其以下。利用常规的系统,无论是图 2A 或是图 2B,都不适于达到这一目标。

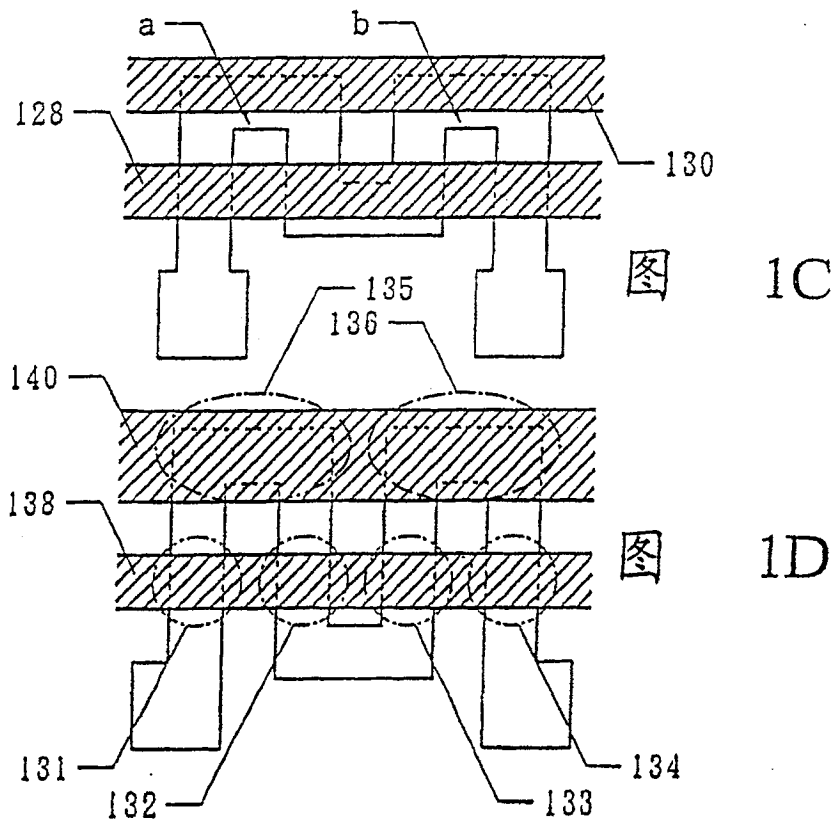
[0090] 本发明适用于采用结晶硅半导体 TFT 的有源矩阵显示器件,该器件适于矩阵方式显示,以及具有大量的行、列。通常对具有大量行列的矩阵,每行 (列) 的选择周期短,因此不适于使用非晶形硅半导体 TFT。然而,利用结晶硅半导体的 TFT 存在的问题是关断 (OFF) 电流大。因此本发明不仅能降低关断 (OFF) 电流,还能在这个领域有显著的贡献。采用非晶形硅半导体的 TFT 也是有利的。

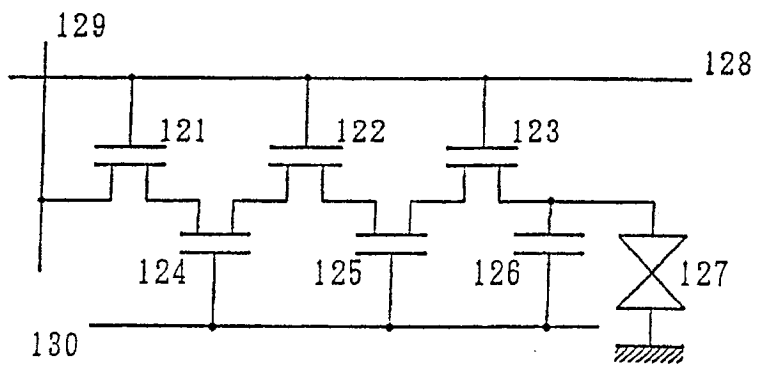
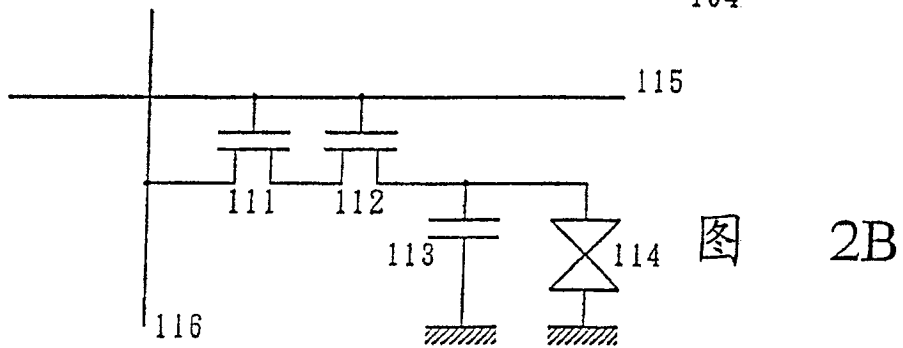
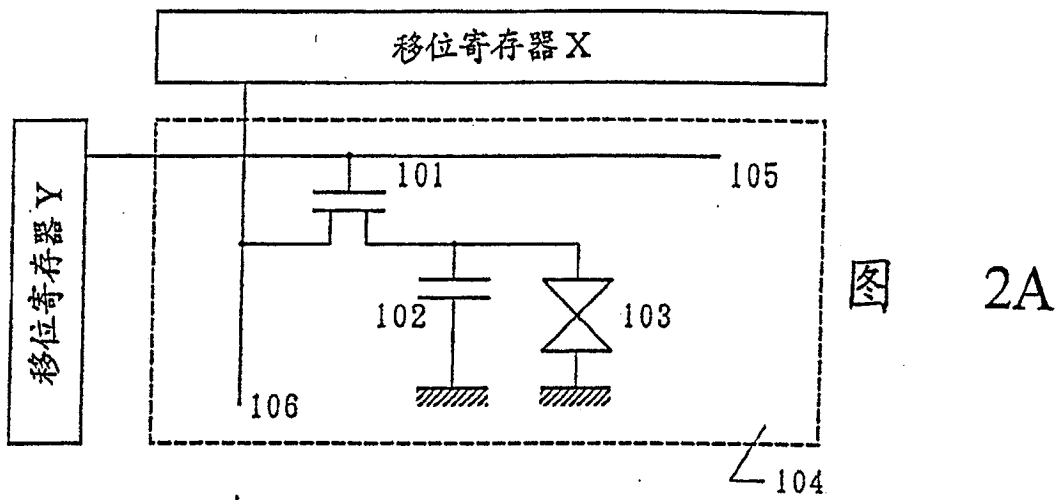
[0091] 虽然主要是对于具有顶式栅极结构的各实施例做了介绍,不过假如采用底式栅极结构或其它结构,本发明的各优点仍然不变。

[0092] 利用本发明,能够以最少的变化得到最大的效益。特别是,采用顶式栅极的 TFT,尽管薄膜半导体区 (有源层) 的形状复杂,但栅极等具有极为简单的形式,因而能够防止上层

引线的切线（断开）。相反，假如栅极具有复杂的形状，则会引起孔径比的降低。因此本发明有利于工业实施。







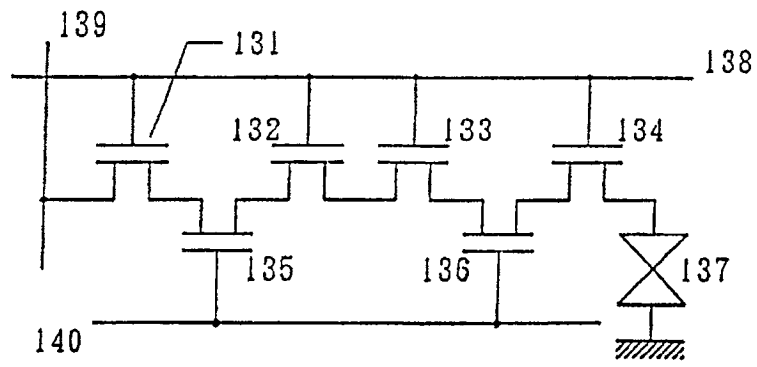


图 2D

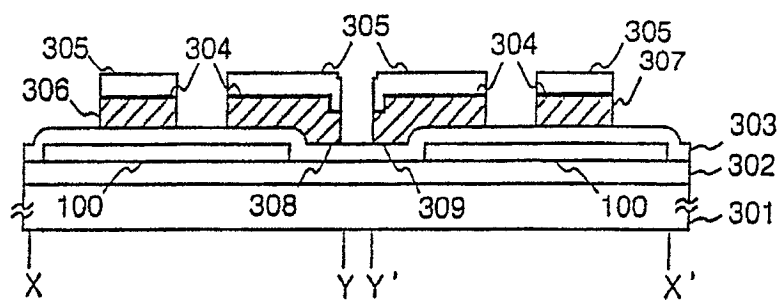


图 3A

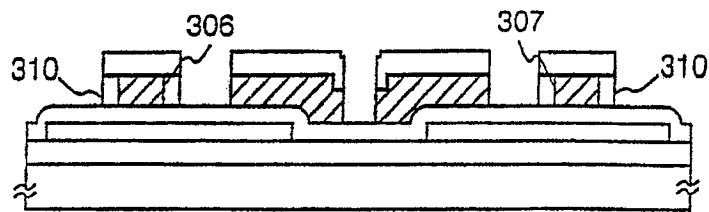


图 3B

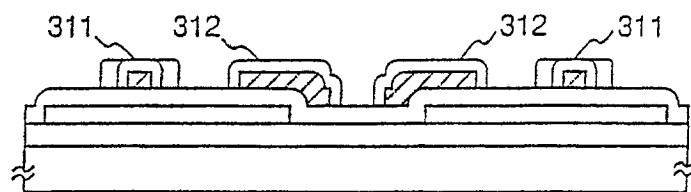


图 3C



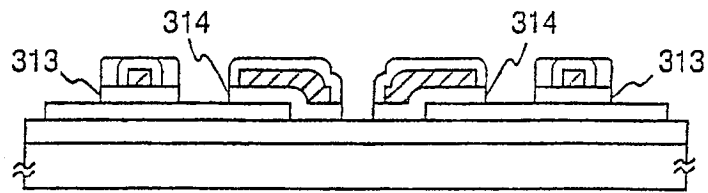


图 3D

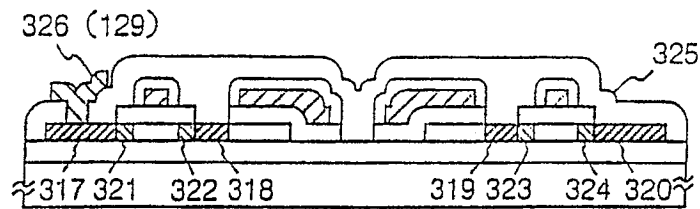


图 3E

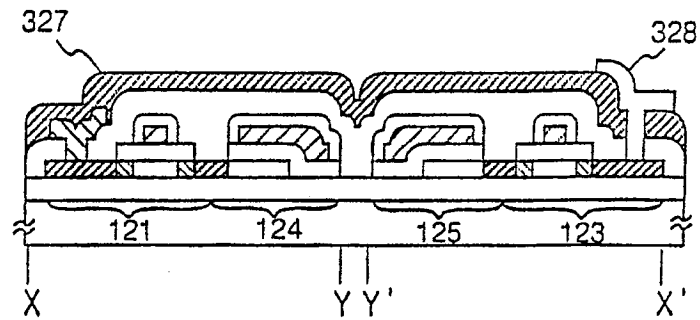


图 3F

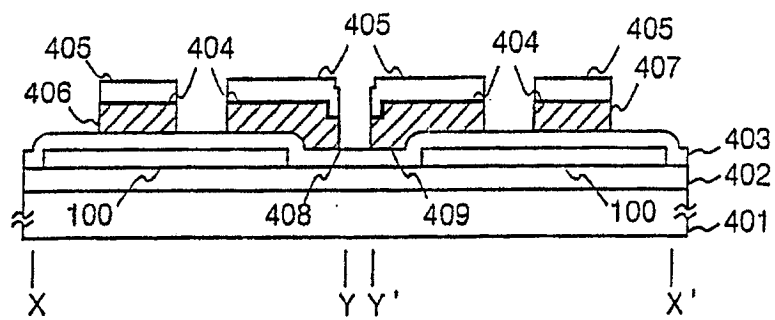


图 4A

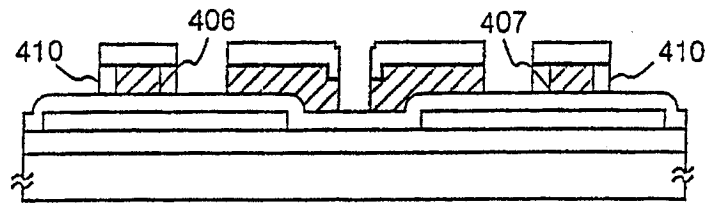


图 4B

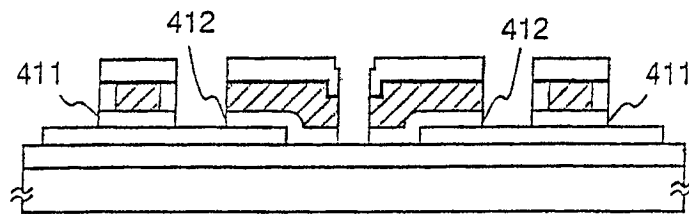


图 4C

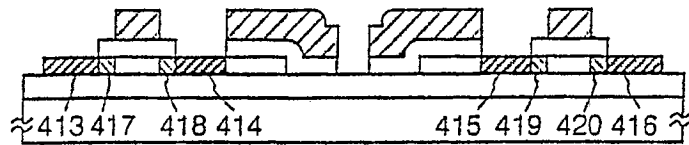


图 4D

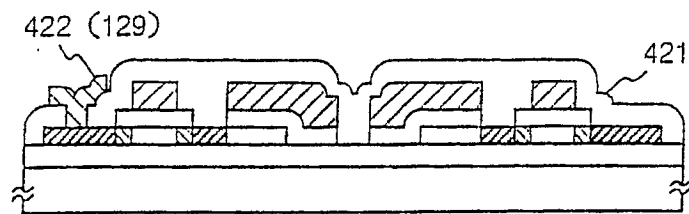


图 4E

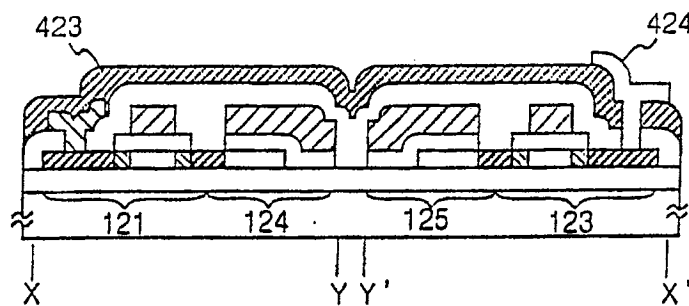


图 4F

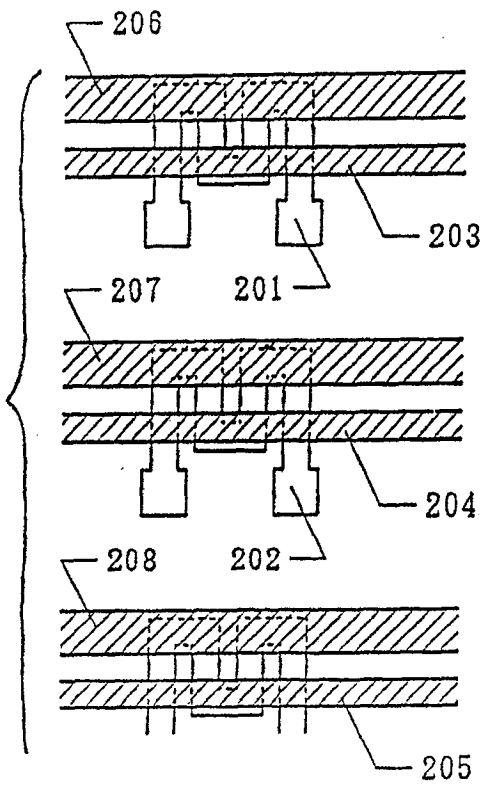


图 5A

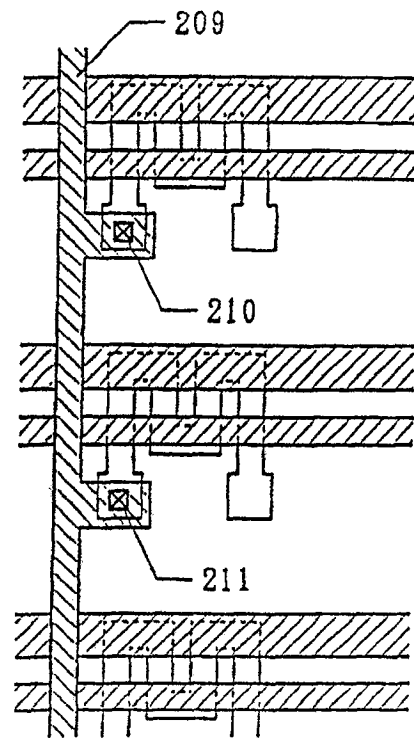


图 5B

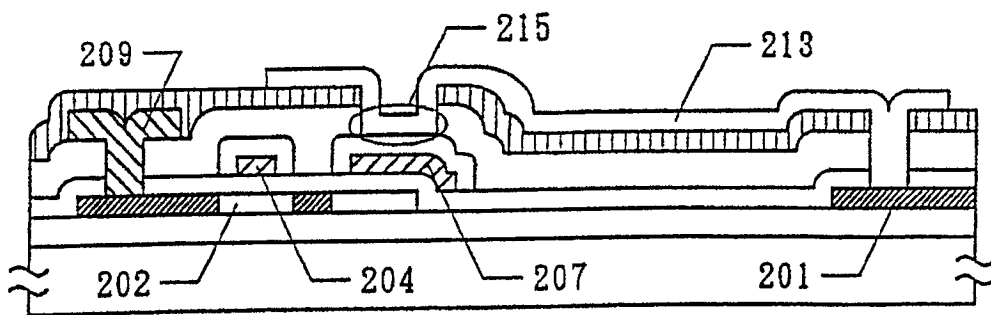
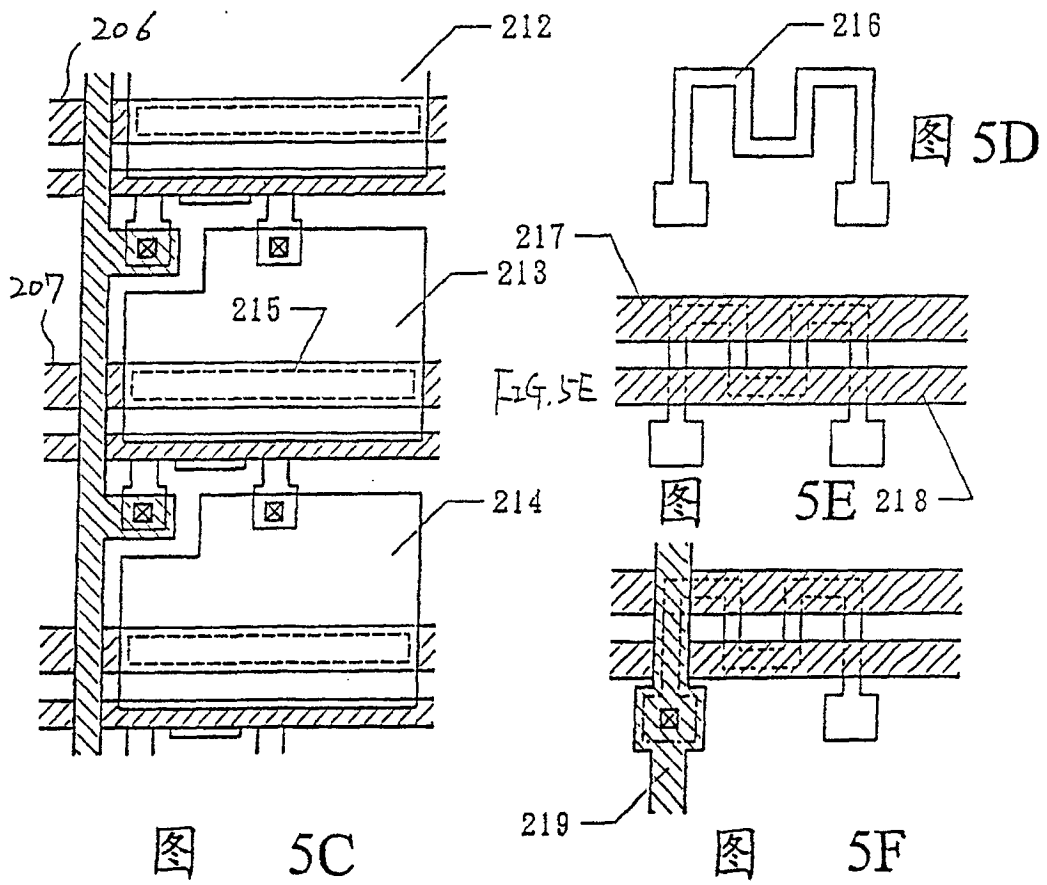


图 6

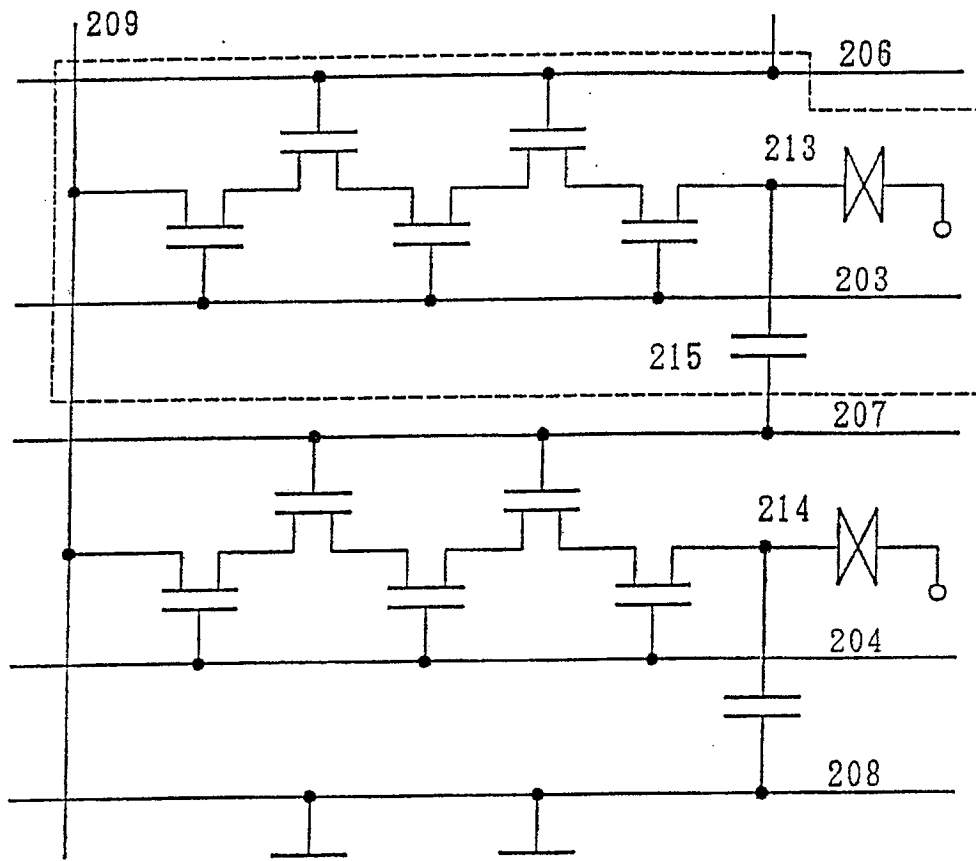


图 7

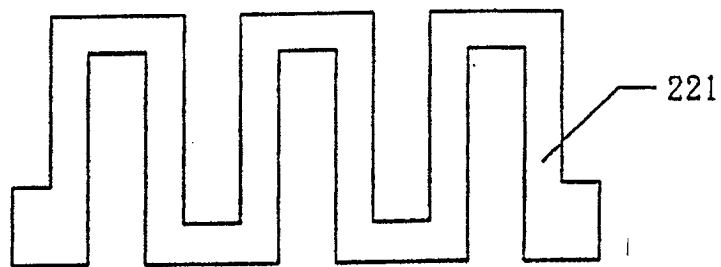


图 8A

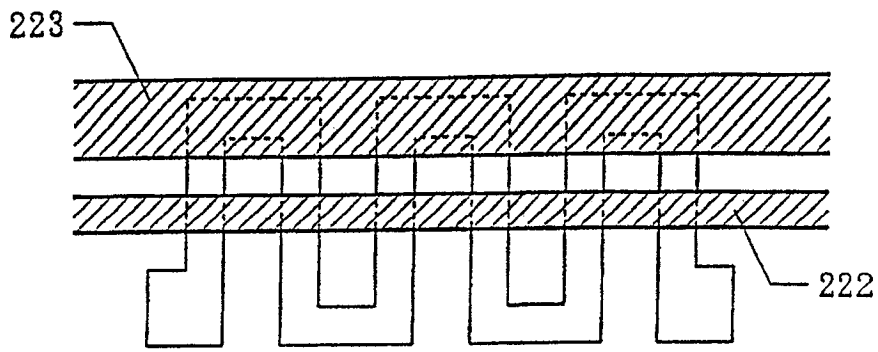


图 8B

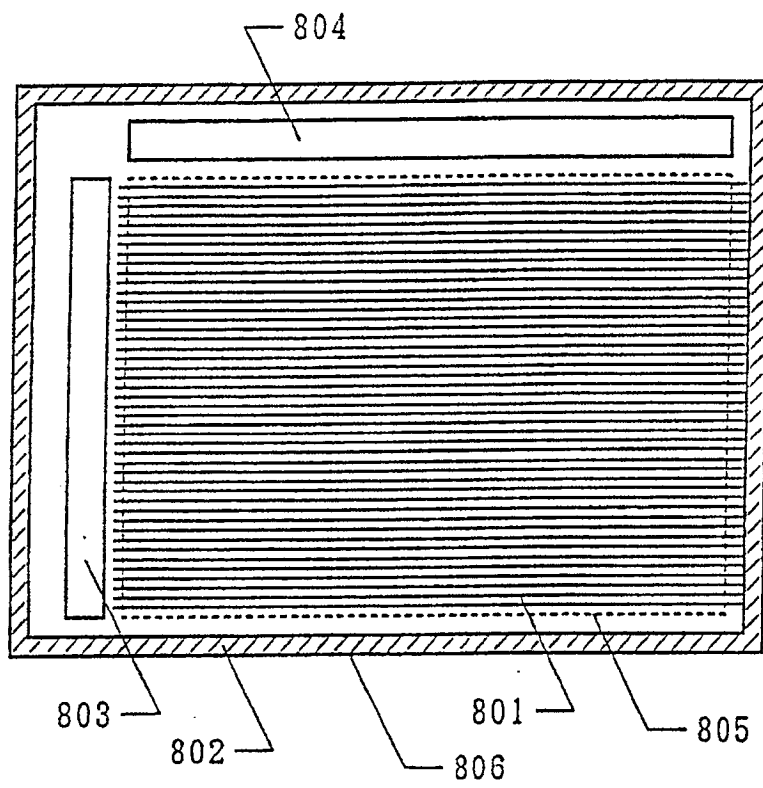


图 9

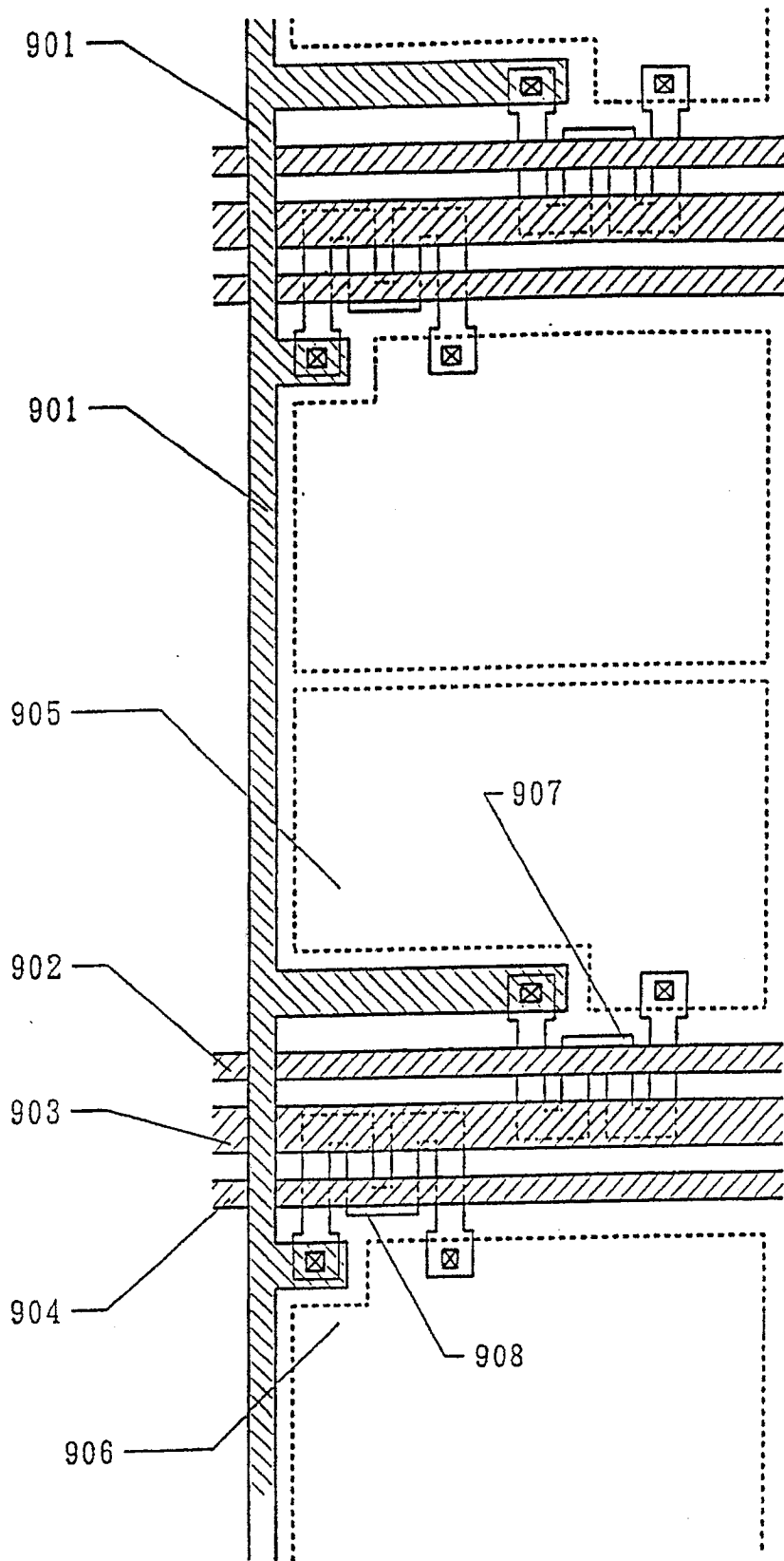


图 10

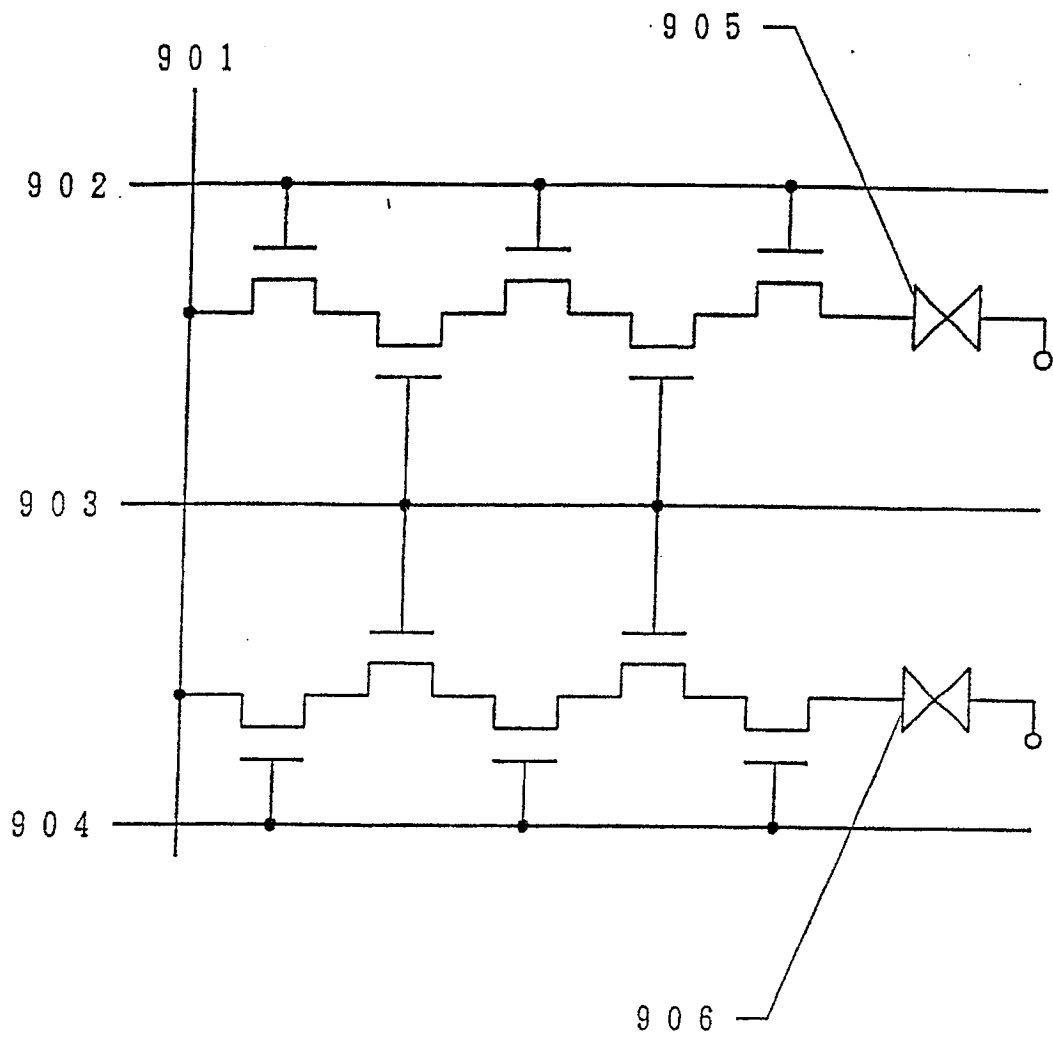


图 11



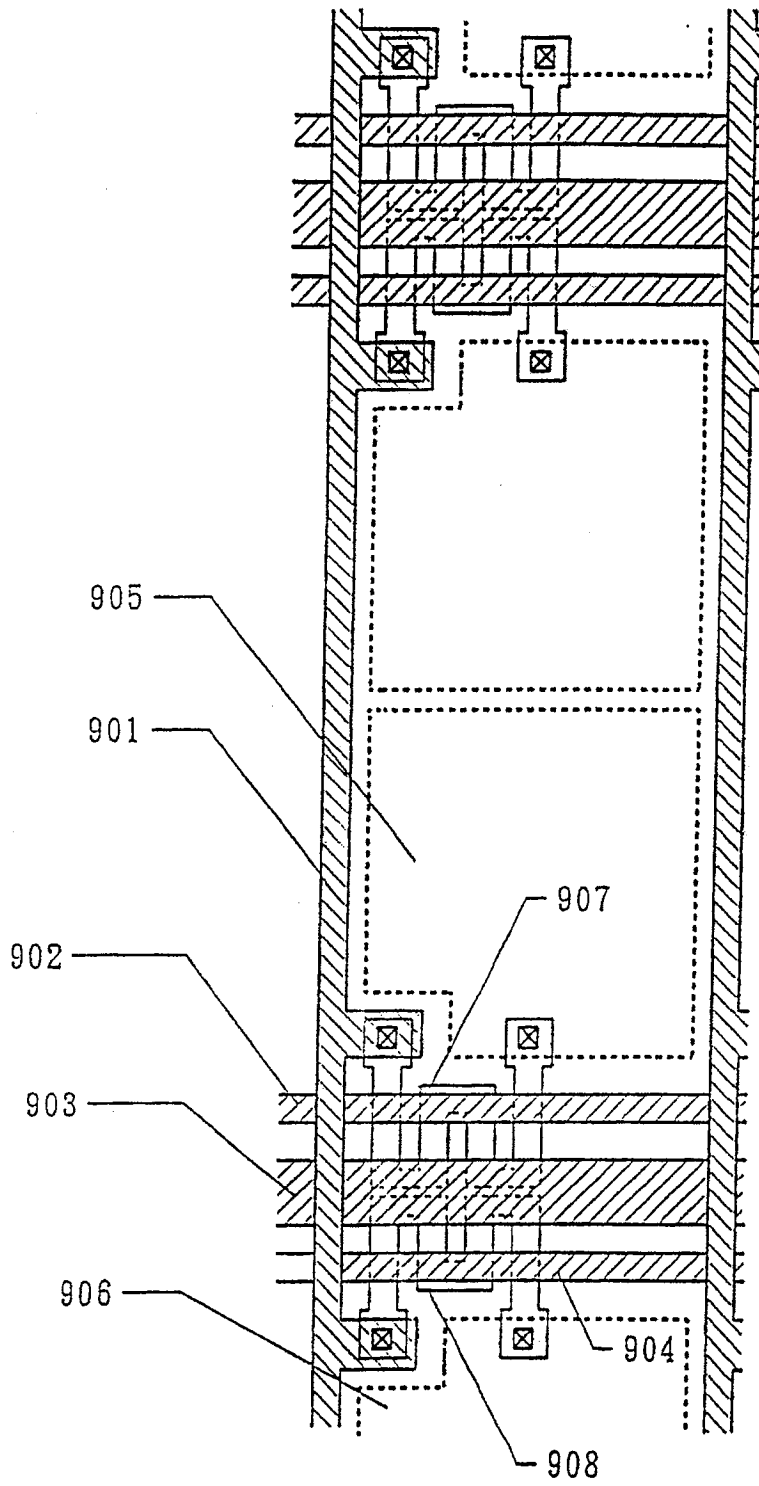


图 12

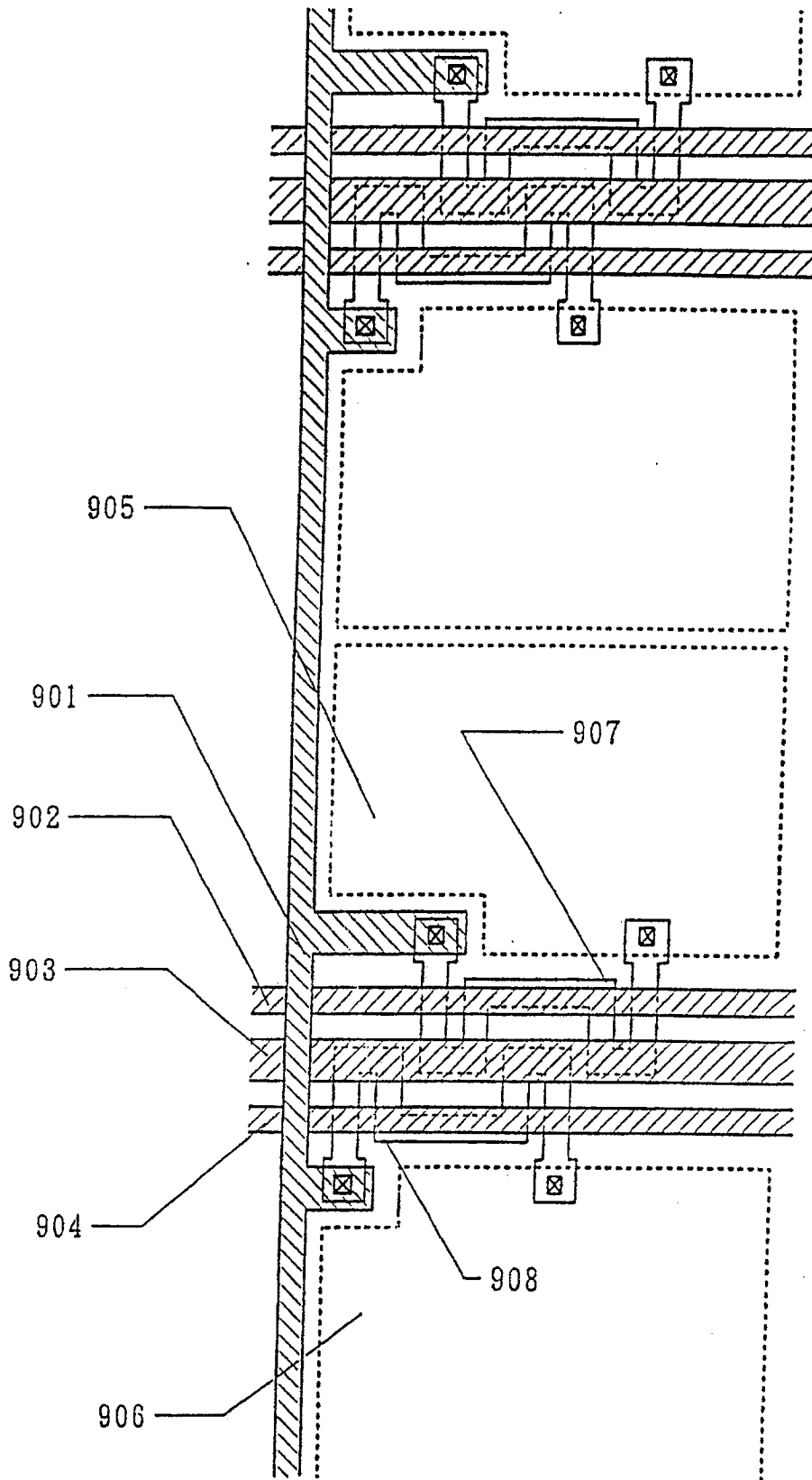


图 13