(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
G06F 13/28

(45) 공고일자 1996년04월06일
(11) 공고번호 96-004457

(21) 출원번호	특1992-0020965	(65) 공개번호	특1993-0010820
(22) 출원일자	1992년11월10일	(43) 공개일자	1993년06월23일
(30) 우선권주장	91-299107 1991년11월14일 일본(JP)		
(71) 출원인	가부시키가이샤 도시바 사토 후미오 1996년04월06일		
(72) 발명자	데루야마 다츠오 일본국 가나가와현 가와사키시 사이와이구 호리가와정 580-1호 가부시키가이샤 도시바 반도체시스템 기술센터내		
(74) 대리인	김윤배, 이범일		

심사관 : 오홍수 (책자공보 제4402호)

(54) 데이터 전송장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

데이터 전송장치

[도면의 간단한 설명]

제1도는 본 발명의 발명원리도.

제2도는 본 발명의 1실시예에 따른 데이터 전송장치를 사용한 데이터 처리시스템의 구성도.

제3도는 본 발명의 데이터 전송동작을 설명하는 타이밍차트.

제4도는 본 발명의 버스트 전송동작을 설명하는 타이밍차트.

제5도는 종래의 데이터 전송장치(제1종래예)를 사용한 데이터 처리시스템의 구성도.

제6도는 제1종래예의 데이터 전송동작을 설명하는 타이밍차트.

제7a도는 종래의 DMAC(제2종래예)를 사용한 데이터 처리시스템의 구성도.

제7b도는 DMAC의 구성도.

제8도는 제2종래예의 데이터 전송동작을 설명하는 타이밍차트이다.

* 도면의 주요부분에 대한 부호의 설명

1, 101 : 데이터 전송장치 3-1, 103-1 : 제1데이터 격납장치

3-2, 103-2 : 제2데이터 격납장치 5 : 중앙처리장치

6 : 제1버스 제어수단 7 : 제2버스 제어수단

8 : 제어수단 11, 111 : 제어부

12 : 고속전송 제어부 13, 113 : 버스 제어부

14 : 내부신호 제어부 112 : 임시 레지스터

AR1,AR2 : 어드레스 레지스터 MPX1,MPX2 : 멀티플렉서

G1~G3 : 게이트회로

IABUS : 제1어드레스 버스(내부 어드레스 버스)

ABUS : 제2어드레스 버스　　DBUS : 데이터 버스

CON1 : 제1제어신호군　　CON2 : 제2제어신호군

HS# : 고속전송 모드신호　　BT# : 버스트 전송신호

CLK : 클럭신호　　RW : 독출·기입신호

AS# : 어드레스 스트로브신호　　DS# : 데이터 스트로브신호

IDS# : 내부 데이터 스트로브신호　　DC# : 엑세스 완료신호

IDC1# : 제1데이터 격납장치로부터의 내부 엑세스 완료신호

IDC2# : 제2데이터 격납장치로부터의 내부 엑세스 완료신호

201 : 주메모리

202 : DMAC(다이렉트 메모리 엑세스콘트롤러)

203a, 203b, 203c : 입출력 메모리　　204 : 마이크로프로세서(MPU)

206 : 데이터 버스　　207 : 로컬 제어신호선

208 : 시스템 제어신호선　　209 : 로컬 어드레스 버스

210 : 시스템 어드레스 버스　　212a : 제1어드레스 레지스터

212b : 제2어드레스 레지스터　　213a : 제1어드레스 갱신회로

213b : 제2어드레스 갱신회로　　214 : DMAC 제어회로

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 데이터 처리시스템에 있어서 데이터 격납장치 사이의 데이터 전송을 제어하는 데이터 전송장치에 관한 것으로, 특히 보다 작은 하드웨어 구성으로 데이터 격납장치의 사이의 1사이클에 의한 데이터 전송이 가능하고, 버스트(burst) 전송에도 대응할 수 있는 데이터 전송장치에 관한 것이다.

[종래의 기술및 그 문제점]

제5도는 종래의 데이터 전송장치를 사용한 데이터 처리시스템의 구성도이다. 동 도면에 있어서, 데이터 전송시스템은 전송해야할 데이터를 격납하는 데이터 격납장치(103-1, 103-2) 시스템내의 데이터 전송을 제어하는 데이터 전송장치(101)로 구성되고, 이들 구성요소는 어드레스 버스(ABUS), 데이터 버스(DBUS) 및 제어신호군을 매개하여 접속되며, 데이터 격납장치(103-1 및 103-2) 시스템내의 데이터 전송을 제어하는 데이터 전송장치(101)러 구성되고, 이들 구성요소는 어드레스 버스(ABUS), 데이터 버스(DBUS) 및 제어신호군을 재개하여 접속되며, 데이터 격납장치(103-1, 103-2)에 대하여 엑세스 가능한 구성으로 되어 있다.

어드레스 버스(ABUS)는 데이터 격납장치(103-1,103-2)의 어드레스를 가리키고, 데이터 버스(DBUS)는 데이터의 전송채널로서 이용된다. 또, 제어신호군에는 각 구성요소에 클럭신호를 전송하기 위한 클럭신호(CLK), 데이터 전송의 방향을 나타내는독출·기입신호(RW), 어드레스 버스(ABUS)상에 출력되어 있는 어드레스가 유효(有效)하다는 것을 나타내는 어드레스 스트로브신호(AS# : address strobe signal), 데이터 버스(DBUS)상에 출력되어 있는 데이터가 유효하다는 것을 나타내는 데이터 스트로브신호(DS#) 및 데이터 전송의 종료를 데이터 격납장치(103-1) 또는 데이터 격납장치(103-2)로부터 데이터 전송장치(101)로 통지하는 엑세스 완료신호(DC#)가 있다. 여기서, 신호명의 최후의 #은 그 신호가 부(負)논리신호라는 것을 나타낸다.

데이터 전송장치(101)로서는, 예컨대 다이렉트 메모리 엑세스 콘트롤러(direct memory access controler; DMAC), 마이크로프로세서(MPU)등이 있고, 또 데이터 격납장치(103-1,103-2)로서는, 예컨대 RAM, ROM, I/O포트 등이 있다. 예컨대 RAM의 경우에는, 그 내부에 다수의 기억소자를 갖추고 있다. 각각의 기억소자에 따로 따로 어드레스가 할당되어 있는 경우가 있다. 이하, 데이터 격납장치(103-1,103-2)는 예컨대 RAM과 같이, 각각이 다수의 기억소자를 갖춘 것으로서 설명하지만, I/O포트와 같이 1개의 데이터 격납장치(103-1) 또는 데이터 격납장치(103-2)가 1개만의 어드레스를 갖춘 경우에도 동일한 의논(議論)이 가능하다.

이러한 구성의 데이터 처리시스템에 있어서, 데이터 격납장치(103-1)로부터 데이터 격납장치(103-2)로 데이터를 전송하기 위해서는, 데이터 전송장치(101)는 먼저 데이터 격납장치(103-1)로부터 데이터를 독출하여 데이터 전송장치내의 임시 레지스터(112)에 일단 데이터를 저장한다. 그리고 나서, 데이터 전송장치(101)는 임시 레지스터(112)내에 일시 저장된 데이터를 격납장치(103-2)에 기입한다.

이 동작을 제6도의 타이밍차트를 이용하여 상세히 설명한다. 여기서, 제어부(111)의 어드레스 레지스터(AR1)에는 데이터 격납장치(103-1)에 대응하는 어드레스가, 어드레스 레지스터(AR2)에는 데이터 격납장치(103-2)에 대응하는 어드레스가 미리 격납되어 있는 것으로 한다.

먼저 데이터 전송장치(101)내의 제어부(111)는, 데이터 전송을 개시하기 위해서 버스 제어부(113)에 대해 어드레스 레지스터(AR1)에 격납되어 있는 데이터 격납장치(103-1)의 소스 어드레스를 어드레스 버스(ABU)에, 독출사이클을 나타내는 'H'레벨을 독출·기입신호(RW)에 각각 출력함과 더불어, 어드레스 스트로브신호(AS#)를 액티브(actrve; 활성)로 한다[도면 타이밍(a)]. 계속하여 타이밍(b)에서,

제어부(111)는 버스제어부(113)에 대해 데이터 스트로브신호(DS#)를 액티브로 하도록 지시한다.

한편, 데이터 격납장치(103-1)는 어드레스 스트로브신호(AS#)가 액티브인 것을 검출하면, 어드레스 버스(ABUS)상의 소스 어드레스를 디코드(decode)하여 그 어드레스가 데이터 격납장치(103-1)내의 어떤 기억소자를 지시하고 있다는 것을 인식해서 데이터 스트로브신호(DS#)가 액티브로 되는 타이밍(b)에서 해당 데이터를 데이터 버스(DBUS)상에 출력한다. 또, 타이밍(c)에서 데이터 전송이 종료한 것을 나타내기 위해서 엑세스 완료신호(DC#)를 2분의 1클럭기간동안만 액티브로 한다.

데이터 전송장치(101)내의 제어부(111)는 엑세스 완료신호(DC#)가 액티브로 된 것을 검출하면, 타이밍(d)에서 데이터 버스(DBUS)상의 데이터를 내부의 임시 레지스터(112)로 취입하고, 어드레스 스트로브신호(AS#) 및 데이터 스트로브신호(DS#)를 인액티브(inactive; 불활성)로 하여 독출사이클을 종료시킨다.

그리고 나서, 데이터 전송장치(101)내의 제어부(111)는 임시 레지스터(112)내의 데이터를 데이터 격납장치(103-2)에 기입하기 위해서 타이밍(d)에 있어서 어드레스 레지스터(AR2)에 격납되어 있는 데이터 격납장치(103-2)내의 어떤 기억소자를지시하는 행선지 어드레스(destinati on address)를 어드레스 버스(ABUS)에, 기입사이클을 나타내는 'L'레벨을 독출·기입신호(RW)에 각각 출력함과 더불어, 어드레스 스트로브신호(AS#)를 액티브로 하도록 지시한다.

더욱이, 타이밍(e)에서, 임시 레지스터(112)의 데이타를 데이터 버스(DBUS)에 출력하고, 데이터 스트로브신호(DS#)를 액티브로 하도록 지시한다.

한편, 데이터 격납장치(103-2)는 독출·기입신호(RW)로부터 기입사이클이 개시된 것을 인식하면, 타이밍(f)에서 엑세스 완료신호(DC#)를 2분의 1클럭기간동안만 액티브로 하여 타이밍(g)에서 데이터 버스(DBUS)상의 데이터를 격납한다. 데이터 전송장치(101)내의 제어부(111)는 엑세스 완료신호(DC#)가 액티브로 된 것을 검출하면, 데이터 전송의 종료를 인식하고, 타이밍(g)에서 기입 사이클을 종료시킨다.

이와 같이, 종래의 데이터 전송장치(101)에서는 데이터 격납장치(103-1)로부터 데이터 격납장치(103-2)로 데이터를 전송하기 위해서 독출사이클과 기입사이클의 2사이클을 필요로 했다.

현재, 중앙처리장치 등의 고속화가 눈부시게 발전하여, 데이터 격납장치(예컨대, DRAM)의 속도와의 간격이 커지고 있다. 이 때문에, 데이터 전송시간이 전체의 처리시간에서 점유하는 비율이 상대적으로 커지게 되어 전송시간이 증대가 처리전체의 효율(throughput)을 저하시키고 있다. 한편, 외부장치 자체의 속도 향상은 물리적인 한계도 있고, 그다지 바람직하지 못한 것이 현재의 상황이다. 그 때문에, 데이터 격납장치(103-1,103-2)와 중앙처리장치 사이 및 데이터 격납장치(103-1)와 데이터 격납장치(103-2) 사이의 데이터 전송에 있어서, 데이터 전송장치(101)의 제어방식의 개량이 요망되고 있다.

그래서, 1머신 사이클 동안에 메모리와 입출력장치 사이의 데이터 전송을 수행하는 직접 메모리 엑세스(DMA) 제어방식이 제안되어 있다(예컨대, 일본국 특개평 2-307149). 이하에, 제2종래예로서 그 개요를 설명한다.

제7도(a)는, 제2종래예의 데이터 전송장치로서 직접 메모리 엑세스 콘트롤러(이하, DMAC로 약기한다)를 사용하여 데이터 처리시스템의 구성도이고, 제7도(b)는 DMAC의 구성도이다.

제7도(a)에 있어서, 데이터 처리시스템은 주메모리(201), DMAC(202), 입출력 메모리(203a,203b,203c) 및 마이크로프로세서 등과 같은 처리장치(204)로 구성되어 있다.

데이터 버스(206)에는 시스템을 구성하는 요소가 공통으로 버스 접속 되어 있고, 그에 따라 각 장치 사이의 데이터 전송이 수행된다. 로컬 제어신호군(207)은 주메모리(201), MPU(204) 및 DMAC(202) 사이에 공통으로 접속되고, 시스템 제어신호군(208) 및 시스템 어드레스 버스(210)는 DMAC(202) 및 입출력 메모리(203a,203b,203c) 사이에 공통으로 접속되며, 로컬 어드레스 버스(209)는 주메모리(201), MPU(204) 및 DMAC(202) 사이에 공통으로 접속된다.

또한, 제7도(b)에 있어서, DMAC(202)는 DMAC 제어회로(214), 제1어드레스 레지스터(212a), 제2어드레스 레지스터(212b), 제1어드레스 갱신회로(213a) 및 제2어드레스 갱신회로(213b)로 구성되고, 제2어드레스 레지스터(212b)는 로컬 어드레스 버스(209)에, 제1어드레스 레지스터(212a)는 시스템 어드레스 버스(210)에 접속되어 있다.

이러한 구성에 있어서, 주메모리(201)로부터 입출력 메모리(203a)로 데이터를 전송하는 경우의 타이밍차트를 제8도(1)에, 또 입출력 메모리(203a)로부터 주메모리(201)로 데이터를 전송하는 경우의 타이밍차트를 제8도(2)에 각각 나타낸다.

제8도(1)의 경우, 먼저 MPU(204)가 데이터 버스(206) 및 로컬 제어신호군(207)을 이용하여 제1어드레스 레지스터(212a)에는 입출력 메모리(203a)내의 행선지 어드레스를 세트시킴과 더불어 제2어드레스 레지스터(212b)에는 주메모리(201)의 소스 어드레스를 각각 세트시키고, 더욱이 DMAC 제어회로(214)에 데이터 전송의 방향과 전송바이트수를 세트시켜 DMAC(202)를 기동시킨다.

DMAC(202)에 있어서는, DMAC 제어회로(214)가 로컬 어드레스 버스(209)의 어드레스신호(MAP-P)로서 제2어드레스 레지스터(212b)의 내용을, 시스템 어드레스 버스(210)의 어드레스신호(AD-P)로서 제1어드레스 레지스터(212a)의 내용을 각가 출력한다. 그리고 나서, 로컬 제어신호선(207)에 있어서, 로컬 어드레스 버스(209)가 가리키는 번지의 데이터를 데이터 버스(206)로 출력하라는 지시를 하는 신호(MMEMER-N)를 액티브로 한다. 이에 따라, 주메모리(201)는 제2어드레스 레지스터(212b)가 가리키는 번지의 데이터를 데이터 버스(206)의 신호(DT-P)로서 출력하게된다. 주메모리(201)로부터 데이터가 출력되는 것을 대비하여 DMAC 제어회로(214)는 시스템 제어신호선(208)에 있어서 시스템 어드레스 버스(210)가 가리키는 입출력 메모리(203a)의 번지에 데이터 버스(206)의 값을 기입하라는 지시를 하는 신호(MEMW-N)를 액티브로 한다. 이에 따라, 시스템 어드레스 버스(210)가 가리키는 데이터

전송처의 기입동작이 수행된다. 입출력 메모리(203a)에 데이터가 기입된 후, 신호선(MMEMR-N, MMEW-N)을 인 액티브로 하여 일련의 데이터 전송제어를 완료함으로써, 1머신 사이클중에서의 데이터 전송제어가 수행된다.

또한, 제8도(b)의 경우에도 마찬가지로 하여 입출력 메모리(203a)로부터 주메모리(201)로의 데이터 전송제어가 1머신 사이클에서 수행된다.

또한, 이 제2종래예에서는 로컬 어드레스 버스(209)와 시스템 어드레스 버스(210)에 동시에 어드레스를 출력함으로써 최고속의 데이터 전송이 가능하게 되지만, 어드레스 버스의 수가 전체적으로 2배로 되는 결점이 있다. 그래서, 일본국 특개평 2-307149에서는 상기 구성외에 DMAC(202)내의 제1어드레스 레지스터(212a) 및 제2어드레스 레지스터(212b)의 출력을 셀렉터로 절환하여 로컬 어드레스 버스(209)에 접속하고, 로컬 어드레스 버스(209)와 시스템 어들스 버스(210) 사이에 어드레스 래치(latch)를 갖춘 구성, 혹은 입출력 메모리(203a,203b,203c)내에 어드레스 래치를 갖추어 로컬 어드레스 버스를 접속하는 구성으로 하고, 로컬 어드레스 버스(209)에서 시분할(時 分割)로 어드레스를 출력하여 1머신 사이클중에서의 데이터 전송제어를 실현하는수법이 제안되어 있다.

이 방법에서는, 제2종래예의 방법에 비하여 어드레스 버스가 수가 적어지므로 시스템 구성면에서 유리하지만, 어드레스를 시분할로 출력하는 분(分)만큼 고속화가 방해된다는 문제가 있다.

또한, 제2종래예 및 그 변형에서는, MPU(204)와 입출력 메모리(203a, 203b, 203c) 사이의 데이터 전송을 할 수 없는 구성으로 되어 있으므로, 이들 장치 사이의 직접 엑세스가 불가능하다는 문제가 있다.

더욱이, 제1종래예에 있어서, 데이터 전송장치[(101 ; DMAC(202)]내에 구비되어 있는 전송데이터를 일시적으로 보존하는 임시 레지스터의 크기는 유한[통상, 데이터 버스(DBUS)의 폭과 같은 1워드정도]하기 때문에, 그 이상의 양의 데이터를 연속하여 독출하고, 다시 연속하여 기입하는 처리가 불가능했다. 이 때문에, DRAM 사이의 전송 등에 있어서 고속 페이지모드(page mode) 등을 이용한 복수 워드의 데이터의 연속전송(이하, 버스트 전송이라 칭한다)이 수행되지 않는다는 문제가 있다. 또한, 제2종래예 및 그 변형에 있어서도, 버스트 전송에 대응하는 기능은 갖추고 있지 않다.

이상과 같이, 종래의 데이터 전송장치에서는, (1) 데이터 격납장치와 데이터 격납장치 사이의 데이터 전송에 독출사이클과 기입사이클의 2사이클이 필요하고, (1)사이클중에서의 데이터 전송제어가 가능한 데이터 전송장치에 있어서도, 어드레스 버스의 수가 전체적으로 2배로 되거나, 혹은 어드레스를 시분할로 출력하는 분만큼 고속화가 방해되고, 또 처리장치와 데이터 격납장치 사이의 직접 엑세스가 수행되지 않으며, (3) 버스트 전송이 수행되지 않는다는 결점이 있었다.

[발명의 목적]

이에 본 발명은 상술한 문제점을 해결하기 위해 이루어진 것으로, 보다 작은 하드웨어구성으로 데이터 격납장치와 데이터 격납장치 사이의 1사이클에 의한 데이터 전송을 가능하게 하고, 더욱이 버스트 전송에도 대응가능한 데이터 전송장치를 제공함에 그 목적이 있다.

[발명의 구성]

상기와 같은 목적을 달성하기 위해서 본 발명의 제1특징은, 제1도에 나타낸 바와 같이 데이터 버스(DBUS)에 접속되는 제1데이터 격납장치(3-1)와 제2데이터 격납장치(3-2) 사이의 데이터 전송을 제어하는 데이터 전송장치(1)에 있어서, 상기 제1데이터 격납장치(3-1)에 대응하는 어드레스 지정을 제1어드레스 버스(IABUS)에 의해 수행되는 제1버스 제어수단과, 상기 제2데이터 격납장치(3-2)에 대응하는 어드레스 지정을 제2어드레스 버스(ABUS)에 의해 수행하는 제2의 버스 제어수단(7)을 구비하고서 상기 제1버스 제어수단(6) 및 제2버스 제어수단(7)의 어드레스 지정을 동시에 수행함으로써 1사이클에서 데이터 전송을 실행하는 것이다.

본 발명의 제2특징은, 청구범위 제1항에 기재된 데이터 전송장치(1)에 있어서, 제1도에 나타낸 바와 같이 데이터 버스(DBUS)에 접속되는 제1데이터 격납장치(3-1)와 제2데이터 격납장치(3-2) 사이의 데이터 전송을 제어하는 데이터 전송장치(1)에 있어서, 상기 제1데이터 격납장치(3-1)에 대한 어드레스 지정을 제1어드레스 버스(IABUS)에 의해 수행하는 제1버스 제어수단(6)과, 상기 제2데이터 격납장치(3-2)에 대한 어드레스 지정을 제2어드레스 버스(ABUS)에 의해 수행하는 제2버스 제어수단(7)을 갖추고서, 상기 제1버스 제어수단(6) 및 제2버스 제어수단(7)의 어드레스 지정을 동시에 수행함으로써 1사이클에서 데이터 전송을 실행하는 것이다. 또한, 상기 제1버스 제어수단(6)은 상기 제1데이터 격납장치(3-1)로서 액세스에 필요한 제1제어신호군(CON1)을 입출력하는 것이고, 상기 제2버스 제어수단(7)은 상기 제2데이터 격납장치(3-2)로의 액세스에 필요한 제2제어신호군(CON2)를 입출력하는 것이며, 상기 제1및 제2제어신호군 및 상기 제1 및 제2어드레스 버스의 값을 입력받아 상기 제1버스 제어수단(6)으로부터 의 제어신호에 기초해서 선택하여 상기 제1데이터 격납장치(3-1)에 공급하는 제어수단(8)을 더 구비한 것이다.

본 발명의 제3특징은, 청구범위 제2항에 기재된 데이터 전송장치(1)에 있어서, 제1도에 나타낸 바와 같이 상기 제1제어신호군(CON1)은 상기 제1 및 제2데이터 격납장치(3-1,3-2) 사이의 데이터 전송을 1사이클에서 수행할때에 액티브로 되는 고속전송 모드신호(HS#)을 갖추고 있으며, 상기 제어수단(8)은 상기 고속전송 모드신호(HS#)가 액티브일때에 상기 제1데이터 격납장치(3-1)에 대한 어드레스로서 제1어드레스 버스(IABUS)의 값을 선택하여 상기 제2데이터 격납장치(3-2)에 대한 독출 혹은 기입동작의 지정과는 반대의 동작지정을 상기 제1데이터 격납장치(3-1)에 대하여 수행하는 것이다.

본 발명의 제4특징은, 청구범위 제2항 또는 제3항에 기재된 데이터 전송장치(1)에 있어서, 제1도에 나타낸 바와 같이 상기 제1버스 제어수단(6)은 상기 제1 및 제2데이터 격납장치(3-1,3-2) 사이의 연속한 복수어의 데이터 전송을 일괄하여 수행할때에 액티브로 되는 버스트 전송신호(BT#)를 출력하고, 상기 제1 및 제2버스 제어수단(6,7)은 상기 버스트 신호(BT#)가 액티브일때에 상기 제1 및 제2의 데이터 격납장치(3-1,3-2)에 대하여 첫번째의 데이터 전송이 종료한 후에도 연속하여 다음

번지의 독출 혹은 기입동작을 수행하도록 제어하는 것이다.

본 발명의 제5특징은, 청구범위 제2항, 제3항 또는 제4항에 기재된 데이터 전송장치(1)에 있어서, 상기 제1어드레스 버스(IABUS)와 상기 제2어드레스 버스 (ABUS)의 일부가 공통이라는 것이다.

본 발명의 제6특징은, 상기 데이터 전송장치(1) 및 제1데이터 격납장치(3-1)를 동일한 칩 위에 형성한 것이다.

[작용]

본 발명의 제1,제2 및 제3특징의 데이터 전송장치에서의 작용을 제1데이터 격납장치(3-1)로부터 제2데이터 격납장치(3-2)로의 데이터 전송을 그 일예로 해서 설명한다.

먼저, 제1버스 제어수단(6)은 소스 어드레스를 제1어드레스 버스(IABUS)에, 동시에 제2버스 제어수단(7)은 행선지 어드레스를 제2어드레스 버스(ABUS)에 각각 출력한다. 또한, 제1 및 제2버스 제어수단(6,7)은 각각 제1 및 제2어드레스 버스(IABUS,ABUS)상의 어드레스 값이 유효하다는 것을 나타내는 신호를 출력하고, 제1버스 제어수단(6)은 고속전송 모드신호(HS#)를 액티브로 하여 고속전송모드라는 것을 나타낸다. 이후, 고속전송 사이클이 종료하기까지 고속전송 모드신호(HS#)는 액티브이고, 제어수단(8)은 제1데이터 격납장치(3-1)에 대한 어드레스로서 제1어드레스 버스(IABUS)의 값을 선택 출력하도록 동작한다. 또한, 제2버스 제어수단(7)은데이터 전송장치(3-2)에 대하여 기입동작이라는 것을 알려주는 신호를 출력하고,이 신호에 기초해서 제어수단(8)은 제2데이터 격납장치(3-2)에 대한 독출 혹은 기입동작의 지정과는 반대의 동작지정을 제1데이터 격납장치(3-1)에 대하여 수행한다.

그리고 나서, 제1버스 제어수단(6)은, 전송원의 제1데이터 격납장치(3-1)에 대하여 데이터 출력을 수행하도록 제어한다. 제1데이터 격납장치(3-1)로부터 독출해야 할 데이터를 출력한 것을 나타내는 신호가 출력되면, 제1버스 제어수단(6)은 제2버스 제어수단(7)에 그것을 통지한다. 제2버스 제어수단(7)은 통지를 받아서 전송처의 제2데이터 격납장치(3-2)에 대하여 데이터입력을 수행하도록 제어한다. 제2데이터 격납장치(3-2)는 전송종료를 나타내는 신호를 출력하고, 제1 및 제2버스 제어수단(6,7)은 각각 제1 및 제2제어신호군[CON1(고속전송 모드신호(HS#)를 포함한다), CON2]를 인액티브로 한다.

이에 따라, 제1데이터 격납장치(3-1)와 제2데이터 격납장치(3-2) 사이의 1사이클에 의한 데이터 전송을 가능하게 할 수가 있다.

본 발명의 제4특징의 전송장치에서는, 제1버스 제어수단(6)으로부터 제1 및 제2데이터 격납장치(3-1,3-2) 사이의 연속한 복수어의 데이터 전송을 일괄하여 수행할 때에 액티브로 되는 버스트 전송신호(BT#)를 출력하고, 버스트신호(BT#)가 액티브일때에 제1 및 제2버스 제어수단(6,7)은 제1 및 제2데이터 격납장치(3-1,3-2)에 대하여 첫번째의 데이터 전송이 종료한 후에도 연속하여 다음번지의 독출 혹은 기입동작을 수행하도록 제어하기 때문에, 연속한 복수어의 데이터 전송을 일괄적으로 수행하는 버스트 전송에도 대응할 수가 있다.

또한, 본 발명의 제5특징의 데이터 전송장치에서는, 제1어드레스 버스 (IABUS)와 제2어드레스 버스 (ABUS)의 일부를 공통으로 함으로써, 보다 작은 하드웨어구성으로 제1데이터 격납장치(3-1)와 제2데이터 격납장치(3-2) 사이의 1사이클에 의한 데이터 전송을 가능하게 하고, 더욱이 버스트 전송에도 대응가능하게 할 수가 있다.

더욱이, 본 발명의 제6특징의 데이터 처리시스템에서는, 적어도 상기 데이터 전송장치(1) 및 제1데이터 격납장치(3-1)를 동일한 칩 위에 형성하고 있다. 즉, 이와 같이 동일한 칩 위에 집적화함으로써 이중화된 어드레스 버스나 제어신호군 및 제어수단(8)에 의한 하드웨어 비용의 증대를 현실적인 시스템 가격으로 억제하고, 더욱이 성능을 비약적으로 향상시킬 수 있게 된다.

[실시예]

이하, 본 발명에 따른 실시예를 도면을 참조하여 설명한다.

제2도는 본 발명의 1실시예에 따른 데이터 전송장치를 사용한 데이터 처리시스템의 구성도를 나타낸 것으로, 동도면에 있어서 제5도(종래예)와 중복하는 부분에는 동일한 참조부호 병기하여 설명을 간략화한다.

제2도에 있어서, 데이터 처리시스템은 중앙처리장치(5), 데이터 전송장치(1), 데이터 격납장치(3-1,3-2), 멀티플렉서(MPX1,MPX2) 및 게이트회로(G1~G3)로 구성되어 있다. 또한, 중앙처리장치(5), 데이터 전송장치(1),데이터 격납장치(3-1), 멀티플렉서(MPX1,MPX2) 및 게이트회로(G1~G3)는 동일한 칩위에 형성되어 있다. 한편, 본 실시예에서는 본 발명의 1변형예로서, 제1도에서의 제어수단(8)을 데이터 전송장치(1)로부터 독립시켜, 멀티플렉서(MPX1,MPX2) 및 게이트회로(G1~G3)로 구성하고 있다.

또한, 중앙처리장치(5), 데이터 전송장치(1), 데이터 격납장치(3-1,3-2)는 어드레스 버스(ABUS), 데이터 버스(DBUS) 및 제어신호군을 매개하여 접속되고, 중앙처리장치(5) 및 데이터 전송장치(1)는 데이터 격납장치(3-1,3-2)에 대하여 엑세스 가능한 구성으로 되어 있다. 여기서, 제어신호군에는 클럭신호(CLK), 독출·기입신호(RW), 어드레스 스트로브신호(AS#), 데이터 스트로브신호(DS#) 및 엑세스 완료신호(DC#)가 있다.

중앙처리장치(5)는 데이터의 연산 및 전송 그리고 데이터 전송장치(1)에 대하여 전송요구를 행한다. 데이터 전송장치(1)는 중앙처리장치로부터의 데이터 전송요구에 따라 데이터 격납장치(3-1)와 데이터 격납장치(3-2) 사이에서의 데이터 전송을 제어한다. 또한, 데이터 격납장치(3-1,3-2)는 각각 복수개의 기억소자를 구비하고 있어서 1워드단위로의 어드레싱(addressing)이 가능하고, 전송해야할 데이터 혹은 전송되어 온 데이터를 기억한다.

본 실시예의 데이터 전송장치(1)는, 종래와 같은 전송제어를 수행하는 제어부(11) 및 버스 제어부

(13)와 본 발명의 특징인 고속전송의 제어를 수행하는 고속전송 제어부(12) 및 내부신호 제어부(14)로 구성되어 있다. 제어부(11)에는 데이터 격납장치(3-2)에 대한 어드레스를 보존하는 어드레스 레지스터(AR)가, 고속제어부(12)에는 데이터 격납장치(3-1)에 대한 어드레스를 보존하는 어드레스 레지스터(AR1)가 각각 구비되어 있다.

버스 제어부(11)는 종래의 데이터 전송장치(101)에서의 것과 동일한 기능을 갖추고 있으며, 이 버스 제어부(11)에는 어드레스 버스(ABUS), 데이터 버스(DBUS), 어드레스 스트로브신호(AS#), 데이터 스트로브신호(DS#), 엑세스 완료신호(DC#) 및 독출·기입신호(RW)가 접속되어 있다.

또한, 내부신호 제어부(14)에는 동일 칩위에 구성되는 데이터 격납장치(3-1)와의 데이터 전송에 전용으로 사용되는 신호군이 접속되어 있다. 이 신호군에는 멀티플렉서(MPX1)을 매개하여 데이터 격납장치(3-1)에 공급되는 내부 어드레스 버스(IABUS)상의 값과 멀티플렉서(MPX2)를 매개하여 데이터 격납장치(3-1)에 공급되는 내부 데이터 스트로브신호(IDS#), 데이터 격납장치(3-1)로부터의 엑세스 완료신호(IDC1#), 멀티플렉서(MX1,MPX2)의 선택을 제어함과 더불어 게이트회로(G3)에 의해 독출·기입신호(RW)와의 배타적논리합을 취하여 데이터 격납장치(3-1)에 공급되는 고속전송 모드신호(HS#) 및 데이터 격납장치(3-1,3-2)에 접속되어 버스트 전송을 나나태는 버스트 전송신호(BT#)가 있다.

데이터 격납장치(3-1)에는 클럭신호(CLK), 데이터 버스(DBUS), 어드레스 스트로브신호(AS#) 및 버스트 전송신호(BT#)와 직접접속되어 있다. 또, 단자(ADR1)에는 어드레스 버스(ABUS)와 내부 어드레스 버스(IAUBS)상의 값을 입력하여 고속전송 모드신호(HS#)에 의해 선택출력되는 멀티플렉서(MPX1)의 출력이 접속되어 있고, 단자(RW1)에는 독출·기입신호(RW)와 고속전송 모드신호(HS#)의 배타적 논리합을 취하는 게이트회로(G3)의 출력이 접속되어 있다. 단자(DC1)로부터의 내부 엑세스 완료신호(IDC1#)는 데이터 전송장치(1) 및 AND 게이트회로(G1)에 접속되어 있다. 한편, 게이트회로(G1)에 의한 내부 엑세스 완료신호(IDC1#)와 고속전송 모드신호(HS#)의 논리곱 출력(IDC#), 게이트회로(G2)에 있어서 데이터 격납장치(3-2)로부터의 엑세스 완료신호(IDC2)와의 논리합을 취하여 데이터 전송장치(1)의 버스 제어부(13) 및 중앙처리장치(5)에 공급되고 있다. 단자(DS1)에는 데이터 스트로브신호(DS#)와 내부 데이터 스트로브신호(IDS#)를 입력하여 고속전송신호(HS#)에 의해 선택출력되는 멀티플렉서(MPX2)의 출력이 접속되어 있다.

데이터 격납장치(3-2)에는, 클럭신호(CLK), 어드레스 버스(ABUS), 데이터 버스(DBUS), 독출·기입신호(RW), 어드레스 스트로브신호(AS#), 데이터 스트로브신호(DS#)및 버스트 전송신호(BT#)가 접속되고, 단자(DC2)로부터 엑세스 완료신호(IDC2#)가 게이트회로(G2)에 공급되고 있다.

다음에는 이러한 구성의 데이터 처리시스템에 있어서, 데이터 격납장치(3-1)로부터 데이터 격납장치(3-2)로 데이터를 전송할때의 동작에 관하여 본 실시예의 동작 타이밍도인 제3도를 이용하여 설명한다.

본 실시예의 데이터 전송장치(1)에서는, 제어부(11) 및 버스 제어부(13)에 의해 데이터 전송장치(3-2)와의 엑세스를 수행하고, 고속전송 제어부(12) 및 내부신호 제어부(14)에 의해 데이터 전송장치(3-1)와의 엑세스를 수행한다.

먼저, 중앙처리장치(5)로부터 전송요구가 발생하고, 중앙처리장치(5)가 버스를해방하면, 제3도에서의 타이밍(h)에서의 고속전송 제어부(12)는 내부신호 제어부(14)에 대하여 어드레스 레지스터(AR1)에 격납되어 있는 데이터 격납장치(3-1)에 대한 소스 어드레스를 내부 어드레스 버스(IABUS)에 출력시킨다. 동시에 제어부(11)는 버스제어부(13)에 대하여 어드레스 레지스터(AR2)에 격납되어 있는 데이터전송장치(3-2)에 대한 행선지 어드레스를 어드레스 버스(ABUS)에 출력시킨다.

또한, 버스제어부(13)는 어드레스 스트로브신호(AS#)를 액티브로 하여 어드레스 버스(ABUS)상의 어드레스 값이 유효하다는 것을 나타내고, 내부신호 제어부(14)는 고속전송 모드신호(HS#)를 액티브로 하여 고속전송모드인 것을 나타낸다. 이후, 고속전송 사이클이 종료할때까지 고속전송 모드신호(HS#)는 액티브('L'레벨)이고, 멀티플렉서(MPX1)는 내부 어드레스 버스(IABUS)를, 멀티플렉서(MPX2)는 내부 데이터 스트로브신호(IDS#)를 각각 선택출력하도록 동작한다. 결국,데이터 격납장치(3-1)의 단자(ADR1)에는 내부 어드레스 버스(IABUS)가, 단자(DS1)에는 내부 데이터 스트로브신호(IDS#)가 각각 접속되게 된다.

또한, 버스 제어부(13)는 독출·기입신호(RW)를 'L'레벨로 하여 데이터 전송장치(3-2)에 대해 기입동작이라는 것을 알려준다. 이때, 게이트회로(G3)의 입력인 고속전송 모드신호(HS#) 및 독출·기입신호(RW)는 모두 'L'레벨로 되고, 그 배타적 논리합의 결과로서 게이트회로(G3)의 출력이 'H'레벨로 됨으로써, 데이터 격납장치(3-1에 대해서는 독출동작이라는 것을 알려주게 된다.

이상 타이밍(h)에서의 동작이지만, 데이터 격납장치(3-1)에서 보면 마치 통상의 독출사이클이, 데이터 격납장치(3-2)에서 보면 기입사이클이 동시에 기동되는 것과 같이 된다. 따라서, 데이터 격납장치(3-1,3-2)는 각각이 마치 종래와 완전히 동일하게 독출사이클과 기입사이클을 수행한다. 다만, 그것이 동시에 수행되고 있는 것이 종래와 다르게 되어 있다.

다음에 타이밍(i)에서는 내부신호 제어부(14)는, 내부 데이터 스트로브신호(IDS#)를 액티브로 하여 전송원의 데이터 격납장치(3-1)에 대하여 데이터의 출력을 허가한다. 멀티플렉서(MPX2)를 매개하여 단자(DS1)가 'L'레벨로 되면, 데이터 격납장치(3-1)는 지정된 소스 어드레스의 데이터를 데이터 버스(DBUS)에 출력한다.

이어서, 데이터 격납장치(3-1)는 타이밍(j)에서 내부 엑세스 완료신호(IDC1#)를 액티브로 하여 독출해야 할 데이터를 출력한 것을 나타낸다. 이때, 고속전송 모드신호(HS#)가 'L'레벨이기 때문에, AND 게이트회로(G1)의 출력신호(IDC1#)는 'H'레벨인 채로 있다. 내부신호 제어부(14)는 내부 엑세스 완료신호(IDC1#)가 액티브로 된 것을 검출하면, 독출 데이터가 데이터 버스(DBUS)상에 출력되어 있다고 인식하여 고속전송 제어부(12)에 통지한다. 고속전송 제어부(12)는 그것을 받아서 제어부(11)에 대하여 데이터의 취입을 지시한다. 제어부(11)는 버스 제어부(13)에 대하여 기입동작의 계속을 지시

한다. 버스 제어부(13)는 기입동작의 계속지시를 받아서 타이밍(j)에서 데이터 스트로브신호(DS#)를 액티브로 하여 데이터 격납장치(3-2)에 대하여 데이터 버스(DBUS)상의 데이터 값이 유효하다는 것을 통지한다.

데이터 격납장치(3-2)는 데이터 스트로브신호(DS#)가 액티브인 것을 검출하여 데이터 버스(DBUS)상의 값이 유효하다는 것을 인식하면, 타이밍(k)에서 데이터 버스(DBUS)상의 데이터를 취입, 전송종료를 나타내는 액세스 완료신호(IDC2#)를 타이밍(j)로서 타이밍 (k)까지의 기간동안 액티브로 한다. 상술한 바와 같이, 고속데이터 전송모드(HS#) 사이는 AND 게이트회로의 출력의 'H'레벨이기 때문에, OR 게이트회로(G2)는 엑세스 완료신호(IDC2#)의 값을 그대로 엑세스 완료신호(DC#)로서 출력하게 된다.

데이터 전송장치(1)내의 버스 제어부(13)는 엑세스 완료신호(DC#)가 액티브인 것을 검출하면, 기입사이클의 종료를 인식하여 그것을 제어부(11)에 통지한다. 더욱이, 제어부(11)는 그것을 고속전송 제어부(12)에 통지한다. 고속전송 제어부(12)는 독출사이클과 기입사이클 양쪽의 종료를 인식하면, 고속전송 사이클의 종료를 내부신호 제어부(14)에, 또는 제어부(11)를 매개하여 버스 제어부(13)에 통지한다. 내부신호 제어부(14)는 고속전송 사이클을 종료하기 위해서 타이밍(k)에서 고속전송 모드신호(HS#) 및 내부 데이터 스트로브신호(IDS#)를 인액티브로 한다. 한편, 버스 제어부(13)는 기입사이클을 종료하기 위해서 타이밍(k)에서 어드레스 스트로브신호(AS#) 및 데이터 스트로브신호(DS#)를 인액티브로 한다.

게이트회로(G1~G3)는 데이터 격납장치(3-1)에 대한 통상(고속전송 모드가 아닌때)의 버스 사이클을 정상동작시키기 위한 것이다. 통상 모드시에는 고속전송 모드신호(HS#)가 'H'레벨이기 때문에 AND 게이트 회로(G1)는 내부 엑세스 완료신호(IDC1#)의 값을 그대로 출력한다. OR 게이트회로(G2)는 엑세스 완료신호(IDC1#,IDC2#)중 어느 하나가 액티브로 된 때에 엑세스 완료신호(DC#)를 액티브로 한다. 단, 고속전송 모드시에는 액세스 완료신호(IDC1#)가 항상 'H'레벨이기 때문에, 결국 엑세스 완료신호(IDC2#)의 값을 엑세스 완료신호(DC#)로서 출력하게 된다. 게이트회로(G3)는 고속전송 모드시에는 독출·기입신호의 반전치를 데이터 격납장치(3-1)의 단자(RW1)에 공급하도록 작용하지만, 그 이외의 경우에는 독출·기입신호(RW)의 값을 단자(RW1)에 공급한다.

이상의 동작 설명에서는, 데이터 격납장치(3-1)로부터 데이터 격납장치(3-2)로의 데이터 전송에 관하여 설명했지만, 반대로 데이터 격납장치(3-2)로부터 데이터 격납장치(3-1)로의 데이터 전송에 있어서도 기본적인 동작은 동일하다.

이와 같이 본 실시예의 데이터 전송장치(1)에서는 데이터 격납장치(3-1,3-2) 사이의 데이터 전송을 1사이클에서 수행할 수가 있다. 더욱이, 종래의 데이터 처리시스템(제5도)의 경우와 비교하면, 데이터 격납장치에 대한 회로적인 고속화는 요구되지 않는다.

또한, 본 실시예의 데이터 전송장치(1)에 의한 고속전송 모드에서는, 데이터 격납장치(3-1)와 데이터 격납장치(3-2)사이에서 데이터 전송을 수행하는 경우에, 제5도에 나타낸 종래의 데이터 처리시스템과 같이 데이터 전송장치(101)내의 임시 레지스터(112)에 일단 데이터를 취입하는 동작을 필요로 하지 않기 때문에, DRAM의 고속 페이지모드를 이용한 버스트 전송이 가능하게 된다.

이하에 버스트 전송모드에서 고속전송을 수행할 때의 동작을 제4도에 나타낸 동작 타이밍차트를 이용하여 설명한다.

제4도는 데이터 격납장치(3-1)의 소스 어드레스로부터 4워드분이 데이터(Dn~Dn+3)를 데이터 격납장치(3-2)의 행선지 어드레스로부터 시작되는 4워드분의 기억영역에 전송하는 경우의 타이밍차트를 나타내고 있다.

데이터 전송장치(1)는 상기 데이터 전송을 타이밍(1)에서 개시한다.

먼저, 내부신호 제어부(14)는 타이밍(1)에서 버스트 전송신호(BT#)를 액티브로한다. 이후, 버스트 전송사이클이 종료할 때[타이밍(p)]까지 이 신호(BT#)를 액티브로 해서, 그 동안에 버스트 전송사이클이라는 것을 데이터 격납장치(3-1,3-2)에 통지한다.

타이밍(1)로부터 타이밍(m)까지의 최초의 1워드분의 데이터 전송이 수행되는 동작은 버스트 전송신호(BT#)가 액티브인 것을 제외하고는 제3도에서의 타이밍(h)로부터 타이밍(k)까지의 동작과 동일하기 때문에, 여기에서는 설명을 생략한다.

또한, 내부 데이터 스트로브신호(IDS#) 및 데이터 스트로브신호(DS#)는 버스트 전송사이클이 종료하는 타이밍(p)까지 액티브인 채로 있다. 마찬가지로, 내부 어드레스 버스(IABUS)는 소스 어드레스를, 어드레스 버스(ABUS)는 행선지 어드레스를 각각 타이밍(p)까지 보존하고, 독출·기입신호(RW) 및 어드레스 스트로브신호(AS#)도는 타이밍(p)까지 액티브인 채로 있다.

다음에는 타이밍(m) 이후의 동작을 설명한다.

데이터 격납장치(3-1)에서는, 버스트 전송신호(BT#)가 액티브인 것으로부터 버스트 전송모드인 것을 인식하여 타이밍(m) 이후에 다음의 1워드분의 데이터를 데이터 버스(DBUS)에 출력한다. 또, 데이터 격납장치(3-2)에서는 버스트 전송신호인 것을 인식하면, 타이밍(n)에서 데이터를 다음의 1워드로 취입한다.

이후, 데이터 격납장치(3-1)는 클럭신호(CLK)의 상승 타이밍마다 후속하는 데이터를 차례차례 데이터버스(DBUS)에 출력하고, 데이터 격납장치(3-2)는 데이터를후속하는 데이터로서 취입한다. 타이밍(p)에서 최후의 전송이 종료하면, 데이터 전송장치(1)는 어드레스 스트로브신호(AS#), 내부 데이터 스트로브신호(IDS#), 데이터 스트로브신호(DS#), 고속전송 모드신호(HS#) 및 버스트 전송신호(BT#)를 모두 인액티브로 하여 버스트 전송을 종료한다.

이상과 같이, 본 실시예의 데이터 전송장치(1)에 의한 고속전송 모드에서는, 데이터 격납장치(3-

1)와 데이터 격납장치(3-2) 사이에서 데이터 전송을 수행하는 경우에, 데이터 전송장치(1)내로 일단 데이터를 취입하는 동작을 필요로 하지 않기 때문에, DRAM의 고속 페이지모드를 이용한 버스트 전송이 가능하게 된다.

종래의 데이터 전송장치(101)를 사용한 경우와 비교하면, 연속한 4워드를 전송함에 있어서, 종래예(제1종래예)에서는 소스 어드레스와 행선지 어드레스를 교대로 엑세스하기 때문에 버스트 전송은 불가능하고, 통상의 전송을 반복하여 수행할 수 밖에 없으므로, 4×2×2=16클럭을 필요로 했던 것이, 본 실시예의 데이터 전송장치(1)에 의하면 5클럭으로 실행할 수 있게 된다.

또, 본 실시예에서는 데이터 처리시스템의 구성으로서 데이터 격납장치(3-1), 데이터 전송장치(1), 멀티플렉서(MPX1,MPX2) 및 게이트회로(G1~G3)를 동일 칩위에 구성하고 있지만, 각각의 구성요소를 다른 칩위에 구성하여도 동일한 효과를 얻을 수가 있다.

그러나, 본 실시예의 데이터 전송장치(1)를 사용한 데이터 처리시스템에서는, 종래(제1종래예)와 비교해서 어드레스 버스나 제어신호군이 이중화되어 있고, 또 멀티플렉서나 게이트회로도 부가되어 있기 때문에, 각각의 구성요소를 별개의 칩위에 구성하는 것은 시스템 가격의 면에서 그다지 현실적이지 못하다. 즉, 본 실시예와 같이 동일한 칩위에 집적화 함으로써, 현실적인 시스템 가격에서 성능을 비약적으로 향상시킬 수 있게 된다.

특히, 반도체 집적회로 기술의 진보에 따라, 중앙처리장치와 데이터 전송장치를 집적하는 칩에 RAM[본 실시예에서는 데이터 격납장치(3-1)에 상당한다.]을 내장하는 것이 현실적인 가격에서 가능하게 되어 있고, 내장 RAM과 칩 이외의 RAM [본 실시예에서는 데이터 격납장치(3-1)에 상당한다]을 내장하는 것이 현실적인 가격에서 가능하게 되어 있고, 내장 RAM과 칩 이외의 RAM[본 실시예에서는 데이터 격납장치(3-2)에 상단한다] 사이에서의 데이터 전송은 대단히 보통으로 수행된다. 본 실시예의 데이터 전송장치(1)는 이러한 용도에 대하여 매우 유효하다.

또한, 본 실시예에서는 내부 어드레스 버스(IABUS)와 어드레스 버스(ABUS)의 비트폭이 동일하지만, 내부 어드레스 버스(IABUS)를 어드레스를 나타내는 전 비트내에서 어떤 한정된 상위비트만으로 구성하는 방법도 있다.이 경우, 한정된 상위 비트 이외의 하위 비트는 어드레스 버스(ABUS)에 의해 데이터 격납장치(3-1,3-2)에 대하여 공통으로 인가된다. 이와 같이, 내부 어드레스 버스(IABUS)와 어드레스 버스(ABUS)의 일부를 공통화하여 구성하면, 전송원과 전송처의 어드레스의 하위비트가 동일할 필요가 있지만, 예컨대 데이터 격납장치(3-2)내의 연속한 데이터 영역을 데이터 격납장치(3-1)내로 블럭카피해 오는 경우 등과 같이, 현실적으로는 이것으로 충분한 경우도 있고, 내부 어드레스 버스(IABUS)의 비트폭 및 어드레스 레지스터(ARI)의 비트폭을 삭감할 수 있기 때문에, 보다 작은 하드웨어로 구성할 수 있게 된다.

더욱이, 본 실시예의 데이터 전송장치(1)를 사용한 데이터 처리시스템의 구성과 같이, 어드레스 버스(ABUS), 데이터 버스(DBUS) 및 제어신호군(CON2)에 중앙처리장치(5)를 접속한 구성에 있어서, 본 실시예에서는 내부 어드레스 버스(IABUS)와 어드레스 버스(ABUS)를 멀티플렉서(MPX1)로 선택한 값을, 데이터 격납장치(3-1)에 대한 어드레스로 하고 있기 때문에, 중앙처리장치(5)와 데이터 격납장치(3-1)의 데이터 전송도 가능하고, 제2종래예와 같이, MPU와 입출력 메모리 사이의 직접 엑세스를 할 수 없다는 문제는 일어나지 않게 된다.

한편, 본원 청구범위의 각 구성요소에 병기한 도면의 참조번호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 제1데이터 격납장치 및 제2데이터 격납장치에 대한 제1버스 제어수단 및 제2버스 제어수단의 어드레스 지정을 동시에 수행함으로써, 제1데이터 격납장치와 제2데이터 격납장치 사이의 1사이클에 의한 데이터 전송이 가능한 데이터 전송장치를 제공할 수 있게 된다.

또한, 제1버스 제어수단으로부터 버스트 전송신호를 출력하고, 버스트신호가 액티브인 때에는 제1 및 제2버스 제어수단은 제1 및 제2데이터 격납장치에 대하여 첫번째의 데이터 전송이 종료한 후에도 연속하여 다음 번지의 독출 혹은 기입동작을 수행하도록 제어함으로써, 연속한 복수어의 데이터 전송을 일괄하여 수행하는 버스트 전송에도 대응가능한 데이터 전송장치를 제공할 수 있게 된다.

또한, 제1어드레스 버스와 제2어드레스 버스의 일부를 공통으로 함으로써, 보다 작은 하드웨어 구성으로 실현할 수 있게 된다.

더욱이, 동일 칩위에 집적화 함으로써, 이중화된 어드레스 버스, 제어신호군 및 제어수단에 의한 하드웨어 가격의 증대를 현실적인 시스템 가격으로 억제한 상태에서 성능을 비약적으로 향상시킬 수 있게 된다.

(57) 청구의 범위

청구항 1

데이터 버스(DBUS)에 접속되는 제1데이터 격납장치(3-1)와 제2데이터 격납장치(3-2) 사이의 데이터 전송을 제어하는 데이터 전송장치(1)에 있어서, 상기 제1데이터 격납장치(3-1)에 대한 어드레스 지정을 제1어드레스 버스(IABUS)에 의해 수행하는 제1버스 제어수단(6)과, 상기제2데이터 격납장치(3-2)에 대한 어드레스 지정을 제2어드레스 버스(ABUS)에 의해 수행하는 제2버스 제어수단(7)을 갖추고서, 상기 제1버스 제어수단(6) 및 제2버스 제어수단(7)의 어드레스 지정을 동시에 수행함으로써 1사이클에서 데이터 전송을 실행하는 것을 특징으로 하는 데이터 전송장치.

청구항 2

제1항에 있어서, 상기 제1버스 제어수단(6)은 상기 제1데이터 격납장치(3-1)로의 엑세스에 필요한 제1제어신호군(CON1)을 입출력하는 것이고, 상기 제2버스 제어수단(7)은 상기 제2데이터 격납장치(3-2)로의 엑세스에 필요한 제2제어신호군(CON2)을 입출력하는 것이며, 상기 제1 및 제2 제어신호군 및 상기 제1 및 제2어드레스 버스의 값을 입력받아 상기 제1버스 제어수단(6)으로부터의 제어신호에 기초해서 선택하여 상기 제1데이터 격납장치(3-1)에 공급하는 제어수단(8)을 더 구비한 것을 특징으로 하는 데이터 전송장치.

청구항 3

제2항에 있어서, 상기 제1제어신호군(CON1)은 상기 제1 및 제2데이터 격납장치(3-1,3-2) 사이의 데이터 전송을 1사이클로 수행할때에 액티브로 되는 고속전송 모드신호(HS#)를 갖추고 있으며, 상기 제어수단(8)은 상기 고속전송 모드신호(HS#)가 액티브인 때에는 상기 제1데이터 격납장치(3-1)에 대한 어드레스로서 제1어드레스 버스의 값을 선택하고, 상기 제2데이터 격납장치에 대응하는 독출 혹은 기입동작의 지정과는 반대의 동작지정을 상기 제1데이터 격납장치에 대하여 수행하는 것을 특징으로 하는 데이터 전송장치.

청구항 4

제2항에 있어서, 상기 제1버스 제어수단(6)은 상기 제1 및 제2데이터 격납장치(3-1,3-2) 사이의 연속한 복수어의 데이터 전송을 일괄하여 수행할 때에 액티브로 되는 버스트 전송신호(BT#)를 출력하고, 상기 제1 및 제2버스 제어수단(6,7)은 상기 버스트신호가 액티브인 때에는 상기 제1 및 제2데이터 격납장치(3-1,3-2)에 대하여 첫번째의 데이터 전송이 종료한 후에도 연속하여 다음 번지의 독출 혹은 기입동작을 수행하도록 제어하는 것을 특징으로 하는 데이터 전송장치.

청구항 5

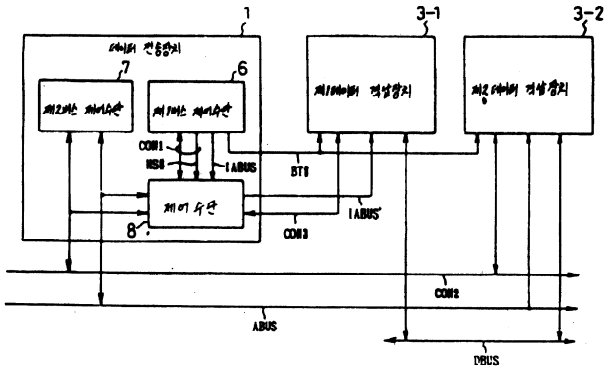
제2항, 제3항 또는 제4항에 있어서, 상기 제1어드레스 버스와 상기 제2어드레스 버스의 일부가 공통인 것을 특징으로 하는 데이터 전송장치.

청구항 6

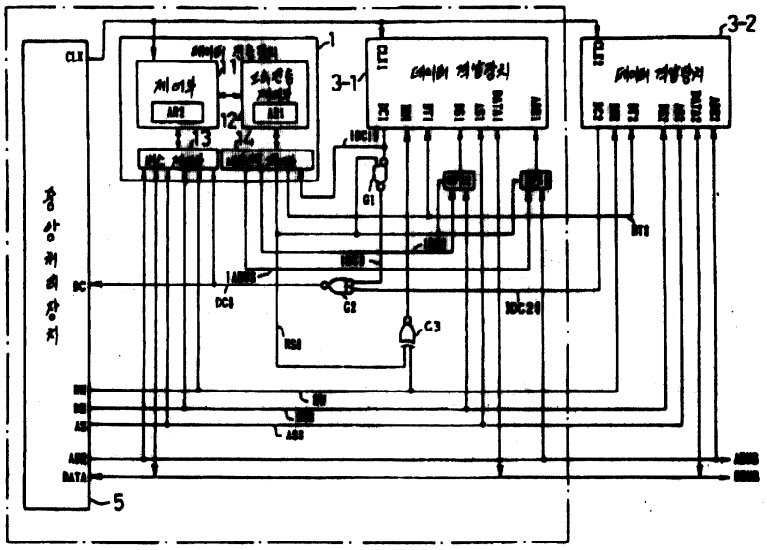
제1항에 있어서, 상기 제1데이터 격납장치(3-1)와 동일 칩위에 형성된 것을 특징으로 하는 데이터 전송장치.

도면

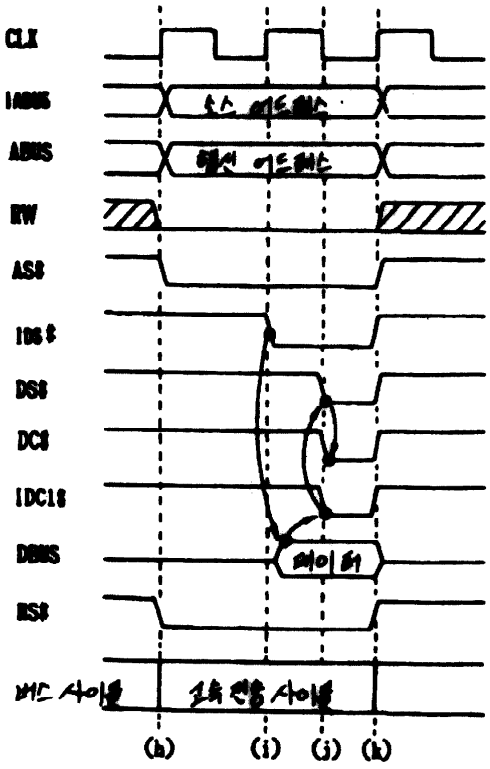
도면1



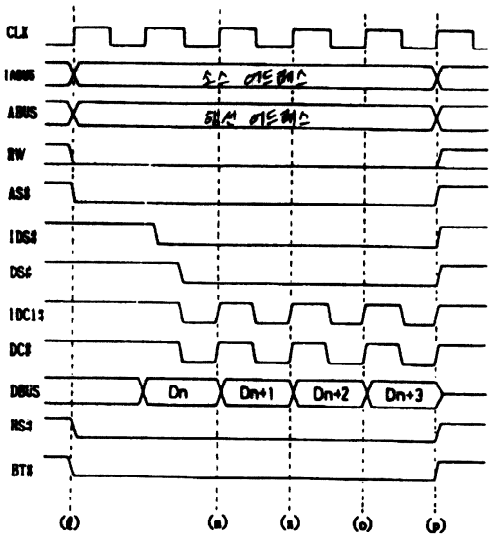
도면2



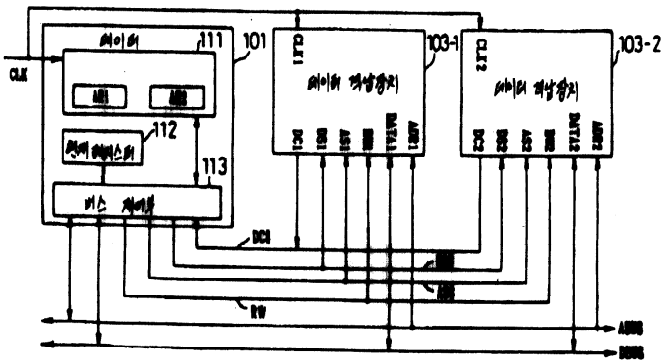
도면3



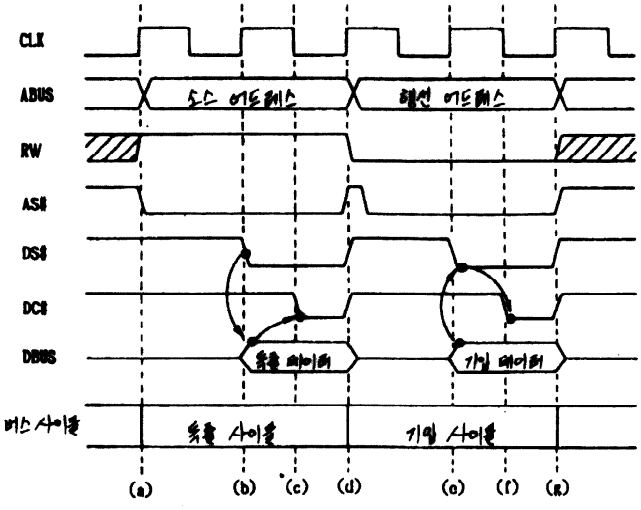
도면4


CLK
IABUS
ABUS
R/W
AS$
IDS$
DS$
IDC13
DC$
DBUS
RS$
BT$
Dn
Dn+1
Dn+2
Dn+3
(d)
(a)
(b)
(c)
(p)

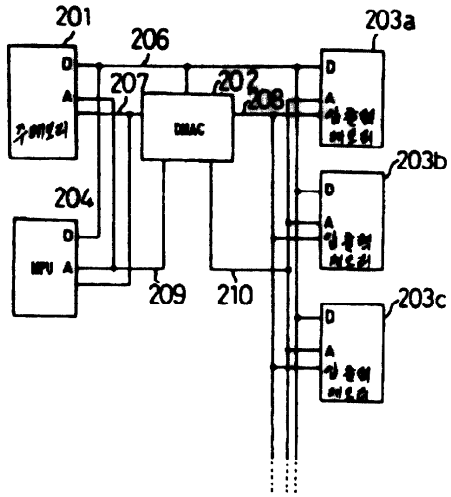
도면5


CLK
111
101
112
113
103-1
103-2
DC1
R/W

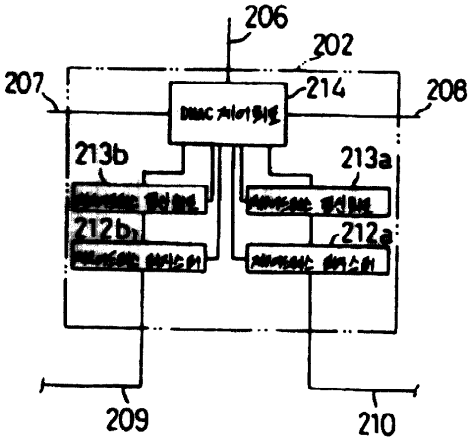
도면6



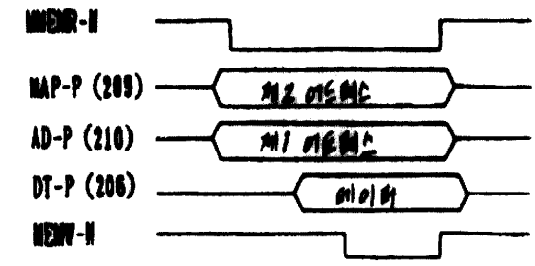
도면7-1



도면7-2



도면8-1



도면8-2

