(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3803705号
(P3803705)
(45)発行日　平成18年8月2日(2006.8.2)　(24)登録日　平成18年5月19日(2006.5.19)

(51)Int.Cl.　F I
H04L 27/22 (2006.01)　H04L 27/22　F

請求項の数 14　(全 26 頁)

(21)出願番号	特願平6-516115
(86)(22)出願日	平成5年12月30日(1993.12.30)
(65)公表番号	特表平8-505499
(43)公表日	平成8年6月11日(1996.6.11)
(86)国際出願番号	PCT/US1993/012697
(87)国際公開番号	WO1994/016512
(87)国際公開日	平成6年7月21日(1994.7.21)
審査請求日	平成12年10月13日(2000.10.13)
審判番号	不服2003-17471(P2003-17471/J1)
審判請求日	平成15年9月8日(2003.9.8)
(31)優先権主張番号	07/999,210
(32)優先日	平成4年12月31日(1992.12.31)
(33)優先権主張国	米国(US)

(73)特許権者　503031330
スカイワークス　ソリューションズ，インコーポレイテッド
ＳＫＹＷＯＲＫＳ　ＳＯＬＵＴＩＯＮＳ，ＩＮＣ．
アメリカ合衆国　９２６１７　カリフォルニア，アービン，カリフォルニア　アベニュー　５２２１，エム／エス　４１－１シー
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100083703
弁理士　仲村　義平

最終頁に続く

(54)【発明の名称】周波数およびタイミング制御を有するデジタル復調器

(57)【特許請求の範囲】

【請求項１】

アナログ位相シフトキーイングされた（ＰＳＫ）信号の形態で情報を送信するための送信器と、前記ＰＳＫ信号を受信するための受信器とを有するデジタル通信システムにおける復調器であって、前記ＰＳＫ信号は振幅と、周波数と、位相特性とを有し、前記位相特性の少なくともいくつかはそのように送信された情報に関連し、前記復調器は、

そのように受信された前記アナログＰＳＫ信号を表わすデジタルデータの入力を受信し、前記デジタルデータの遷移に基づいて前記ＰＳＫ信号の位相評価を表わす連続出力を与える位相検出器と、

前記位相検出器に結合された入力を有し前記位相評価の入力を受信するデータデコーダとを含み、前記データデコーダは前記位相評価を前記送信された情報を示す位相データに変換し、前記復調器はさらに、

前記位相検出器に結合され、前記位相評価を受入れるための入力を有し、それに入力された各位相評価に対応する修正された位相を表わす出力を与える周波数コントローラを含み、

前記デジタルデータはオーバラッピングウィンドウにグループ分けされた複数のサンプルを含み、連続サンプル間の時間はサンプリング周期を規定し、前記復調器はさらに、

前記周波数コントローラに結合され、各ウィンドウの間に受信された前記修正された位相評価の入力を有し、ｉ）少なくとも１つのサンプリング周期分

前記ウィンドウを進める、およびｉｉ）少なくとも１つのサンプリング周期分前記ウィン

ドウを遅らせるうちの一方によって前記ウィンドウを調整するための量を表わす出力を与えるタイミング回復コントローラをさらに含み、
前記ＰＳＫ信号は独自のワードを規定する既知のデータのシーケンスを含み、前記復調器はさらに、
前記位相データを受信するための入力を有する独自ワード検出器を含み、前記独自ワード検出器は前記独自のワードが前記位相データに基づいて検出されたことを判断し、前記独自ワードがそのように検出される前記ウィンドウの組を識別し、前記ウィンドウの組を同期ウィンドウとして規定し、さらに前記同期ウィンドウを識別する出力を与え、
前記データデコーダはさらに独自ワード検出器に結合され、前記同期ウィンドウを識別する前記出力を受信し、前記データデコーダは前記同期ウィンドウと関連する前記位相データの出力を与える、復調器。

【請求項２】
前記デジタルデータは連続デジタルサンプルのシーケンスを含み、各サンプルはハイレベルおよびローレベルのうちの一方に関連する値を有し、前記位相検出器は、
前記デジタルデータの入力を有する瞬時位相デコーダを含み、前記瞬時位相デコーダは連続デジタルサンプル間の遷移が、１）１つのサンプルが前記ハイレベルに関連する値を有し、後続のデジタルサンプルが前記ローレベルに関連する値を有する、および２）１つのサンプルが前記ローレベルに関連する値を有し、後続のデジタルサンプルが前記ハイレベルに関連する値を有するうちの一方になるように発生したかどうかを判断し、そのように判断された少なくとも前記遷移を表わすデコードされた出力を与え、前記位相検出器はさらに、
前記瞬時位相デコーダに結合され、前記デコードされた出力を受信する入力を有する瞬時位相評価器を含み、前記瞬時位相評価器は前記遷移に基づいて平均位相評価を表わす出力を与える、請求項１に記載の復調器。

【請求項３】
前記ＰＳＫ信号は既知のデータシンボルのシーケンスを表わし、各シンボルは前記ＰＳＫ信号の位相特性と関連し、前記瞬時位相評価器は、
前記ＰＳＫ信号の瞬時位相に関連するカウンタ値をインクリメントするためのカウンタと、さらに
前記カウンタの出力に結合された第１の入力と、前記瞬時位相デコーダに結合された第２の入力とを有するアキュムレータとを含み、前記アキュムレータは遷移が発生したという各判断時に前記カウンタの前記カウンタ値を蓄積する、請求項２に記載の復調器。

【請求項４】
前記ＰＳＫ信号は既知のデータシンボルのシーケンスを表わし、各シンボルは前記ＰＳＫ信号の位相と関連し、位相検出器はさらに、
前記瞬時位相評価器に結合された入力を有する差分位相検出器を含み、前記差分位相検出器は各平均位相評価と前の平均位相評価との間の差を表わす出力を発生する、請求項２に記載の復調器。

【請求項５】
実質的にすべての振幅特性は前記デジタルデータが前記位相検出器によって受信される前に前記デジタルデータから除去される、請求項１に記載の復調器。

【請求項６】
シンボルのシーケンスを有する位相シフトキーイングされた（ＰＳＫ）信号を復調するための方法であって、各シンボルは可能な送信された位相の既知の組の１つに基づき、前記シンボルは受信器によって連続して受信され、前記方法は、
受信器によって受信されたシンボルを示すアナログ信号を発生し、アナログ信号を前記ＰＳＫ信号として規定するステップと、
前記ＰＳＫ信号をデジタル化して、受信された前記ＰＳＫ信号を表わすデジタルデータサンプルのシーケンスを与えるステップとを含み、各デジタルデータサンプルはハイレベルおよびローレベルのうちの１つと関連する値を有し、前記方法はさらに、

連続するデジタルデータサンプル間で前記ハイレベルから前記ローレベルへの遷移および前記ローレベルから前記ハイレベルへの遷移を識別するステップと、
そのように識別された前記遷移に基づいて位相評価を発生するステップと、
各位相評価をデコードして、受信された前記シンボルを表わす２進データを与え、前記データをデコードされたデータとして規定するステップとを含み、
各シンボルはシンボル区間を規定する時間期間の間送信され、前記方法はさらに、
各シンボル区間の間多数の前記位相評価を発生するステップと、
多数のウィンドウを規定するステップとを含み、各ウィンドウは前記シンボル区間より小さい長さを有し、前記方法はさらに、
各ウィンドウに対応する平均位相評価を発生するステップと、
平均位相評価間の差を表わす周波数オフセットを発生するステップと、
前記周波数オフセット分前記平均位相評価を調整することによって前記平均位相評価を修正するステップと、
各前記ウィンドウの前記シンボル区間に対する時間の相対基準に基づいて前記ウィンドウを組にグループ分けするステップと、
デコードされたデータの各前記組が前記ウィンドウの組のウィンドウに対応するようにデコードされたデータの組を蓄積するステップと、
デコードされたデータの各組を既知のデータのシーケンスと比較するステップと、
前記デコードされたデータが前記既知のデータのシーケンスと実質的に同じである場合に検出信号を発生するステップと、
前記デコードされたデータの組が前記既知のデータのシーケンスと実質的に同じである場合に、前記デコードされたデータの組に対応する前記ウィンドウの組として同期ウィンドウの組を規定するステップと、
前記同期ウィンドウの各々の前のウィンドウを初期ウィンドウとして規定するステップと、
前記同期ウィンドウの各々の後のウィンドウを後期ウィンドウとして規定するステップと、
前記初期ウィンドウおよび後期ウィンドウの各々毎に位相オフセットを決定するステップと、
前記初期ウィンドウに対応する前記位相オフセットと、前記後期ウィンドウに対応する前記位相オフセットとを比較するステップとを含み、前記比較によりタイミングオフセットを表わす、前記２つの位相オフセット間の差が生じ、前記方法はさらに、
前記タイミングオフセットに基づいて、前記シンボル区間に対して前記同期ウィンドウのタイミングを調整するステップをさらに含む、位相シフトキーイングされた信号を復調するための方法。

【請求項７】
２進データのシーケンスを蓄積するステップと、
前記２進データのシーケンスを２進データの独自のシーケンスに相関させるステップと、
前記相関関係の基準を与えるステップと、
前記基準が予め定められたしきい値を超える場合には検出信号を発生するステップとをさらに含む、請求項６に記載の方法。

【請求項８】
２進データの後続のシーケンスを蓄積するステップと、
２進データの各後続のシーケンスを２進データの前記独自のシーケンスに相関させるステップと、
前記相関関係の基準を各後続の相関関係に与えるステップと、
最も高い相関関係の基準を有する２進データの１つのシーケンスを選択するステップと、
前記選択されたシーケンスを識別する出力を与えるステップとをさらに含む、請求項７に記載の方法。

【請求項９】

最も高い相関関係の基準を有する前記２進データのシーケンスを選択する前記ステップは、
多数の連続する相関関係の基準を合計して、２進データの各シーケンスごとの累積相関値を結果として生じるステップと、
現在の累積相関値が直前の相関値より小さくなるまで各累積相関値を直前の累積相関値と比較し、直前の累積相関値を最も高い累積相関として規定するステップと、さらに
合計された多数の相関関係の基準の最後に対応する２進データの１つのシーケンスを規定し、２進データの選択されたシーケンスとして最も高い累積相関を形成するステップとを含む、請求項８に記載の方法。

【請求項１０】

前記ＰＳＫ信号をデジタル化するステップは、
前記ＰＳＫ信号を表わすアナログ信号を制限して、離散信号を与え、前記アナログ信号がゼロより大きい振幅を有する場合には、前記離散信号が第１の予め定められたレベルに対応する振幅を有するようにし、前記アナログ信号がゼロより小さい振幅を有する場合には、前記離散信号が第２の予め定められたレベルに対応する振幅を有するようにするステップと、
前記離散信号をサンプリングし、それによって前記デジタルデータサンプルを形成するステップとを含む、請求項６に記載の方法。

【請求項１１】

各位相評価を前の位相評価と比較し、各２つの連続する送信された位相間の差を決定するステップをさらに含む、請求項６に記載の方法。

【請求項１２】

各シンボルはシンボル区間を規定する時間期間の間送信され、前記方法はさらに、
各シンボル区間の間多数の位相評価を発生するステップと、
ウィンドウを規定する時間期間の間の前記多数の位相評価を平均し、前記平均された位相評価を与えるステップとを含む、請求項６に記載の方法。

【請求項１３】

多数のオーバラッピングウィンドウを規定するステップをさらに含む、請求項１２に記載の方法。

【請求項１４】

前記ウィンドウの長さはシンボル区間より小さい、請求項１２に記載の方法。

【発明の詳細な説明】

関連出願への相互参照

この発明は、この出願と同じ譲受人に譲渡され、引用によりここに援用される、１９９３年２月４日出願の同時係属出願連続番号第０８／０１３，６２５号に関連する。

発明の分野

この発明は一般的にデジタル信号の復調に関連し、より特定的には直角位相シフトキーイング（ＱＰＳＫ）される信号の復調に関連する。

発明の背景

現在、商業的なコードレス電話システムの設計は主にアナログ信号処理および伝送技術に基づく。他の伝送システムにおけるデジタル技術の利用は、デジタル技術を利用して達成される信号干渉およびノイズの低減によってシステム性能が向上する結果となった。ゆえに、次世代のコードレス電話にデジタル信号処理およびデジタル伝送技術を組入れることが望ましい。

このようなコードレス電話システムは典型的にはバッテリで電力供給されるポータブルステーション（ハンドセット）と基地局とを含む。基地局は他の通信網に最適に接続される。この発明は任意のデジタル伝送システムにおいてもちいられてもよいが、ここではその使用はデジタルコードレス電話（ＤＣＴ）システムにおける適用のために記載される。

ＤＣＴシステムにおけるハンドセットと基地局との間の通信チャネルは、周知のＴＤＭＡ（時分割多重接続）技術であるスロットアロハ（slotted ALOHA）を用いて与えられても

よい。ＤＣＴシステムはたとえば、ハンドセットと基地局との間で情報を転送するためにＴＤＤ（時分割二重化）を用いて通信してもよい。このようなシステムにおいては、バーストモードおよび連続モードの両方で動作するのが典型的である。バーストモードは一般的には、メッセージをブロードキャストし、制御情報を送信するために、つまり基地局と特定のハンドセットとの間でリンクを準備するために用いられる。リンクを準備するために制御機能のすべてが実行されると、データつまり音声データは連続モードと呼ばれる一連の連続バーストを用いて送信されるだろう。

デジタル通信の広く用いられる形式は、位相シフトキーイング（ＰＳＫ）として公知のデジタル変調技術を利用する。ＰＳＫにおいて、搬送信号の位相は通信されるべき情報を表わす二進データに応答して２つ以上の値の間で切換えられる。送信位相が２つだけ与えられる場合には、各位相は単一の二進数字を表わす。たとえば、搬送信号は、二進数字の「１」に応答してその位相が１８０°になるよう切換えられ、二進数字の「０」に応答して０°に切換えられてもよい。この技術は位相反転キーイング（ＰＲＫ）として公知である。ＰＲＫ波形は、

$\phi_1(t) = A \sin(\omega_c t)$ （１）

$\phi_2(t) = -A \sin(\omega_c t)$ （２）

と書き表わすことができ、ここでω_cは搬送波の角周波数であり、ϕ_1およびϕ_2はＰＲＫ信号の位相である。等式（１）および（２）に従うＰＲＫ波形は図１に示される。

帯域幅の効率性（時間単位につき送信されるビットの数）を増すために、直角ＰＳＫ（ＱＰＳＫ）として公知である技術が用いられる。ＱＰＳＫにおいて、各送信位相は２ビットのデータを表わし、それによって、各位相区間にわたって送信され得るデータ量を増大させる。ＱＰＳＫ変調の利点は、ＱＰＳＫ信号を形成するために搬送信号の同相（Ｉ）部分と直角（Ｑ）部分とが変調され組合され得るという点である。たとえば、図２ａは搬送信号の変調されないフェーザを示す。図２ｂおよび図２ｃは搬送信号の各ＩおよびＱ部分の変調された搬送波をそれぞれ示す。ＱＰＳＫ信号は以下のように表わすことができる。

$\phi 1 = A \cos(\omega_c t)$ （３）

$\phi 2 = -A \sin(\omega_c t)$ （４）

$\phi 3 = -A \cos(\omega_c t)$ （５）

$\phi 4 = A \sin(\omega_c t)$ （６）

図２ｄに示されるフェーザ図は、搬送信号のＩおよびＱ部分の組合せの結果である。

図３は先行技術のコヒーレントＱＰＳＫ復調器のブロック図である。図示されるように、ＱＰＳＫ搬送波信号は受信されて帯域フィルタ５００によってフィルタリングされる。フィルタ５００は望ましくない隣接するチャネル干渉および熱ノイズを除去する。典型的には、自動利得制御（ＡＧＣ）５０２は、受信された信号のエネルギレベルを調整するために用いられる。ＴＤＭＡシステムにおいては、大気による減衰、距離、および散乱のためにダウンリンクフェージングから生ずる大きなバースト対バーストのレベルの差は有意にばらつき得る。したがってＡＧＣ５０２は受信された信号のピーク電力を検出して、受信された信号の強さに従ってレシーバの増幅器レベルが調整され得るようレシーバにフィードバックを与える。電力分配基５０４は、搬送波位相回復回路５０６およびビットタイミング回復回路５０８における電力レベル差をそれぞれ補償するために設けられる。

搬送波位相回復回路５０６は受信されたＰＳＫ信号からＩ信号成分およびＱ信号成分を抽出する。９０°ハイブリッド回路５１０はＩおよびＱ信号を分離するために用いられる。このためには、Ｉ信号は$\cos(\omega_c t)$と、Ｑ信号は$\sin(\omega_c t)$と、ミキサ５１４および５１２によってそれぞれ混合される。積分器５１８および５１６は、以下の周知の関係に従って、各時間区間にわたるダウンコンバートされた信号のエネルギを検出するのに用いられる。

$$E = \int_{t1}^{t2} |f(t)| dt \qquad (7)$$

ここで、ｆ（ｔ）は信号であり（つまり、理想的には区間ｔ１からｔ２までにわたってｆ（ｔ）＝φ１、φ２、φ３、またはφ４）、Ｅは時間区間ｔ１からｔ２までにわたる信号

のエネルギである。ＩおよびＱ信号の各々に対して２つの送信位相が存在し、かつそれらは１８０°位相シフトによって分離されるため、所与の時間区間にわたる信号の位相は図４に示されるように＋Ｅまたは－Ｅである。
図４は、同相信号の検出されたエネルギが－Ｅであるときは、受信された信号が送信位相φ２（等式４）に対応する確立が最も高く、同相信号の検出されたエネルギが＋Ｅであるときは、受信された信号は送信位相φ４（等式６）に対応する確立がもっとも高いことを示す。同様に図４は、直角信号の検出されたエネルギが－Ｅであるときに、受信された信号がφ３（等式５）に対応する確立が最も高く、直角信号の検出されたエネルギが＋Ｅであるときは、受信された信号はφ１（等式３）に対応する確立が最も高いことを示す。
再び図３を参照すると、ＩおよびＱ判断回路５２０および５２２は受信された信号の送信位相を判断して送信データ、つまり信号の位相によって表現される二進データを再構成する。再構成された二進データは判断回路５２０および５２２から出力し、次いで並直列変換器５２４によって二進データの単一の直列ストリームに組合される。
ＤＣＴシステムを含む大抵の伝送システムにおいては、受信側ユニットと送信側ユニットとの間の通信はバースト同期を必要とする。そのような同期は典型的には、予め定義されるプリアンブルのような既知のパターンを検出する相関器に、復調された二進データを与えることによって達成される。プリアンブルまたは他の既知のパターンの検出によって、復調器はそれのタイミングを受信されたＰＳＫ信号と同期させて、受取られたシンボルをデコードすることができる。
システム性能を最適化し、エラーを低減するために、連続モードにおける動作中に復調器のタイミングを受取られたシンボルに微同調させることは周知である。このような微同調は、図３に示されるシンボルタイミング回復回路５０８によって与えられてもよい。典型的なシンボルタイミング回復回路は、エネルギの最大量がどの時間区間内に受取られるかを判断する。これらの区間は受信された信号のシンボル区間と対応するはずである。したがって、その判断が１つのシンボルにのみ対応するよう、シンボルタイミング回復回路５０８は判断回路５２０および５２２に受信された信号の位相を判断させる。
図３のアナログ復調器は積分および判断機能をデジタル化することによって単純化され得ることがわかっている。図５はそのようなデジタル復調器のブロック図である。
ミキサ５３０を用いて受信された信号を復調した後、ＰＳＫ信号は、ナイキストレートがダウンコンバートされたＰＳＫ信号の最大周波数であるナイキスト周波数の２倍よりも大きい周波数でサンプリングされる。時間に関する信号のゼロ交差を判断し、そのゼロ交差を基準送信位相と照らし合せることによって、受信された信号の位相が判断され得ることがわかっている。波形デジタイザ５３２は図５において一般的に５３６で表わされるダウンコンバータ信号をサンプリングする。ゼロ交差デジタル信号プロセッサ（ＤＳＰ）５３４は、サンプリングされた波形のゼロ交差を評価し、次いでそれらを可能な送信波形の各々のゼロ交差と比較して、受信された信号の位相を判断する。
しかしながら、この技術は、受信された信号の位相を判断するのに必要な、三角関数のための反復する曲線のあてはめのために非常に複雑なものとなり得る。さらに、ノイズ、シンボル間の干渉、およびタイミングの不一致が受信された信号を劣化させるので、曲線そのものというよりもむしろ最善の曲線しか識別され得ない。
これらの問題を回避するために、位相進行デジタル化技術が提案された。この技術は、信号位相を直接デジタル化することによって、波形デジタイザ５３２および複雑なゼロ交差ＤＳＰ５３４をバイパスする。この技術は、上方交差または下方交差上の、受信されたＰＳＫ信号の各サイクルを計数するためのカウンタを用いる。固定されるサンプルレートは変調のナイキストレートに少なくとも等しい、つまりシンボルレートの少なくとも２倍になるよう選択される。最適には、多数のサイクルがサンプル間で生ずる。サンプルは事象、つまり上方交差または下方交差を、時間でマークする。したがって、受信された信号の位相は、事象が各シンボル周期において生ずる時間を比較することによって判断される。
たとえば、図６に示される位相進行グラフを考えられたい。この位相進行グラフは事象を時間の関数として表わす。ＰＳＫ信号はグラフの下に示される。サンプルまたは事象は各

事象の時間と同様数えられる。各シンボルの位相を判断するための曲線あてはめは、各線が可能な送信位相の１つと対応する平行線系となる。この技術を用いると、すべての振幅情報は放棄され、三角法による曲線あてはめを回避することができる。
残念なことに、この技術にもいくつかの限界がある。特定的には、このようなスキームにおけるサンプリング周波数は、サンプルが上方ゼロ交差または下方ゼロ交差上で生じなければならないため、信号周波数とクリティカルに結び付いている。したがって、信号が、通信システムにおいて生ずることが周知である周波数表漂動または他の理由による周波数の変化を経験するときには必ず、そのような周波数の変化を把握するためにサンプルレートは一定の調整を必要とする。
したがって、比較的高価でなくかつ実現が容易な、受信されたＰＳＫ信号の周波数変化および漂動にかかわらず受信された信号の位相を検出し得るデジタル復調器に対する要求が以前として存在する。
発明の概要
この発明はデジタル復調器およびデジタルデータを復調するための方法を提供することによってこの要求を満足させる。この発明に従うと、デジタル復調器は、受信されたアナログＰＳＫ信号をサンプリングすることによって形成されるデジタルデータの入力を受入れて、そのデジタルデータにおける遷移に基づいてそのデジタルデータを位相評価に変換する位相検出器を含む。位相評価は次いで、データデコーダによって、送信される情報を示す位相データに変換される。
好ましい実施例においては、デジタルデータはデータのオーバラッピングウィンドウに分けられる。この好ましい実施例に従うデジタル復調器は、独自ワード検出器、タイミング回復制御装置、および周波数制御装置を含む。デコードされたデータは、それを予め定められる独自ワードと相関させる独自ワード検出器に出力される。独自ワードが検出されると、重複するウィンドウのいずれの内で独自ワードが検出されたかを示す信号を独自ワード検出器は出力する。
周波数制御装置は位相エラーを判断するために、データデコーダによって与えられた位相評価をモニタし、それらを可能な送信位相に最も近いものと比較する。シンボル区間にわたる位相エラーの変化は周波数漂動を示すため、周波数制御装置は、受信されたＰＳＫ信号の周波数を把握するために、その時々で周波数オフセットを判断する。
タイミング回復制御装置は周波数オフセットを用いて、各シンボル周期後に判断された位相エラーを調整する。復調器のシンボルのタイミングが受取られたシンボルのタイミングと同期されていれば、位相エラーは０に近つく。しかしながら、位相エラーが何らかの予め定められたしきい値よりも大きい場合には、復調器のタイミングは受取られたシンボルのタイミングと同期するよう早められるかまたは遅延されなければならない。タイミング回復制御装置は、初期ウィンドウおよび後期ウィンドウの位相エラーに関連するカウントをそれぞれ維持するための初期および後期カウンタを含む。初期カウンタの位相エラーが後期カウンタの位相エラーより大きい場合には復調器のタイミングは早められ、後期カウンタの位相エラーが初期カウンタの位相エラーよりも大きい場合には復調器のタイミングは遅延される。
さらなる好ましい実施例においては、位相検出器は、瞬時位相デコーダと、瞬時位相評価器と、もし送信される信号が差分的にエンコードされる場合には差分デコーダとを含む。瞬時位相デコーダは、デジタルデータにおいて遷移がいつ生ずるかを識別する。瞬時位相評価器は、いつ遷移が生じるかに基づいて、受信された信号の瞬時位相を評価し、多数の瞬時位相評価を平均する。差分デコーダは、同じタイミングを有するウィンドウに対応する位相評価に基づいて、逐次受取られるシンボル間の位相差を計算する。
さらに別の好ましい実施例においては、デジタルデータは、受信されるアナログ信号を限定し、その限定された信号をサンプリングすることによって形成され、それにより受信されたＰＳＫ信号からすべての振幅特性を復調前に実質的に取除く。
【図面の簡単な説明】
以下の図面と関連させてこの発明の以下の詳細な説明を参照することにより、この発明は

よりよく理解され、かつその数多くの目的および利点は明らかとなる。
図１はＰＲＫ波形をグラフで表現している。
図２はＱＰＳＫ信号のフェーザ図を示す。
図３は先行技術に従うＱＰＳＫ復調器のブロック図である。
図４はＱＰＳＫシンボルのエネルギ検出エンベロープを示す。
図５は先行技術のデジタルＰＳＫ復調器のブロック図である。
図６はＰＳＫ波形の位相進行グラフである。
図７はこの発明に従うデジタル復調器のブロック図である。
図８はリミッタ増幅器への信号入力およびそれからの信号出力を示す。
図９は１シンボル周期につき４つのウィンドウを用いるウィンドウ／シンボルタイミングの例である。
図１０は復調器同期を微同調するための所望されるタイミング調整を示すタイミング図である。
図１１はこの発明に従う位相検出器の好ましい実施例のブロック図である。
図１２は瞬時位相デコーダの好ましい実施例のブロック図である。
図１３はこの発明に従う瞬時位相評価器の好ましい実施例のブロック図である。
図１４はこの発明に従う差分位相検出器の好ましい実施例のブロック図である。
図１５はこの発明に従う瞬時位相評価器と差分検出器とデータデコーダとの好ましい実現例のブロック図である。
図１６はこの発明に従う同期するウィンドウに関する３６０°に近いシンボル位相シフトをグラフで示す。
図１７は、デジタルデータの例示的シーケンスを示し、かつそのシーケンス内に生ずる遷移を示す。
図１８はこの発明に従うπ／４のＱＰＳＫ信号に対する四分円および八分円マッピングをグラフで示す。
図１９はこの発明に従う自動周波数制御装置の好ましい実施例のブロック図である。
図２０はこの発明に従う自動周波数制御装置の好ましい実現例のブロック図である。
図２１はこの発明に従う自動タイミング回復制御装置の好ましい実施例のブロック図である。
図２２Ａはこの発明に従うＡＦＣおよびＡＴＲＣソフトウェアルーチンのフローチャートである。
図２２Ｂはこの発明に従うＡＴＲＣソフトウェアルーチンのフローチャートである。
図２３はこの発明に従う独自ワード検出器の好ましい実施例のブロック図である。
詳細な説明
図７は、この発明に従って構成されるデジタル復調器を含む、２０で包括的に示される無線周波数（ＲＦ）レシーバ／信号プロセッサの一部のブロック図である。このようなレシーバは、低コストで、それほど複雑でなく、かつ電力消費が小さいという利点を有する。レシーバの全体的な機能は、アナログ入力信号（ＩＦ　ＩＮ）からデジタルデータを回復してそのようなデジタルデータを中央プロセッサ２２に送ることである。ＩＦ　ＩＮは好ましい実施例においては、アナログ形式の、π／４で差分的にコード化される、直角位相シフトキーイングされる（ＤＱＰＳＫ）信号である。ＩＦ　ＩＮはさまざまな位相で表わされるシンボルを表わすアナログ送信である。ＩＦ　ＩＮは所与のシンボルレートで送信される。各位相シンボルは１セットのデジタルデータ、つまり特定のビットシーケンスを表わす。図７に示される構成は組合せのアナログ／デジタル装置であるが、これは集積回路の実現例にも可能である。
レシーバ２０はダウンコンバータモジュール２４とリミッタモジュール２６と復調器モジュール２８とを一般的に含んで図示される。ダウンコンバータ２４はＩＦ　ＩＮを約２５０ＭＨｚの受信された周波数から約１．１５２ＭＨｚの低いＩＦ信号へダウンコンバートするように働く。リミッタ２６は、低いＩＦ信号またはダウンコンバートされた信号を制限することと、ダウンコンバートされた信号の少なくともナイキストレートであるサンプ

ルレートで信号をサンプリングすることの両方を行なうよう働く。
復調器モジュール２８はリミッタ２６によって発生されたサンプルから差分位相信号を回復する。このような回復は、差分位相信号からの位相情報の検出を最適化するよう、周波数および位相エラーを除去することによって生ずる。差分位相情報がダウンコンバートされた信号から回復されると、位相シンボルが判断されプロセッサ２２への実際のデジタルデータ出力に変換され得る。
ダウンコンバータモジュール２４は帯域フィルタ３０、３２および３４ならびにミキサ３６および３８を含んで図示される。フィルタ３０は、偽の混合イメージおよびもしあれば他のチャネル送信を含む帯域外信号を除去し、ノイズを低減して、所望される信号を整形する。フィルタ３０は、送信前に用いられるフィルタに、最適な「マッチングされるフィルタをおおよそ近似する応答を表わす。
ＩＦ　ＩＮのダウンコンバートはミキサ３６および３８を通して信号を送ることによって達成されることが理解される。ミキサ３６および３８に与えられる第１および第２の信号のために選択される実際の周波数はそれぞれ必要なダウンコンバートを達成する任意の周波数であってもよいが、一定の周波数がその非干渉特性のゆえに好ましい。選択される周波数のより詳細な説明およびそのような選択に関連する考察は、１９９３年２月４日出願の同時係属出願連続番号０８／０１３，６２５に見られるだろう。好ましい実施例においては、ミキサ３６はＩＦ　ＩＮを約１０．７ＭＨｚにダウンコンバートする。
フィルタ３２はフィルタ３０と同じ機能、つまりイメージ除去とノイズ除去と信号整形とを行なう。ミキサ３８はＩＦ　ＩＮの約１．１５２ＭＨｚへの最終ダウンコンバートを与える。フィルタ３４は、ダウンコンバートプロセス中に生ずる混合積を主に除去する離散型インダクターキャパシタ（ＬＣ）フィルタである。
リミッタ２６の主な機能は、フィルタ３４から出力された、ダウンコンバートされかつフィルタリングされたＩＦ　ＩＮアナログ信号を、ＡＤ変換器を用いることなくデジタル信号に変換することである。リミッタ２６によって発生されたデジタル信号はこの後さらなる処理のために復調器モジュール２８へ与えられる。
図７に示されるように、リミッタ２６は増幅器４０およびサンプラ４２を含む。好ましい実施例においては増幅器４０は、任意の正の入力は上限を有する出力を発生し、任意の負の入力は下限を有する出力を発生するような、高利得増幅器である。増幅器４０はダウンコンバータされた信号を、すべての正のアナログ入力に対してはＡの値を有し、すべての負のアナログ入力に対してはＢの値を有する、離散的信号に変換する。増幅器４０の出力の例は図８に示される。
サンプラ４２は増幅器４０から出力された離散的信号をサンプリングして、それによりデジタル出力信号を与える。好ましくは、リミッタ２６におけるサンプルレートおよびＩＦ　ＩＮの周期は、シンボル周期の相対的な素整数デジタル倍である。さらに、サンプルレートはこの時点ではＩＦ　ＩＮの周波数に相対的に近いことが好ましい（ただしサンプリングレートは少なくともダウンコンバートされた信号のナイキストレートでなければならない）。好ましい実施例においては、サンプリングレートは約１９．２ＭＨｚである。リミッタ２６によって発生されるデジタル信号はＩＦ　ＩＮ信号の振幅（つまり、受信されたＤＱＰＳＫ信号の大きさ）に関する情報を含まないことが注目される。デジタル出力はダウンコンバートされた信号がいつ正から負へおよび負から正へ遷移するかを表わすので（ゼロ交差）、ダウンコンバートされた信号の位相および周波数に関する情報は復調器２８によって判断され、それによって元の送信された位相シンボルの回復が可能となって、それが次いで元のデジタルデータの回復を可能にする。
図７に示されるように、復調器２８は、位相検出器４４、自動周波数制御装置（ＡＦＣ）４６、自動タイミング回復制御装置（ＡＴＲＣ）４８、データデコーダ５０、独自ワード検出器５２、およびインタフェース制御装置５４を含む。プロセッサ２２はインタフェース制御装置５４を介して復調器モジュール２８に結合される。
位相検出器４４はリミッタ２６から出力されたデジタル信号を分析して、１つ以上の時間区間中のＩＦ　ＩＮの瞬時位相の評価を発生する。時間区間は、シンボルレートが好まし

くは１９２Ｋｓｐｓ（１秒につき何千ものシンボル）である、受信されたＰＳＫ信号のシンボル区間と最適に同期される。ＡＦＣ４６は瞬時位相評価に基づいて周波数データを発生するよう機能し、その周波数データはデータバス５６を介してプロセッサ２２へ与えられる。周波数データは、周波数オフセットつまりＩＦ　ＩＮの周波数エラーを判断して、位相検出器４４によって発生された瞬時位相評価の位相を修正するために、プロセッサ２２によって用いられる。プロセッサ２２による位相評価の修正は周波数オフセットに基づく。

プロセッサ２２によって発生される、修正された位相評価はＡＴＲＣ４８およびデータデコーダ５０へ入力として与えられる。データデコーダ５０は、正しい位相情報を、送信されるデジタルデータのビットシーケンスを表わすシンボルに変換して、独自ワード検出器５２に二進出力を与える。好ましい実施例では、復調器２８は少なくとも２つのモード、つまりバーストモードおよび連続モードで動作可能である。このような実施例では、位相検出器４４は、Ｎは整数１、２、３…である、シンボルレートのＮ倍で位相評価を与える。位相検出器４４は「ウィンドウ」を定義する予め定められる数のサンプルにわたって位相評価を与え、ここでＮ個の異なるウィンドウはシンボルレート、つまりシンボル周期または区間内で生ずる。位相検出器４４が各シンボル区間に対してＮ個のオーバラッピングウィンドウを定義することは特に好ましい。このような実施例では、検出器４４は各ウィンドウに対する平均位相を計算し、その結果１シンボル周期についてのＮ個の平均位相評価を与える。

図９は、シンボル区間ごとのオーバラッピングウィンドウの概念をグラフで示す。この図においては、シンボル区間ごとに４つのウィンドウが定義されている。各ウィンドウはシンボル区間の２分の１の長さを有する。その結果、位相評価はシンボル区間の４分の１ごとに計算される。４つのシンボル区間は、t_0からt_1、t_1からt_2、t_2からt_3、およびt_3からt_4と示される。１つのシンボルϕ_0、ϕ_1、ϕ_2またはϕ_3は各シンボル区間中にそれぞれ送信される。ウィンドウW_A、W_B、W_CおよびW_Dの組は、すべてのウィンドウがウィンドウW_A、W_B、W_CおよびW_Dの１つのタイミングを有する状態で、オーバラップして示される（これ以降ウィンドウ手段の組と呼ぶ）。

復調器２８のタイミングを受信信号、ＩＦ　ＩＮと同期するために、復調器２８は各シンボル区間におけるＮのウィンドウのうちどれが最も中心に位置付けられているか、すなわち図９におけるW_Aを決定する。このウィンドウは、同期ウィンドウと称される。バーストモードでは、独自ワード検出器５２が、Ｎのウィンドウのうち最も中心にあるものを検出し、選択されたウィンドウと関連付けてタイミング調整が行なわれる。連続モードでは、ＡＴＲＣ５０およびＡＦＣ４６が発生したタイミングおよび周波数データが用いられ、位相エラーを調整し、タイミングを調整する、すなわちタイミングおよび周波数データが用いられて、そのウィンドウのサンプルを遅らせるかまたは進めることにより、同期ウィンドウに調整を行なう。

図１０は、連続モードでの同期化を示す。ウィンドウW_Aは、所与のシンボル区間においてほぼ中心となるように示される。このウィンドウは同期ウィンドウとして選択されるだろうが、同期ウィンドウを中心に置くことが所望されるため、微調整が行なわれる。同期ウィンドウを中心に置くことには、シンボル間の干渉を排除するという利点がある。ウィンドウW_Aを実質的に中心に置くためには、点線W_A'により示されるように、２つのサンプル分遅延させなければならない。

上記より認識されるように、ＩＦ　ＩＮに採用されるデータフォーマットは、いかなるデータフィールドにも先行して独自ワードまたはプリアンプルを利用することが好ましいであろう。復調器２８のデータ回復プロセスにおいて、利用された独自ワードまたはプリアンプルはプロセッサ２２にストアされるだろう。この独自ワードはプロセッサ２２により独自ワード検出器５２に与えられるだろう。データデコーダ５０は、独自ワードに対応する予め定められた数のビットを蓄積し、このビットの蓄積を独自ワード検出器５２に与える。独自ワード検出器５２は次に、蓄積されたビットのシーケンスを独自ワードに相関させる。相関させた結果に基づき、独自ワード検出器５２は、検出信号をプロセッサ２２に

送信し、同期ウィンドウを識別する。
ＡＴＲＣ４８は、ＡＦＣ４６からの修正された位相評価を用いて、タイミングデータを発生し、このタイミングデータをプロセッサ２２に与える。プロセッサ２２はこのタイミングデータを用いて、位相評価に関してデジタルサンプルを遅らせるかまたは進めることにより、すなわち同期ウィンドウを進めるかまたは遅らせることにより、位相検出器４４により与えられた位相評価のタイミングを調整する。
次に復調器２８の構成部分についてより詳細に考察する。リミッタ２６が発生したデジタル信号、すなわちレベルＡまたはレベルＢのいずれかである２つの値からなる信号が位相検出器４４に与えられることが想起されるだろう。位相検出器４４の好ましい実施例は図１１に示される。位相検出器４４は瞬時位相デコーダ５８および瞬時位相評価器６０を含む。もし差分的にコード化された位相シフトキーイング（ＤＰＳＫ）が送信信号を生成するために用いられれば、位相検出器４４はまた差分検出器６２を含まねばならない。
位相デコーダ５８は、図７のリミッタモジュール２６からデジタルサンプルの入力を受信し、各デジタルサンプルを直前のサンプルと比較する。たとえば値Ａが「１」であり、値「Ｂ」が「０」であると仮定する。位相デコーダ５８への入力は、「１」と「０」のシーケンスであろう。入力に対し可能な値は２つしかないため、連続するデジタルデータの組合せに可能なものとしては４つ（すなわち００、０１、１０、１１）しかあり得ない。位相デコーダ５８は、リミッタ２６から受信した信号の連続する値に変化があるかどうかを示す出力を与え、もし変化が発生していればデータにおいてその変化を識別するように機能する。好ましい実施例では、位相デコーダ５８は、以下の表１に記載される真理値表に従い動作する。

表１

入力	出力
０ ０	０
０ １	＋１
１ ０	－１
１ １	０

その他のデコード方式を使用して同じ情報を提供することも可能であることが容易に理解されるだろう。
瞬時位相デコーダ５８の好ましい実施例は図１２に示される。シンプルなレジスタまたはバッファを含むことが可能であるサンプル遅延６４は、リミッタモジュールから次のサンプルが受信されるまで各サンプルをストアする働きをする。次のサンプルが受信されたとき、ストアされたサンプルの値は、減算器６６により次のサンプルの値から減算される。したがって、連続するサンプルが同一のとき、デコードされた出力は「０」である。表１に示されるとおり、次のサンプルがローからハイへ変化するときデコードされた出力は「＋１」であり、ハイからローへ変化したときデコードされた出力は「－１」である。
好ましい実施例においては、デコーダ５８の出力は、表２に示される情報を表す２つのビット、B_0およびB_1を含む。このようにして、B_0は直前の２つのサンプルの間で遷移が発生したかどうかを示し、B_1はもし発生したとすれば、どのような遷移かを示すだろう。

表２		
ビット	デジタル値	説明
B_0	1	遷移
B_0	0	遷移なし
B_1	1	ローからハイへ
B_1	0	ハイからローへ

瞬時位相評価器６０は位相デコーダ５８の出力を用いて受信信号の瞬時の位相を決定する。図１３は、瞬時位相評価器６０の機能ブロック図である。位相デコーダ５８の出力は、ＡＢＳブロック６８で抽出された絶対値を最初に決定することにより処理される。デコードされた出力が遷移があったということを示せば、すなわちB_0＝１であれば、ブロック７０は、エッジが立上がるとき、すなわちB_1＝１のとき「０」の出力を与え、エッジが立下がるとき、すなわちB_1＝０のとき「π」の出力を与える。

上記のように、従来のＰＳＫ復調器は受信したＰＳＫ信号のゼロ交差点を検出し、各ゼロの交差点において信号が立上がっているかまたは立下がっているかを決定する。ゼロ交差点のロケーションは、受信したＰＳＫ信号と同じ周波数を有する基準信号のロケーションと比較される。基準信号および信号発生のために必要とされる関連の複雑かつコストのかかるハードウェアの使用を排除するために、位相ランプ発生器７２が用いられて時間の関数として瞬時位相評価をもたらす。

位相ランプ発生器７２は、ウィンドウの区間の長さと等しい周期を有するランプ信号を与える。連続するサンプルの各組に対し、ブロック７０の出力、すなわち値「０」または「π」が、リミッタ信号のエッジがそれぞれ立上がっているか立下がっているかに従い、加算器７２によりランプ信号の現在の値に加算される。結果として生じる総和は、瞬時位相評価である。２つの連続するサンプルの間で遷移が発生するとき、ＡＢＳブロック６８は「１」の出力を与える。２つの連続するサンプルの間に遷移がないとき、すなわちB_0＝０のとき、ＡＢＳブロック６８は「０」を与える。ＡＢＳブロック６８の出力は、乗算器７４において加算器７３の出力、すなわち瞬時位相評価により乗算される。この態様で、遷移が発生しなかったときは位相評価器からの出力は効果的にキャンセルされる。

瞬時位相評価の各々は、乗算器７４から平均化装置７６へ与えられる。平均化装置７６は、予め定められたウィンドウ区間の各々に対する瞬時位相評価を蓄積し、各ウィンドウ区間に対する平均化された位相評価を与えるために平均化装置７６が使用するタイミング入力７８、つまりＳＹＭＢＯＬ　ＴＩＭＩＮＧ信号を有する。ＳＹＭＢＯＬ　ＴＩＭＩＮＧ信号７８は、プロセッサ２２により生成され、シンボルレートと等しいクロックレートを有する信号を与える。

もし送信された信号が差分的にコード化されていれば、位相検出器４４は好ましくは差分検出器６２を含むであろう。差分検出器６２のブロック図は、図１４に示される。図９に示されるように、シンボル周期または区間につき、４つのオーバラッピングウィンドウが使用されると仮定する。平均化装置７６からの各平均位相評価は、後続の平均位相評価の４番目から減算器８０により減算され、対応する連続するウィンドウからの平均差分位相シフトを決定する。

言い換えれば、各シンボル区間の間に、ウィンドウW_A、W_B、W_C、およびW_Dの各々に対し平均位相評価が決定される。時間の区間t_0からt_1の間にウィンドウW_Aに対して生成される平均位相評価は、図１４に示されるように、区間t_1からt_2の間の生成された平均位相評価が平均化装置７６により与えられるまで、シンボル遅延ブロック８２により遅延

される。区間t_0からt_1からの平均位相評価は次に、減算器８０により区間t_1からt_2の平均評価から減算され、結果としてシンボルϕ_0とϕ_1との間の平均差分位相となる。したがって、シンボル遅延ブロック８２は、４つのウィンドウの各々に対したとえば一連の記憶レジスタに平均化された評価をストアし、各平均化された評価に対し出力を与え、対応するウィンドウの次の平均評価、すなわちこの例では後続の４番目のウィンドウとともに減算されるようにしなければならない。

ＱＰＳＫにおいて、１つのシンボルが０°と９０°との間の位相に対応し、第２のシンボルが９０°と１８０°との間の位相に対応し、第３のシンボルが１８０°と２７０°との間の位相に対応し、４番目のシンボルが２７０°と３６０°との間の位相に対応するようにシンボルは選択されるため、瞬時位相評価器６０、差分検出器６２、およびデータデコーダ５０は好ましくは、図１５に示されるように実現される。

位相カウンタ８４は、ウィンドウ開始信号により各ウィンドウ周期の始めに実質的に０に初期化される、すなわちカウンタ８４はシンボル区間の各４分の１に対し繰返しカウントを行なう。位相カウンタ８４は、好ましくはリミッタ２６のサンプリングレートに対応する各クロック信号f_Sで増分される。

プロセッサ８６は、５つのエッジをカウントするためのエッジカウンタとして機能するように適応する。エッジカウントが５よりも小さいかまたは５に等しい間、プロセッサ８６はＡＮＤゲート８８に論理ハイ出力を与える。遷移が検出されるたびに、すなわちB_0＝１のとき、ＡＮＤゲート８８の出力は論理ハイとなり、したがってアキュムレータ９０を可能化する。エッジカウントが５を超えるとき、ＡＮＤゲート８８へのプロセッサ８６の出力は論理ローとなり、したがってアキュムレータ９０を不能化する。このようにして、ＤＥＴＥＣＴ信号、すなわち位相デコーダ５８の出力のビットB_0で示されるように、エッジが検出されるごとに、アキュムレータ９０は位相カウンタ８４の現在の値を入力し、プロセッサ８６により５つのエッジが検出されるまでこれら値を蓄積し、その際アキュムレータ９０は不能化される。

もしベースバンド信号の周波数が、ウィンドウ区間の４分の１の間に５つの遷移のみが発生し得るというようなものであったなら、アキュムレータの内容は各４分の１のシンボル区間の始めで出力できるため、プロセッサ８６およびゲート８８はアキュムレータ９０を可能化／不能化する必要はないであろうことが注目される。

蓄積されたカウンタの値は好ましくは遅延メンバ９２および加算器９４に出力される。連続する４分の１のシンボル周期のうち２つごとに対するカウンタの値の蓄積は、加算器９４により加算され、結果として各ウィンドウに対する位相の値となる。

ＤＰＳＫが用いられるとき、各位相の値は同じウィンドウ（たとえばW_A、W_B、W_C、またはW_D）に対応する次の位相の値から減算される。したがって、いかなる２つの位相の値の間の差も３６０°に対応する数を超えてはならない。このような動作は、差分デコーダ９６およびフォーマットコンバータ９８により効果的に達成される。差分デコーダ９６は平均差分評価を発生し、フォーマットコンバータ９８は平均差分評価を、差分位相の四分円、いかなるエラーの符号、およびいかなるエラーの量も表わすデータフォーマットに変換する。差分デコーダ９６およびコンバータ９８の動作をより十分に認識するために、復調器２８に関連する何らかの位相シフトイベントを考慮する必要がある。

完全３６０°位相シフトに対するアキュムレータ９０の範囲は、結果として同じ位相評価となる蓄積における最大の差を調べることにより計算された。図１６の上部側の波形に示されるように、始めに検出されたエッジは所与のウィンドウ周期のちょうどカウント０で立上がる。この特定的な検出は、アキュムレータ９０において累算総和８２（カウンタ８４により与えられる０＋８＋１６＋２５＋３３）を与えるだろう。立上がりエッジが下側の波形に示されるようにカウント０の前無限小の時間で発生すれば、最初に検出されたエッジはカウンタ８４のカウント８で立下がり、蓄積総和１２３（８＋１６＋２５＋３３＋４２）を与える。これら蓄積総和を等しくするために、４２のオフセットが最初の総和に加算されねばならない。好ましい実施例の文脈において、このようなオフセットはπラジアンの位相シフトを加算することに対応する。したがって、２πまたは３６０°の位相シ

フトは８４カウント離れている。したがって、アキュムレータ９０において蓄積されたカウンタの値は、受信したＰＳＫ信号がどの位相四分円の中にあるか、およびもしあれば受信したＰＳＫ信号に関連するエラーの量を示す情報を発生するのに用いられることができる。

たとえば、図１７に示されるデジタルデータのシーケンスを考慮し、カウンタ８４がサンプラ４２のサンプリングレートでカウントしている、つまりクロックf_Sのパルスレートがサンプリングレートと等しいと仮定する。もしこのデータがリミッタモジュール２６から出力され、第１のビットがウィンドウの境界に対応すれば、５つの遷移が、３、１１、２０、２８および３６のカウンタの値でそれぞれ発生する。これら５つの数の総和は９８である。このデータは図９のシングルϕ_1とウィンドウW_Aのタイミングとに対応し、次の１／４のシンボル区間（すなわちW_Cの最初の半分）の間に同じデータが発生すると仮定する。これらの仮定の観点から見れば、加算基９４は次に１／４のシンボル区間両方に対して蓄積されたカウンタの値をともに加算し、１９６の平均位相評価に達する。

差分デコーダ９６（図１５）は次にW_Aのタイミングに対応する先行するシンボルϕ_0の平均位相評価から１９６を減算する。もしW_Aに対応するϕ_0に対する平均位相評価が２８０であったなら、シンボルϕ_0とϕ_1との差は８４または２πであろう。サンプラ４２のサンプリングレートは好ましくは１９．２Ｍｈｚであるため、１．１５２Ｍｈｚのベースバンドデータ信号のサイクルにつきおよそ１６．６７サンプルがあり、アキュムレータ９０は５の遷移ごとに不能化されるため、１０（ウィンドウの各半分から５）の遷移は、およそ８４のサンプルを必要とするだろう。したがって、位相カウンタ８４はウィンドウ周期の各半分ごとに０から４１に増分されねばならない。

各平均位相評価は、ウィンドウの同じ組に対応する直前の平均位相評価から減算されるため、各立下がりエッジ、すなわち前述のとおりB_1が０のとき、この立下がりエッジに対しπを加算する必要はない。もし第１のエッジが立上がりであれば、エッジのシーケンスは立上がり、立下がり、立上がり、立下がり、立上がりとなるだろう。理論的には、πは各立下がりエッジに対し一度、二度のみ加算されねばならない。もし第１のエッジが立下がりであれば、５つのエッジのシーケンスは、立下がり、立上がり、立下がり、立上がり、立下がりとなるであろう、そして３πが蓄積されたカウンタの値に加算されねばならない。これらは、５つの連続するエッジに対するシナリオでしかないため、差分デコーダ９６により先行する値から１つの蓄積された値が減算されるとき、少なくとも２πがキャンセルされるだろう。したがって、各立下がりエッジに対しπを加算する必要はない。

しかしながら、一方の蓄積されたカウンタの値が最初に立下がり第１エッジを有する遷移のシーケンスに対応し、他方の蓄積されたカウンタの値が立上がり第１エッジを有する遷移のシーケンスに対応する場合、２つの蓄積されたカウンタの値の差は一定のバイアスπを含むであろう。したがって、好ましい実施例では、もし対応する遷移のシーケンスが立下がりエッジで開始するならば、πに対応する４２の値が、平均位相評価に加算される。この特徴は、図１５に示されるように、第１に検出された遷移が立下がりエッジであるイベントにおいては加算器９４に４２の出力を与えるプロセッサ８６により実現されてもよい。

ウィンドウの組における連続するウィンドウに対応する平均位相評価の間の差は、１つのシンボルから次のシンボルへのＰＳＫ信号の位相四分円を決定するために用いられる。四分円は以下の表３に従って規定されてもよい。

表３		
差 $\phi_{n+1} - \phi_n$	四分円 #	シンボル
０－２０	1	００
２１－４１	2	０１
４２－６２	3	１１
６３－８３	4	１０

したがって、もしウィンドウW_Aに対応するシンボルϕ_1およびϕ_0に対する平均位相評価間の差が２４ならば、ϕ_1で表わされる平均差分位相は第２の四分円、すなわちビットシーケンス「０１」にあるであろう。

さらなる好ましい実施例において、送信された信号の位相は、各四分円において中心的に、すなわち１０、３１、５２および７３に位置付けられる。つまり２４の差分位相は第２の四分円の位相の値よりも７小さい。この実施例では、フォーマットコンバータ９８は、平均差分評価を、差分位相の四分円、エラーの符号およびエラーの量を表わすデータフォーマットに変換できる。

四分円および八分円（すなわちエラーの符号）は、図１８にグラフ形式で示される。四分円は八分円にさらに分割されている。たとえば、上記の例のように平均差分位相評価が２４の場合、フォーマットコンバータ９８の出力は、０１１０１１１であろう。最初の２つのビット「０１」は第２の四分円を示す。３番目のビット「１」は、図１８に示されるようにエラーが第２の四分円の第１の八分円内にあることを示し、残余の４つのビット「０１１１」は、エラーが７またはおよそ３０°であることを示す。好ましい実施例では、各カウントはおよそ４．３°を表わす。

さらに好ましい実施例において、プロセッサ８６は、第３および第４の検出されたエッジに対応するカウンタの値の間の差を計算する。計算された差および４番目のエッジに対応するカウンタの値はプロセッサ８６のメモリにストアされる。もし５番目のエッジがカウント８４のときまたはその前にプロセッサ８６のエッジカウンタ部分により検出されなければ、計算された差は４番目のカウンタの値に加算され、この補間された値は加算器９４に与えられる。したがって、もし５番目のエッジが検出されなければ、位相評価器はそのエッジに対して補間し、平均位相評価を生成することができる。

図７に示されるように、平均位相評価または平均差分位相評価は、位相検出器４４からＡＦＣ４６に出力される。ＡＦＣ４６の詳細なブロック図は図１９に示される。ＡＦＣ４６は１００として包括的に設計されたハードウェアおよび１０２として包括的に設計されたソフトウェア両方を含む。好ましくは、ＡＦＣソフトウェア１０２はプロセッサ２２内に存在する。前記のとおり、ＡＦＣ４６が発生した周波数データは、レシーバ２０が連続モードで動作しているとき、および独自ワードが検出された後、各時間の周期の間にプロセッサ２２によりプロセッサにストアされる。プロセッサ２２はこのデータを用いて各ウィンドウ区間の間にリミッタモジュール２６の出力の周波数エラー（周波数オフセット）を決定する。

周波数オフセットは、ＡＦＣソフトウェア１０２により修正周波数記憶装置１０４でストアされ、位相検出器４４が与えた各平均または差分位相評価に、加算器１０６により加算される。以下により詳細に述べるように、この加算は結果として修正された位相となる。修正された位相は、ＡＴＲＣ４８およびデータデコーダ５０への入力として与えられる。修正された位相はまた、位相エラー検出回路１０８に与えられる。シンボルタイミング入

力は、プロセッサ２２により位相エラー検出回路１０８に与えられる。シンボルタイミングが用いられて、独自ワードの検出後独自ワード検出器５２により識別された同期ウィンドウに対応する修正された位相入力、たとえばウィンドウW_Aに対応する修正された位相入力を選択する。

位相エラー検出器１０８は、選択されたウィンドウの修正された位相をストアし、各位相を起こり得る送信されたシンボルと比較する。たとえば、π／４ＱＰＳＫ変調システムにおいて、送信されたシンボルの組は、４５°、１３５°、２２５°、および３１５°を含んでもよい。したがって、もし選択されたウィンドウの修正された位相が３５°であれば、位相エラー検出器１０８は４５°の送信位相を最も近い位相として識別し、この差を－１０°と計算するだろう。

正／負しきい値検出器１１０および１１２は、修正された位相と選択された送信位相との間の計算された差が、予め定められた正のしきい値よりも大きいか、または予め定められた負のしきい値よりも小さいかをそれぞれ決定する。好ましい実施例では、各検出器１１０および１１２に対するしきい値は、それぞれ２および－２であり、およそ±８．６°に対応する。もし位相エラーが正のしきい値よりも大きければ、正のカウンタ１１４が増分される。もし位相エラーが負のしきい値よりも小さいければ、負のカウンタ１１６が増分される。各スロットの最後に（好ましい実施例では各バーストは５つのスロットを含む）、カウンタ１１４および１１６の内容は、処理のためにＡＦＣソフトウェア１０２に出力される。

周波数は、以下の関係により位相に関連する。

ｆ（ｔ）＝ｄφ（ｔ）／ｄｔ　　（８）

そのためこの式においてｆ（ｔ）はＰＳＫ信号の周波数の関数であり、φ（ｔ）はＰＳＫ信号の位相の関数である。したがって、以下の等式より周波数エラーが決定できる。

$$\Delta f = \frac{\phi_e(t_{n+1}) - \phi_e(t_n)}{t_{n+1} - t_n}$$

$t_{n+1} - t_n$はスロット周期であり、Δｆはその区間の間の周波数オフセットであり、$\phi_e(t_n)$はそれらそれぞれの時間での位相エラーである。したがって、受信信号の周波数オフセットは、負のカウンタ１１６により保持される負の位相エラーを正のカウンタ１１４により保持される正の位相エラーから減算することにより、各スロットの最後に容易に計算できる。もし周波数が一定のままであれば、これは理想的だが、スロット周期の間の信号の位相エラーは、一定のままのはずである。したがって、$\phi_e(t_{n+1}) - \phi(t_n) = 0$となる。周波数は雑音およびその他のファクタが原因でドリフトするため、Δｆは各スロット区間に対する平均オフセット周波数を表わす。

各スロットの最後で、周波数アキュムレータ１１８は、減算器１２０で決定された累積位相エラーで更新される（すなわち正のカウンタ８５の値マイナス負のカウンタ８６の値）。更新された蓄積位相エラーは次に１１２で予め定められたしきい値と比較される。しかしながら、各スロットの後そのような比較を行う必要はなく、むしろいくつかのスロットからの累積位相エラーが値をしきい値と比較する前に蓄積されてもよい。もし蓄積された位相エラーがしきい値よりも大きければ、１０４で新しいオフセット周波数が生成され、プロセッサ２２によりストアされる。新しいオフセット周波数は次に、ＡＦＣ４６への位相評価入力の位相エラーの修正のために用いられる。カウンタ１１４と１１６との総和は、位相の分散に比例する。結果として、この総和はロックインジケータおよび信号品質評価器として有効である。この総和は加算器１２４により生成され、指数フィルタ１２６を通して送られる。フィルタ１２６の出力は、長期信号品質の評価として使用できる。

特に好ましい実施例において、ＡＦＣハードウェア１００（加算器１０６と位相エラー検出器１０８とを除く）は、図２０に示されるブロック図に従って実現される。位相エラー検出器１０８からの修正された位相エラービット出力は、しきい値検出器１３０への入力として与えられる。好ましくは、しきい値は２に設定される。もし位相エラーが２よりも大きければ、しきい値検出器１３０は論理ハイ信号を出力し、もし位相エラーが２よりも

小さければ、しきい値検出器１３０は論理ロー信号を出力する。エラーが識別された四分円のどの八分円にあるかを示すビット（フォーマットコンバータ９８による第３のビット出力）は、ＡＮＤゲート１３２および１３４に入力される。位相エラーがしきい値を超え、位相エラーは第１の八分円にあったとき、すなわち符号ビットが「１」のとき、ＡＮＤゲート１３２の出力は、後期カウンタ１３６を増分するだろう。しかしながら、位相エラーが第２の八分円にあるとき、すなわち符号ビット＝「０」のとき、入力１３８でＡＮＤゲート１３４に反転される。ＡＮＤゲート１３４はその後出力を与え、初期カウンタ１４０を増分する。

前記のとおり、修正された位相は、ＡＦＣ４６から各ウィンドウ区間に対応するＡＴＲＣ４８へ出力される。図２１で、ＡＴＲＣ４８の機能ブロック図が示される。ＡＴＲＣ４８は、ハードウェア１４２およびソフトウェア１４４を含むように示される。ＡＴＲＣ４８は独自ワードが検出された後にタイミングのトラッキングを開始するため、同期ウィンドウの前のウィンドウおよび同期ウィンドウの後のウィンドウが識別できる。

同期ウィンドウの前の１つのウィンドウからの修正された位相は、絶対（ＡＢＳ）初期エラー検出器１４６に入力され、同期ウィンドウに続く１つのウィンドウからの修正された位相は、ＡＢＳ後期エラー検出器１４８に入力される。ＡＢＳ初期エラー検出器１４６およびＡＢＳ後期エラー検出器１４８は、好ましくは修正された位相にラッチし、その値に基づいて、起こり得る送信された位相のどれがその値に最も近いかを決定する。最も近い送信位相と修正された位相の値との差は、初期または後期エラーのいずれかを規定する。

同期されたウィンドウは送信されたデータの検出、復調およびデコードに関連するエラーを最小限にするためにシンボル区間内で最適に中心決めされるので、初期エラーおよび後期エラーは最適には等しい、つまり同期されたウィンドウがシンボル区間内で適切に中心決めされていることを示す。したがって、初期エラーは減算器１５０によって後期エラーから減算され、同期されたウィンドウのウィンドウオフセットエラーを与える。このウィンドウオフセットエラーは正しきい値検出器１５２および負しきい値検出器１５４によって正のしきい値および負のしきい値と比較される。ウィンドウオフセットエラーが正にしきい値より大きければ、正しきい値検出器１５２は初期カウンタ１５６をインクリメントする。ウィンドウオフセットエラーが負のしきい値より小さければ、負しきい値検出器１５４は後期カウンタ１５８をインクリメントする。

１スロットの間にデータのすべてが受信されてしまうと、初期カウンタ１５６および後期カウンタ１５８はそれぞれのカウンタの現在値をＡＴＲＣソフトウェア１４４に出力する。後期カウンタの値は減算器１６０によって初期カウンタの値から減算され、結果として生じる差はタイミングアキュムレータ１６２に与えられる。タイミングアキュムレータ１６２は、データの数個のスロットの間に、そこに蓄積されたウィンドウタイミングエラーをしきい値コンパレータ１６４に与える。しきい値コンパレータ１６４はウィンドウタイミングエラーを予め定められたしきい値と比較する。ウィンドウタイミングエラーがしきい値より大きければ、ＡＴＲＣソフトウェア１４４はそれによってウィンドウタイミングを調整して、同期ウィンドウをより正確に中心決めするためのサンプルの数を計算する。

たとえば図１０に示されるウィンドウシンボルタイミング図を参照して、W_Aは同期ウィンドウであるとする。ＡＴＲＣ４８はW_Aは２サンプル分遅いと判断し、タイミング調整信号を与えて、位相検出器４４にウィンドウタイミングを２サンプル分遅延させる。

カウンタ１５６および１５８の和もまた位相の分散に比例する。その結果として、この和はロックインジケータおよび信号品質評価器として有用である。この和は加算器１６６によって発生され、指数フィルタ１６８を通される。フィルタ１６８の出力は長期信号品質の評価として使用できる。

ＡＦＣソフトウェア１０２およびＡＴＲＣソフトウェア１４４は、図２２Ａおよび図２２Ｂに示されるフローチャートに従って実現される。図７の汎用プロセッサ２２は好ましくは受信器に結合され、２０２で示されるようにいつバーストが受信されるかを示す入力を受信する（図７にはインタフェースは示されていないことに注意されたい）。その後、プロセッサ２２は２０４で示されるようにバーストの終了を待つ。バーストの終了は中断ま

たは受信器によってプロセッサ２２に与えられた他の信号によって、または各バーストが既知の持続時間の間続く場合には、バーストが始まった時間およびその既知の持続時間に基づいてバーストが終了する時間を計算することによって判断され得る。
連続モードでバーストを受信した後、プロセッサ２２は２０６で示されるようにＡＦＣカウンタおよびＡＴＲＣカウンタを読む。バーストの間の周波数オフセットは負カウンタに記憶された値からＡＦＣ正カウンタに記憶された値を減算することによって２０８で計算される。この周波数の差はその後２１０で、もしあれば、蓄積された周波数差に加えられる。この蓄積された周波数差は、２１２で示されるように、好ましくは１０に設定されるしきい値と比較される。２１２でこの蓄積された周波数差の絶対値がしきい値より大きければ、ＡＦＣソフトウェアは２１４で蓄積された差が正であるか負であるかを判断する。もしこの差が正であれば、周波数オフセットは１サンプル分インクリメントされる。好ましい実施例ではサンプル速度は１９．２ＭＨｚであり、１シンボル区間当りのサンプルの数は８４であるので、１サンプル分のインクリメントは２．２８５ＫＨｚ（１９．２ＭＨｚ／８４）の周波数調整と等価になる。蓄積された差が負であれば、周波数オフセットは好ましい実施例では１サンプル分つまり２．２８５ＫＨｚデクリメントされる。周波数オフセットが２１６か２１８のいずれかで調整された後、蓄積された周波数差は２２０でゼロにクリアされる。その後、周波数オフセットは上述のようにプロセッサ２２からＡＦＣおよびＡＴＲＣハードウェアに出力される。
ＡＴＲＣソフトウェアは図２２Ｂのステップ２２４から２３８に従って実行される。タイミングオフセットはＡＴＲＣ初期カウンタをＡＴＲＣ後期カウンタから減算することによって２２４で決定される。各バーストごとのタイミングオフセットは２２６で蓄積される。この蓄積されたタイミングオフセットの絶対値は、好ましくは４に設定される予め定められたしきい値と２２８で比較される。蓄積されたタイミングオフセットの絶対値が４より大きければ、ウィンドウ同期は調整を必要とする。この調整は、プロセッサ２２がプロセッサのビットタイミング機構をインクリメントし、それによって蓄積されたタイミングオフセットが正である場合にはいつでもプロセッサ２２からのＳＹＭＢＯＬ　ＴＩＭＩＮＧ信号出力を遅延させることによって実現される（図２２の２３０および２３４に示される）。同様に、蓄積されたタイミングオフセットが負であれば、プロセッサのビットタイミングクロックはデクリメントされ（２３０および２３２で示される）、プロセッサ２２からのＳＹＭＢＯＬ　ＴＩＭＩＮＧ信号出力を進める。ビットタイミングクロックに対する調整が実現された後、蓄積されたタイミングオフセットは２３６でクリアされる。
プロセッサのビットタイミングクロックに対する調整は各バースト後にＡＴＲＣソフトウェアから出力される。２２８で判断された際に何も調整が必要でなければ、２３８でゼロが出力される。２３０から２３４で判断されるようにビットタイミングがインクリメントまたはデクリメントされる場合には、適切な調整量が２３８で出力される。
前に示したように、データ検出器５０は修正された位相をその対応の２進シンボル表示に変換する。同期ウィンドウが識別される前に、多数のシンボルが蓄積され、独自ワード検出器５２によって独自のワードと比較される２進データのシーケンスを形成する。シンボル境界は演繹的にわからないので、ウィンドウの各々に対応するシーケンスを発生しなければならない。たとえば、図９を参照して、もし$\phi_0=\pi/4$、$\phi_1=-\pi/4$、$\phi_2=-3\pi/4$、および$\phi_3=3\pi/4$であれば、それぞれのシンボルは「００」、「１０」、「１１」および「０１」となり、結果として「００１０１１０１」の２進シーケンスを生じる。
各ウィンドウW_A、W_B、W_CおよびW_Dは受信されたＰＳＫ信号の位相評価を計算するために使用されるので、２進データのシーケンスは各ウィンドウごとに発生される。シンボル間干渉のために、各ウィンドウW_Aからの位相評価だけが正確にデコードされやすいであろう。したがって、データデコーダ５０は各位相評価をデコードして、独自のワードに長さが等価のデータのシーケンス（たとえば独自のワードが１シンボル当り２ビットを有する３つのシンボルを有する場合には、長さは６ビットである）を、独自ワード検出器５２に与えなければならない。さらに、独自のワードがいつ受信されたかは演繹的にわからな

いので、Ｎのウィンドウの各々に対して１シンボル分シーケンスを進めなければならない。たとえば、上述のシンボルのシーケンスを使用して、データデコーダ５０は記載される順序で以下のものを独自ワード検出器に送信する。

W_B＝００１０１１（無視してよいシンボル間干渉およびノイズを仮定して）
W_A＝００１０１１（無視してよいノイズを仮定して）
W_C＝００１０１１（無視してよいシンボル間干渉およびノイズを仮定して）
W_D＝？？？？？？（シンボル境界上）
W_B＝１０１１０１（無視してよいシンボル間干渉およびノイズを仮定して）
W_A＝１０１１０１（無視してよいノイズを仮定して）
W_C＝１０１１０１（無視してよいシンボル間干渉およびノイズを仮定して）
W_D＝？？？？？？（シンボル境界上）
W_B＝１１０１…

独自のワードが独自ワード検出器５２によって検出された後は、同期ウィンドウからのデータしかデコードされない。デコードされたデータはその後データ処理のためにプロセッサ２２に出力される。

独自ワード検出器５２のブロック図は図２３に示される。相関器１７０はデータデコーダ５０からの２進データの入力を受信し、かつプロセッサ２２からの予め定められた独自のワードの入力を受信する。相関器１７０は、デコードされたデータのシンボルシーケンスの、独自のワードのシンボルに対するシンボル対シンボル比較を実行する。たとえば、上述の例を使用して、独自のワードが３つのシンボル、「１０」、「１１」および「０１」を含んでいれば、ウィンドウW_Aは１：１の相関で（つまりすべての３つのシンボルが一致する）独自のワードに一致する。ウィンドウW_BおよびW_Cからのデータがシンボル間干渉によって影響されると仮定すれば、それぞれの相関関係は悪くなるかもしれない（つまり、一致シンボルの数が僅か１または２に減るかもしれない）。

独自ワード検出器５２は、一致シンボルの数を予め定められたしきい値と比較するしきい値コンパレータ１７２を使用し、シーケンスと独自ワードとの間の相関の基準を規定する。一致の数がしきい値以上であれば、検出論理１７４は検出信号を発生する。上に示したように、ウィンドウのうちの１つより多いウィンドウが独自のワードが受信されたときにしきい値を超えるシーケンスを与えることが可能である。好ましい実施例では、予め定められたしきい値は、周知のように、誤ったアラームの確率を最小限にし、かつ検出の確率を最大限にするように、たとえばプロセッサ２２を経て調整可能である。

最良のウィンドウの選択は、３つの連続シーケンス（たとえばウィンドウW_B、W_AおよびW_Cに対応するシーケンス）の相関結果を合計して、累積相関値を形成することによって、およびその後３つの連続ウィンドウ（たとえばW_A、W_CおよびW_D）のちょうど次の組合せを加えて、別の累積相関値を形成することによって、独自ワード検出器５２で行なわれる。第２の累積相関値が第１の累積相関値より小さければ、第１の累積相関値はシンボル境界に対して最も中心決めされたウィンドウに対応し、３つのウィンドウのうちの第２のウィンドウは同期ウィンドウとして指定されなければならない。

この方法は、相関器１７０によって決定された相関の各基準（つまり一致の数）を２つの区間の間遅らせることによって、独自ワード検出器５２で実現される。たとえば、図９に示される４ウィンドウの例を使用して、平均位相評価は４つのウィンドウに対応する１／４シンボル周期ごとに発生される。応じて、２進データのシーケンスはシンボル区間の４倍の速度で独自ワード検出器に与えられる。したがって、相関の各基準は遅延１７６によって１／４シンボル時間遅延させられ、その後遅延１７８によって第２の１／４のシンボル時間遅延させられなければならない。相関の現在の基準、ならびに１／４および１／２シンボル時間遅延された基準が加算器１８０によって合計され、累積相関値となる。この累積相関値は遅延１８２によって１／４シンボル時間遅延され、その後コンパレータ１８４によって次の累積相関値と比較される。後続の累積相関値が前のものより小さく、かつ独自のワードが検出された場合に、検出論理１７４はまたどのウィンドウが同期ウィンドウであるかを示す出力を与える。プロセッサ２２はこの情報を使用して、復調器タイミン

グ、つまりＡＦＣ４６、ＡＴＲＣ４８およびデータデコーダ５０によって使用されるＳＹＭＢＯＬ　ＴＩＭＩＮＧ信号を制御する。独自ワード検出器の上述の動作はソフトウェアでも同様に実現され得ることが理解されなければならない。

この発明を具体的な実施例を参照して説明しかつ例示したが、当業者は、ここに記載されかつ添付の請求の範囲に記載されたこの発明の原理から逸脱することなく修正および変更が行なわれることを理解するであろう。

【図１】

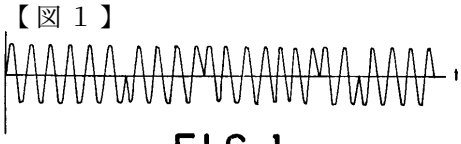


FIG. 1
PRIOR ART

【図２ａ】

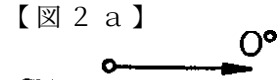


FIG. 2a
PRIOR ART

【図２ｂ】

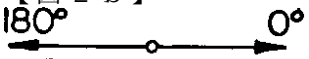


FIG. 2b
PRIOR ART

【図２ｃ】

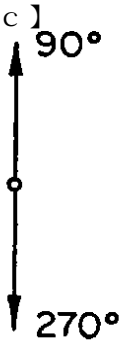


FIG. 2c
PRIOR ART

【図２ｄ】

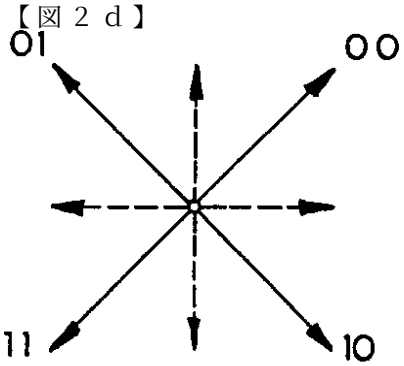


FIG. 2d
PRIOR ART

【図３】

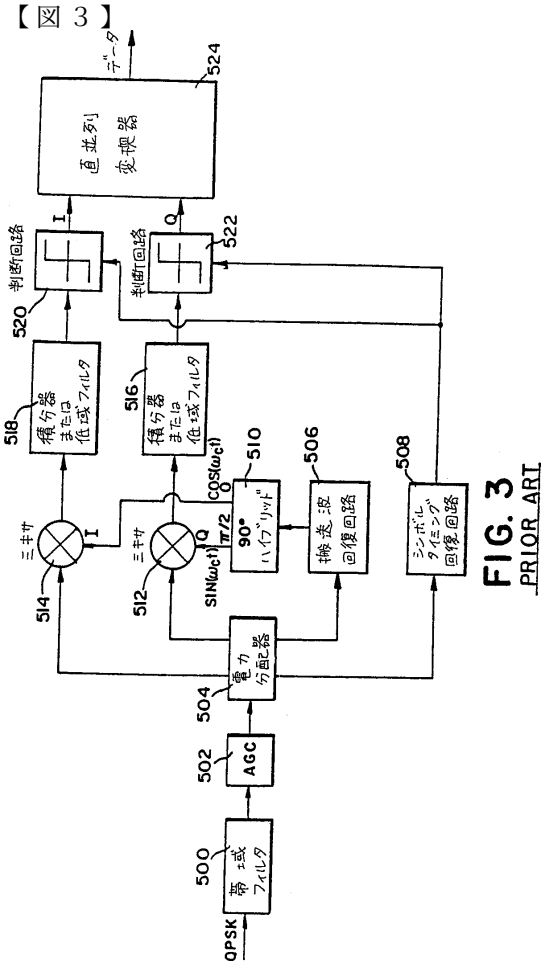


FIG. 3
PRIOR ART

【図４】

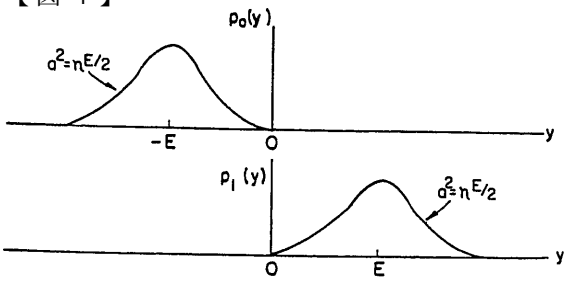


FIG. 4
PRIOR ART

【図６】

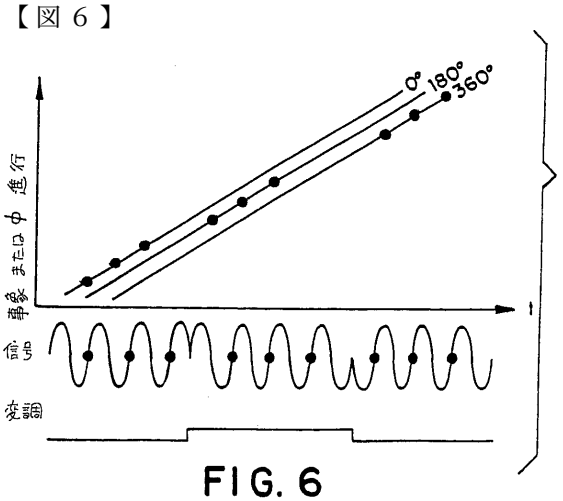


FIG. 6
PRIOR ART

【図５】

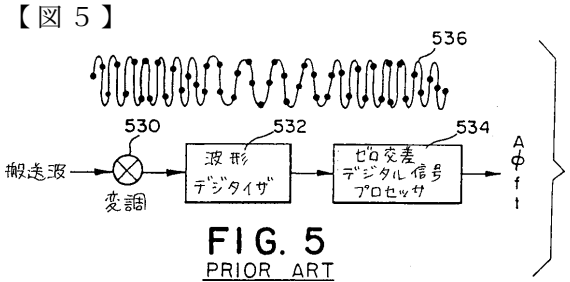


FIG. 5
PRIOR ART

【図７】

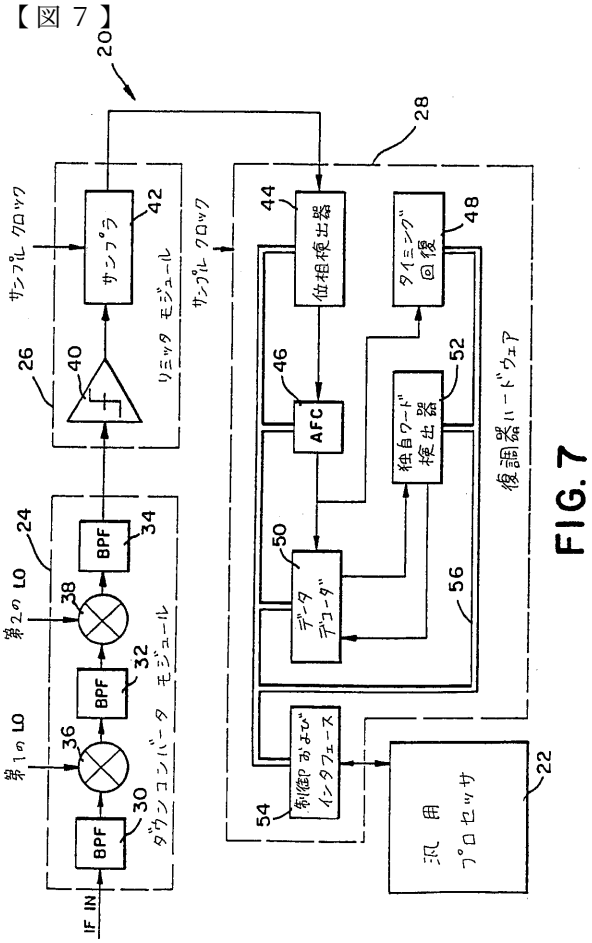


FIG. 7

【図８】

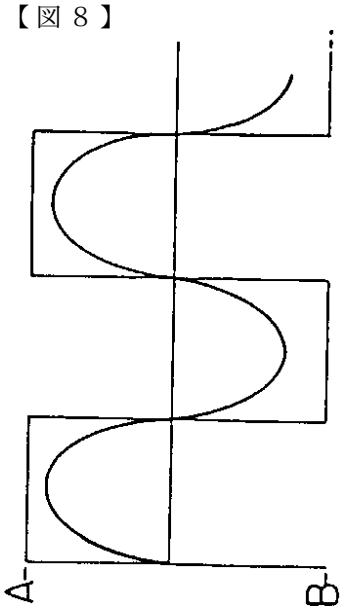


FIG. 8

【図９】

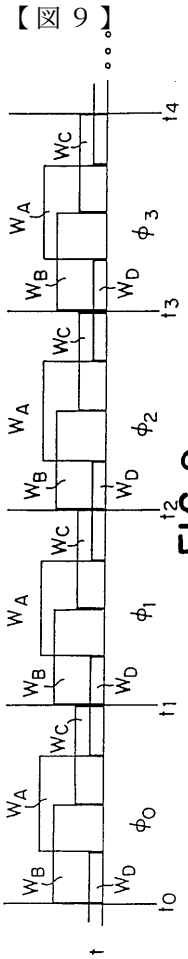


FIG. 9

【図１０】

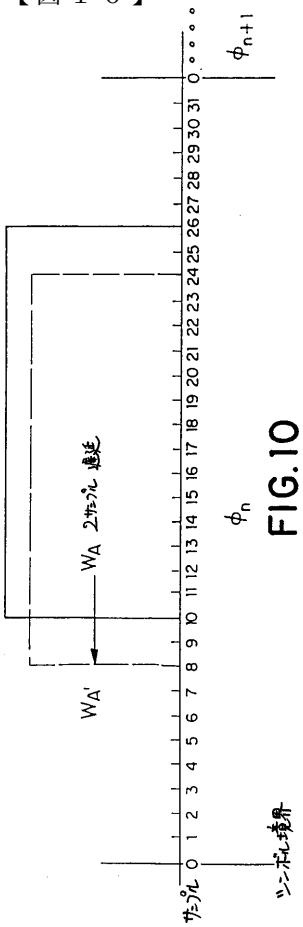


FIG.10

【図１１】

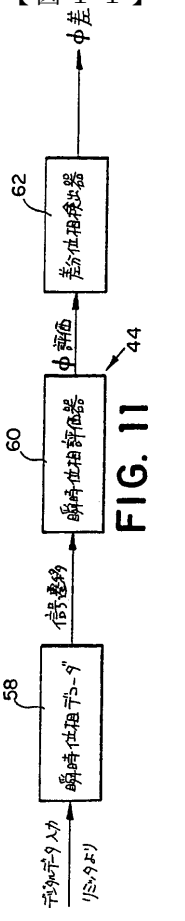


FIG. 11

【図１２】

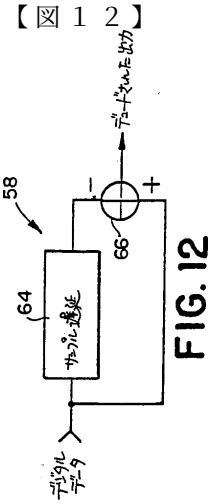


FIG. 12

【図１３】

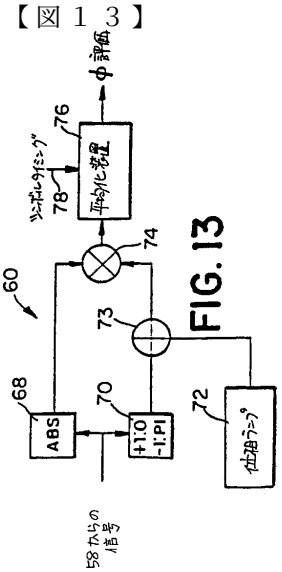


FIG. 13

【図１４】

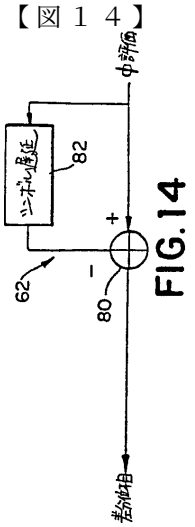


FIG. 14

【図１５】

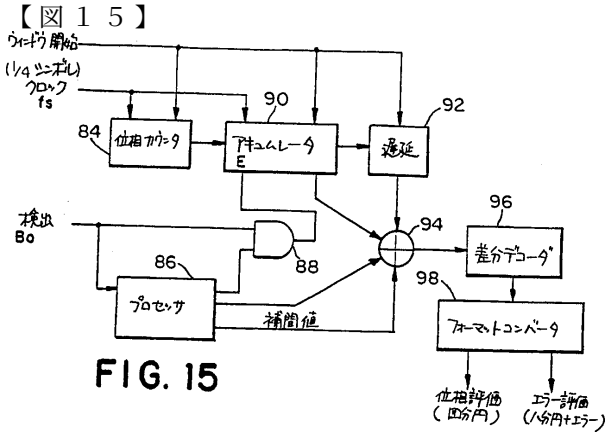


FIG. 15

【図１６】

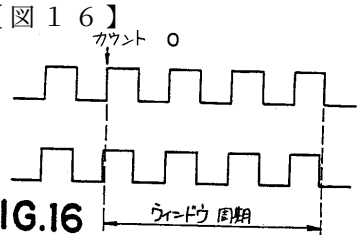


FIG.16

【図１８】

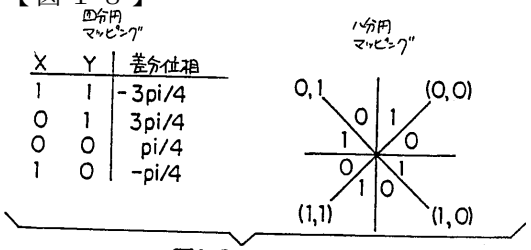


FIG. 18

【図１７】

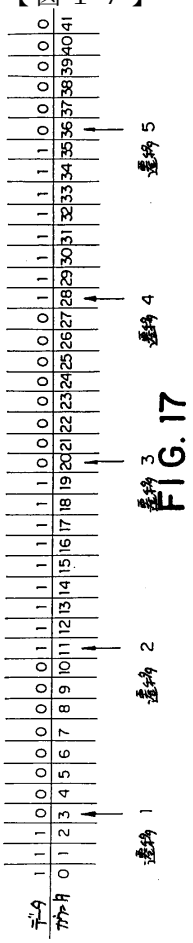


FIG. 17

【図１９】

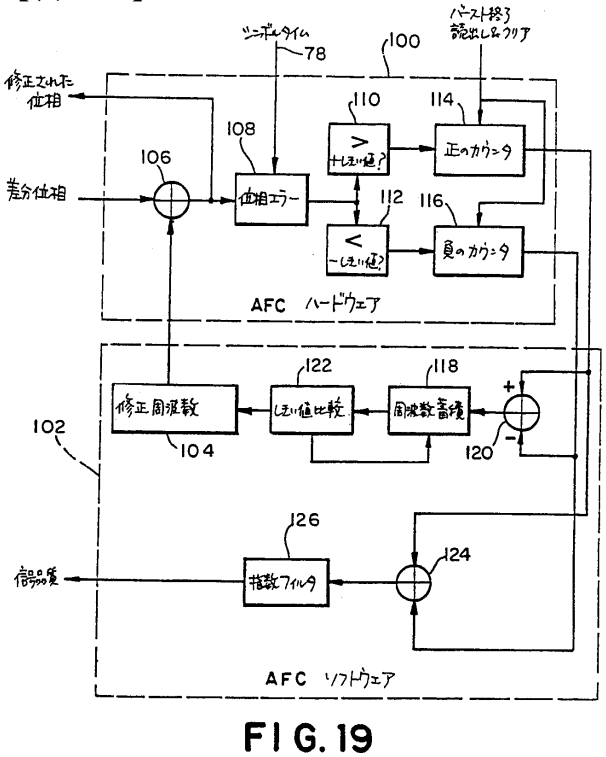


FIG. 19

【図２０】

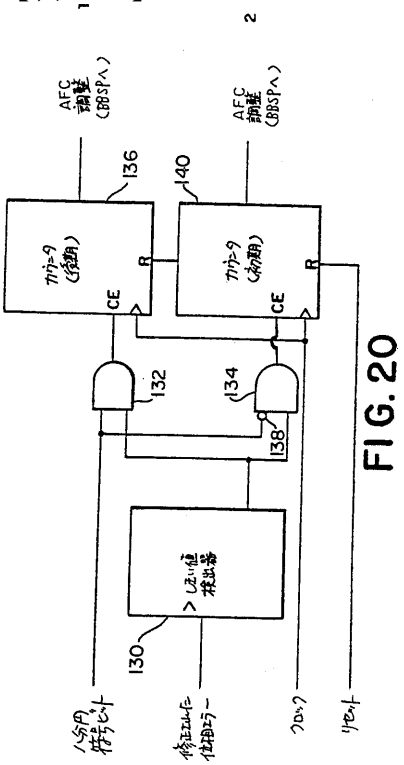


FIG. 20

【図２１】

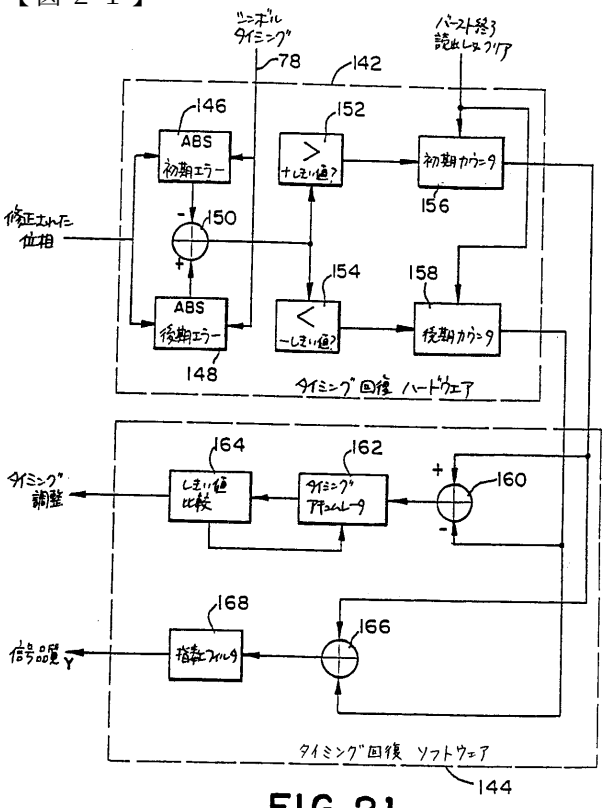


FIG. 21

【図２２Ａ】

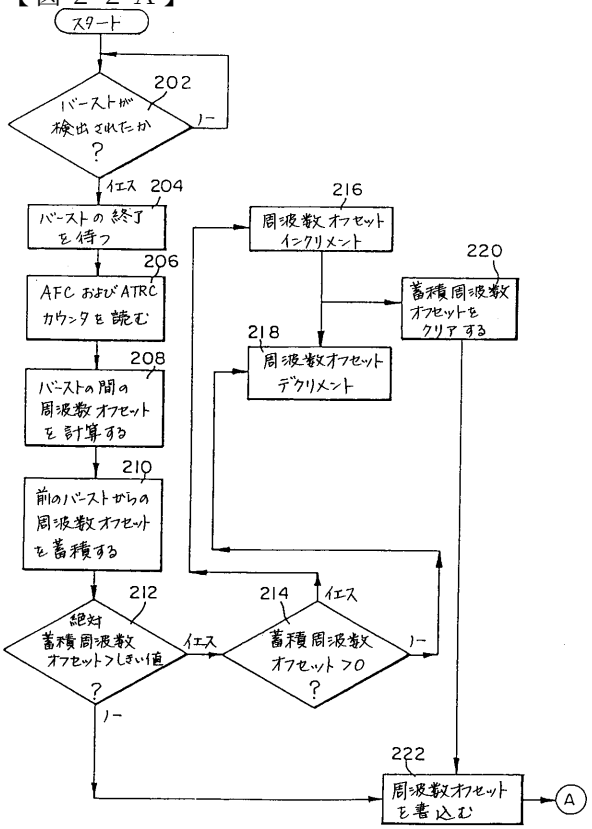


FIG. 22A

【図２２Ｂ】

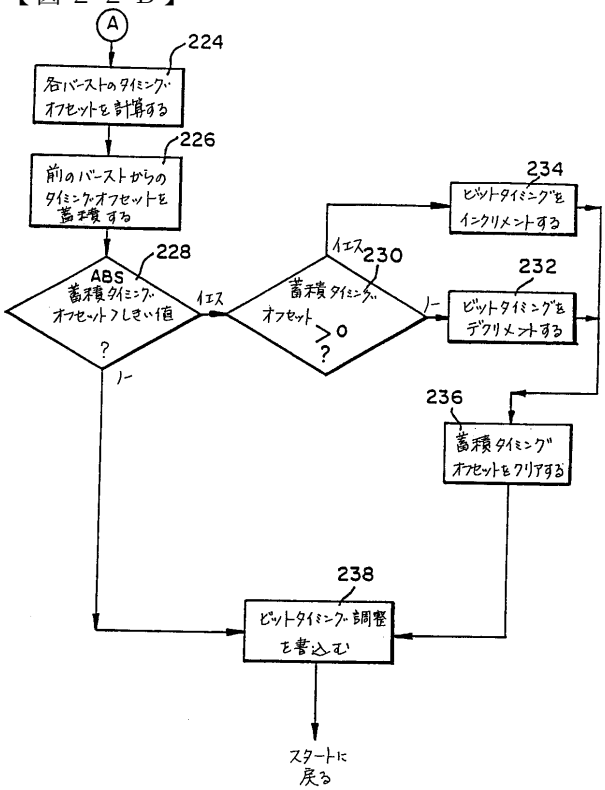


FIG. 22B

【図２３】

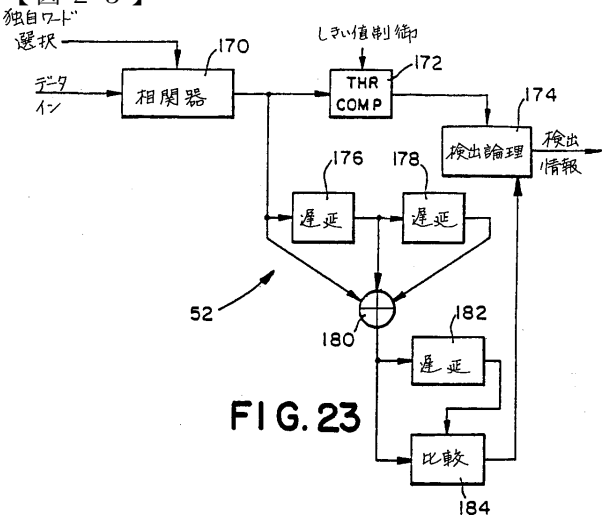


FIG. 23

フロントページの続き

(74)代理人 100096781
弁理士 堀井 豊
(74)代理人 100098316
弁理士 野田 久登
(74)代理人 100109162
弁理士 酒井 將行
(72)発明者 ペトラノビッチ，ジェイムズ・イー
アメリカ合衆国、９２０２４ カリフォルニア州、エンシニタス、エンシニタス・ブールバード、１１９０、アパートメント・エフ・２１９

合議体
審判長 羽鳥 賢一
審判官 浜野 友茂
審判官 小林 紀和

(56)参考文献 特開昭６０－１６２３１７（ＪＰ，Ａ）
特開昭５９－１５６０５２（ＪＰ，Ａ）
米国特許第４，４５５，６６４号（ＵＳ，Ａ）
特開平３－１４３１４２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H04L27/00