

發明專利說明書

公告

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97132835

※申請日期：97年08月27日

※IPC分類：H01L 29/786 (2006.01)

一、發明名稱：

H01L 21/336 (2006.01)

(中) 顯示裝置及其製造方法

(英) Display device and manufacturing method of the same

二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 6 人)

1. 姓名：(中) 小林聰

(英) KOBAYASHI, SATOSHI

國籍：(中) 日本

(英) JAPAN

2. 姓名：(中) 川俣郁子

(英) KAWAMATA, IKUKO

國籍：(中) 日本

(英) JAPAN

3. 姓名：(中) 大力浩二

(英) DAIRIKI, KOJI

國籍：(中) 日本

(英) JAPAN

4. 姓名：(中) 小森茂樹

(英) KOMORI, SHIGEKI

國籍：(中) 日本

(英) JAPAN

5. 姓 名：(中) 伊佐敏行
(英) ISA, TOSHIYUKI
國 籍：(中) 日本
(英) JAPAN

6. 姓 名：(中) 山崎舜平
(英) YAMAZAKI, SHUNPEI
國 籍：(中) 日本
(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本 ; 2007/08/31 ; 2007-227073 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：顯示裝置及其製造方法

本發明的目的在於提供一種具有電特性及可靠性都高的薄膜電晶體的顯示裝置、以及一種顯示裝置之具有高的大量生產性的製造方法。在包含反交錯式(inverted-staggered)通道阻絕型(channel-stop-type)薄膜電晶體的顯示裝置中，該反交錯式通道阻絕型薄膜電晶體包含具有通道形成區的微晶半導體膜，並且在該微晶半導體膜的通道形成區中之不與源極電極及汲極電極相重疊的區域中選擇性地設置含有一種導電性類型的雜質元素的雜質區。

六、英文發明摘要

發明之名稱：

DISPLAY DEVICE AND MANUFACTURING METHOD OF THE SAME

A display device including a thin film transistor with high electric characteristics and high reliability, and a method for manufacturing the display device with high mass-productivity. In a display device including an inverted-staggered channel-stop-type thin film transistor, the inverted-staggered channel-stop-type thin film transistor includes a microcrystalline semiconductor film including a channel formation region, and an impurity region containing an impurity element of one conductivity type is selectively provided in a region which is not overlapped with source and drain electrodes, in the channel formation region of the microcrystalline semiconductor film.

七、指定代表圖：

(一)、本案指定代表圖為：第 (1) 圖

(二)、本代表圖之元件代表符號簡單說明：

- 50：基板
- 51：閘極電極
- 52a：閘極絕緣膜
- 52b：閘極絕緣膜
- 61：微晶半導體膜
- 62：緩衝層
- 63：半導體膜
- 71a：源極電極及汲極電極
- 71b：源極電極及汲極電極
- 71c：源極電極及汲極電極
- 72：源極區及汲極區
- 74：薄膜電晶體
- 76：絕緣膜
- 77：像素電極
- 80：通道保護層
- 81：雜質區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明係有關一種至少在像素部中使用薄膜電晶體的顯示裝置以及該顯示裝置的製造方法。

【先前技術】

近年來，被使用來使用形成在具有絕緣表面的基板之上的半導體薄膜（具有幾 nm 至幾百 nm 的厚度）以形成薄膜電晶體的技術已受到注目。薄膜電晶體係廣泛地應用於諸如 IC 之電子裝置和電光裝置，尤其是，正在加速開發作為影像顯示裝置的切換元件的薄膜電晶體。

作為影像顯示裝置的切換元件，採用使用非晶半導體膜的薄膜電晶體、或者使用多晶半導體膜的薄膜電晶體等。作為多晶半導體膜的形成方法，已知有藉由光學系統而將受脈衝振盪的準分子雷射光束加工成形為線形雷射光束，並且以該線形光束來掃描及照射非晶矽膜以使非晶矽膜結晶化的技術。

此外，作為影像顯示裝置的切換元件，採用使用微晶半導體膜的薄膜電晶體（參照專利檔案 1 及專利檔案 2）。

已知之薄膜電晶體的習知製造方法為：將非晶矽膜形成在閘極絕緣膜之上；在非晶矽膜之上形成金屬膜；並且以二極體雷射束來照射該金屬膜，以便將非晶矽膜改變成為微晶矽膜（例如，參照非專利檔案 1）。依據此方法，

係形成在非晶矽膜之上的金屬膜被設置用來將二極體雷射束的光能轉換為熱能，並且為了完成薄膜電晶體而必須在後續步驟中被去除。也就是說，該方法是非晶半導體膜只受到來自金屬膜的傳導加熱而被加熱，以形成微晶半導體膜的方法。

[專利檔案 1] 日本專利申請公開第 Hei4-242724 號公報

[專利檔案 2] 日本專利申請公開第 2005-49832 號公報

[非專利檔案 1] Toshiaki Arai 等人，SID 07 DIGEST，2007，p.1370-1373

【發明內容】

使用多晶半導體膜的薄膜電晶體具有如下優點：其遷移率比使用非晶半導體膜的薄膜電晶體高兩個位數以上，並且可以將顯示裝置的像素部和週邊驅動電路形成在同一個基板之上。然而，與使用非晶半導體膜的情況相比較，由於進行半導體膜的結晶化而使得使用多晶半導體膜的薄膜電晶體之製造步驟複雜，且因此，會有成品率降低且成本提高的問題。

鑒於上述問題，本發明的目的在於提供一種具有電特性和可靠性都高的薄膜電晶體的顯示裝置。

本發明是一種顯示裝置，包含包括在形成通道形成區域中的微晶半導體膜之上設置有通道保護層的反交錯型

（下閘極型）電晶體。本發明之概述在於，在微晶半導體膜之不與源極電極及汲極電極相重疊且與該通道保護層相重疊的通道形成區中，以比源極區及汲極區更低的濃度而含有一種導電型的雜質元素。

在本發明中，包括有將微晶半導體膜用作為通道形成區的通道阻絕之反交錯型薄膜電晶體。在反交錯型薄膜電晶體中，在閘極電極之上形成閘極絕緣膜，並且在閘極絕緣膜之上形成用作為通道形成區的微晶半導體膜（也被稱為半非晶半導體膜）。在與微晶半導體膜的通道形成區相重疊的區域中形成通道保護層。此外，在微晶半導體膜和通道保護層之間，或者在它們之上形成緩衝層。在通道保護層及緩衝層之上形成一對源極區及汲極區，並且形成與源極區及汲極區相接觸的一對源極電極及汲極電極。在微晶半導體膜的通道形成區中，在不與源極電極及汲極電極相重疊的區域中選擇性地設置一含有一種導電性類型的雜質元素的雜質區。

依據本發明的顯示裝置之一特徵，包括電晶體。電晶體包括閘極電極、閘極電極之上的閘極絕緣膜、閘極絕緣膜之上的包含通道形成區的微晶半導體膜。在微晶半導體膜之上包括緩衝層，並且在緩衝層之上的與微晶半導體膜的通道形成區相重疊的區域中包括通道保護層。在通道保護層以及緩衝層之上包括源極區及汲極區，並且在源極區及汲極區之上包括源極電極及汲極電極。在微晶半導體膜的通道形成區中選擇性地設置一含有賦予一種導電性類型

的雜質元素的雜質區。

依據本發明的顯示裝置之一特徵，包括電晶體。電晶體包括閘極電極、閘極電極之上的閘極絕緣膜、閘極絕緣膜之上的包含通道形成區的微晶半導體膜。在與微晶半導體膜的通道形成區相重疊的區域中包括通道保護層。在微晶半導體膜以及通道保護層之上包括緩衝層。在緩衝層之上包括源極區及汲極區，並且在源極區及汲極區之上包括源極電極及汲極電極。在微晶半導體膜的通道形成區中選擇性地設置一含有賦予一種導電性類型的雜質元素的雜質區。

依據本發明的顯示裝置的製造方法之一特徵，形成閘極電極、閘極絕緣膜、以及微晶半導體膜；在微晶半導體膜之上形成緩衝層，並且在緩衝層之上的與微晶半導體膜的通道形成區相重疊的區域中形成通道保護層；在通道保護層及緩衝層之上形成源極區及汲極區，並且在源極區及汲極區之上形成源極電極及汲極電極；藉由以源極電極及汲極電極做為掩罩，經由緩衝層及通道保護層，對微晶半導體膜的通道形成區選擇性地添加賦予一種導電性類型的雜質元素。

依據本發明的顯示裝置的製造方法之一特徵，形成閘極電極、閘極絕緣膜、以及微晶半導體膜；在與微晶半導體膜的通道形成區相重疊的區域中形成通道保護層，並且在微晶半導體膜及通道保護層之上形成緩衝層；在緩衝層之上形成源極區及汲極區，並且在源極區及汲極區之上形

成源極電極及汲極電極；藉由以源極電極及汲極電極做為掩罩，經由通道保護層，對微晶半導體膜的通道形成區選擇性地添加賦予一種導電性類型的雜質元素。

依據本發明的顯示裝置的製造方法之一特徵，形成閘極電極、閘極絕緣膜、以及微晶半導體膜；在與微晶半導體膜的通道形成區相重疊的區域中形成通道保護層，並且在微晶半導體膜及通道保護層之上形成緩衝層；在緩衝層之上形成源極區及汲極區，並且在源極區及汲極區之上形成源極電極及汲極電極；藉由以源極電極及汲極電極做為掩罩，經由通道保護層，對微晶半導體膜的通道形成區選擇性地添加賦予一種導電型的雜質元素來形成雜質區；藉由以源極電極及汲極電極做為掩罩，經由通道保護層，對微晶半導體膜的雜質區照射雷射光束。

根據本發明，可以提供具有電特性和可靠性都高的薄膜電晶體的顯示裝置。

【實施方式】

參照附圖，在下文中將詳細說明依據本發明的實施例模式。但是，本發明不局限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施例模式所記載的內容中。注意，在以下說明的本發明的結構中，在不同附圖中共同使用表示相同部分

或者具有相同功能的部分的附圖標記，而省略其重複說明。

[實施例模式 1]

在本實施例模式中，將參照圖 1 至圖 4D 來說明使用於顯示裝置的薄膜電晶體以及其製造程序。圖 1 至圖 3C 是顯示出薄膜電晶體、以及其製造程序的剖面圖。圖 4A 至 4D 是平面圖，各自顯示在一個像素中的薄膜電晶體以及像素電極互相連接的區域。圖 1 至圖 3C 是顯示出沿著圖 4A 至 4D 中的線 A-B 的薄膜電晶體以及其製造程序的剖面圖。

對於包含微晶半導體膜的薄膜電晶體而言，n 通道薄膜電晶體具有高於 p 通道薄膜電晶體的遷移率，因而，n 通道薄膜電晶體更適用於驅動電路。在此實施例模式中，可以使用 n 通道或 p 通道薄膜電晶體。無論薄膜電晶體為 n 通道型或 p 通道型，最好是使形成在同一個基板上的薄膜電晶體都具有相同的導電性類型，以便抑制製造步驟的數目。在此實施例模式中，將使用 n 通道薄膜電晶體來做出說明。

圖 1 顯示出本實施例模式的通道阻絕型（也稱為通道保護型）下閘極薄膜電晶體 74。

在圖 1 中，在基板 50 之上設置通道阻絕型薄膜電晶體 74。通道阻絕型薄膜電晶體 74 包含閘極電極 51、閘極絕緣膜 52a 和 52b、微晶半導體膜 61、緩衝層 62、通道

保護層 80、源極區及汲極區 72、及源極電極和汲極電極 71a、71b 和 71c，並且設置像素電極 77 以便與源極電極和汲極電極 71c 相接觸。設置絕緣膜 76 以便覆蓋薄膜電晶體 74 及像素電極 77 的一部分。注意，圖 1 對應於圖 4D。

再者，在微晶半導體膜 61 的通道形成區中，在不與源極電極和汲極電極 71a、71b 和 71c 相重疊的區域中選擇性地設置含有一種導電性類型的雜質元素的雜質區 81。

在本實施例模式中，在微晶半導體膜 61 的通道形成區中選擇性地（部分地）進行通道摻雜。在形成源極電極及汲極電極 71a、71b 和 71c 之後，以源極電極及汲極電極 71a、71b 和 71c（或者掩罩層）做為掩罩，經由露出於源極電極及汲極電極 71a、71b 和 71c 之間的通道保護層 80 及緩衝層 62，對微晶半導體膜 61 添加一種導電型的雜質元素，藉此，在以通道保護層 80 所覆蓋的微晶半導體膜 61 的通道形成區中以自對準的方式而產生一種導電性類型的雜質元素的添加區域和不添加區域，使得可以選擇性地形成雜質區 81。

當故意不添加用以控制價電子的雜質元素於那裡時，微晶半導體膜具有低的 n 型導電性。因此，對於用作為薄膜電晶體的通道形成區的微晶半導體膜，藉由添加賦予 p 型導電性的雜質元素，可以控制臨界值電壓。賦予 p 型導電性的雜質元素的典型例為硼；且可諸如將 B_2H_6 或 BF_3

的雜質氣體以 1 ppm 至 1000 ppm 的比例，較佳以 1 ppm 至 100 ppm 的比例添加到氫化矽中。而且，硼的濃度可以被設定為 1×10^{14} atoms/cm³ 至 6×10^{16} atoms/cm³。

薄膜電晶體是當某個特定電壓（被稱為臨界值或臨界電壓）被施加到閘極電極時即被打開，而當小於該某個特定電壓的電壓被施加到閘極電極時即被關閉的切換元件。因此，由電路的準確操作之觀點來看，精確地控制臨界值是非常重要的。

然而，TFT 的臨界電壓因為諸如由於污染所造成之可移動離子的影響或者功函數的差異或 TFT 的閘極周圍中之介面電荷的影響之不確定因素而可能會移動（偏移）於負的方向或正的方向上。

作為被提出做為用來解決如此之現象的技術，有通道摻雜法。通道摻雜法是如下技術：將賦予一種導電性類型的雜質元素（典型上為 P、As、B 等）添加到 TFT 的通道形成區，使得臨界電壓被故意偏移而被控制。

在本發明中，在微晶半導體膜的通道形成區中選擇性地（部分地）進行通道摻雜。在本說明書中，將藉由通道摻雜步驟而被形成在通道形成區中的雜質區也稱為通道摻雜區域。在形成源極電極及汲極電極之後，以源極電極及汲極電極（或者掩罩層）做為掩罩，經由露出於源極電極及汲極電極之間的通道保護層及緩衝層，對微晶半導體膜添加一種導電性類型的雜質元素，藉此，在由通道保護層所覆蓋的微晶半導體膜的通道形成區中以自對準的方式產

生一種導電性類型的雜質元素的添加區域和不添加區域，使得可以選擇性地形成雜質區。

當故意不添加用以控制價電子的雜質元素於那裡時，微晶半導體膜具有低的 n 型導電性。因此，藉由對用作為薄膜電晶體的通道形成區的微晶半導體膜添加賦予 p 型導電性的雜質元素，可以控制臨界電壓。賦予 p 型導電性的雜質元素的典型例為硼；且將諸如 B_2H_6 或 BF_3 的雜質氣體以 1 ppm 至 1000 ppm 的比例，較佳以 1 ppm 至 100 ppm 的比例添加到氫化矽中。而且，硼的濃度可以被設定為 1×10^{14} atoms/cm³ 至 6×10^{16} atoms/cm³。

在本發明中，因為經過通道保護層來進行對微晶半導體膜的雜質元素的添加，所以可以減輕由於添加而對微晶半導體膜的損傷（例如，表面粗糙度）。注意，在本發明中，進行對微晶半導體膜的雜質元素的添加，以使雜質元素之所希望的濃度峰值存在於微晶半導體膜中，但是在經過通道保護層及緩衝層來進行對微晶半導體膜的雜質元素的添加的情況下，有可能也對緩衝層添加雜質元素。

利用通道摻雜法的臨界電壓的控制係藉由雜質元素的濃度來予以實行。在此實施例模式中，不對通道形成區的整個表面進行通道摻雜，而以便選擇性地形成通道摻雜區域。因此，在本發明中，藉由控制通道形成區的面積，可以更精確地控制臨界電壓。在經過通道保護層而對微晶半導體膜添加雜質的情況下，難以控制在厚度方向上存在很深的微晶半導體膜中的雜質元素的濃度且該控制傾向會改

變，此外，因為必須以高到足以使雜質元素通過通道保護層的能量來進行添加，所以會有對於膜的損傷之憂慮。依據本發明，可以防止對於微晶半導體膜的膜損傷，並且可以更準確且均勻地控制臨界值。因此，在薄膜電晶體及具有薄膜電晶體的顯示裝置中，可以達成高可靠性以及高性能。

有此結構，其中，在微晶半導體膜的通道形成區之上設置通道保護層（也被只稱為保護層），且緩衝層插置於其間，其係本發明的其中一模式，可以防止對於微晶半導體膜的通道形成區之上的緩衝層的損傷，其係在製造程序中所造成的（例如，由於在蝕刻時的電漿或蝕刻劑所導致的膜厚度減少、或氧化）。因此，可以提高薄膜電晶體的可靠性。此外，因為在微晶半導體膜的通道形成區之上的緩衝層不被蝕刻，所以不需要將緩衝層的厚度形成得很厚，因而可以縮短緩衝層的膜沉積時間。注意，通道保護層在用來形成源極區及汲極區的蝕刻中用作為蝕刻停止器，因而也可以被稱為通道停止層。

作為緩衝層的例子，使用非晶半導體膜，較佳使用含有氮、氫和鹵素中的至少其中之一的非晶半導體膜。藉由使非晶半導體膜中含有氮、氫和鹵素中的至少其中之一，可以降低包含在微晶半導體膜中的結晶之氧化。在微晶半導體膜具有 1.1 至 1.5 eV 之能隙的同時，緩衝層具有 1.6 至 1.8 eV 之大的能隙和低的遷移率。緩衝層的遷移率典型上為微晶半導體膜的遷移率的 1/5 至 1/10。因此，通道

形成區係由微晶半導體膜所構成，且緩衝層為高電阻區域。注意，將包含在微晶半導體膜中的碳、氮、氧各自的濃度設定為小於或等於 $3 \times 10^{19} \text{ atoms/cm}^3$ ，較佳為小於或等於 $5 \times 10^{18} \text{ atoms/cm}^3$ 。微晶半導體膜的厚度較佳為 2 nm 至 50 nm，更佳為 10 nm 至 30 nm。

緩衝層可以藉由電漿 CVD 法、濺射法等來予以形成。另外，緩衝層可以被形成如下：形成非晶半導體膜，而後藉由對非晶半導體膜的表面實施氮電漿處理、氬電漿處理或鹵素電漿處理以使該非晶半導體膜的表面氮化、氬化或鹵化。

在微晶半導體膜的表面上所設置的緩衝層可以降低包含在微晶半導體膜中的晶粒之氧化，因而可以降低薄膜電晶體的電特性的退化。

與多晶半導體膜不同，微晶半導體膜可以被直接形成在基板之上。明確而言，可以使用氫化矽做為來源氣體並使用具有頻率為 1 GHz 以上的微波電漿 CVD 設備來形成微晶半導體膜。藉由使用上述方法所製造的微晶半導體膜還包括有在非晶半導體中具有 0.5 nm 至 20 nm 之直徑的晶粒的微晶半導體膜。因此，與使用多晶半導體膜的情況不同，不需要在形成半導體膜之後實施結晶化步驟。因而，可以減少製造薄膜電晶體之步驟的數目，能夠提高顯示裝置的良率，並且可以抑制成本。另外，藉由利用具有頻率為 1 GHz 以上的微波所產生的電漿具有高的電子密度，因而可以很容易地離解作為來源氣體的氫化矽。因

此，與具有頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法相比，可以更容易地製造微晶半導體膜，從而可以提高膜沉積速度。據此，可以提高顯示裝置的大量生產性。

另外，使用微晶半導體膜來製造薄膜電晶體（TFT），且將該薄膜晶體管使用於像素部及進一步使用於驅動電路來製造顯示裝置。使用微晶半導體膜的薄膜電晶體具有 $1 \text{ cm}^2/\text{V}\cdot\text{sec}$ 至 $20 \text{ cm}^2/\text{V}\cdot\text{sec}$ 的遷移率，這是使用非晶半導體膜的薄膜電晶體之遷移率的 2 倍至 20 倍高，因此，可以在與像素部相同的基板之上形成驅動電路的一部分或全部，以便能夠形成系統型面板（system-on-panel）。

閘極絕緣膜、微晶半導體膜、緩衝層、通道保護層、以及形成源極區及汲極區的添加有賦予一種導電性類型的雜質元素的半導體膜視膜的類型而可以被形成在同一個反應室中，或者在不同的反應室中。

在將基板搬入到反應室中以實施膜形成之前，較佳對反應室進行清洗、沖洗（洗滌）處理（例如，使用氫作為沖洗物質的氫沖洗、或者使用矽烷作為沖洗物質的矽烷沖洗等）、及/或塗層，藉由塗層，對各個反應室的內壁塗覆一層保護膜（也被稱為預塗處理）。預塗處理是這樣一種處理，即藉由使沉積氣體流進反應室中來進行電漿處理，以便預先利用無即將被形成的膜之薄的保護膜來覆蓋反應室的內壁。於藉由沖洗處理及/或預塗處理，可以防止即將被形成的膜被反應室中的諸如氧、氮、或氟的雜質所污染。

由於在微晶半導體膜 61 的通道形成區 51 上設置通道保護層 80，且具有緩衝層 62 插置於其間，所以可以防止在製造程序中對微晶半導體膜 61 的通道形成區之上的緩衝層 62 的損傷（例如，由於電漿或蝕刻時的蝕刻劑或者氧化所導致的膜厚度的減少）。因此，可以提高薄膜電晶體 74 的可靠性。另外，由於在微晶半導體膜 61 的通道形成區之上的緩衝層 62 不被蝕刻，所以不需要使緩衝層 62 的厚度形成得厚，從而可以縮短膜形成時間。

在下文中，將詳細說明製造方法。在基板 50 之上形成閘極電極 51（參照圖 2A 及圖 4A）。圖 2A 為沿著圖 4A 中的線 A-B 所取出的剖面視圖。作為基板 50，可以使用具有足以耐受製造程序之處理溫度的耐熱性的塑膠基板等，以及藉由融化法或浮動法所製造的非鹼玻璃基板（例如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋁矽酸鹽玻璃）；或者陶瓷基板。此外，還可以使用在其表面上設置有絕緣膜之不銹鋼合金基板等的金屬基板。基板 50 的尺寸可以採用 320 mm×400 mm、370 mm×470 mm、550 mm×650 mm、600 mm×720 mm、680 mm×880 mm、730 mm×920 mm、1000 mm×1200 mm、1100 mm×1250 mm、1150 mm×1300 mm、1500 mm×1800 mm、1900 mm×2200 mm、2160 mm×2460 mm、2400 mm×2800 mm、或者 2850 mm×3050 mm 等。

使用諸如鈦、鉬、鉻、鉭、鎢、或鋁之金屬材料或它們的合金材料來形成閘極電極 51。可以藉由濺射法或真

空蒸鍍法而在基板 50 之上形成導電膜，藉由微影技術或噴墨法而在該導電膜之上形成掩罩，並且使用該掩罩來蝕刻導電膜，以形成閘極電極 51。另外，也可以藉由噴墨法來排放銀、金、銅等之導電奈米膏並將其焙燒以形成閘極電極 51。注意，作為提高閘極電極 51 之黏著性且防止擴散到基底和基板中的阻障金屬，可以在基板 50 及閘極電極 51 之間提供上述金屬材料的氮化物膜。另外，閘極電極 51 可以具有層疊之層的結構；能夠使用一結構，在該結構中，從基板 50 側開始，層疊鋁膜和鉬膜、層疊銅膜和鉬膜、層疊銅膜和氮化鈦膜、層疊銅膜和氮化鉬膜等。在上述疊層結構中，係形成做為上層的鉬膜或氮化物膜（諸如氮化鈦膜或氮化鉬膜）具有作為阻障金屬的效果。

注意，由於要在閘極電極 51 之上形成半導體膜及/或佈線，所以最好將閘極電極 51 處理成具有錐形的端部以使其上之半導體膜及/或佈線不會由於段差(step)而斷開。此外，雖然未圖示出，但是當閘極電極 51 被形成時，也可以同時形成連接到閘極電極 51 的佈線。

接著，在閘極電極 51 之上依序形成閘極絕緣膜 52a 和 52b、微晶半導體膜 53、以及緩衝層 54（參照圖 2B）。

也可以在閘極絕緣膜 52b 進行氬電漿處理的同時或在閘極絕緣膜 52b 進行氬電漿處理之後，將微晶半導體膜 53 形成在閘極絕緣膜 52b 的表面上。藉由在已經受到氬電漿處理的閘極絕緣膜之上形成微晶半導體膜，可以促進

微晶體的結晶生長。另外，可以降低閘極絕緣膜及微晶半導體膜之間的介面處的晶格畸變，並因而可以提高閘極絕緣膜及微晶半導體膜的介面特性。因此，可以獲得到電特性優異及可靠性高的微晶半導體膜。

注意，也可以不暴露於空氣而連續地形成閘極絕緣膜 52a 和 52b、微晶半導體膜 53、以及緩衝層 54。藉由不暴露於空氣而連續地形成閘極絕緣膜 52a 和 52b、微晶半導體膜 53、以及緩衝層 54，可以在該等膜之間的各個介面不受到空氣成分或空氣中懸浮的雜質元素污染的情況下形成該等膜，因此，可以減少薄膜電晶體之特性的變化。

閘極絕緣膜 52a 及 52b 各自可以藉由 CVD 法或濺射法等，使用氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜來予以形成。在此實施例模式中，說明一模式，在此模式中，依序層疊氮化矽膜或氮氧化矽膜、以及氧化矽膜或氧氮化矽膜而分別做為閘極絕緣膜 52a 及閘極絕緣膜 52b。注意，閘極絕緣膜並不限於具有兩層結構，而是可以具有從基板側按順序層疊氮化矽膜或氮氧化矽膜、氧化矽膜或氧氮化矽膜、以及氮化矽膜或氮氧化矽膜的三層結構。另外，閘極絕緣膜還可以由氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜的單層來予以形成。此外，最好使用具有頻率為 1 GHz 以上的微波電漿 CVD 設備來形成閘極絕緣膜。藉由使用微波電漿 CVD 設備所形成的氧氮化矽膜及氮氧化矽膜各自具有高的耐壓性，因而可以提高薄膜電晶體的可靠性。

作為閘極絕緣膜的三層疊層結構的例子，在閘極電極之上，可以形成氮化矽膜或氮氧化矽膜作為第一層，可以形成氧氮化矽膜作為第二層，可以形成氮化矽膜作為第三層，並且可以在頂層的氮化矽膜之上形成微晶半導體膜。在此情況下，為第一層的氮化矽膜或氮氧化矽膜的厚度較佳大於 50 nm，且該膜具有作為阻擋諸如鈉的雜質的障礙物的效果，並且具有防止閘極電極的小丘的產生和防止閘極電極氧化的效果。為第三層的氮化矽膜具有提高微晶半導體膜的黏附的效果、以及防止當對微晶半導體膜進行雷射束照射的 LP 處理時之氧化的效果。

如上所述，藉由形成非常薄的氮化膜（諸如，氮化矽膜）做為閘極絕緣膜的頂層，可以提高微晶半導體膜的黏附性。氮化膜可以藉由電漿 CVD 法來予以形成，或者藉由使用由微波所產生且具有高密度和低溫度的電漿之處理來進行氮化處理而予以形成。另外，也可以在對反應室進行矽烷沖洗處理時來形成氮化矽膜或氮氧化矽膜。

在此說明書中，氧氮化矽膜表示在其組成中氧含量高於氮含量，且包含濃度範圍從 55 原子%至 65 原子%的氧，從 1 原子%至 20 原子%的氮，從 25 原子%至 35 原子%的 Si，及從 0.1 原子%至 10 原子%的氫之膜。另外，氮氧化矽膜表示在其組成中氮含量高於氧含量，且包含濃度範圍從 15 原子%至 30 原子%的氧，從 20 原子%至 35 原子%的氮，從 25 原子%至 35 原子%的 Si，及從 15 原子%至 25 原子%的氫之膜。

微晶半導體膜 53 是包括具有介於非晶和結晶結構（包括單晶、多晶）之間的中間結構的半導體的膜。該半導體是具有在自由能方面很穩定的第三狀態的半導體，並且是具有短程規則性及晶格畸變，以及從其膜表面觀看具有在法線方向上相對於基板表面生長之粒徑為 0.5 nm 至 20 nm 的柱狀或針狀晶體以的結晶半導體。另外，微晶半導體和非單晶半導體相混合。作為微晶半導體的代表實例的微晶矽具有偏移到比表示單晶矽的 521 cm^{-1} 更低的波數側之拉曼光譜。亦即，微晶矽之拉曼光譜的峰值存在於表示單晶矽的 521 cm^{-1} 和表示非晶矽的 480 cm^{-1} 之間。此外，使該微晶矽包含至少 1 原子%的氫或鹵素，以便終止懸空鍵。而且，可以包含諸如氫、氫、氮、或氬之稀有氣體元素，以進一步促進其晶格畸變，以使提高穩定性且獲得良好的微晶半導體膜。例如在美國專利第 4,409,134 號中揭示有關於這種微晶半導體膜的記載。

該微晶半導體膜可以藉由具有頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法或具有頻率為 1 GHz 以上的微波電漿 CVD 法來予以形成。典型地說，可以藉由使用氫來稀釋諸如 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 的氫化矽而形成微晶半導體膜。另外，除了氫化矽及氫以外，還可以使用選自氮、氫、氮、氬中的一種或多種的稀有氣體元素來進行稀釋以形成微晶半導體膜。此時，氫化矽對上氫的流量比被設定為 5 : 1 到 200 : 1，較佳為 50 : 1 到 150 : 1，更佳為 100 : 1。

此外，較佳將微晶半導體膜的氧濃度設定為 5×10^{19} atoms/cm³ 以下，更佳為 1×10^{19} atoms/cm³ 以下並且較佳將氮及碳的濃度分別設定為 1×10^{18} atoms/cm³ 以下。藉由降低微晶半導體膜中之氧、氮、及碳的濃度，可以防止微晶半導體膜具有 n 型導電性。

微晶半導體膜 53 係形成有厚於 0 nm 且薄於 50 nm，較佳厚於 0 nm 且薄於 20 nm 的厚度。

微晶半導體膜 53 用作為薄膜電晶體的通道形成區。藉由形成微晶半導體膜 53 而具有上述範圍內的厚度，能夠形成完全空乏型薄膜電晶體。另外，由於微晶半導體膜係由微晶體所構成，所以微晶半導體膜具有比非晶半導體膜更低的電阻。因此，使用微晶半導體膜的薄膜電晶體具有藉由在上升部分中具有陡峭斜率的曲線所表示之電流電壓特性，具有作為開關元件的優異反應且可以進行高速操作。此外，藉由將微晶半導體膜使用於薄膜電晶體的通道形成區，可以抑制薄膜電晶體的臨界值之變動。因此，可以製造具有電特性的變動較少的顯示裝置。

另外，微晶半導體膜的遷移率比非晶半導體膜的遷移率高。因此，藉由使用其通道形成區係由微晶半導體膜所形成的薄膜電晶體作為顯示元件的開關，可以縮小通道形成區的面積，亦即，薄膜電晶體的面積。據此，使每一個像素之由薄膜電晶體所佔據的面積縮小，從而可以提高像素的孔徑比。由於此之結果，可以製造解析度高的裝置。

另外，微晶半導體膜具有從下側縱方向地生長的針狀

結晶。微晶半導體膜具有相混合的非晶和結晶結構，而且有可能由於局部應力而在結晶區域和非晶區域之間產生裂縫及形成間隙。自由基可能會插入該間隙中而會導致結晶生長。由於上方的結晶面變得更大，所以結晶可能向上方生長而成爲針狀。如上所述，即使微晶半導體膜縱方向地生長，其沉積速度也僅是非晶半導體膜的沉積速度的 $1/10$ 至 $1/100$ 。

可以藉由使用諸如 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、或 SiF_4 的矽氣體（氫化矽氣體或鹵化矽氣體）之電漿 CVD 法來形成緩衝層 54。或者，可以對上述矽烷使用選自氫、氫、氮、氬中的一種或多種的稀有氣體元素來進行稀釋以形成非晶半導體膜。或者，藉由使用其流量爲氫化矽的流量的 1 倍到 20 倍（包含 20 倍），較佳爲 1 倍到 10 倍（包含 10 倍），更佳爲 1 倍到 5 倍（包含 5 倍）的氫，可以形成含有氫的非晶半導體膜。此外，藉由使用上述氫化矽和氮或氬，可以形成含有氮的非晶半導體膜。另外，藉由使用上述氫化矽和含有氟、氯、溴、或碘的氣體（例如， F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、或 HI ），可以形成含有氟、氯、溴、或碘的非晶半導體膜。

此外，作爲緩衝層 54，可以將非晶半導體使用作爲標靶且藉由使用氫或稀有氣體來進行濺射以形成非晶半導體膜。此時，藉由將氮、氬、或 N_2O 包含在大氣氛圍中，可以形成含有氮的非晶半導體膜。另外，藉由將含有氟、氯、溴、或碘的氣體（例如， F_2 、 Cl_2 、 Br_2 、 I_2 、

HF、HCl、HBr、或 HI) 包含在大氣氛圍中，可以形成含有氟、氯、溴、或碘的非晶半導體膜。

此外，緩衝層 54 可以被形成如下：在微晶半導體膜 53 的表面上採用電漿 CVD 法或濺射法來形成非晶半導體膜，而後對非晶半導體膜的表面藉由進行使用氫電漿、氮電漿、鹵素電漿、或稀有氣體（氫、氫、氮、氬）電漿的處理，以使非晶半導體膜的表面氫化、氮化、或鹵化。

較佳使用非晶半導體膜來形成緩衝層 54。因此，如果藉由具有頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法、或微波電漿 CVD 法來形成非晶半導體膜，則較佳控制膜沉積條件，以使非晶半導體膜能夠被形成做為緩衝層 54。

緩衝層 54 較佳係形成有大於或等於 10 nm 且等於或小於 50 nm 的厚度。另外，因為微晶半導體膜 53 的通道形成區之上的緩衝層 54 不被蝕刻，所以不需要將緩衝層 54 的厚度形成得厚，因而可以縮短緩衝層的膜沉積時間。另外，較佳將包含在緩衝層中的氮、碳、以及氧的總濃度設定為 1×10^{20} atoms/cm³ 至 1.5×10^{21} atoms/cm³。有此濃度，即使厚度為大於或等於 10 nm 且等於或小於 50 nm，也可以將緩衝層 54 用作為高電阻區域。

緩衝層 54 可以被形成為具有大於或等於 150 nm 且等於或小於 200 nm 的厚度，且將所包含的碳、氮、氧的濃度分別設定為小於或等於 3×10^{19} atoms/cm³，為小於或等於 5×10^{18} atoms/cm³。

藉由在微晶半導體膜 53 的表面上形成非晶半導體膜或包含氫、氮或鹵素的非晶半導體膜作為緩衝層，可以防止包含在微晶半導體膜 53 中所含的晶粒的表面被自然氧化。也就是說，藉由在微晶半導體膜 53 的表面上形成緩衝層，可以防止微晶粒被氧化。因為緩衝層包含氫及/或氟，所以可以防止氧進入微晶半導體膜中。

此外，由於使用非晶半導體膜或包含氫、氮、或鹵素的非晶半導體膜來形成緩衝層 54，因此緩衝層 54 的電阻比用作為通道形成區的微晶半導體膜的電阻高。因此，在薄膜電晶體中，形成在源極區及汲極區和微晶半導體膜之間的緩衝層用作為高電阻區域。據此，可以降低薄膜電晶體的截止電流(off current)。當將該薄膜晶體管使用作為顯示裝置的切換元件時，可以提高顯示裝置的對比度。

接著，在緩衝層 54 之上形成通道保護層 80 以便與微晶半導體膜 53 的通道形成區相重疊（參照圖 2C）。通道保護層 80 也可以連續在閘極絕緣膜 52a 和 52b、微晶半導體膜 53、以及緩衝層 54 被形成之後而被形成，但不暴露於空氣。層疊之薄膜的連續形成使生產率提高。

通道保護層 80 可以是由無機材料（例如，氧化矽、氮化矽、氧氮化矽、或氮氧化矽）所形成。或者，可以使用感光或非感光的有機材料（諸如聚醯亞胺、丙烯酸、聚醯胺、聚醯亞胺醯胺、抗蝕劑、或苯丙環丁烯之有機樹脂材料）、由這些材料的多種所構成的膜、或者這些膜的疊層。另外，也可以使用矽氧烷。作為形成方法，可以使用

諸如電漿 CVD 法或熱 CVD 法的氣相沉積法或濺射法。另外，也可以使用諸如旋塗法或者為濕式法的液滴噴射法的塗敷法、印刷法（諸如，藉由該方法而形成圖案的絲網印刷或平版印刷）等等。通道保護層 80 可以藉由在膜形成之後蝕刻而被圖案化，或者可以藉由液滴噴射法等而被選擇性地形成。

接著，藉由蝕刻以使微晶半導體膜 53 及緩衝層 54 圖案化，藉以形成微晶半導體膜 61 及緩衝層 62 的疊層（參照圖 2D）。可以藉由微影技術或液滴噴射法而形成掩罩，並使用該掩罩來蝕刻微晶半導體膜 53 及緩衝層 54 以形成微晶半導體膜 61 及緩衝層 62。注意，圖 2D 為沿著圖 4B 的線 A-B 所取出的剖面視圖。

可以將微晶半導體膜 61、緩衝層 62 的端部蝕刻成錐形形狀。各個端部的角度為 30° 至 90° ，較佳為 45° 至 80° 。因此，可以防止佈線由於段差而斷開。

接著，在閘極絕緣膜 52b、微晶半導體膜 61、緩衝層 62、通道保護層 80 之上形成添加有賦予一種導電性類型的雜質的半導體膜 63 及導電膜 65a 至 65c（參照圖 2E）。在添加有賦予一種導電性類型的雜質的半導體膜 63 及導電膜 65a 至 65c 之上形成掩罩 66。掩罩 66 係藉由微影技術或噴墨法來予以形成。

在形成 n 通道薄膜電晶體的情況下，對於添加有賦予一種導電性類型的雜質的半導體膜 63 而言，可以添加磷作為典型的雜質元素；舉例來說，對氫化矽添加諸如 PH_3

的雜質氣體。另一方面，在形成 p 通道薄膜電晶體的情況下，對於添加有賦予一種導電性類型的雜質的半導體膜 63 而言，可以添加硼作為典型的雜質元素；舉例來說，對氮化矽添加諸如 B_2H_6 的雜質氣體。可以使用微晶半導體或非晶半導體來形成添加有賦予一種導電性類型的雜質的半導體膜 63。添加有賦予一種導電性類型的雜質的半導體膜 63 較佳被形成而具有 2 nm 至 50 nm（較佳為 10 nm 至 30 nm）的厚度。

較佳使用鋁、銅、或者添加有諸如矽、鈦、鈹、釩、鉬之提高耐熱性的元素或防止小丘產生的元素之鋁合金的單層或疊層以形成導電膜。此外，也可以使用如下的疊層結構：使用鈦、鉭、鉬、鎢或上述元素的氮化物來形成與添加有賦予一種導電性類型的雜質的半導體膜相接觸的膜，並且在其上形成鋁或鋁合金。再者，還可以使用如下的疊層結構：在鈦、鉭、鉬、鎢或上述元素之任何一者的氮化物之上方膜與下方膜之間夾置鋁膜或鋁合金膜。在此實施例模式中，具有層疊有導電膜 65a 至 65c 的三層結構的導電膜被敘述作為導電膜；舉例來說，能夠給出其中將鉬膜使用作為導電膜 65a 及 65c 並將鋁膜使用作為導電膜 65b 的疊層之導電膜、或者其中將鈦膜使用作為導電膜 65a 及 65c 並將鋁膜使用作為導電膜 65b 的疊層之導電膜。

藉由濺射法或真空蒸鍍法來形成導電膜 65a 至 65c。此外，也可以經由藉由絲網印刷法、噴墨法等而排放銀、

金、銅等的導電奈米膏，並將其焙燒以形成導電膜 65a 至 65c。

接著，使用掩罩 66 來蝕刻導電膜 65a 至 65c，以形成源極電極及汲極電極 71a 至 71c。如同在本實施例模式的圖 3A 至 3C 中所示，當使導電膜 65a 至 65c 受到濕式蝕刻時，導電膜 65a 至 65c 被各向同性地蝕刻，使得源極電極及汲極電極 71a 至 71c 的端部和掩罩 66 的端部不對齊，且源極電極及汲極電極 71a 至 71c 的端部在更內側。接著，使用掩罩 66 來蝕刻添加有賦予一種導電性類型的雜質的半導體膜 63 以形成源極區及汲極區 72（參照圖 3A）。注意，由於通道保護層 80 使用作為通道阻絕層，所以緩衝層 62 不被蝕刻。

源極電極及汲極電極 71a 至 71c 的端部和源極區及汲極區 72 的端部不對齊，且源極區及汲極區 72 的端部係形成在源極電極及汲極電極 71a 至 71c 的端部的外側。

藉由以掩罩 66 為掩罩，經過通道保護層 80 及緩衝層 62，而將雜質元素 82 添加到微晶半導體膜 61 中。藉由添加雜質元素 82，在微晶半導體層 61 的通道形成區中選擇性地形成雜質區 81。因為微晶半導體膜 61 的通道形成區係覆蓋有通道保護層 80，所以在通道形成區中選擇性地形成其為通道摻雜區的雜質區 81。雜質元素 82 可以藉由離子植入法或者離子摻雜法來予以添加（引入）。

雜質元素 82 的添加也可以藉由去除掩罩 66 之後，以源極電極及汲極電極 71a 至 71c 做為掩罩來予以進行，使

得可以用自對準的方式在微晶半導體膜 61 的通道形成區中選擇性地形成通道摻雜區。此外，雜質區 81 也可以藉由在形成源極電極及汲極電極 71a 至 71c 之前使用諸如抗蝕劑掩罩的掩罩來予以形成。

在本實施例模式中，因為經過通道保護層 80 及緩衝層 62 來進行對於微晶半導體膜 61 的雜質元素的添加，所以可以減少由於添加而對微晶半導體膜 61 造成的損傷（例如，表面粗糙度）。注意，在本發明中，對於微晶半導體膜 61 進行雜質元素的添加，以使雜質元素的所希望的濃度峰值存在於微晶半導體膜 61 中，並且在經過通道保護層 80 及緩衝層 62 而進行對於微晶半導體膜 61 的雜質元素的添加的情況下，也有可能對緩衝層 62 添加雜質元素。

之後，去除掩罩 66。注意，圖 3C 為沿著圖 4C 中的線 A-B 所取出的剖面視圖。從圖 4C 可以看到，源極區及汲極區 72 的端部係位於源極電極及汲極電極 71c 的端部的外側。此外，也可以看到，源極區及汲極區 72 的面積大於源極電極及汲極電極 71a 至 71c 的面積。此外，源極電極及汲極電極的其中一個也用作為源極佈線或汲極佈線。

有了如圖 3C 所示的形狀，其中，源極電極及汲極電極 71a 至 71c 的端部和源極區及汲極區 72 的端部不對齊，所以源極電極及汲極電極 71a 至 71c 的端部彼此分開；因此，可以防止源極電極及汲極電極之間的洩漏電流

及短路。此外，源極區及汲極區 72 延伸超過源極電極及汲極電極 71a 至 71c 的端部，使得介於該對的源極區及汲極區 72 之間的距離比介於各對的源極電極及汲極電極 71a 至 71c 之間的距離短。因此，可以製造具有可靠性高且耐壓性高的薄膜電晶體。

經由上述程序，可以形成通道阻絕（保護）型薄膜電晶體 74。

緩衝層 62 中的接觸於源極區及汲極區 72 的一部分和緩衝層 62 中的接觸於微晶半導體膜 61 的通道形成區的一部分是同時由相同的材料所形成的連續膜。在微晶半導體膜 61 之上的緩衝層 62 利用其中所包含的氫來阻擋外部的空氣和蝕刻殘餘物的進入，且保護微晶半導體膜 61。

藉由設置不包含賦予一種導電性類型的雜質的緩衝層 62，可以防止包含在源極區及汲極區的賦予一種導電性類型的雜質和用以控制微晶半導體膜 61 的臨界電壓的賦予一種導電性類型的雜質彼此互相混合。如果賦予一種導電性類型的雜質之各者互相混合，則形成再結合中心，其導致洩漏電流的流動，並且喪失了降低截止電流的效果。

藉由如上所述地設置緩衝層及通道保護層，可以製造降低了洩漏電流的耐壓性高的通道阻絕型薄膜電晶體。據此，薄膜電晶體具有高的可靠性，且可以適用於施加 15 V 的電壓的液晶顯示裝置。

接著，形成像素電極 77 以便與源極電極或汲極電極 71c 相接觸。在源極電極及汲極電極 71a 至 71c、源極區

及汲極區 72、通道保護層 80、閘極絕緣膜 52b、以及像素電極 77 之上形成絕緣膜 76。絕緣膜 76 可以用與閘極絕緣膜 52a 及 52b 類似的方式來予以形成。注意，絕緣膜 76 是爲了防止諸如懸浮在大氣中的有機物質、金屬物質、或水蒸氣的污染雜質的侵入而設置的，且較佳爲緻密的膜。

典型地說，緩衝層 62 較佳係形成有大於或等於 10 nm 且等於或小於 50 nm 的厚度。另外，較佳將包含在緩衝層中的氮、碳、以及氧的總濃度設定爲 1×10^{20} atoms/cm³ 至 1.5×10^{21} atoms/cm³。有此濃度，即使當厚度爲大於或等於 10 nm 且等於或小於 50 nm 時，也可以將緩衝層 62 用作爲高電阻區域。

或者，緩衝層 62 也可以形成有大於或等於 150 nm 且等於或小於 200 nm 的厚度，並且將緩衝層 62 中所包含的碳、氮、氧的濃度設定爲小於或等於 3×10^{19} atoms/cm³，較佳設定爲小於或等於 5×10^{18} atoms/cm³。在此情況下，藉由將氮化矽膜使用作爲絕緣膜 76，可以將緩衝層 62 中的氧濃度設定爲小於或等於 5×10^{19} atoms/cm³，較佳爲小於或等於 1×10^{19} atoms/cm³。

接著，蝕刻絕緣膜 76 以使像素電極 77 的一部分露出。形成顯示元件以便與像素電極 77 的露出區域相接觸，以使薄膜電晶體 74 和顯示元件能夠彼此電連接。例如，可以在像素電極 77 之上形成發光層，並且可以在發光層之上形成對向電極。

像素電極 77 可以由具有透光性的導電材料所形成，諸如包含氧化錫的銦氧化物、包含氧化錫的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物（在下文中被稱為 ITO）、銦鋅氧化物、或添加有氧化矽的銦錫氧化物。

或者，也可以使用包含導電高分子（也稱為導電聚合體）的導電組成物來形成像素電極 77。使用導電組成物形成的像素電極較佳具有如下條件：薄片電阻為小於或等於 $10000 \Omega / \square$ ，當波長為 550 nm 時的透光率為等於或大於 70%。此外，包含在導電組成物中的導電高分子的電阻率希望為小於或等於 $0.1 \Omega \cdot \text{cm}$ 。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由上述物質中的兩種以上構成的共聚體等。

另外，也可以採用源極區及汲極區的端部和源極電極及汲極電極的端部互相對齊的形狀。圖 14 顯示出具有源極區及汲極區的端部和源極電極及汲極電極的端部互相對齊的形狀的通道阻絕型薄膜電晶體 79。當藉由乾式蝕刻進行對於源極電極及汲極電極的蝕刻以及對於源極區及汲極區的蝕刻時，可以獲得具有上述形狀的薄膜電晶體 79。另外，藉由以源極電極及汲極電極用作為掩罩來蝕刻添加有賦予一種導電性類型的雜質的半導體膜而形成源極區及汲極區，也可以獲得具有上述形狀的薄膜電晶體

79。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件（也稱為液晶顯示元件）或發光元件（也稱為發光顯示元件）。發光元件在其範疇內包括藉由電流或者電壓來控制其亮度的元件，且明確地說，包括無機電致發光（EL）、有機 EL 等。此外，也可以應用諸如電子墨水之藉由電效應來改變其對比度的顯示媒體。

此外，顯示裝置包括密封有顯示元件的面板及在該面板上安裝有包括控制器的 IC 等的模組。再者，本發明係有關在製造該顯示裝置的過程中完成顯示元件之前的一個模式，亦即，元件基板，並且該元件基板係設置有對多個像素中的每一個像素而言用來將電流供應給顯示元件的機構。明確地說，元件基板可以處於只形成顯示元件的像素電極的狀態中，或者處於在形成即將成為像素電極的導電膜之後且在導電膜被蝕刻而形成像素電極之前的狀態中，並且可以具有任何模式。

注意，在本說明書中的顯示裝置是指影像顯示裝置、顯示裝置、或者光源（包括照明裝置）。此外，顯示裝置在其範疇中包括下面模組的任何一者：包括例如可撓性印刷電路（FPC）、捲帶式自動接合（TAB）膠帶或者捲帶式封裝（TCP）的模組；具有在其末端設置有印刷線路板的 TAB 膠帶或 TCP 的模組；及具有藉由玻璃覆晶封裝（COG）方法而在顯示元件上直接安裝有積體電路（IC）的模組。

藉由形成通道阻絕型薄膜電晶體做為薄膜電晶體，可以提高薄膜電晶體的可靠性。此外，藉由使用微晶半導體膜來構成通道形成區，可以獲得 $1 \text{ cm}^2/\text{V}\cdot\text{sec}$ 至 $20 \text{ cm}^2/\text{V}\cdot\text{sec}$ 的場效遷移率。因此，可以將該薄膜晶體使用作為像素部中的像素的切換元件，而且還可以使用作為在掃描線（閘極線）驅動電路中所包括的元件。

依據本實施例模式，可以製造具有電特性和可靠性都高的薄膜電晶體的顯示裝置。

[實施例模式 2]

在本實施例模式中將描述薄膜電晶體的形狀與實施例模式 1 中不同的例子。除了形狀之外，薄膜電晶體能夠以與實施例模式 1 類似的方式來予以形成；因而，將省略對於與實施例模式 1 相同的組件、或具有與實施例模式 1 類似功能的組件、以及用以形成那些組件之製造步驟的重複說明。

在本實施例模式中，將參照圖 5、圖 6A 至 6D、以及圖 15 來說明用於顯示裝置的薄膜電晶體及其製造程序。圖 5 及圖 15 是示出薄膜電晶體及像素電極的剖面視圖，且圖 6A 至 6D 是在一個像素中的薄膜電晶體及像素電極互相連接處之區域的平面視圖。圖 5 及圖 15 為顯示沿著圖 6A 至 6D 中的線 Q-R 所取出的薄膜電晶體及其製造程序的剖面視圖。

圖 5 及圖 6A 至 6D 示出本實施例模式的通道組絕型

（也稱為通道保護型）下閘極薄膜電晶體 274。

在圖 5 中，在基板 250 之上設置有通道阻絕型薄膜電晶體 274，該通道阻絕型薄膜電晶體 274 包括閘極電極 251、閘極絕緣膜 252a、閘極絕緣膜 252b、微晶半導體膜 261、緩衝層 262、通道保護層 280、源極區及汲極區 272、源極電極及汲極電極 271a、源極電極及汲極電極 271b、以及源極電極及汲極電極 271c，並且絕緣膜 276 被設置以便覆蓋薄膜電晶體 274。像素電極 277 被設置以便在形成於絕緣膜 276 中的接觸孔中，與源極電極及汲極電極 271c 相接觸。注意，圖 5 對應於圖 6D。

再者，在微晶半導體膜 261 的通道形成區中，在不與源極電極及汲極電極 271a、271b、271c 相重疊的區域中，選擇性地設置有包括一種導電性類型的雜質元素的雜質區 281。

在本實施例模式中，在微晶半導體膜 261 的通道形成區中選擇性地（部分地）進行通道摻雜。在形成源極電極及汲極電極 271a、271b 和 271c 之後，以源極電極及汲極電極 271a、271b 和 271c（或者掩罩層）做為掩罩，經過露出於源極電極及汲極電極 271a、271b 和 271c 之間的通道保護層 280 及緩衝層 262，對微晶半導體膜 261 添加一種導電性類型的雜質元素，藉此，在由通道保護層 280 所覆蓋的微晶半導體膜 261 的通道形成區中以自對準的方式產生一種導電性類型的雜質元素的添加區域和不添加區域，使得可以選擇性地形成雜質區 281。

當故意不添加用以控制價電子的雜質元素時，微晶半導體膜具有低的 n 型導電性。因此，藉由對用作為薄膜電晶體的通道形成區的微晶半導體膜添加賦予 p 型導電性的雜質元素，可以控制臨界電壓。作為賦予 p 型導電性的雜質元素的典型例子，可舉出硼，將 B_2H_6 或 BF_3 的雜質氣體以 1 ppm 至 1000 ppm 的比例，較佳以 1 ppm 至 100 ppm 的比例添加到氫化矽中。而且，硼的濃度可以被設定為 1×10^{14} atoms/cm³ 至 6×10^{16} atoms/cm³。

藉由雜質元素的濃度來實施經由通道摻雜法之臨界電壓的控制。在本發明中，不對通道形成區的全部進行通道摻雜，以便選擇性地形成通道摻雜區域。因此，在本發明中，藉由控制通道形成區的面積，可以更精密地控制臨界電壓。在經過通道保護層而對微晶半導體膜添加雜質的情況下，難以控制微晶半導體膜中之存在於厚度方向上較深的雜質元素的濃度且該控制容易改變，並且，因為必須以高到足以使雜質元素通過通道保護層的能量來進行添加，所以擔心會對膜造成損傷。依據本發明，可以防止對於微晶半導體膜的膜損傷，並且可以更準確且均勻地控制臨界值。據此，在薄膜電晶體及具有薄膜電晶體的顯示裝置中，可以達成高可靠性以及高性能。

有了在微晶半導體膜 261 的通道形成區之上設置通道保護層 280 且具有緩衝層 262 夾置於其間的結構，可以防止在製造程序中對微晶半導體膜 261 的通道形成區之上的緩衝層 262 所造成的損傷（例如，在蝕刻時由於電漿自由

基或蝕刻劑所引起的厚度減少或者氧化)。因此，可以提高薄膜電晶體 274 的可靠性。另外，因為在微晶半導體膜 261 的通道形成區之上的緩衝層 262 不被蝕刻，所以不需要將緩衝層 262 形成得厚，因而可以縮短緩衝層的膜沉積時間。

在下文中，將參照圖 6A 至 6D 來說明其製造方法。在基板 250 之上形成閘極電極 251 (參照圖 6A)。在閘極電極 251 之上形成閘極絕緣膜 252a、閘極絕緣膜 252b、微晶半導體膜 261、以及緩衝層 262。在緩衝層 262 之上，形成通道保護層 280 以便與微晶半導體膜 261 的通道形成區相重疊 (參照圖 6B)。

在實施例模式 1 中敘述一例，其中，在形成通道保護層 80 之後，分別對微晶半導體膜 53 和緩衝層 54 進行蝕刻而將它們處理成島狀微晶半導體膜 61 及島狀緩衝層 62。另一方面，在本實施例模式中，將敘述一例，其中，當蝕刻源極電極及汲極電極以及添加有賦予一種導電性類型的雜質的半導體膜時，同時蝕刻微晶半導體膜及緩衝層。因此，使用相同的形狀來形成微晶半導體膜、緩衝層、添加有賦予一種導電性類型的雜質的半導體膜、源極電極及汲極電極。如上所述，如果它們係藉由一個蝕刻程序來予以蝕刻，則不僅能簡化製造程序，而且可以減少用於蝕刻程序的掩罩數量。

蝕刻微晶半導體膜、緩衝層、添加有賦予一種導電性類型的雜質的半導體膜、以及導電膜，形成微晶半導體膜

261、緩衝層 262、源極區及汲極區 272、以及源極電極及汲極電極 271a 至 271c。

以源極電極及汲極電極 271a 至 271c 做為掩罩，經過通道保護層 280 及緩衝層 262，將賦予一種導電性類型的雜質元素添加到微晶半導體膜 261。藉由雜質元素的添加，在微晶半導體層 261 的通道形成區中選擇性地形成雜質區 281。因為微晶半導體膜 261 的通道形成區是由通道保護層 280 所覆蓋，所以在通道形成區中選擇性地形成作為通道摻雜區的雜質區 281。雜質元素可以藉由離子植入法或者離子摻雜法來予以添加（引入）。

在本實施例模式中，因為經過通道保護層 280 及緩衝層 262 來進行對微晶半導體膜 261 的雜質元素的添加，所以可以減少藉由添加而對於微晶半導體膜 261 造成的損傷（表面粗糙度）。

經由上述程序，形成通道阻絕型薄膜電晶體 274（參照圖 6C）。形成絕緣膜 276 以便覆蓋薄膜電晶體 274，並且形成到達源極電極及汲極電極 271c 的接觸孔。在接觸孔中形成像素電極 277，使得薄膜電晶體 274 和像素電極 277 互相電連接（參照圖 6D）。

另外，也可以採用其中源極區及汲極區的端部和源電極及汲極電極的端部互相對齊且連續的形狀。圖 15 顯示出其中源極區及汲極區的端部和源極電極及汲極電極的端部互相對齊且連續的形狀的通道阻絕型薄膜電晶體 279。藉由以乾式蝕刻進行對於源極電極及汲極電極的蝕刻以及

對於源極區及汲極區的蝕刻，可以獲得具有上述形狀的像薄膜電晶體 279。另外，藉由將源極電極及汲極電極用作為掩罩來蝕刻添加有賦予一種導電性類型的雜質的半導體膜以形成源極區及汲極區，也可以獲得具有上述形狀的薄膜電晶體 279。

藉由形成通道阻絕型薄膜電晶體做為薄膜電晶體，可以提高薄膜電晶體的可靠性。此外，藉由使用微晶半導體膜來構成通道形成區，可以獲得 $1\text{ cm}^2/\text{V}\cdot\text{sec}$ 至 $20\text{ cm}^2/\text{V}\cdot\text{sec}$ 的場效遷移率。因此，可以將該薄膜晶體用作為像素部中的像素的切換元件，而且還可以用作為在掃描線（閘極線）驅動電路中的元件。

依據本實施例模式，可以製造具有電特性和可靠性都高的薄膜電晶體的顯示裝置。

[實施例模式 3]

在本實施例模式中，將說明對微晶半導體膜照射雷射光的製造程序的例子。

在基板之上形成閘極電極，並且形成閘極絕緣膜以便覆蓋閘極電極。然後，在閘極絕緣膜之上沉積微晶矽（SAS）膜作為微晶半導體膜。微晶半導體膜的厚度為大於或等於 1 nm 且小於 15 nm ，較佳為 2 nm 到 10 nm （包含 10 nm ）。尤其是，具有 5 nm （ 4 nm 至 8 nm ）的厚度之微晶半導體膜具有雷射光的高吸收率，因而提高生產率。

在藉由電漿 CVD 法等將微晶半導體膜形成在閘極絕

緣膜之上的情況下，在有些情況下，在閘極絕緣膜和含有結晶的半導體膜之間的介面附近形成含有比含有結晶之半導體膜更多的非晶成分的區域（在此，這樣的區域被稱為介面區域）。另外，在藉由電漿 CVD 法等形成厚度為約小於或等於 10 nm 的超薄微晶半導體膜的情況下，雖然可以形成含有微結晶粒的半導體膜，但是難以獲得在整個膜中均勻地包含有高品質的微結晶粒的半導體膜。在此等情況下，以下所述的照射雷射光的雷射處理是有效的。

接下來，從微晶矽膜的表面側照射雷射光。以和使微晶矽膜不熔化一樣低的能量密度來照射雷射光。換言之，本實施例模式的雷射處理（以下也稱為“LP”）是利用固相結晶生長法來予以進行的，而固相結晶生長法係藉由輻射加熱但不使微晶矽膜熔化來予以實施。換言之，該雷射處理利用了所沉積的微晶矽膜不成為液相的臨界區域，而在該意義上，也可以被稱為“臨界生長”。

雷射光可以影響從區域到微晶矽膜和閘極絕緣膜之間的介面。據此，將在微晶矽膜的表面側上的結晶使用作為晶種，從該表面向閘極絕緣膜的介面進行固相結晶生長而出現大致呈柱狀的結晶。藉由 LP 處理的固相結晶生長並未增加晶體粒徑，而是改善在膜的厚度方向上的結晶性。

在 LP 處理中，舉例來說，藉由將雷射束集聚為長的矩形形狀（線狀雷射束），可以進行一次雷射束掃描來處理例如在 730 mm×920 mm 的玻璃基板之上的微晶矽膜。在此情況下，將線狀雷射束之重疊的比例（重疊率）設定

爲 0%至 90%（較佳爲 0%至 67%）。據此，能夠縮短每一個基板的處理時間，而可以提高生產率。雷射束的形狀並不局限於線狀，並且當使用面狀雷射束時也可以實施類似的處理。另外，本實施例模式之 LP 處理並不局限被使用於具有上述尺寸的玻璃基板，而且可以被使用於具有各種尺寸的基板。

藉由 LP 處理，可以改善具有閘極絕緣膜之介面區域的結晶性，並提高具有像本實施例模式的薄膜電晶體一般的下閘極結構的薄膜電晶體的電特性。

這種臨界生長也具有一特徵，即不形成在習知的低溫多晶矽的情況中所觀察到的表面粗糙度（也被稱爲脊部（ridge）的突出部），以及甚至在 LP 處理之後仍保持矽表面的平整度。

如同在本實施例模式中，對在膜形成後的微晶矽膜直接照射雷射束所獲得到的結晶矽膜與習知的藉由僅被沉積所獲得到的微晶矽膜及藉由傳導加熱而被改變的微晶矽膜（揭露於上述非專利檔 1 中）在生長機理及膜品質上有顯著的不同。在本說明書中，將對在被沉積之後的微晶半導體膜所進行之 LP 處理所獲得到的結晶半導體膜稱爲 LPSAS 膜。

在形成諸如 LPSAS 膜的微晶半導體膜之後，藉由電漿 CVD 法於 300℃至 400℃的溫度形成非晶矽（a-Si:H）膜作爲緩衝層。藉由該非晶矽膜的形成，氫被供給到 LPSAS 膜，而可以獲得與當使 LPSAS 膜氫化時相同的效

果。換言之，藉由在 LPSAS 膜之上沉積非晶矽膜，氬被擴散入 LPSAS 膜中，使得能夠終結懸空鍵。

以下步驟係與實施例模式 1 的步驟相似，使得形成通道保護層，並在其上形成掩罩。接著，使用該掩罩來蝕刻微晶半導體膜及緩衝層。然後，形成添加有賦予一種導電性類型的雜質的半導體膜及導電膜，並在導電膜之上形成掩罩。接著，使用該掩罩來蝕刻以分離導電膜，而形成源極電極及汲極電極。再者，使用相同的掩罩，使用通道保護層作為蝕刻阻絕層來蝕刻添加有賦予一種導電性類型的雜質的半導體膜，以形成源極區及汲極區。再者，藉由使用相同的掩罩或者以源極電極及汲極電極做為掩罩，經過通道保護層對微晶半導體膜添加賦予一種導電性類型的雜質元素，使得在微晶半導體膜的通道形成區中選擇性地形成其為通道摻雜區域的雜質區。

藉由上述程序，可以形成通道阻絕型薄膜電晶體，而可以製造包括通道阻絕型薄膜電晶體的顯示裝置。

另外，本實施例模式可以適當地與實施例模式 1 或實施例模式 2 相組合。

[實施例模式 4]

本實施例模式將描述其中薄膜電晶體的形狀與實施例模式 1 中不同的例子。除了形狀之外，薄膜電晶體可以用與實施例模式 1 類似的方式來予以形成；因而，將省略對於與實施例模式 1 相同的組件、具有與實施例模式 1 相似

之功能的組件、以及用來形成那些組件之製造步驟的重複說明。

圖 31 示出本實施例模式的的通道阻絕型下閘極結構薄膜電晶體 874。

在圖 31 中，在基板 850 之上設置有通道阻絕型薄膜電晶體 874，該通道阻絕型薄膜電晶體 874 包括閘極電極 851、閘極絕緣膜 852a 和 852b、微晶半導體膜 861、通道保護層 880、緩衝層 862、源極區及汲極區 872、源極電極及汲極電極 871a、871b 和 871c，並且設置絕緣膜 876 以便覆蓋薄膜電晶體 874。在形成於絕緣膜 876 中的接觸孔中，像素電極 877 被形成以便與源極電極或汲極電極 871c 相接觸。

再者，在微晶半導體膜 861 的通道形成區中，在不與源極電極及汲極電極 871a、871b 和 871c 相重疊的區域中選擇性地設置有含有一種導電性類型的雜質元素的雜質區 883。

此外，在本實施例模式中，形成通道保護層 880 而和微晶半導體膜 861 的通道形成區相接觸，且在通道保護層 880 及微晶半導體膜 861 之上形成緩衝層 862。在本實施例模式中，在添加雜質元素之後以光照射雜質區 883，使得進一步提高由通道摻雜所產生的效果。

本實施例模式為本發明的其中一個特徵，且具有如下結構：形成通道保護層而和微晶半導體膜的通道形成區相接觸，並且在通道保護層及微晶半導體層之上形成緩衝

層。在此情況下，可以對選擇性地形成在微晶半導體膜的通道形成區中的雜質區經過通道保護層而照射雷射光。因為藉由雷射光的照射可以實現雜質區的活化及結晶性的提高，所以可以提高通道摻雜的效果。此外，因為通道保護層用作為相對於雷射光的反反射膜，所以可以對微晶半導體膜進行更有效率的雷射照射。

將參照圖 32A 至 32C 及圖 33A 至 33C 來說明圖 31 所示的具有本實施例模式的薄膜電晶體的顯示裝置的製造方法。在基板 850 之上形成閘極電極 851，並在閘極電極 851 之上形成閘極絕緣膜 852a 及 852b，且形成微晶半導體膜 861 於其上。在與微晶半導體膜 861 之通道形成區相重疊的區域中形成通道保護層 880（參照圖 32A）。在本實施例模式中，形成通道保護層 880 於微晶半導體膜 861 之上，以便互相接觸。

也可以對微晶半導體膜 861 進行如實施例模式 3 中所述的雷射光照射程序。

在微晶半導體膜 861 及通道保護層 880 之上層疊有緩衝層 854、添加有賦予一種導電性類型的雜質的半導體膜 863、和導電膜 865a、865b、及 865c（參照圖 32B）。

藉由使用掩罩 866，對緩衝層 854、添加有賦予一種導電性類型的雜質的半導體膜 863、和導電膜 865a、865b、及 865c 進行蝕刻，以形成緩衝層 862、源極區及汲極區 872、和源極電極及汲極電極 871a、871b、及 871c。在本實施例模式中，藉由利用濕式蝕刻而對導電膜

865a、865b、及 865c 進行蝕刻，並且藉由利用乾式蝕刻而對緩衝層 854、添加有賦予一種導電性類型的雜質的半導體膜 863 進行蝕刻。

在本實施例模式中，敘述藉由相同的步驟來進行對於緩衝層、源極電極及汲極電極、以及添加有賦予一種導電性類型的雜質的半導體膜的蝕刻程序的例子。因此，以大致具有相同的形狀而形成緩衝層、添加有賦予一種導電性類型的雜質的半導體膜、源極電極及汲極電極。如上所述，如果藉由一個蝕刻程序來蝕刻它們，則不僅可簡化製造程序，而且可以減少使用於該蝕刻程序中之掩罩的數量。

藉由以掩罩 866 做為掩罩，經過露出於源極電極及汲極電極 871a、871b、871c 之間的通道保護層 880，將賦予一種導電性類型的雜質元素 882 添加到微晶半導體膜 861。藉由雜質元素 882 的添加，在微晶半導體層 861 的通道形成區中選擇性地形成雜質區 881。因為微晶半導體膜 861 的通道形成區係覆蓋有通道保護層 880，所以在通道形成區中選擇性地形成其為通道摻雜區的雜質區 881。雜質元素 882 可以藉由離子植入法或者離子摻雜法來予以添加（引入）。

在本實施例模式中，因為經過通道保護層 880 而進行對微晶半導體膜 861 的雜質元素的添加程序，所以可以減輕在添加程序中之對於微晶半導體膜 861 的損傷（例如，表面粗糙度）。

利用通道摻雜法對臨界電壓的控制係藉由雜質元素的濃度來予以進行。在本實施例模式中，並不是對全部的通道形成區進行通道摻雜，而是選擇性地形成通道摻雜區域。因此，在本發明中，藉由控制通道形成區的面積，可以更精確地控制臨界電壓。在經過通道保護層而對微晶半導體膜添加雜質的情況下，難以控制在厚度方向上較深的微晶半導體膜中的雜質元素的濃度且該控制很容易改變，此外，因為必須以高到足以使雜質元素通過通道保護層的能量來進行添加，所以會擔心對於膜的損傷。依據本發明，可以防止對於微晶半導體膜的膜損傷，並且可以更準確且均勻地控制臨界值。因此，在薄膜電晶體及具有該薄膜電晶體的顯示裝置中，可以達成高可靠性以及高性能。

當故意不添加用以控制價電子的雜質元素於其中時，微晶半導體膜具有低的 n 型導電性。因此，藉由對用作為薄膜電晶體的通道形成區的微晶半導體膜添加賦予 p 型導電性的雜質元素，可以控制臨界電壓。作為賦予 p 型導電性的雜質元素的典型例，可舉出硼，將諸如 B_2H_6 或 BF_3 的雜質氣體以 1 ppm 至 1000 ppm 的比例，較佳以 1 ppm 至 100 ppm 的比例添加到氫化矽中。而且，硼的濃度可以被設定為 $1 \times 10^{14} \text{ atoms/cm}^3$ 至 $6 \times 10^{16} \text{ atoms/cm}^3$ 。

此外，在本實施例模式中，形成通道保護層 880 而與微晶半導體膜 861 的通道形成區相接觸，並且在通道保護層 880 及微晶半導體膜 861 之上形成緩衝層 862。在此情況下，可以對選擇性地形成在微晶半導體膜 861 的通道形

成區中的雜質區 881 經過通道保護層而照射雷射光 884。藉由雷射光 884 的照射，雜質區 881 能夠被再度形成為雜質區 883（參照圖 33B）。因為可以藉由雷射光的照射而實現雜質區的活化及結晶性的提高，所以可以提高通道摻雜程序的效果。此外，因為通道保護層 880 用作為相對於雷射光 884 的反反射膜，所以可以對微晶半導體膜 861 進行更有效率的雷射照射程序。此外，通道保護層 880 也用作為保護層，使得可以防止由於雷射照射所造成之對於微晶半導體膜 861 的損傷，諸多，膜的表面粗糙度或膜的變形。

根據光通過的通道保護層的材料或厚度、微晶半導體膜的材料或厚度等，可以適當地設定對於其為微晶半導體膜的通道摻雜區域的雜質區的光照射程序中的照射條件（例如，光能量、波長、及照射時間期間）。

作為發射雷射光 884 的雷射器，可以使用連續波雷射器、準連續波雷射器以及脈衝式雷射器。舉例來說，可以有：例如諸如 KrF 雷射器之準分子雷射器的氣體雷射器；以及諸如 Ar 雷射器或 Kr 雷射器之氣體雷射器。此外，作為固體雷射器，有 YAG 雷射器、YVO₄ 雷射器、YLF 雷射器、YAlO₃ 雷射器、GdVO₄ 雷射器、KGW 雷射器、KYW 雷射器、變石雷射器、Ti: 藍寶石雷射器、Y₂O₃ 雷射器等。注意，準分子雷射器是脈衝式雷射器，且有些固體雷射器（諸如，YAG 雷射器）可以被使用做為連續波雷射器、準連續波雷射器以及脈衝式雷射器的任何一個。注意，在

固體雷射器中，可以較佳使用二次諧波至五次諧波。此外，也可以使用諸如 GaN 雷射器、GaAs 雷射器、GaAlAs 雷射器、或 InGaAsP 雷射器的半導體雷射器。

此外，也可以使用燈光。例如，可以使用從紫外線燈、黑光、鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉氣燈、或者高壓汞氣燈所發射出的光。

藉由上述程序，形成通道阻絕型薄膜電晶體 874（參照圖 33C）。形成絕緣膜 876 以便覆蓋薄膜電晶體 874，並且形成到達源極電極及汲極電極 871c 的接觸孔。在接觸孔中形成像素電極 877，使得薄膜電晶體 874 和像素電極 877 互相電連接（參照圖 31）。

另外，也可以採用其中緩衝層、源極區及汲極區和源極電極及汲極電極的端部互相對齊的形狀。藉由乾式蝕刻來進行對於源極電極及汲極電極的蝕刻以及對於緩衝層和源極區及汲極區的蝕刻，或者藉由以源極電極及汲極電極做為掩罩而對緩衝層、以及添加有賦予一種導電性類型的雜質的半導體膜進行蝕刻，以形成緩衝層和源極區及汲極區，可以形成其中緩衝層、源極區及汲極區和源極電極及汲極電極的端部互相對齊的薄膜電晶體。

藉由形成通道阻絕型薄膜電晶體做為薄膜電晶體，可以提高薄膜電晶體的可靠性。此外，藉由使用微晶半導體膜來構成通道形成區，可以獲得 $1 \text{ cm}^2/\text{V}\cdot\text{sec}$ 至 $20 \text{ cm}^2/\text{V}\cdot\text{sec}$ 的場效遷移率。因此，可以將該薄膜晶體使用作為像素部中的像素的切換元件，而且還可以使用作為在掃描線

（閘極線）驅動電路中所包含的元件。

藉由本實施例模式，可以製造具有電特性和可靠性都高的薄膜電晶體的顯示裝置。

[實施例模式 5]

在本實施例模式中，將詳細說明實施例模式 1 至 4 之任一者中的顯示裝置的製造程序的例子。因此，省略對於與實施例模式 1 至 4 之相同的組件或具有與實施例模式 1 至 4 之相似功能的組件、以及用來製造那些組件的製造程序的重複說明。

在實施例模式 1 至 4 中，還可以在形成微晶半導體膜之前對反應室進行清洗及/或沖洗（洗滌）處理（例如，使用氫作為沖洗物質的氫沖洗或者使用矽烷作為沖洗物質的矽烷沖洗）。藉由沖洗處理，可以防止反應室中之諸如氧、氮、氟的雜質給即將被形成的膜帶來的污染。

沖洗處理可以去除反應室中之諸如氧、氮、氟的雜質。例如，以下面的方式來實施沖洗處理：藉由使用電漿 CVD 設備且使用甲矽烷作為沖洗物質，以 8 SLM 至 10 SLM 的氣體流量持續 5 分鐘至 20 分鐘、較佳為 10 分鐘至 15 分鐘的條件下將甲矽烷連續引入到反應室中，以進行矽烷沖洗處理。注意，1 SLM 相當於 1000 sccm，亦即， $0.06 \text{ m}^3/\text{h}$ 。

例如可以利用氟基來進行清洗。注意，藉由將經由將氟化碳、氟化氮、或氟引入到設置在反應室外側的電漿產

生器中並藉由其離解所產生之氟基引入到反應室中，可以對反應室進行清洗。

也可以在形成閘極絕緣膜、緩衝層、通道保護層、以及添加有賦予一種導電性類型的雜質的半導體膜之前進行沖洗處理。注意，在清洗後進行沖洗處理是有效的。

在將基板搬入反應室中以進行膜形成之前，也可以進行使用以為即將被形成之膜的保護膜在各個反應室的內壁上塗覆的處理（也被稱為預塗處理）。預塗處理是這樣一種處理，即藉由將沉積氣體流進反應室中，以便預先利用薄的保護膜來塗覆反應室的內壁而進行電漿處理。例如，在形成微晶矽膜作為微晶半導體膜之前，可進行以具有 $0.2\ \mu\text{m}$ 至 $0.4\ \mu\text{m}$ 之厚度的非晶矽膜來塗覆反應室之內壁的預塗處理。也可以在預塗處理之後進行沖洗處理（氫沖洗、矽烷沖洗等）。在進行清洗處理及/或預塗處理的情況下，需要從反應室中搬出基板。然而，在進行沖洗處理（氫沖洗、矽烷沖洗等）的情況下，由於不進行電漿處理，所以也可以使基板保持在反應室內。

在用於形成微晶矽膜於其中的反應室中形成由非晶矽膜所形成的保護膜，並且在膜形成之前進行氫電漿處理，藉此，保護膜被蝕刻且在基板上沉積極少量的矽，並且可能成為結晶生長的核心。

藉由預塗處理，可以防止反應室中之諸如氧、氮、氟的雜質給即將被形成的膜帶來的污染。

也可以在形成閘極絕緣膜、添加有賦予一種導電性類

型的雜質的半導體膜之前進行預塗處理。

再者，將詳細說明形成閘極絕緣膜、微晶半導體膜、以及緩衝層的方法的例子。

將使用圖 13A 和 13B 來說明可被使用於本發明中的電漿 CVD 設備的例子。圖 13A 和 13B 各自顯示可以實施連續的膜形成之微波電漿 CVD 設備。圖 13A 和 13B 是示出微波電漿 CVD 設備的上方剖面的平面示意圖，在公共室 1120 的周圍設置裝載室 1110、卸載室 1115、和反應室（1）至反應室（4）1111 至 1114。在公共室 1120 和每個室之間設置閘閥 1122 至 1127，使得在每個室中的處理不會影響另一室中的處理。注意，反應室的數量並不局限於四個，且反應室的數量可以四個以上或四個以下。當反應室的數量大時，可以按每個即將被層疊的膜的種類來分配反應室；因而，可以減少清洗反應室的次數。圖 13A 顯示具有四個反應室之微波電漿 CVD 設備的例子，且圖 13B 顯示具有三個反應室之微波電漿 CVD 設備的例子。

將說明其中利用圖 13A 所示的電漿 CVD 設備來形成閘極絕緣膜、微晶半導體膜、緩衝層、以及通道保護層的例子。基板係裝載入裝載室 1110 及卸載室 1115 中的盒子 1128 及 1129 中，並且由公共室 1120 的傳送機構 1121 而被傳送到反應室（1）1111 至反應室（4）1114。在該設備中，能夠按每個沉積膜之不同的種類來分配反應室，使得可以在不與大氣接觸的狀態下連續形成多個不同的膜。另外，反應室也可以被使用做為用來蝕刻程序或雷射照射

程序以及膜形成程序的反應室。藉由設置用於各種程序的反應室，可以在不與大氣接觸的狀態下進行各種不同的程序。

在每個反應室（1）至反應室（4）中，層疊閘極絕緣膜、微晶半導體膜、緩衝層、以及通道保護層。在此情況下，藉由切換材料氣體，可以連續地層疊不同種類的膜。在此情況下，在形成閘極絕緣膜之後，將諸如矽烷的氫化矽引入到反應室內，以使殘留的氧及氫化矽互相起反應，並將反應物自反應室中排出，藉此，可以降低反應室內的殘留氧之濃度。因此，可以降低包含在微晶半導體膜中的氧的濃度。此外，可以防止包含在微晶半導體膜中的晶粒被氧化。

另外，在電漿 CVD 設備中，可以在多個反應室中形成同一種膜，以便提高生產率。若可以在多個反應室中形成同一種膜，則可以同時在多個基板之上形成膜。例如在圖 13A 中，將反應室（1）及反應室（2）使用作為形成微晶半導體膜於其中之各者的反應室，將反應室（3）使用作為形成非晶半導體膜於其中的反應室，並且將反應室（4）使用作為形成通道保護層於其中的反應室。如上所述，在同時對多個基板進行處理的情況中，可以設置多個反應室，在各反應室中形成其沉積速度慢的膜，而使得可以提高生產率。

在將基板被搬入反應室以進行膜形成之前，較佳進行清洗及/或沖洗（洗滌）處理（氫沖洗、矽烷沖洗等），

並使用其為即將被形成的膜的保護膜塗覆在各個反應室的內壁上（也被稱為預塗處理）。預塗處理是這樣一種處理，即藉由將沉積氣體流進反應室中以進行電漿處理，以便預先利用薄的保護膜來塗覆反應室的內壁。例如，在形成微晶矽膜作為微晶半導體膜之前，可進行以具有 $0.2\ \mu\text{m}$ 至 $0.4\ \mu\text{m}$ 之厚度的非晶矽膜來塗覆反應室之內壁的預塗處理。也可以在預塗處理之後進行沖洗處理（氫沖洗、矽烷沖洗等）。在進行清洗處理及預塗處理的情況下，需要從反應室中搬出基板。然而，在進行沖洗處理（氫沖洗、矽烷沖洗等）的情況下，由於不進行電漿處理，所以基板可以保持在反應室內。

在用以形成微晶矽膜於其中的反應室的內壁上形成由非晶矽膜所形成的保護膜，並且在膜形成之前進行氫電漿處理，藉此，保護膜被蝕刻而在基板之上沉積極少量的矽，且能夠成為結晶生長的核心。

照這樣，有了連接有多個處理室的微波電漿 CVD 設備，可以同時形成閘極絕緣膜、微晶半導體膜、緩衝層、通道保護層、以及添加有賦予一種導電性類型的雜質的半導體膜，因此可以提高大量生產率。此外，即使在其中一個反應室中進行維護或清洗，也可以在其他反應室中實施膜形成，藉此，可以縮短膜形成的生產間隔時間（tact time）。另外，因為可以在不被大氣成分或懸浮在大氣中的污染雜質元素污染的狀態下形成介於疊層之間的各個介面，所以可以減少薄膜電晶體的特性的變動。

利用具有這種結構的微波電漿 CVD 設備，可以在各個反應室中形成類似種類的膜或同一種膜，並且能夠在不暴露於大氣的狀態下被連續形成。因此，可以在不被先前所形成的膜的殘留物或懸浮在大氣中的雜質元素所污染的狀態下形成介於疊層之間的各個介面。

再者，可以設置微波產生器及高頻波產生器；因而，藉由微波電漿 CVD 法，可以形成閘極絕緣膜、微晶半導體膜、通道保護層、以及添加有賦予一種導電性類型的雜質的半導體膜，並且可以藉由高頻波電漿 CVD 法來形成緩衝層。

注意，雖然在圖 13A 和 13B 所示的微波電漿 CVD 設備中係分別設置有分開的裝載室及卸載室，但是也可以組合裝載室及卸載室而設置一個裝載及卸載室。此外，也可以在微波電漿 CVD 設備中設置備用室。藉由對在備用室中的基板進行預加熱，有可能縮短在各個反應室中的膜沉積之前的加熱時間，使得可以提高產量（throughput）。在膜形成處理中，可以根據其目的而選擇從氣體供給部所供給的氣體。

本實施例模式可以適當地與其他實施例模式所敘述的結構相組合來實施。

[實施例模式 6]

接著，參照圖 10A 和 10B 及圖 11A 至 11C 來說明顯示裝置的製造程序。作為顯示裝置中所包含的顯示元件，

在此實施例模式中將敘述利用電致發光的發光元件。利用電致發光的發光元件係根據發光材料為有機化合物或無機化合物而被區分；一般而言，使用有機化合物做為發光材料的發光元件被稱為有機 EL 元件，而使用無機化合物做為發光材料的發光元件被稱為無機 EL 元件。此外，作為使用於顯示裝置中的薄膜電晶體 85 及 86，使用具有電特性及可靠性都高且可以用與實施例模式 1 中所述的薄膜電晶體 74 類似的方式來予以製造的薄膜電晶體。或者，也可以將實施例模式 2 或實施例模式 4 中所述的薄膜電晶體 274 或 874 使用做為薄膜電晶體 85 及 86。

關於有機 EL 元件，藉由將電壓施加到發光元件，電子和電洞係分別從一對電極被注入到含有發光有機化合物的層中，並且電流流動。然後，藉由這些載子（電子和電洞）的再結合，具有發光性質的有機化合物形成激發態，並且當該激發態返回至基態時發出光。由於這種機制，這種發光元件被稱為電流激發型發光元件。

無機 EL 元件係根據其元件結構而被分類成分散型 (dispersion type) 無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件具有發光層，其中，將發光材料的粒子分散在黏結劑中，且其發光機制為利用施體能階和受體能階的施體-受體再結合型發光。在薄膜型無機 EL 元件中，發光層被夾在電介質層之間並且電介質層被夾在電極之間，其發光機制為利用金屬離子的內殼層電子躍遷的局部存在型發光。注意，在此實施例模式中將敘述使用有機

EL 元件作為發光元件的說明。另外，在實施例模式 1 的圖 1 所示的通道阻絕型薄膜電晶體被使用作為在此實施例模式中用來控制發光元件的驅動的薄膜電晶體。

藉由與圖 1 至圖 4D 所示類似的程序，如圖 10A 和 10B 所示，在基板 100 之上形成薄膜電晶體 85 及 86，並在薄膜電晶體 85 及 86 之上形成用作為保護膜的絕緣膜 87。接著，在絕緣膜 87 之上形成平坦化膜 111，並在平坦化膜 111 之上形成與薄膜電晶體 86 的源極電極或汲極電極相連接的像素電極 112。

平坦化膜 111 較佳使用諸如丙烯酸、聚醯亞胺、或聚醯胺的有機樹脂、或矽氧烷來予以形成。

在圖 10A 中，像素的薄膜電晶體為 n 通道薄膜電晶體；因而，較佳使用陰極作為像素電極 112。相反地，在像素的薄膜電晶體為 p 通道薄膜電晶體的情況中，較佳使用陽極作為像素電極 112。明確而言，作為陰極，可以使用具有低功函數的材料，諸如 Ca、Al、CaF、MgAg、或 AlLi。

其次，如圖 10B 所示，在平坦化膜 111 及像素電極 112 的端部之上形成隔離牆(bank)113。隔離牆 113 具有開口部，而在該開口部中暴露出像素電極 112。隔離牆 113 係由有機樹脂膜、無機絕緣膜、或有機聚矽氧烷所形成。尤其是，隔離牆 113 較佳係由感光性材料所形成，並在像素電極之上形成開口部，且該開口部的側壁形成具有連續的曲率的傾斜面。

其次，形成發光層 114 以便與在隔離牆 113 的開口部中之像素電極 112 相接觸。發光層 114 可以由單層所構成，或者可以由多個層的疊層所構成。

然後，形成使用陽極的共同電極 115 以便覆蓋發光層 114。共同電極 115 可以是由使用在實施例模式 1 中所列出之用於像素電極 77 的透光導電材料的任何一者之透光導電膜所形成的。作為共同電極 115，除了上述透光導電膜之外，還可以使用氮化鈦膜或鈦膜。在圖 10B 中，使用 ITO 作為共同電極 115。在隔離牆 113 的開口部中，藉由像素電極 112、發光層 114、和共同電極 115 的重疊而形成發光元件 117。然後，較佳在共同電極 115 及隔離牆 113 之上形成保護膜 116，以便防止氧、氫、水分、二氧化碳等侵入到發光元件 117 中。作為保護膜 116，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

再者，實際上，在完成到達圖 10B 的步驟之後，為了不被進一步暴露於外部空氣，較佳由氣密性高且脫氣少的保護薄膜（例如，黏合薄膜或紫外線硬化樹脂薄膜）或覆蓋材料來實施封裝（密封）。

接下來，將參照圖 11A 至 11C 來對發光元件的結構進行說明。在此，將舉出 n 通道驅動 TFT 做為一例，以對像素的剖面結構進行說明。使用於圖 11A 至 11C 所示的顯示裝置的驅動 TFTs 7001、7011、及 7021 具有高的電特性及高的可靠性，並且可以用與實施例模式 1 所述的薄膜電晶體 74 類似的方式來予以製造。或者，也可以將

實施例模式 2 或 4 所述的薄膜電晶體 274、874 應用於 TFTs 7001、7011、及 7021。

爲了取出發射的光，發光元件的陽極和陰極中的至少一個必須是透明的。存在具有頂部發射結構、底部發射結構和雙面發射結構的發光元件，在頂部發射結構中，經由與基板相對之表面而取出發射的光，在底部發射結構中，經由基板側的表面而取出發射的光，在雙面發射結構中，經由基板側的表面和與基板相對之表面而取出發射的光。本發明的像素結構可以被應用於具有任一種發射結構的發光元件。

參照圖 11A 而對具有頂部發射結構的發光元件進行說明。

圖 11A 係在驅動 TFT 7001 爲 n 通道型且光從發光元件 7002 發射到陽極 7005 側之情況中的像素的剖面視圖。在圖 11A 中，發光元件 7002 的陰極 7003 和驅動 TFT 7001 電連接，並且在陰極 7003 之上按順序而層疊有發光層 7004 和陽極 7005。陰極 7003 可以由各種導電材料所形成，只要該導電材料是功函數小且反射光的導電膜。例如，較佳使用 Ca、Al、CaF、MgAg、AlLi 等。另外，發光層 7004 可以係由單層所構成，或者可以係由多個層的疊層所構成。在發光層 7004 係由多個層所構成的情況下，在陰極 7003 之上按順序而層疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層。注意，並不一定需要設置所有的這些層。陽極 7005 係由透光導電膜

所形成，例如，含有氧化鎢的銦氧化物之膜、含有氧化鎢的銦鋅氧化物之膜、含有氧化鈦的銦氧化物之膜、含有氧化鈦的銦錫氧化物之膜、銦錫氧化物（以下被稱為ITO）、銦鋅氧化物、或添加有氧化矽的銦錫氧化物。

由陰極 7003 及陽極 7005 夾有發光層 7004 的區域相當於發光元件 7002。在圖 11A 所示的像素中，如箭頭所示，光係從發光元件 7002 發射到陽極 7005 側。

接下來，對具有底部發射結構的發光元件將參照圖 11B 來進行說明。圖 11B 係在驅動 TFT 7011 為 n 通道型且光係從發光元件 7012 發射到陰極 7013 側的情況中之像素的剖面視圖。在圖 11B 中，在與驅動 TFT 7011 電連接的透光導電膜 7017 之上形成有發光元件 7012 的陰極 7013，在陰極 7013 之上按順序而層疊有發光層 7014 及陽極 7015。注意，當陽極 7015 具有透光性時，也可以形成用以反射光或遮蔽光的屏蔽膜 7016 以便覆蓋陽極 7015。對於陰極 7013 而言，與圖 11A 的情況相同，可以使用各種材料，只要該材料是功函數小的導電材料。要注意，陰極 7013 的厚度被設定而使得光透射過其中（較佳為約 5 nm 至 30 nm）。例如，可以使用厚度為 20 nm 的鋁膜作為陰極 7013。然後，與圖 11A 相同，發光層 7014 可以係由單層所構成，或者可以係由多個層的疊層所構成。雖然陽極 7015 不需要能夠透射光，但是與圖 11A 相似，可以使用透光導電材料來形成陽極 7015。屏蔽膜 7016 可以使用反射光的金屬等，但是並不局限於金屬膜。例如，也可

以使用添加有黑色顏料的樹脂等。

由陰極 7013 及陽極 7015 夾住發光層 7014 的區域相當於發光元件 7012。在圖 11B 所示的像素中，如箭頭所示，光係從發光元件 7012 發射到陰極 7013 側。

其次，對具有雙面發射結構的發光元件，使用圖 11C 來進行說明。在圖 11C 中，在與驅動 TFT 7021 電連接透光導電膜 7027 之上形成有發光元件 7022 的陰極 7023，在陰極 7023 之上按順序而層疊有發光層 7024 及陽極 7025。與圖 11A 的情況相同，陰極 7023 係可以由各種導電材料來予以形成，只要它們是功函數小的導電材料。注意，陰極 7023 具有透射光的厚度。例如，可以使用膜厚度為 20 nm 的 Al 作為陰極 7023。然後，與圖 11A 相同，發光層 7024 係可以由單層所構成，或者係可以由多個層的疊層所構成。與圖 11A 相同，陽極 7025 可以使用透光導電材料來予以形成。

其中陰極 7023、發光層 7024、及陽極 7025 互相重疊的區域相當於發光元件 7022。在圖 11C 所示的像素中，如箭頭所示，光係從發光元件 7022 發射到陽極 7025 側和陰極 7023 側兩側的。

注意，在本實施例模式中，雖然說明了有機 EL 元件作為發光元件，但是也可以設置無機 EL 元件作為發光元件。

注意，雖然在本實施例模式中敘述用以控制發光元件的驅動的薄膜電晶體（驅動 TFT）和發光元件電連接的一

例，但是用以控制電流的 TFT 也可以被連接在驅動 TFT 和發光元件之間。

注意，在本實施例模式中所述的顯示裝置並不局限於具有圖 11A 至 11C 所示的任何一種結構，且可以基於本發明的技術思想而以任何方式來予以修正。

經由上述程序，可以製造發光裝置作為顯示裝置。因為在本實施例模式的發光裝置中使用電特性和可靠性都高的薄膜電晶體，所以該發光裝置的對比度和可見度都高。

本實施例模式可以適當地與其他實施例模式所述的結構相組合來予以實施。

[實施例模式 7]

在本實施例模式中，將參照圖 17 至 30 來說明具有實施例模式 1 至 5 之任何一者中所述的薄膜電晶體的顯示裝置的實例。在本實施例模式中，於參照圖 17 至 30 所說明之液晶顯示裝置的實例中，使用液晶顯示元件作為顯示元件。作為使用於圖 17 至 30 所示的液晶顯示裝置的 TFTs 628 及 629，可以應用實施例模式 1、實施例模式 2 或者實施例模式 4 中所述的薄膜電晶體，且 TFTs 628 及 629 是具有電特性及可靠性都高的薄膜電晶體，其可以藉由與實施例模式 1 至 5 中所述的程序類似的方式來予以製造的。TFT 628 包括通道保護層 608，而 TFT 629 包括通道保護層 611，且 TFTs 628 及 629 都是各自將微晶半導體膜使用作為通道形成區的反交錯式薄膜電晶體。此外，

TFT 628 和 TFT 629 在微晶半導體膜的通道形成區中選擇性地具有雜質區（所謂的通道摻雜區域）。在 TFTs 628 和 629 之各者中，藉由選擇性地添加賦予 p 型導電性的雜質元素的硼作為具有一種導電性類型的雜質以形成該雜質區，並控制該 TFT 的臨界電壓。

首先，將敘述垂直配向（VA）模式液晶顯示裝置。液晶顯示裝置的 VA 模式是一種控制液晶顯示面板的液晶分子的配向的模式。依據 VA 模式液晶顯示裝置，當不施加電壓時，液晶分子係配向而與面板表面相垂直。特別是，在本實施例模式中，設計將像素分割為幾個區域（亞像素），使得分子係配向於不同的方向上。這被稱為多區域（multi-domain）化或多域設計。在下面的說明中，將說明採用多域設計的液晶顯示裝置。

圖 18 及圖 19 分別示出像素電極及對向電極。注意，圖 18 是形成像素電極於其上的基板側的平面圖，而圖 17 示出沿著圖 18 中的虛線 G-H 的剖面結構。此外，圖 19 是形成對向電極於其上的基板側的平面圖。在下面的說明中，將參照上述附圖來進行說明。

圖 17 示出其中使設置有 TFT 628、與 TFT 628 相連接的像素電極 624、以及儲存電容器 630 的基板 600 和設置有對向電極 640 等的對向基板 601 相重疊並注入有液晶的狀態。

在隔離物 642 係設置於對向基板 601 中的位置處形成有遮光膜 632、第一彩色膜 634、第二彩色膜 636、第三

彩色膜 638、及對向電極 640。有此結構，使用來控制液晶的配向的突起部 644 之高度和隔離物 642 的高度不同。在像素電極 624 之上形成配向膜 648。同樣地，在對向電極 640 之上也設置有配向膜 646。在配向膜 646 與 648 之間形成有液晶層 650。

在此實施例模式中，雖然使用柱狀隔離物做為隔離物 642，但是也可以散佈珠狀隔離物。再者，也可以在形成於基板 600 之上的像素電極 624 之上形成隔離物 642。

在基板 600 之上形成 TFT 628、與 TFT 628 相連接的像素電極 624、以及儲存電容器 630。像素電極 624 在接觸孔 623 中連接到佈線 618，該接觸孔 623 貫通覆蓋 TFT 628、佈線、以及儲存電容器 630 的絕緣膜 620，並且也貫通覆蓋絕緣膜 620 的絕緣膜 622。可以適當地使用實施例模式 1 中所述的薄膜電晶體作為 TFT 628。此外，儲存電容器 630 包含第一電容器佈線 604、閘極絕緣膜 606 和第二電容器佈線 617，該第一電容器佈線 604 係以與 TFT 628 的閘極佈線 602 類似的方式來予以形成，而該第二電容器佈線 617 係以與佈線 616 和佈線 618 類似的方式來予以形成。另外，在圖 17 至圖 20 中，於 TFT 628 中，微晶半導體膜、緩衝層、用作為源極區或汲極區的添加有賦予一種導電性類型的雜質的半導體膜、也用作為源極電極或汲極電極的佈線係藉由相同的蝕刻程序而被圖案化，並且以幾乎相同的形狀來予以層疊。

藉由使像素電極 624、液晶層 650、以及對向電極

640 重疊，以形成液晶元件。

圖 18 示出基板 600 之上的結構。使用實施例模式 1 中所述的材料來形成像素電極 624。在像素電極 624 中設置有狹縫 625。狹縫 625 是用來控制液晶的配向的。

圖 18 所示的 TFT 629 和與其相連接的像素電極 626 及儲存電容器 631 分別可以用與 TFT 628、像素電極 624 及儲存電容器 630 類似的方式來予以形成。TFT 628 和 TFT 629 兩者都與佈線 616 相連接。該液晶顯示面板的像素包含像素電極 624 和像素電極 626。像素電極 624 和像素電極 626 是子像素。

圖 19 示出對向基板側上的結構。在遮光膜 632 之上形成有對向電極 640。對向電極 640 係較佳使用與像素電極 624 類似的材料來予以形成。在對向電極 640 之上形成有控制液晶的配向的突起部 644。此外，根據遮光膜 632 的位置而形成有隔離物 642。

圖 20 示出該像素結構的等效電路。TFT 628 和 TFT 629 兩者都連接到閘極佈線 602 及佈線 616。在此情況下，藉由使電容器佈線 604 和電容器佈線 605 的電位不同，可以使液晶元件 651 的操作和液晶元件 652 的操作不同。也就是說，藉由分別控制電容器佈線 604 和電容器佈線 605 的電位，以精確地控制液晶的配向及擴大視角。

當對設置有狹縫 625 的像素電極 624 施加電壓時，在狹縫 625 的附近產生電場畸變（傾斜電場）。藉由將該狹縫 625 和對向基板 601 側上的突起部 644 交替地配置以便

相互嚙合，且有效地產生傾斜電場以控制液晶的配向。因此，液晶之配向的方向視位置而改變。也就是說，藉由多域化來擴大液晶顯示面板的視角。

接著，對於與上述裝置不同的 VA 模式液晶顯示裝置，將參照圖 21 至圖 24 來進行說明。

圖 21 和圖 22 各自示出 VA 模式液晶顯示面板的像素結構。圖 22 是基板 600 的平面視圖，而圖 21 示出沿著圖 22 所示的虛線 Y-Z 的剖面結構。在下面的說明中，將參照上述兩個附圖來進行說明。

在這種像素結構中，一個像素具有多個像素電極，並且每個像素電極均與 TFT 相連接。各 TFT 被構成以便由不同的閘極信號來予以驅動。也就是說，在多域設計的像素中，獨立地控制施加到各個像素電極的信號。

在接觸孔 623 中，像素電極 624 藉由佈線 618 而被連接到 TFT 628。此外，在接觸孔 627 中，像素電極 626 藉由佈線 619 而被連接到 TFT 629。TFT 628 的閘極佈線 602 和 TFT 629 的閘極佈線 603 係彼此分離，以便可以供應不同的閘極信號。相反地，TFT 628 和 TFT 629 共同使用用作為資料線的佈線 616。做為 TFT 628 和 TFT 629 之各者，可以適當地使用實施例模式 1 中所述的薄膜電晶體。另外，還設置有電容器佈線 690。另外，在圖 21 至圖 30 中，在 TFT 628 及 TFT 629 中，作為源極區或汲極區的添加有賦予一種導電性類型的雜質的半導體膜、以及也用作為源極電極或汲極電極的佈線係藉由相同的蝕刻程

序而被圖案化，並且以幾乎相同的形狀來予以層疊。

像素電極 624 的形狀和像素電極 626 的形狀不同，並且像素電極係藉由狹縫 625 來予以分離。像素電極 626 被形成以便包圍伸展為 V 字形的像素電極 624 的外側。藉由 TFT 628 和 TFT 629 而使在像素電極 624 和像素電極 626 之間電壓施加的時序改變，以便控制液晶的配向。圖 24 示出該像素結構的等效電路。TFT 628 與閘極佈線 602 相連接，而 TFT 629 與閘極佈線 603 相連接。藉由將不同的閘極信號供應到閘極佈線 602 和閘極佈線 603，可以改變 TFT 628 和 TFT 629 的操作時序。

在對向基板 601 之上設置有遮光膜 632、彩色膜 636、和對向電極 640。此外，在彩色膜 636 和對向電極 640 之間形成平坦化膜 637，以防止液晶的配向無序 (disorder)。圖 23 示出對向基板側的結構。對向電極 640 被共同使用於不同的像素之間，且其中形成有狹縫 641。藉由配置該狹縫 641 以便和像素電極 624 及像素電極 626 側的狹縫 625 交替地嚙合，可以有效地產生傾斜電場而控制液晶的配向。據此，可以視位置而改變液晶的配向，以便擴大視角。

藉由使像素電極 624、液晶層 650、以及對向電極 640 互相重疊，以便形成第一液晶元件。此外，藉由使像素電極 626、液晶層 650、以及對向電極 640 相重疊，以形成第二液晶元件。另外，該結構為一多域結構，其中，在一個像素中包含有第一液晶元件和第二液晶元件。

接著，將敘述水平電場模式液晶顯示裝置。水平電場模式是一種方法，其中，藉由對於單元內的液晶分子在水平方向上施加電場，以便驅動液晶來表示灰度級。依據該方法，可以將視角擴大到大約 180° 。在下面的說明中，將說明採用水平電場模式的液晶顯示裝置。

圖 25 示出使設置有 TFT 628 和與 TFT 628 相連接的第二像素電極 624 的基板 600 和對向基板 601 相重疊並注入有液晶於其間的狀態。對向基板 601 係設置有遮光膜 632、彩色膜 636、及平坦化膜 637 等。因為像素電極係設置於基板 600 側，所以像素電極並不設置在對向基板 601 側。在基板 600 和對向基板 601 之間係形成有液晶層 650。

在基板 600 之上形成第一像素電極 607、連接到第一像素電極 607 的電容器佈線 604、以及實施例模式 1 中所述的 TFT 628。第一像素電極 607 可以是由與實施例模式 1 中所述的像素電極 77 類似的材料來予以形成。此外，第一像素電極 607 係以被大致區分為像素形狀的形狀來予以形成。注意，在第一像素電極 607 及電容器佈線 604 之上形成閘極絕緣膜 606。

TFT 628 的佈線 616 及佈線 618 係形成在閘極絕緣膜 606 之上。佈線 616 用做為在一個方向上延伸的資料線，而視頻信號係經由該資料線而被傳送在液晶顯示面板中的，並且係連接至 TFT 628 的源極區，而且用做為源極電極及汲極電極的其中一個電極。佈線 618 用做為源極電極

及汲極電極的另一個電極且係連接至第二像素電極 624。

在佈線 616 和佈線 618 之上形成絕緣膜 620。此外，在絕緣膜 620 之上形成第二像素電極 624，該第二像素電極 624 係在形成於絕緣膜 620 中的接觸孔中與佈線 618 相連接。第二像素電極 624 係由與實施例模式 1 中所述的像素電極 77 類似的材料所形成的。

藉由上述方式，在基板 600 之上形成 TFT 628 和與 TFT 628 相連接的第二像素電極 624。注意，儲存電容器係形成在第一像素電極 607 和第二像素電極 624 之間。

圖 26 是示出像素電極的結構的平面視圖。圖 25 為對應於圖 26 所示的虛線 O-P 的剖面結構。在第二像素電極 624 中設置狹縫 625。狹縫 625 是用來控制液晶的配向。在此情況下，在第一像素電極 607 和第二像素電極 624 之間產生電場。在第一像素電極 607 和第二像素電極 624 之間所形成的閘極絕緣膜 606 之厚度為 50 nm 至 200 nm，其與厚度為 2 至 10 μm 的液晶層相比係足夠薄。因此，實質上在與基板 600 平行的方向（水平方向）上產生電場。藉由該電場來控制液晶的配向。利用該幾乎平行於基板的方向上的電場而使液晶分子水平地旋轉。在此情況下，由於液晶分子在任何狀態下都處於水平狀態，所以視觀看的角度而在對比度等方面有少許的影響；因而，擴大視角。此外，因為第一像素電極 607 和第二像素電極 624 兩者都是透光電極，所以可以提高孔徑比。

接著，將敘述水平電場模式液晶顯示裝置的另一個例

子。

圖 27 和圖 28 各自示出 IPS 模式液晶顯示裝置的像素結構。圖 28 是平面視圖，而圖 27 示出沿著圖 28 所示的虛線 I-J 所取出的剖面結構。在下面的說明中，將參照上述的兩個附圖來進行說明。

圖 27 示出設置有 TFT 628 和與 TFT 628 相連接的第二像素電極 624 的基板 600 和對向基板 601 相重疊並注入液晶於其間的狀態。對向基板 601 係設置有遮光膜 632、第二彩色膜 636、和平坦化膜 637 等。因為像素電極係位於基板 600 側，所以像素電極並不設置在對向基板 601 側。在基板 600 和對向基板 601 之間形成有液晶層 650。

在基板 600 之上形成共同電位線 609、以及實施例模式 1 中所述的 TFT 628。共同電位線 609 係可以與薄膜電晶體 628 的閘極佈線 602 同時被形成。此外，共同電位線 609 係以大致區分為像素形狀的形狀來予以形成。

TFT 628 的佈線 616 和佈線 618 係形成在閘極絕緣膜 606 之上。佈線 616 用做為在一個方向上延伸的資料線，而視頻信號係經由該視頻信號而被傳送在液晶顯示面板中，且係連接至 TFT 628 的源極區，並用做為源極電極及汲極電極的其中一個電極。佈線 618 用做為源極電極及汲極電極的另一個電極且與第二像素電極 624 相連接。

在佈線 616 和佈線 618 之上形成絕緣膜 620。此外，在絕緣膜 620 之上形成第二像素電極 624，而該第二像素電極 624 在形成於絕緣膜 620 中的接觸孔 623 中與佈線

618 相連接。第二像素電極 624 係以與實施例模式 1 中所述的像素電極 77 類似的材料來予以形成。注意，如圖 28 所示，第二像素電極 624 被形成以便和與共同電位線 609 同時被形成的梳形電極產生水平電場。此外，第二像素電極 624 的梳形部分和與共同電位線 609 同時被形成的梳形電極被形成，以便互相交替地嚙合。

當在施加到第二像素電極 624 的電位與共同電位線 609 的電位之間產生電場時，藉由該電場來控制液晶的配向。利用幾乎平行於基板的方向上的該電場以使液晶分子水平地旋轉。在此情況下，由於液晶分子在任何狀態下都處於水平狀態，所以視觀看的角度而在對比度等方面有少許的影響；因而，擴大視角。

像這樣，在基板 600 之上形成 TFT 628 以及與 TFT 628 相連接的第二像素電極 624。儲存電容器係藉由閘極絕緣膜 606 的設置而被形成在共同電位線 609 和電容電極 615 之間。電容器電極 615 和第二像素電極 624 係連接於接觸孔 623 中。

接著，將敘述 IPS 模式液晶顯示裝置。

圖 29 和圖 30 各自示出 IPS 模式液晶顯示裝置的像素結構。圖 30 是平面視圖，而圖 29 示出沿著圖 30 所示的虛線 K-L 的剖面結構。在下面的說明中，將參照上述的兩個附圖來進行說明。

在接觸孔 623 中，第二像素電極 624 經由佈線 618 而與 TFT 628 相連接。用作為資料線的佈線 616 與 TFT 628

相連接。作為 TFT 628，可以應用實施例模式 1 中所述的 TFTs 的任何一種。

第二像素電極 624 係由實施例模式 1 中所述的像素電極 77 來予以形成。

在對向基板 601 之上設置有遮光膜 632、第二彩色膜 636、及對向電極 640。此外，在第二彩色膜 636 和對向電極 640 之間形成平坦化膜 637，以防止液晶的配向無序。液晶層 650 係形成在像素電極 624 和對向電極 640 之間，且具有配向膜 648 及配向膜 646 差置於其間。

藉由使像素電極 624、液晶層 650、以及對向電極 640 互相重疊，以形成液晶元件。

此外，也可以在基板 600 或對向基板 601 之上設置有濾色片、用來防止向錯（disclination）的屏蔽膜（黑矩陣）等。此外，在基板 600 的與形成有薄膜電晶體的面相對的面上貼附偏振片，或者在對向基板 601 的與形成有對向電極 640 的面相反的面上貼附偏振片。

藉由上述步驟，可以製造液晶顯示裝置作為顯示裝置。由於本實施例模式的液晶顯示裝置中使用截止電流少且電特性及可靠性都高的薄膜電晶體，因此液晶顯示裝置的對比度和可見度都高。

[實施例模式 8]

接著，下面將敘述本發明的顯示裝置的其中一個模式的顯示面板的結構。在本實施例模式中，將說明具有液

晶元件作為顯示元件的液晶顯示裝置的一個模式的液晶顯示面板（液晶顯示面板也被稱為液晶面板）、具有發光元件作為顯示元件的顯示裝置的一個模式的發光顯示面板（發光顯示面板也被稱為發光面板）。

圖 9A 示出一發光顯示面板的模式，其中係分開形成的信號線驅動電路 6013 與形成在基板 6011 之上的像素部 6012 相連接。像素部 6012 及掃描線驅動電路 6014 係各自自由包含微晶半導體膜的薄膜電晶體來予以形成。藉由形成一電晶體的信號線驅動電路，而藉由此電晶體可獲得比包含微晶半導體膜的薄膜電晶體更高的遷移率，可以使被要求有比掃描線驅動電路更高的驅動頻率的信息線驅動電路的操作穩定。注意，信號線驅動電路 6013 也可以由包含單晶半導體的電晶體、包含多晶半導體的薄膜電晶體、或包含 SOI 的電晶體來予以形成。像素部 6012、信號線驅動電路 6013、和掃描線驅動電路 6014 分別藉由 FPC 6015 來供給電源的電位、各種信號等等。

注意，信號線驅動電路及掃描線驅動電路也可以被形成在與像素部相同的基板之上。

另外，在另行形成驅動電路的情況下，不一定需要將形成有驅動電路的基板貼附在形成有像素部的基板上，例如也可以貼附在 FPC 上。圖 9B 示出一種顯示面板的模式，其中信號線驅動電路 6023 被分開形成，且該信號線驅動電路 6023 係與形成在基板 6021 之上的像素部 6022 及掃描線驅動電路 6024 相連接。像素部 6022 及掃描線驅

動電路 6024 各自係由包含微晶半導體膜的薄膜電晶體來予以形成。信號線驅動電路 6023 係藉由 FPC 6025 而與像素部 6022 相連接。像素部 6022、信號線驅動電路 6023、和掃描線驅動電路 6024 分別藉由 FPC 6025 來供給電源的電位、各種信號等等。

或者，也可以藉由採用使用微晶半導體膜的薄膜電晶體而只將信號線驅動電路的一部分或掃描線驅動電路的一部分形成在與像素部相同的基板之上，並且分開形成信號線驅動電路的其他部分並使其電連接到像素部。圖 9C 示出一顯示面板的模式，將信號線驅動電路中所包含的類比開關 6033a 形成在與像素部 6032、掃描線驅動電路 6034 相同的基板 6031 之上，並且將信號線驅動電路中所包含的移位暫存器 6033b 分開形成在不同的基板之上，而後黏貼於基板 6031。像素部 6032 及掃描線驅動電路 6034 係各自由包含微晶半導體膜的薄膜電晶體來予以形成。信號線驅動電路中所包含的移位暫存器 6033b 係經由 FPC 6035 而與像素部 6032 相連接。像素部 6032、信號線驅動電路、和掃描線驅動電路 6034 係分別經由 FPC 6035 來供給電源的電位、各種信號等等。

如圖 9A 至 9C 所示，在本發明的顯示裝置中，包含微晶半導體膜的薄膜電晶體之驅動電路的一部分或全部可以被形成在與像素部相同的基板之上。

注意，對於分開形成的基板的連接方法並沒有特別的限制，可以使用 COG 方法、打線接合方法、或 TAB 方法

等。此外，祇要能夠電連接，則連接位置並不局限於圖 9A 至 9C 所示的位置。另外，控制器、CPU、記憶體等也可以被分開形成及連接。

注意，使用於本發明的信號線驅動電路並不局限於只有包含移位暫存器和類比開關的模式。除了移位暫存器和類比開關之外，也可以包含其他電路，諸如緩衝器、位準偏移器、源極隨耦器等。此外，不一定設置移位暫存器和類比開關；例如，可以使用諸如解碼器電路(藉其而可選擇信號線)的不同電路來代替移位暫存器，或者可以使用鎖存器等來代替類比開關。

接著，將參照圖 12A 和 12B 來說明相當於本發明的顯示裝置的一個模式的發光顯示面板的外部視圖及剖面視圖。圖 12A 是一種面板的頂視圖，其中包含微晶半導體膜的薄膜電晶體及形成在第一基板之上的發光元件使用密封材料而被密封在第一基板與第二基板之間，而圖 12B 相當於沿著圖 12A 的線 E-F 的剖面視圖。

設置密封材料 4505 以便包圍設置在第一基板 4501 之上的像素部 4502 和掃描線驅動電路 4504。此外，在像素部 4502 和掃描線驅動電路 4504 之上設置有第二基板 4506。因此，藉由第一基板 4501、密封材料 4505 以及第二基板 4506 將像素部 4502 和掃描線驅動電路 4504 與填充料 4507 一起密封。另外，在第一基板 4501 之上的與由密封材料 4505 所包圍的區域不同的區域中安裝有使用多晶半導體膜所形成在不同基板上的信號線驅動電路 4503。

注意，雖然在本實施例模式中說明將具有使用多晶半導體膜之包含薄膜電晶體的信號線驅動電路貼附到第一基板 4501 的例子，但是信號線驅動電路可以使用包含單晶半導體的電晶體來予以形成並貼合於基板。圖 12B 例示包括在信號線驅動電路 4503 中之使用多晶半導體膜所形成的薄膜電晶體 4509。

此外，設置在第一基板 4501 之上的像素部 4502 和掃描線驅動電路 4504 各自包括多個薄膜電晶體，圖 12B 例示包括在像素部 4502 中的薄膜電晶體 4510 及 4520。注意，在本實施例模式中，雖然敘述了假定薄膜電晶體 4510 是驅動 TFT，但是薄膜電晶體 4510 可以是電流控制用 TFT 或者拭除資料用 TFT。薄膜電晶體 4510 及 4520 為各自使用微晶半導體膜的薄膜電晶體，且可以應用實施例模式 1、實施例模式 2 或者實施例模式 4 中所述的薄膜電晶體於薄膜電晶體 4510 及 4520 之各者，而且可以利用類似於實施例模式 1 至 5 的製造程序。在本實施例模式中，薄膜電晶體 4510 是使用添加有賦予 n 型導電性的雜質之半導體膜作為源極區及汲極區的 n 通道薄膜電晶體，而薄膜電晶體 4520 是使用添加有賦予 p 型導電性的雜質之半導體膜作為源極區及汲極區的 p 通道薄膜電晶體。本發明中的薄膜電晶體可以是 n 通道薄膜電晶體或者 p 通道薄膜電晶體，並且也可以將包含 n 通道薄膜電晶體及 p 通道薄膜電晶體的 CMOS（互補金屬氧化物半導體）設置於顯示裝置中。

另外，附圖標記 4511 表示發光元件，並且發光元件 4511 中所包含的像素電極係經由佈線 4517 而與薄膜電晶體 4510 的源極電極或汲極電極電連接。而且，在本實施例模式中，發光元件 4511 的共同電極和由透光導電材料所做的透明導電膜 4512 互相電連接。注意，發光元件 4511 的結構並不局限於本實施例模式中所述的結構。根據光從發光元件 4511 中所取出的方向、薄膜電晶體 4510 的導電性等，可以適當地改變發光元件 4511 的結構。

此外，雖然在圖 12B 的剖面視圖中並未示出，但是經由佈線 4514 及 4515 而從 FPC 4518 中供應施加給係分開形成的信號線驅動電路 4503、掃描線驅動電路 4504 或像素部 4502 的各種信號及電位。

在本實施例模式中，連接端子 4516 係由與發光元件 4511 中所包含的像素電極相同的導電膜所形成。另外，佈線 4514 及 4515 係由與佈線 4517 相同的導電膜所形成。

連接端子 4516 與 FPC 4518 中所包含的端子經由各向異性導電膜 4519 而電連接。

位於光從發光元件 4511 中所取出的方向上的基板必須為透明的。在此情況下，使用諸如玻璃板、塑膠板、聚酯膜或丙烯酸膜的透光材料。

另外，作為填料 4507，除了諸如氮或氬的惰性氣體之外，還可以使用紫外線硬化樹脂或熱固性樹脂。舉例來說，可以使用 PVC（聚氯乙烯）、丙烯酸、聚醯亞胺、環

氧樹脂、矽酮樹脂、PVB（聚乙稀醇縮丁醛）、或 EVA（乙稀-醋酸乙稀酯）。在本實施例模式中，使用氮作為填料 4507。

另外，若有需要，也可以在發光元件的發射表面上適當地設置諸如偏振片、圓形偏振片（包括橢圓形偏振片）、相位差板（ $\lambda/4$ 片或 $\lambda/2$ 片）、以及濾色片的光學膜。另外，偏振片或圓形偏振片可以設置有反反射膜。例如，可以實施防光眩處理，該處理能夠利用表面的凹凸來擴散反射光且減少反射。

注意，雖然圖 12A 和 12B 示出信號線驅動電路 4503 係分開形成並安裝到第一基板 4501 上的例子，但是本實施例模式並不局限於該結構。掃描線驅動電路可以被分開形成並黏貼於基板，或者僅信號線驅動電路的一部分或掃描線驅動電路的一部分可以被分開形成並黏貼於基板。

接著，將參照圖 16A 和 16B 來說明為本發明的液晶顯示裝置的其中一個模式的液晶顯示面板的外觀及剖面。圖 16A 是一面板的頂視圖，其中包括微晶半導體膜的薄膜電晶體 4010 及形成在第一基板 4001 之上的發光元件 4013 使用密封劑 4005 而被密封在第一基板 4001 與第二基板 4006 之間，而圖 16B 為沿著圖 16A 的線 M-N 所取出的剖面視圖。

密封劑 4005 被設置以便包圍形成在第一基板 4001 之上的像素部 4002 和掃描線驅動電路 4004。此外，在像素部 4002 和掃描線驅動電路 4004 之上設置第二基板

4006。因此，藉由第一基板 4001、密封材料 4005 以及第二基板 4006 而將像素部 4002 和掃描線驅動電路 4004 與液晶 4008 一起密封。另外，在第一基板 4001 之上的與由密封劑 4005 所包圍的區域不同的區域中安裝有使用多晶半導體膜而被形成在分開準備的基板之上的信號線驅動電路 4003。注意，在本實施例模式中，雖然說明將包含使用多晶半導體膜的薄膜電晶體的信號線驅動電路貼附到第一基板 4001 的例子，但是信號線驅動電路也可以由各自使用單晶半導體的電晶體來予以形成並被貼合至第一基板 4001。圖 16B 例示包括在信號線驅動電路 4003 中之使用多晶半導體膜所形成的薄膜電晶體 4009。

此外，設置在第一基板 4001 之上的像素部 4002 和掃描線驅動電路 4004 各自包括多個薄膜電晶體，圖 16B 例示包括在像素部 4002 中的薄膜電晶體 4010。薄膜電晶體 4010 為使用微晶半導體膜的薄膜電晶體，且可以應用實施例模式 1、實施例模式 2、或者實施例模式 4 中所述的任何薄膜電晶體，並可以使用與實施例模式 1 至 5 任何一者類似的製造程序。

此外，附圖標記 4013 表示液晶元件，該液晶元件 4013 中所包含的像素電極 4030 經由佈線 4040 而與薄膜電晶體 4010 電連接。而且，液晶元件 4013 的對向電極 4031 係提供給第二基板 4006。像素電極 4030、對向電極 4031、以及液晶 4008 互相重疊的部分相當於液晶元件 4013。

注意，作為第一基板 4001 和第二基板 4006 之各者，可以使用玻璃、金屬（典型的有不銹鋼）、陶瓷、或塑膠。對於塑膠而言，可以使用 FRP（纖維強化塑膠）板、PVF（聚氟乙烯）膜、聚酯膜或丙烯酸樹脂膜。此外，也可以採用具有使用 PVF 膜或聚酯膜來夾住鋁箔的結構的薄片。

另外，附圖標記 4035 表示球狀隔離物，且該球狀隔離物 4035 是設置來控制像素電極 4030 和對向電極 4031 之間的距離（單元間隙）。注意，也可以使用藉由選擇性地蝕刻絕緣膜所獲得到的隔離物。

此外，從 FPC 4018，經由導線 4014 和 4015 來供應供應到分開形成的信號線驅動電路 4003、掃描線驅動電路 4004 或像素部 4002 的各種信號及電位。

在本實施例模式中，連接端子 4016 係由與液晶元件 4013 所包含的像素電極 4030 相同的導電膜所形成。此外，導線 4014 和 4015 係由與佈線 4040 相同的導電膜所形成。

連接端子 4016 經由各向異性導電膜 4019 而被電連接到 FPC 4018 中所包含的端子。

注意，雖然未圖示出，但是本實施例模式中所述的液晶顯示裝置包含配向膜和偏振片，並且還可以包含濾色片及/或遮罩膜。

此外，雖然圖 16A 和 16B 示出信號線驅動電路 4003 被分開形成且被安裝於第一基板 4001 上的例子，但是本

實施例模式並不局限於該結構。掃描線驅動電路可以被分開形成且黏貼於基板，或者僅信號線驅動電路的一部分或掃描線驅動電路的一部分可以被分開形成且黏貼於基板。

本實施例模式可以適當地與其他實施例模式中所記載的結構相組合來予以實施。

[實施例模式 9]

藉由本發明所獲得到的顯示裝置等可以被使用於顯示模組（主動矩陣型 EL 模組或液晶模組）。也就是說，在將如此之模組結合入顯示部中的所有之電子設備中可以實施本發明。

作為這種電子設備的例子，可以舉出如下：影像拍攝裝置（諸如，攝影機及數位照相機）；頭戴式顯示器（護目鏡型顯示器）；汽車導航系統；投影機；汽車音響；個人電腦；可攜式資訊終端（例如，可攜式電腦、移動式電話、及電子書）等。圖 7A 至 7D 例示出了這些裝置的例子。

圖 7A 示出電視裝置。如圖 7A 所示，可以藉由將顯示模組嵌入到框體中來完成電視裝置。設置有組件一直到 FPC 的顯示面板也被稱為顯示模組。藉由使用顯示模組來形成主螢幕 2003，並且揚聲器部 2009、操作開關等係設置作為其他的附屬結構。像這樣，可以完成電視裝置。

如圖 7A 所示，將利用顯示元件的顯示面板 2002 安裝在框體 2001 中。電視裝置可以藉由接收器 2005 來接收

一般的電視廣播，而且，可以經由數據機 2004 而被連接到有線或無線通信網路，以便進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間）的資訊通信。可以藉由安裝在框體中的開關或與主體分開的遙控裝置 2006 來操作電視裝置。也可以在該遙控裝置中設置顯示即將被輸出之資訊的顯示部 2007。

另外，在電視裝置中，除了主螢幕 2003 之外，還可以包含使用第二顯示面板所形成子螢幕 2008，到顯示頻道、音量等。在這種結構中，可以使用視角優良的發光顯示面板來形成主螢幕 2003，並且可以使用能夠以低耗電量來顯示的液晶顯示面板以形成子螢幕 2008。另外，為了優先降低耗電量，也可以使用利用液晶顯示面板來形成主螢幕 2003，並且使用發光顯示面板來形成子螢幕 2008，而且使子螢幕 2008 可以被打開及關閉的結構。

圖 8 為電視裝置的主要結構的方塊圖。在顯示面板中，形成有像素部 901。信號線驅動電路 902 和掃描線驅動電路 903 可以藉由 COG 方法而被安裝到發光顯示面板上。

作為其他外部電路的結構，在圖像信號的輸入側設置有視頻信號放大電路 905、視頻信號處理電路 906、以及控制電路 907 等，該視頻信號放大電路 905 放大由調諧器 904 所接收到的信號中的視頻信號，該視頻信號處理電路 906 將從視頻信號放大電路 905 中所輸出的信號轉換為對應於紅、綠、藍之各個顏色的色度信號，該控制電路 907

將該視頻信號轉換為驅動器 IC 的輸入規格。控制電路 907 將信號輸出到掃描線側和信號線側兩側。在數位驅動的情況下，也可以採用如下結構，即在信號線側設置信號分割電路 908，使得可將輸入數位信號分成 m 個來做供給。

在由調諧器 904 所接收到的信號中，音頻信號被傳送到音頻信號放大電路 909，並且音頻信號放大電路 909 的輸出經由音頻信號處理電路 910 而被供給到揚聲器 913。控制電路 911 從輸入部 912 接收到接收站（接收頻率）或音量的控制資訊，並且將信號傳送到調諧器 904 及音頻信號處理電路 910。

不用說，本發明並不局限於電視裝置，且本發明可以適用於各種各樣的應用做為大型顯示媒體，諸如在火車站或機場等的資訊顯示板、及街頭上的廣告顯示板以及個人電腦的監視器。

圖 7B 示出移動式電話 2301 的一例。該移動式電話 2301 包括顯示部 2302、操作部 2303 等。當上述實施例模式中所述之顯示裝置被應用於顯示部 2302 時，可以提高移動式電話 2301 的可靠性及量產性。

圖 7C 所示的可攜式電腦包括主體 2401、顯示部 2402 等。藉由將上述實施例模式中所述的顯示裝置應用於顯示部 2402，可以提高可攜式電腦的可靠性及大量生產性。

圖 7D 顯示桌上式照明器具，其包括照明部 2501、燈罩 2502、可調式臂部 2503、支架 2504、燈座 2505、以及

電源開關 2506。可以藉由將本發明的顯示裝置應用於照明部 2501 來製造桌上式照明器具。注意，照明器具在其範疇中還包括天花板固定式的照明器具或壁掛式的照明器具等。藉由應用上述實施例模式中所述的顯示裝置，可以提高桌上式照明器具的可靠性及大量生產性。

本說明書根據 2007 年 8 月 31 日在日本專利局受理的日本專利申請編號 2007-227073 而製作，所述申請內容包括在本說明書中。

【圖式簡單說明】

圖 1 是說明依據本發明之實施例模式 1 的顯示裝置的視圖；

圖 2A 至 2E 是說明依據本發明之實施例模式 1 的顯示裝置的製造方法的視圖；

圖 3A 至 3C 是說明依據本發明之實施例模式 1 的顯示裝置的製造方法的視圖；

圖 4A 至 4D 是說明依據本發明之實施例模式 1 的顯示裝置的製造方法的視圖；

圖 5 是說明依據本發明之實施例模式 2 的顯示裝置的視圖；

圖 6A 至 6D 是說明依據本發明之實施例模式 2 的顯示裝置的製造方法的視圖；

圖 7A 至 7D 是示出應用本發明的電子設備的視圖；

圖 8 是示出應用本發明的電子設備的主要結構的方塊圖；

圖 9A 至 9C 是說明依據本發明之實施例模式 8 的顯

示裝置的視圖；

圖 10A 和 10B 是說明依據本發明之實施例模式 6 的顯示裝置的視圖；

圖 11A 至 11C 是說明依據本發明之實施例模式 6 的顯示裝置的製造方法的視圖；

圖 12A 和 12B 是說明依據本發明之實施例模式 8 的顯示裝置的視圖；

圖 13A 和 13B 是說明依據本發明之實施例模式 5 的電漿 CVD 裝置的平面圖；

圖 14 是說明依據本發明之實施例模式 1 的顯示裝置的視圖；

圖 15 是說明依據本發明之實施例模式 2 的顯示裝置的視圖；

圖 16A 和 16B 是說明依據本發明之實施例模式 8 的顯示裝置的視圖；

圖 17 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 18 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 19 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 20 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 21 是說明依據本發明之實施例模式 7 的顯示裝置

的視圖；

圖 22 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 23 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 24 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 25 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 26 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 27 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 28 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 29 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 30 是說明依據本發明之實施例模式 7 的顯示裝置的視圖；

圖 31 是說明依據本發明之實施例模式 4 的顯示裝置的製造方法的視圖；

圖 32A 至 32C 是說明依據本發明之實施例模式 4 的顯示裝置的製造方法的視圖；

圖 33A 至 33C 是說明依據本發明之實施例模式 4 的顯示裝置的製造方法的視圖。

【 主 要 元 件 符 號 說 明 】

- 50：基板
- 51：閘極電極
- 52a：閘極絕緣膜
- 52b：閘極絕緣膜
- 53：微晶半導體膜
- 54：緩衝層
- 61：微晶半導體膜
- 62：緩衝層
- 63：半導體膜
- 65a-65c：導電膜
- 66：遮罩
- 71a, 71b, 71c：源極及汲極電極
- 72：源極及汲極區
- 74：薄膜電晶體
- 76：絕緣膜
- 77：像素電極
- 79：通道阻絕型薄膜電晶體
- 80：通道保護層
- 81：雜質區
- 82：雜質元素
- 85：薄膜電晶體
- 86：薄膜薄膜電晶體
- 87：絕緣膜
- 100：基板

- 111：平坦化膜
- 112：像素電極
- 113：隔離牆
- 114：發光層
- 115：共同電極
- 116：保護膜
- 117：發光元件
- 250：基板
- 251：閘極電極
- 252a：閘極絕緣膜
- 252b：閘極絕緣膜
- 261：微晶半導體膜
- 262：緩衝層
- 271a-271c：源極及汲極電極
- 272：源極及汲極區
- 274：通道阻絕型薄膜電晶體
- 276：絕緣膜
- 277：像素電極
- 279：通道阻絕型薄膜電晶體
- 280：通道保護層
- 281：雜質區
- 600：基板
- 601：對向基板
- 602：閘極佈線
- 603：閘極佈線

604：第一電容器佈線

605：電容器佈線

606：閘極絕緣膜

609：共同電位線

615：電容器電極

616：佈線

617：第二電容器佈線

618：佈線

619：佈線

620：絕緣膜

622：絕緣膜

623：接觸孔

624：像素電極

625：狹縫

626：像素電極

627：接觸孔

628：薄膜電晶體

629：薄膜電晶體

630：儲存電容器部

631：儲存電容器

632：遮光膜

634：第一彩色膜

636：第二彩色膜

638：第三彩色膜

640：對向電極

641：狹縫

642：隔離物

644：突出部

646：配向膜

648：配向膜

650：液晶層

651：液晶元件

652：液晶元件

690：電容器佈線

850：基板

851：閘極電極

852a：閘極絕緣膜

852b：閘極絕緣膜

854：緩衝層

861：微晶半導體膜

862：緩衝層

863：半導體膜

865a-865c：導電膜

866：遮罩

871a-871c：源極及汲極電極

872：源極及汲極區

874：通道阻絕型薄膜電晶體

876：絕緣膜

877：像素電極

880：通道保護層

882：雜質元素

883：雜質區

884：雷射光

901：像素部

902：信號線驅動電路

903：掃描線驅動電路

904：調諧器

905：視頻信號放大電路

906：視頻信號處理電路

907：控制電路

908：信號分割電路

909：音頻信號放大電路

910：音頻信號處理電路

911：控制電路

912：輸入部

913：揚聲器

1110：裝載室

1111：反應室(1)

1112：反應室(2)

1113：反應室(3)

1114：反應室(4)

1115：卸載室

1122-1127：閘閥

1120：共同室

1128：盒子

1129：盒子

1121：傳送機構

2001：框體

2002：顯示面板

2004：數據機

2005：接收器

2006：遙控裝置

2007：顯示部

2003：主螢幕

2008：子螢幕

2301：移動式電話

2302：顯示部

2303：操作部

2401：主體

2402：顯示部

2501：照明部

2502：燈罩

2503：可調式臂部

2504：支架

2505：燈座

2506：電源開關

4001：第一基板

4002：像素部

4003：信號線驅動電路

4004：掃描線驅動電路

4005：密封材料

4006：第二基板

4008：液晶

4009：薄膜電晶體

4010：薄膜電晶體

4013：液晶元件

4030：像素電極

4031：對向電極

4040：佈線

4501：第一基板

4502：像素部

4503：信號線驅動電路

4504：掃描線驅動電路

4505：密封材料

4506：第二基板

4507：填料

4509：薄膜電晶體

4510：薄膜電晶體

4511：發光元件

4512：透明導電膜

4514：佈線

- 4515：佈線
- 4516：連接端子
- 4517：佈線
- 4518：可撓性印刷電路
- 4519：各向異性導電膜
- 4520：薄膜電晶體
- 6011：基板
- 6012：像素部
- 6013：信號線驅動電路
- 6014：掃描線驅動電路
- 6015：可撓性印刷電路
- 6021：基板
- 6022：像素部
- 6023：信號線驅動電路
- 6024：掃描線驅動電路
- 6025：可撓性印刷電路
- 6031：基板
- 6032：像素部
- 6033a：類比開關
- 6033b：移位暫存器
- 6034：掃描線驅動電路
- 6035：可撓性印刷電路
- 7001：驅動薄膜電晶體
- 7002：發光元件

7003：陰極
7004：發光層
7005：陽極
7011：驅動薄膜電晶體
7012：發光元件
7013：陰極
7014：發光層
7015：陽極
7016：屏蔽膜
7021：驅動薄膜電晶體
7022：發光元件
7023：陰極
7024：發光層
7025：陽極
7027：透光導電膜

十、申請專利範圍

1. 一種顯示裝置，包括：

閘極電極；

該閘極電極之上的閘極絕緣膜；

該閘極絕緣膜之上的包含通道形成區的微晶半導體膜；

該微晶半導體膜之上的緩衝層；

該緩衝層之上的與該微晶半導體膜的該通道形成區相重疊的區域中的通道保護層；

該通道保護層及該緩衝層之上的源極區及汲極區；以及

該源極區及該汲極區之上的源極電極及汲極電極，

其中，在該微晶半導體膜的該通道形成區中選擇性地設置含有賦予一種導電性類型的雜質元素的雜質區。

2. 如申請專利範圍第 1 項所述的顯示裝置，其中，在該微晶半導體膜的該通道形成區中，於該源極電極及該汲極電極之間設置該雜質區。

3. 如申請專利範圍第 1 項所述的顯示裝置，其中，賦予一種導電性類型的該雜質元素是賦予 p 型導電性的雜質元素。

4. 如申請專利範圍第 1 項所述的顯示裝置，其中，該緩衝層係由非晶半導體膜所形成。

5. 如申請專利範圍第 4 項所述的顯示裝置，其中，該緩衝層係由含氮的非晶半導體膜所形成。

6. 如申請專利範圍第 4 項所述的顯示裝置，其中，該緩衝層係由含氫的非晶半導體膜所形成。

7. 如申請專利範圍第 4 項所述的顯示裝置，其中，該緩衝層係由含氟、氯、溴、或者碘的非晶半導體膜所形成。

8. 如申請專利範圍第 4 項所述的顯示裝置，其中，該緩衝層是其中所含的氮、碳、以及氧的總濃度係等於或大於 $1 \times 10^{20} \text{ atoms/cm}^3$ 且等於或小於 $1.5 \times 10^{21} \text{ atoms/cm}^3$ 的非晶半導體膜。

9. 一種顯示裝置，包括：

閘極電極；

該閘極電極之上的閘極絕緣膜；

該閘極絕緣膜之上的包含通道形成區的微晶半導體膜；

在與該微晶半導體膜的該通道形成區相重疊的區域中的通道保護層；

該微晶半導體膜及該通道保護層之上的緩衝層；

該緩衝層之上的源極區及汲極區；以及

該源極區及該汲極區之上的源極電極及汲極電極，

其中，在該微晶半導體膜的該通道形成區中選擇性地設置含有賦予一種導電性類型的雜質元素的雜質區，並且

其中，該緩衝層係由含氮的非晶半導體膜所形成。

10. 如申請專利範圍第 9 項所述的顯示裝置，其中，在該微晶半導體膜的該通道形成區中，於該源極電極及該

汲極電極之間設置該雜質區。

11. 如申請專利範圍第 9 項所述的顯示裝置，其中，賦予一種導電性類型的該雜質元素是賦予 p 型導電性的雜質元素。

12. 如申請專利範圍第 9 項所述的顯示裝置，其中，該緩衝層係由含氫的該非晶半導體膜所形成。

13. 如申請專利範圍第 9 項所述的顯示裝置，其中，該緩衝層係由含氟、氯、溴、或者碘的該非晶半導體膜所形成。

14. 如申請專利範圍第 9 項所述的顯示裝置，其中，該緩衝層是其中所含的該氮、碳、以及氧的總濃度係等於或大於 $1 \times 10^{20} \text{ atoms/cm}^3$ 且等於或小於 $1.5 \times 10^{21} \text{ atoms/cm}^3$ 的非晶半導體膜。

15. 一種顯示裝置的製造方法，包括如下步驟：

在基板之上形成閘極電極；

在該閘極電極之上形成閘極絕緣膜；

在該閘極絕緣膜之上形成微晶半導體膜，該微晶半導體膜包含通道形成區；

在該微晶半導體膜之上形成緩衝層；

在該緩衝層之上與該通道形成區相重疊的區域中形成通道保護層；

在該通道保護層之上形成源極區及汲極區；

在該源極區及該汲極區之上形成源極電極及汲極電極；以及

藉由使用該源極電極及該汲極電極做為掩罩，經由該緩衝層及該通道保護層，在該微晶半導體膜的該通道形成區中選擇性地添加賦予一種導電性類型的雜質元素，以形成雜質區。

16. 如申請專利範圍第 15 項所述的顯示裝置的製造方法，在形成該雜質區之後，還包括經由該通道保護層，以雷射光來照射該雜質區的步驟。

17. 一種顯示裝置的製造方法，包括如下步驟：

在基板之上形成閘極電極；

在該閘極電極之上形成閘極絕緣膜；

在該閘極絕緣膜之上形成微晶半導體膜，該微晶半導體膜包含通道形成區；

在該通道形成區之上形成通道保護層；

在該通道保護層之上形成緩衝層；

在該緩衝層之上形成源極區及汲極區；

在該源極區及該汲極區之上形成源極電極及汲極電極；以及

藉由使用該源極電極及該汲極電極做為掩罩，經由該通道保護層，在該微晶半導體膜的該通道形成區中選擇性地添加賦予一種導電性類型的雜質元素，以形成雜質區。

18. 如申請專利範圍第 17 項所述的顯示裝置的製造方法，在形成該雜質區之後，還包括經由該通道保護層，以雷射光來照射該雜質區的步驟。

圖 1

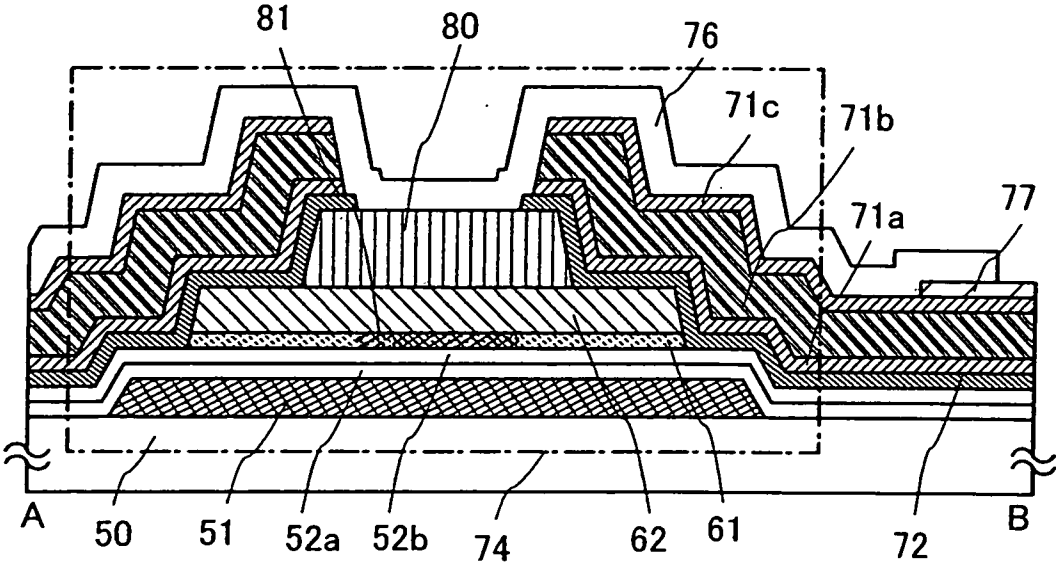


圖 2A

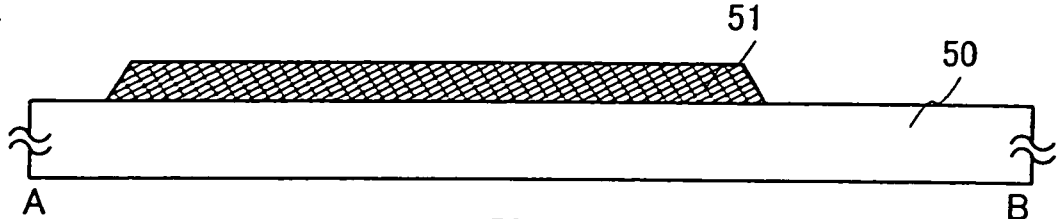


圖 2B

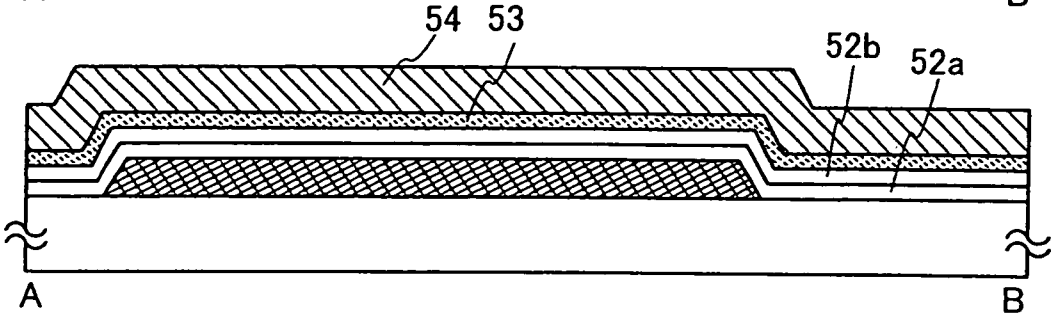


圖 2C

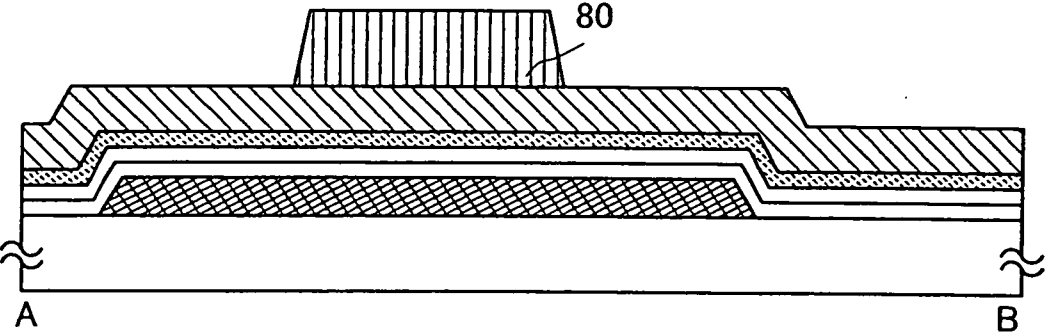


圖 2D

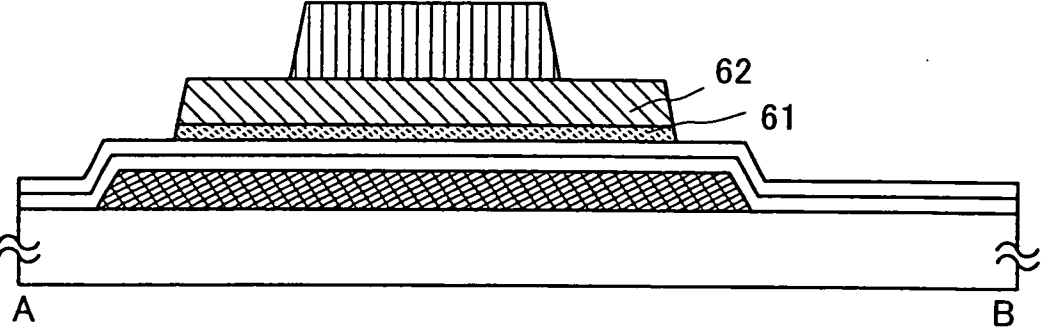


圖 2E

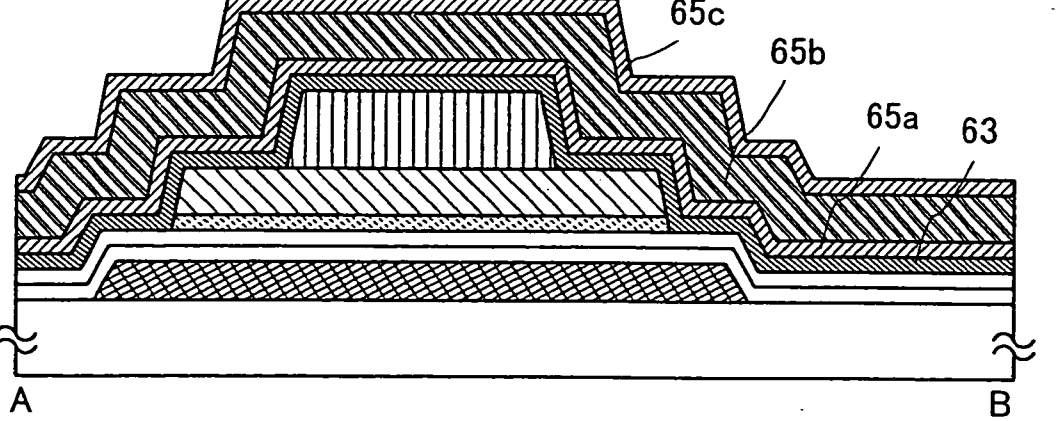


圖 3A

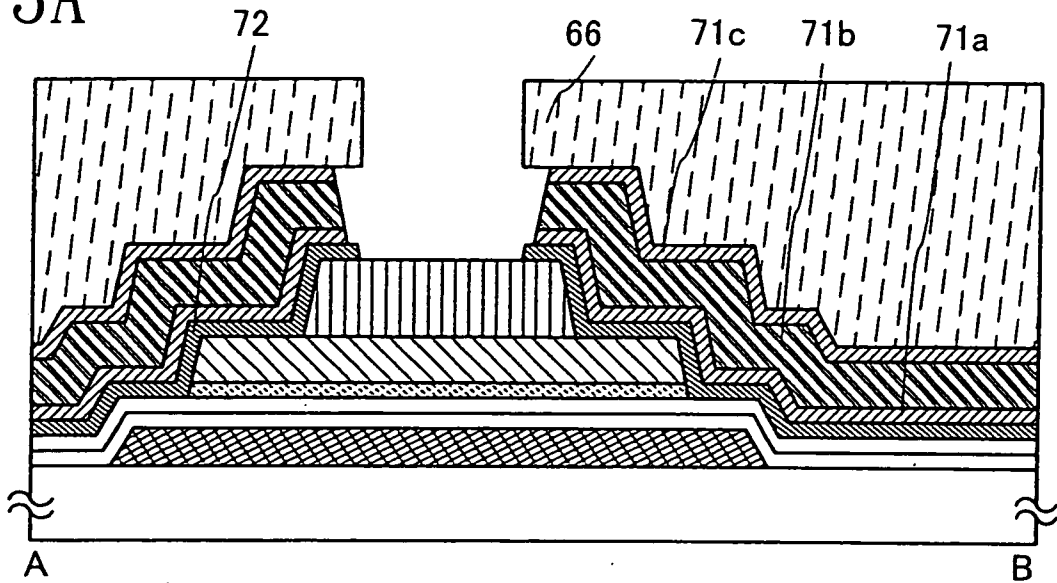


圖 3B

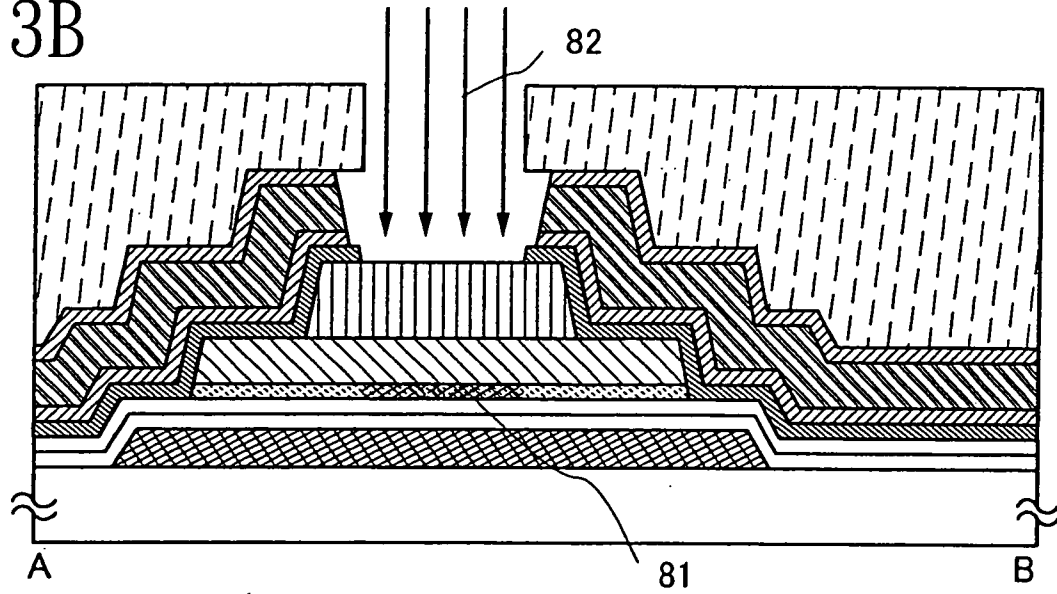


圖 3C

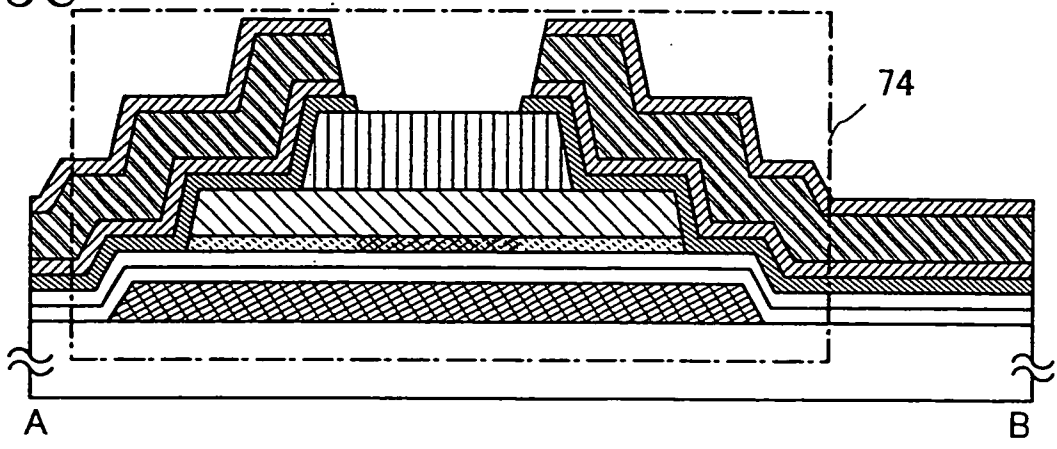


圖 4A

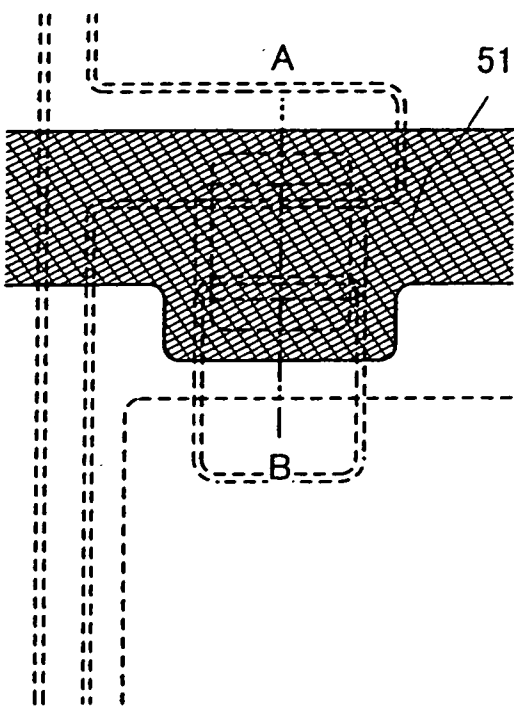


圖 4B

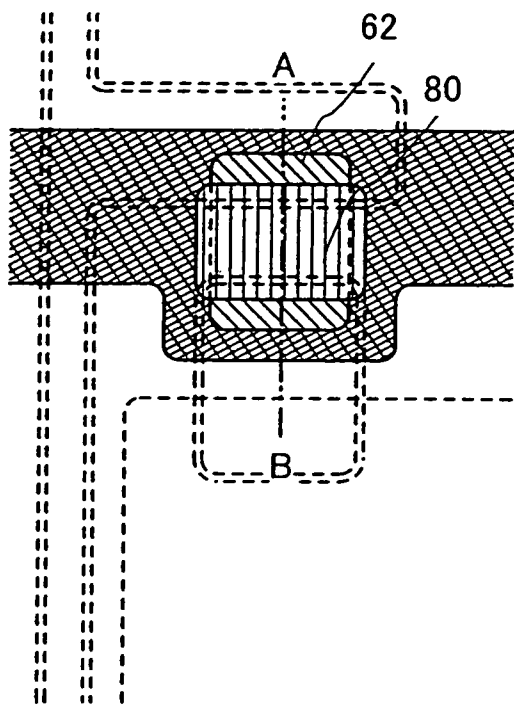


圖 4C

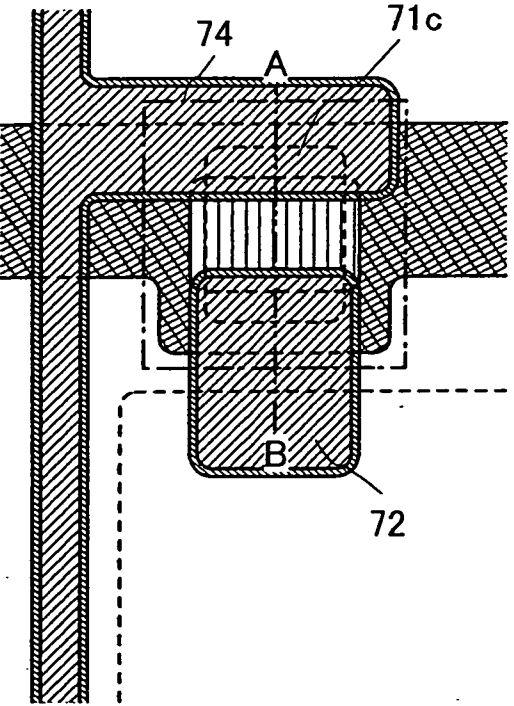


圖 4D

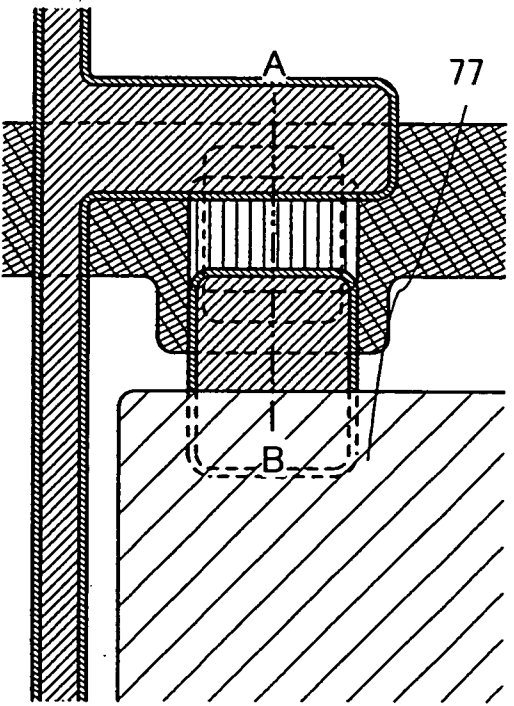


圖5

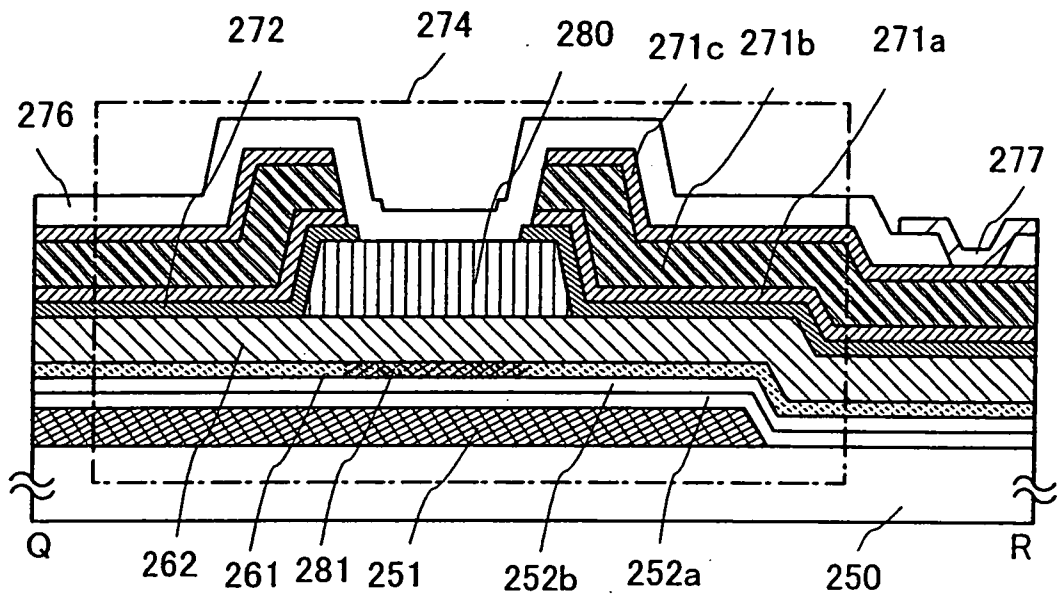


圖 6A

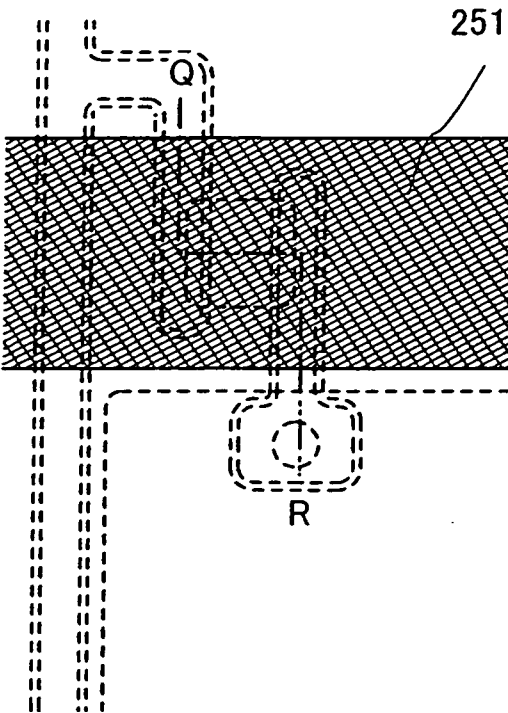


圖 6B

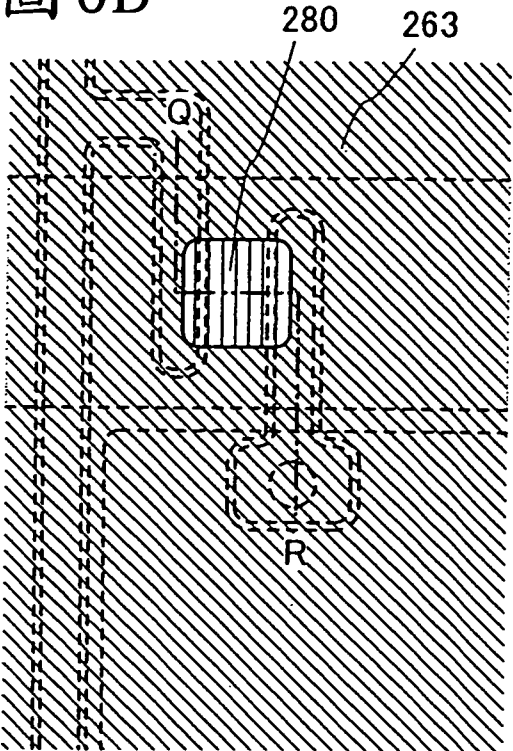


圖 6C

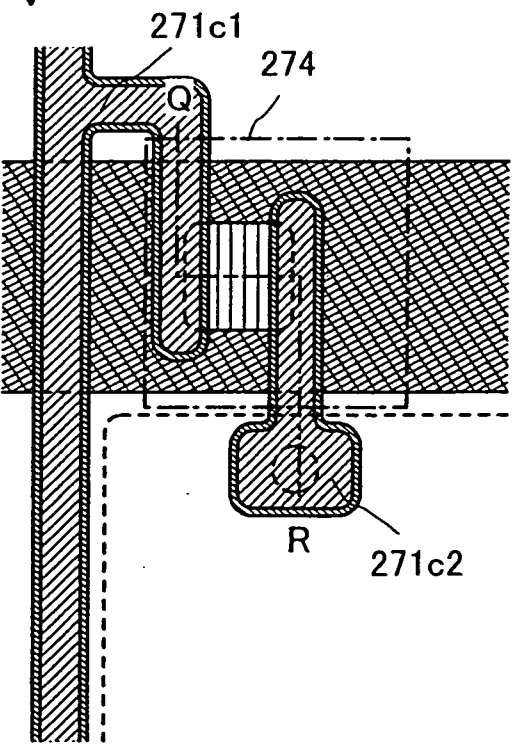


圖 6D

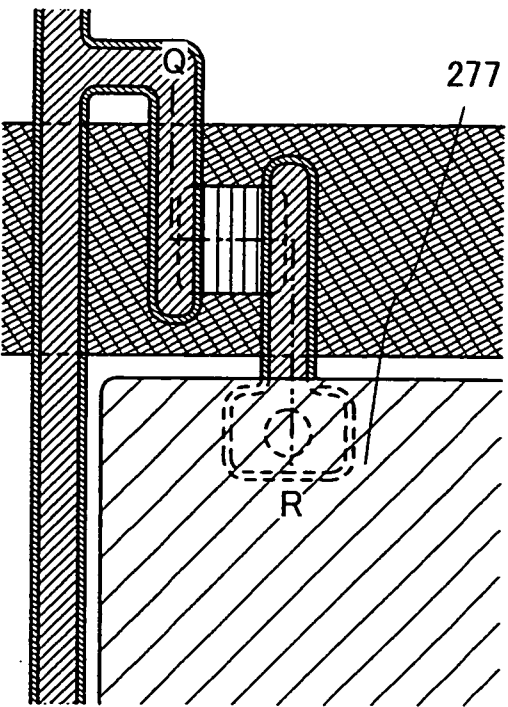


圖 7A

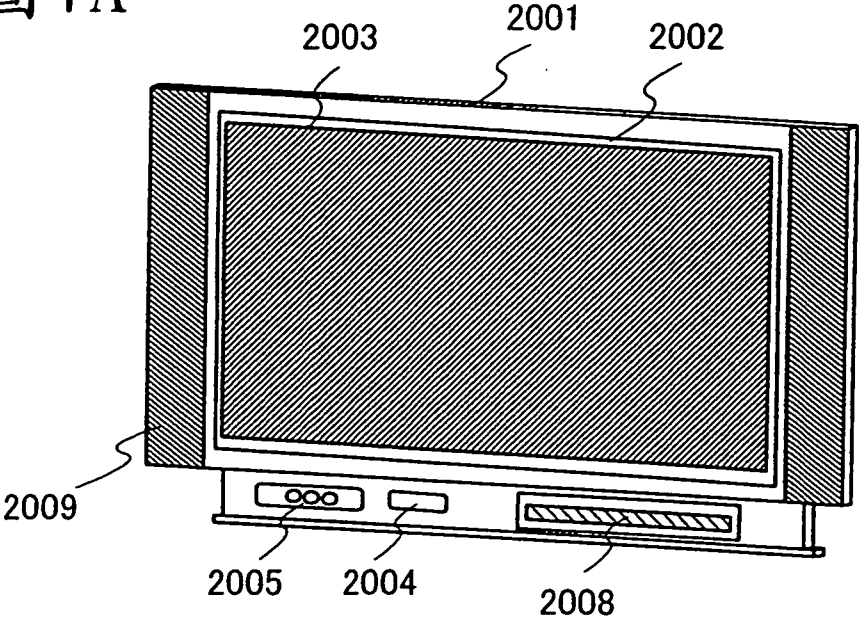
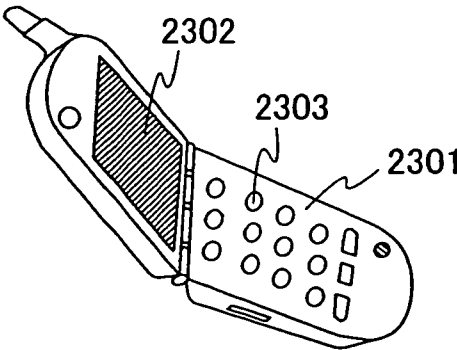
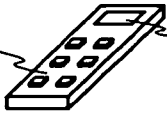


圖 7B



2006



2007

圖 7C

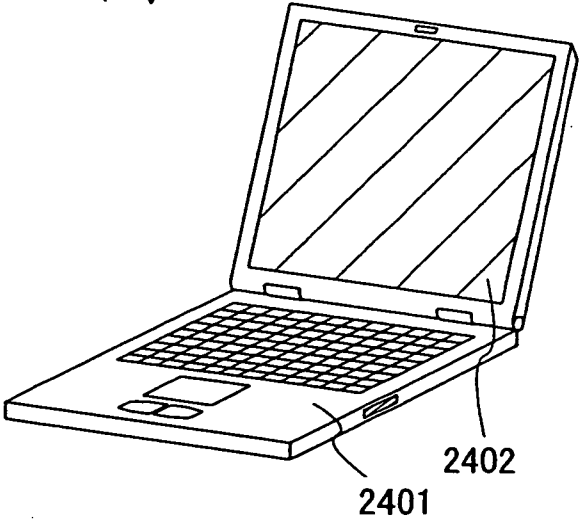


圖 7D

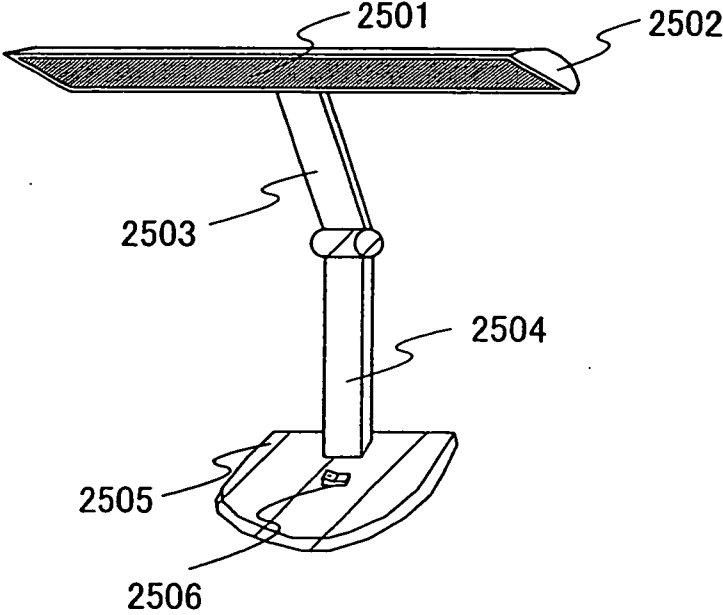


圖 8

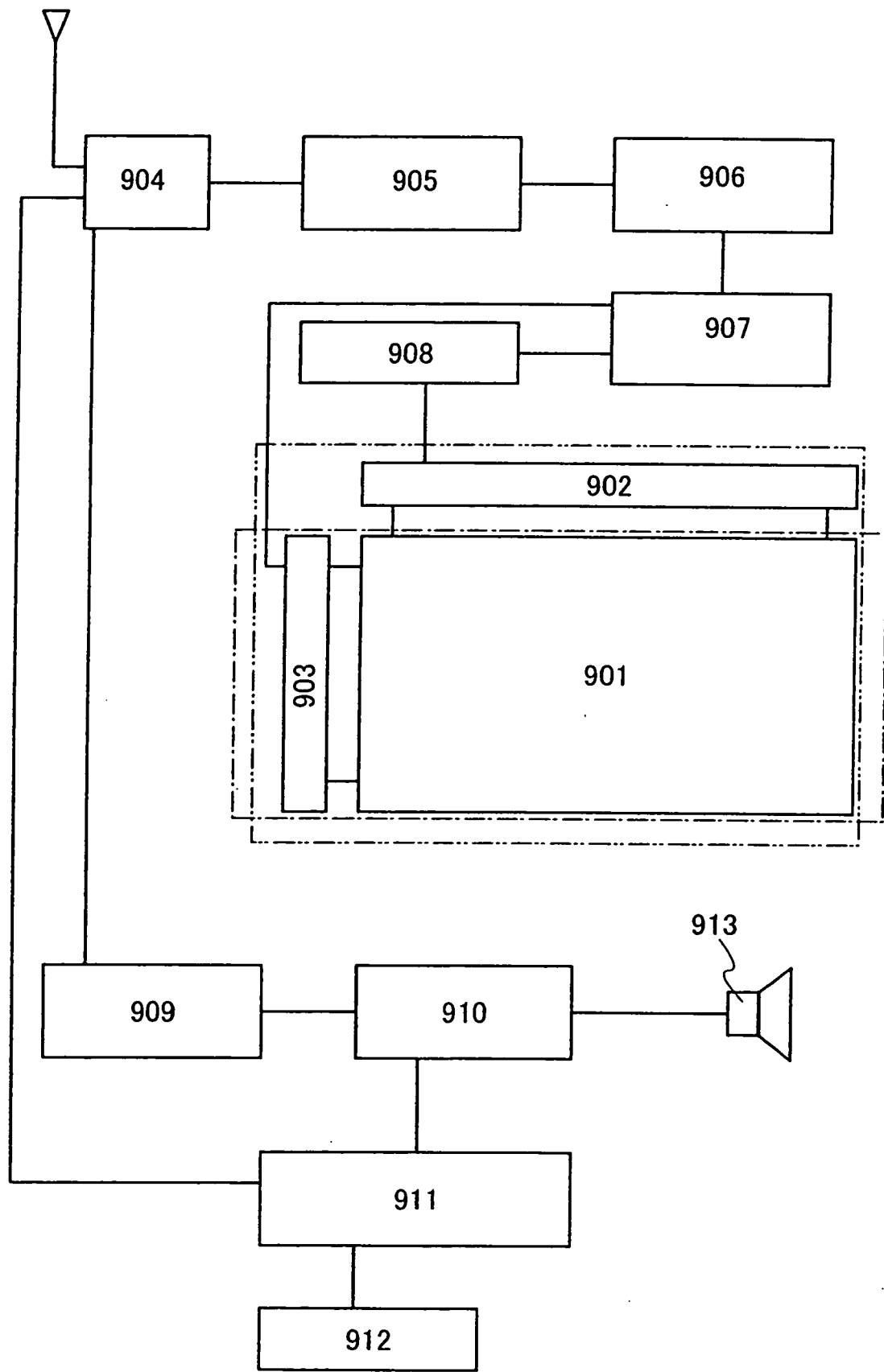


圖 9A

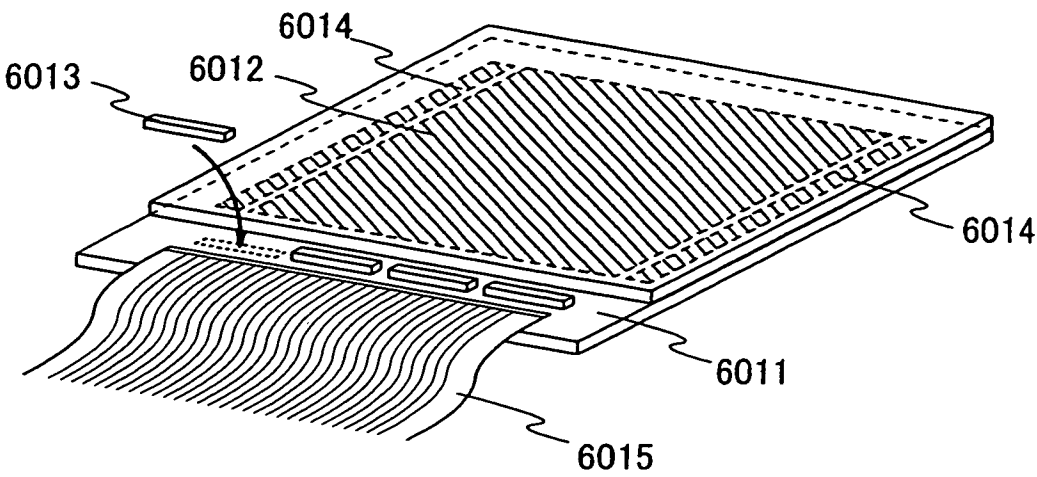


圖 9B

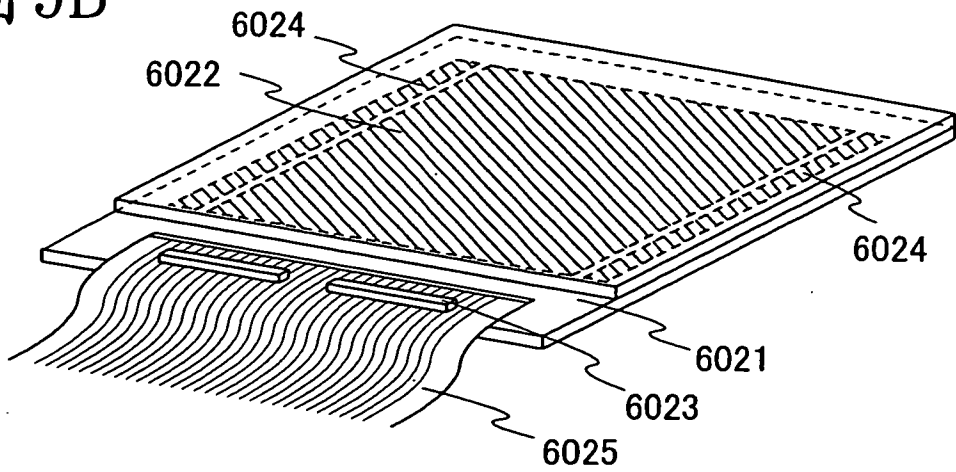


圖 9C

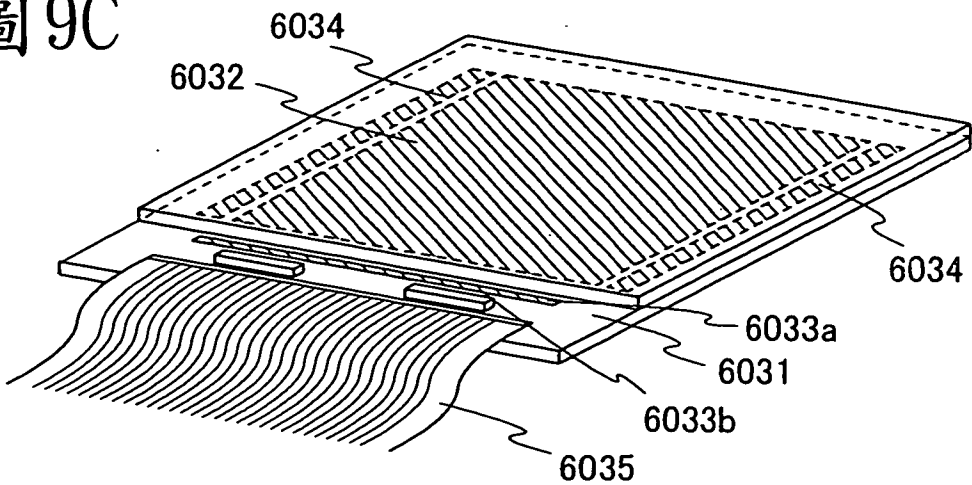


圖10A

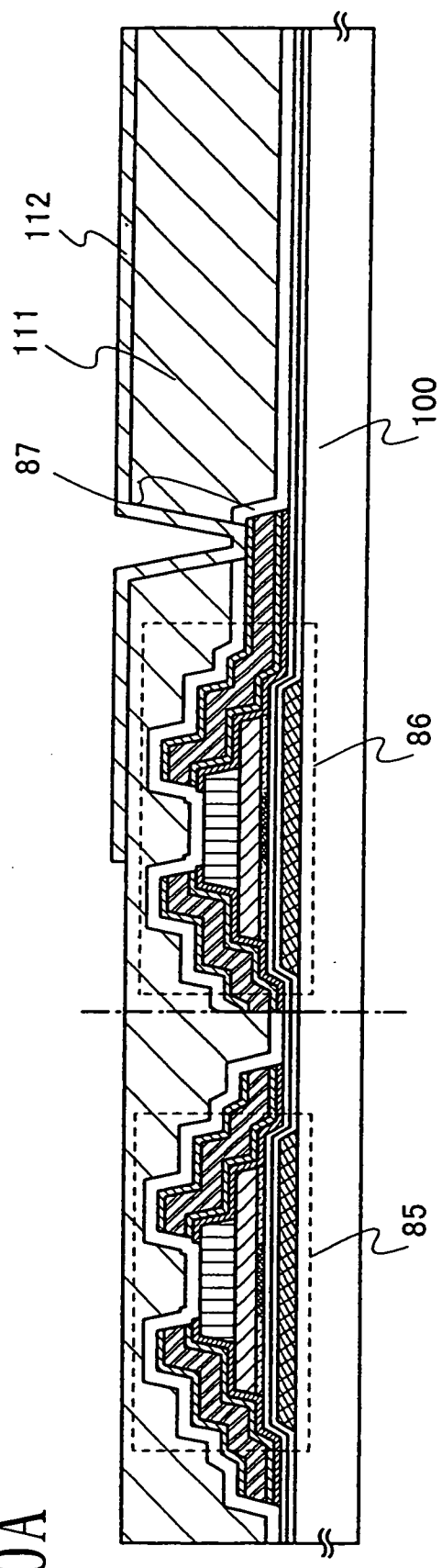


圖10B

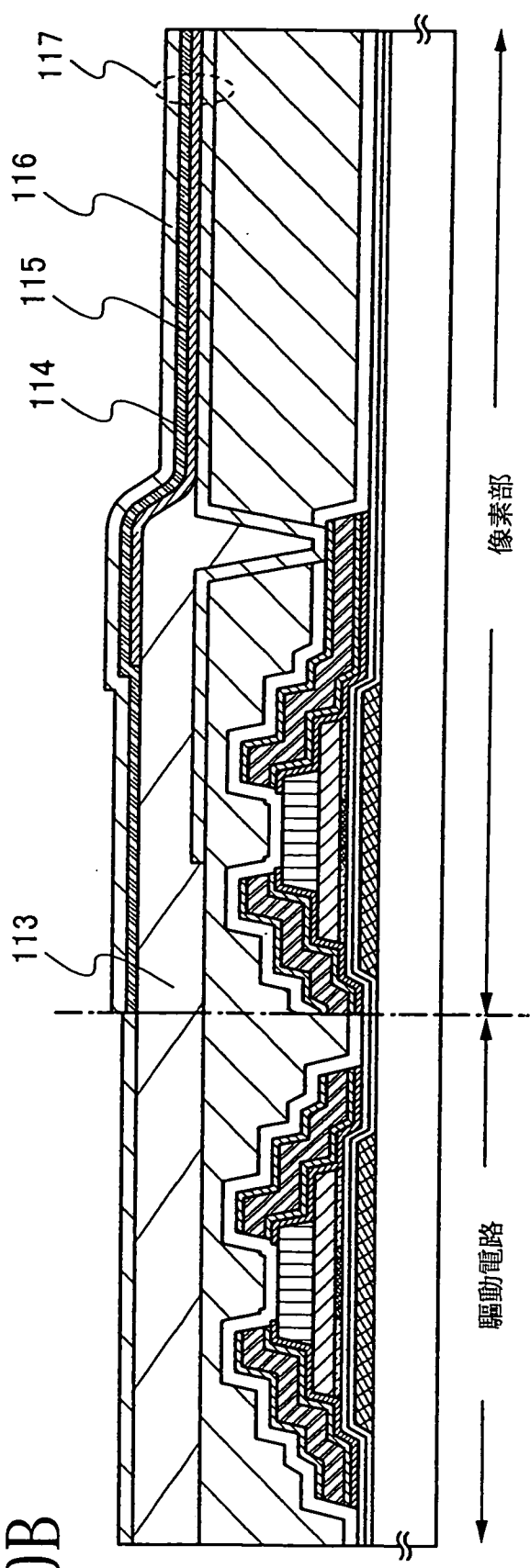


圖 11A

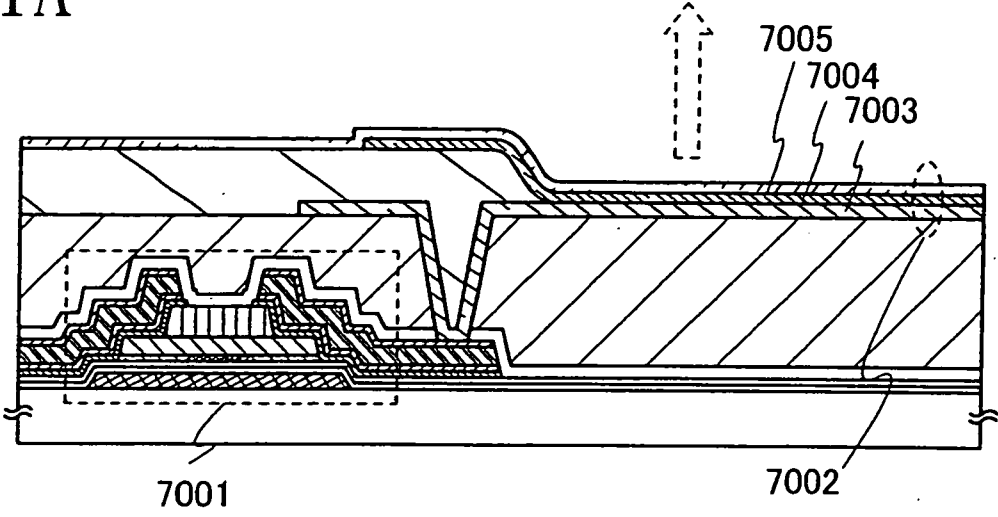


圖 11B

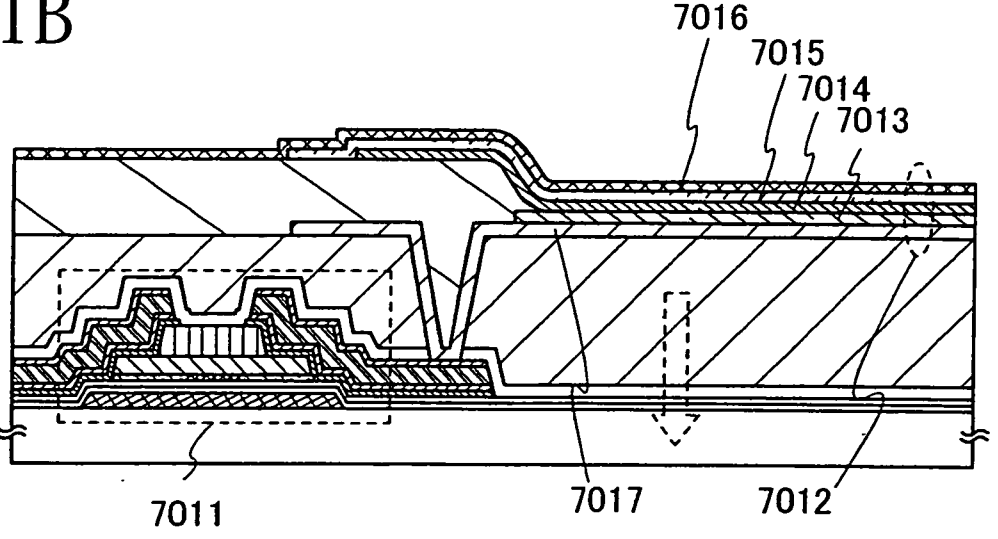


圖 11C

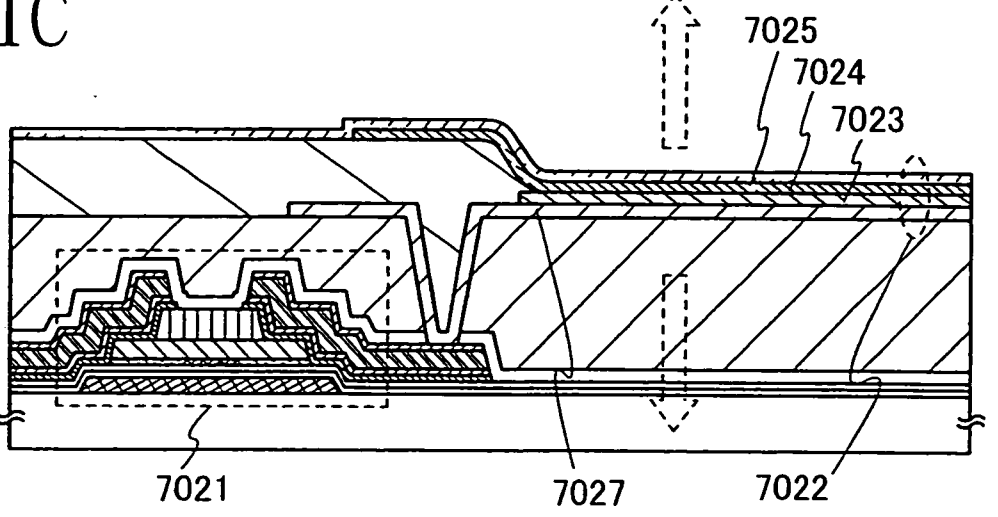


圖 12A

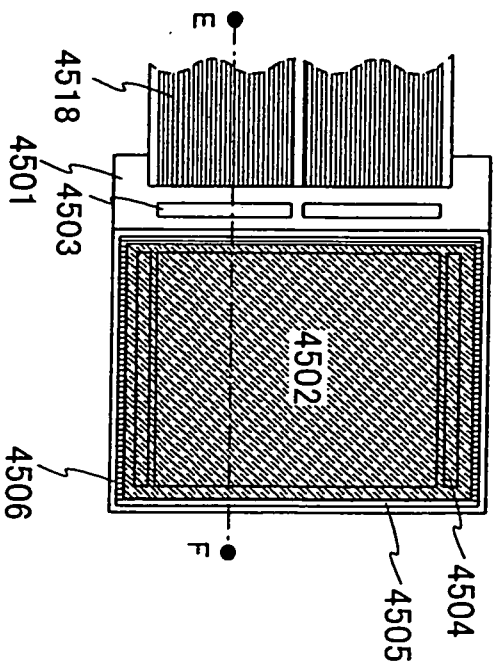


圖 12B

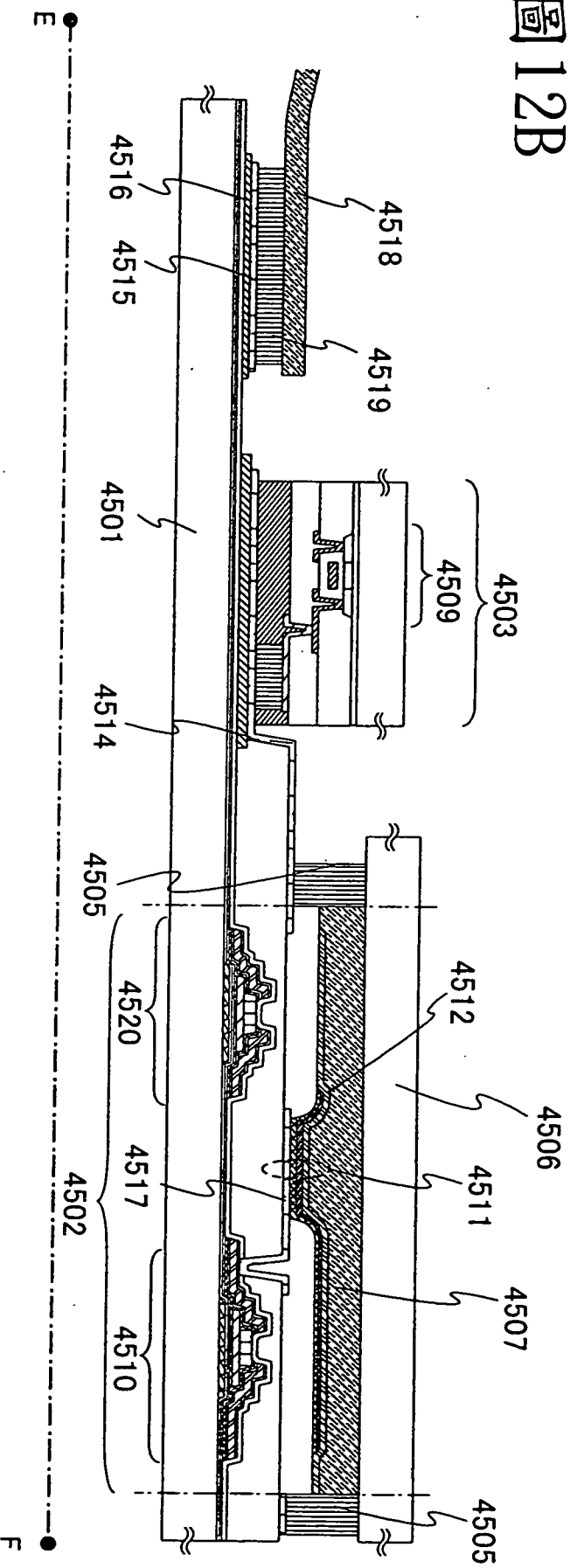


圖 13A

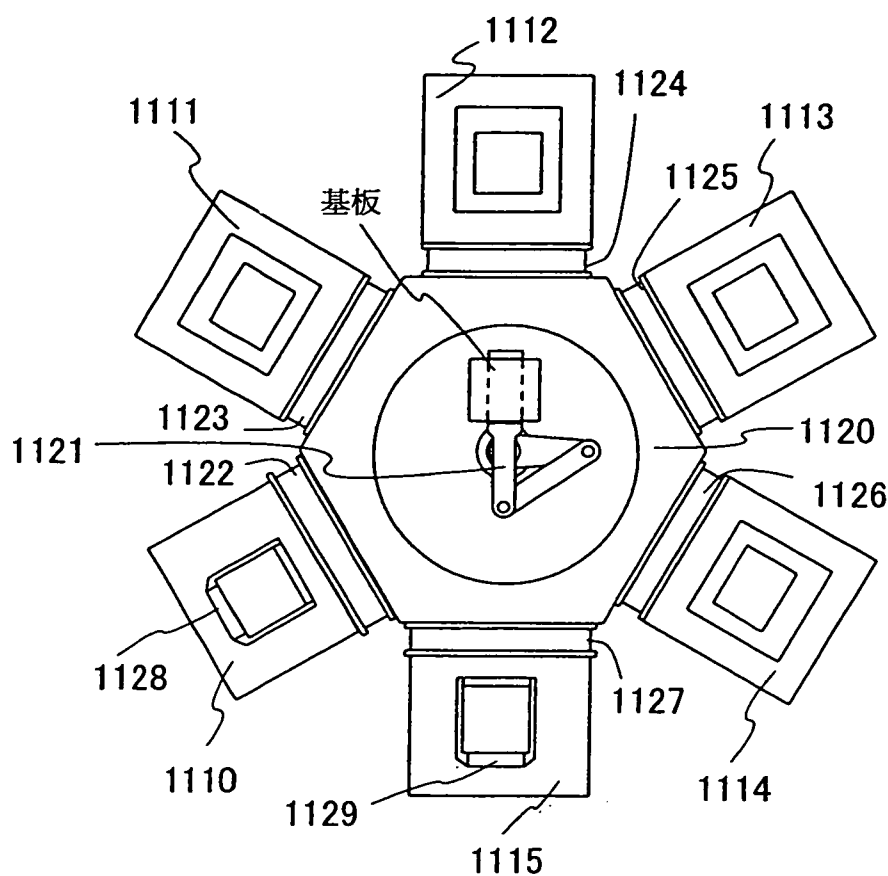


圖 13B

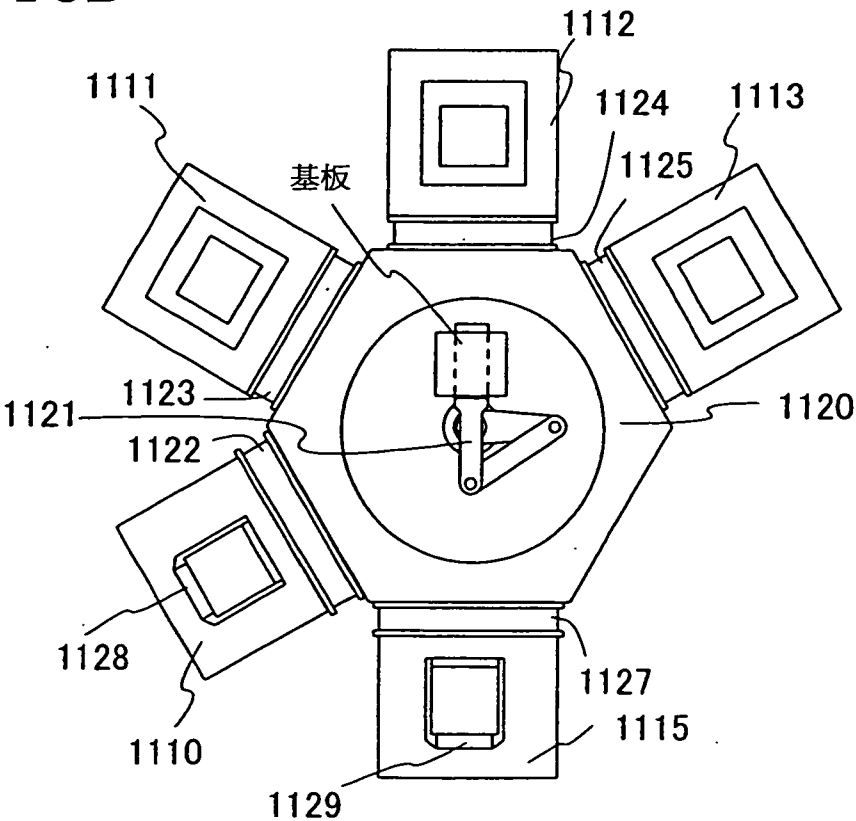


圖 14

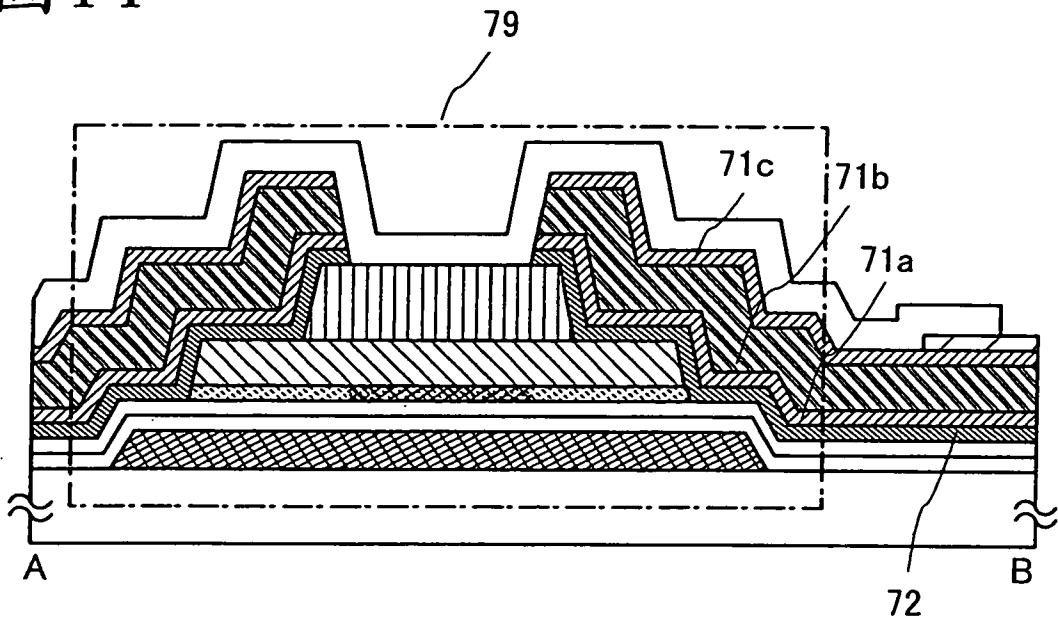


圖 15

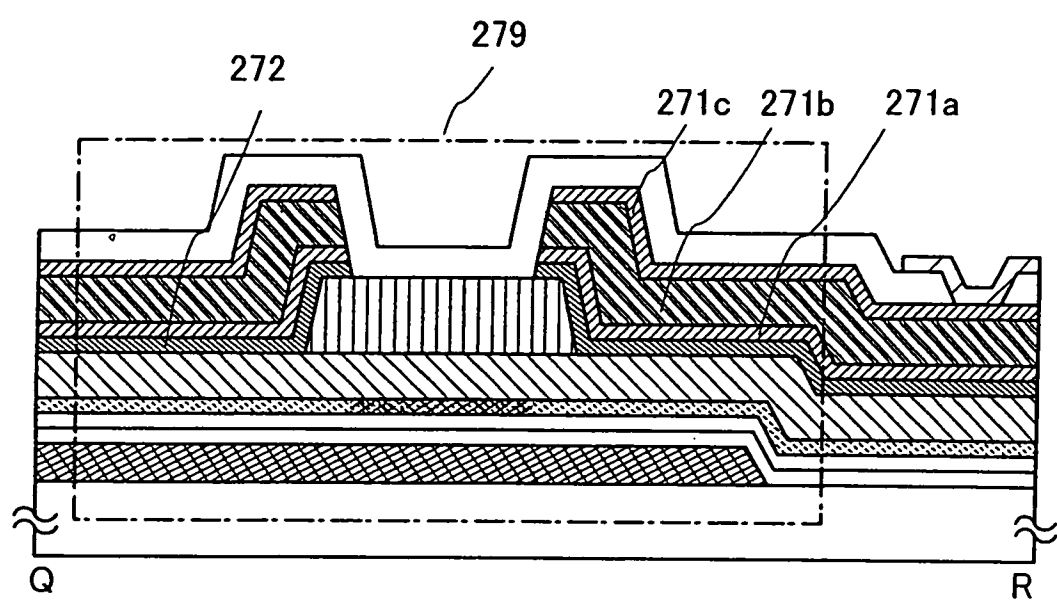


圖 16A

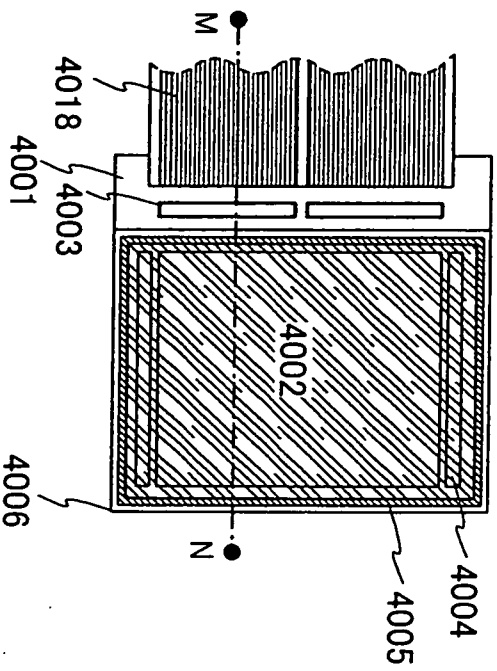


圖 16B

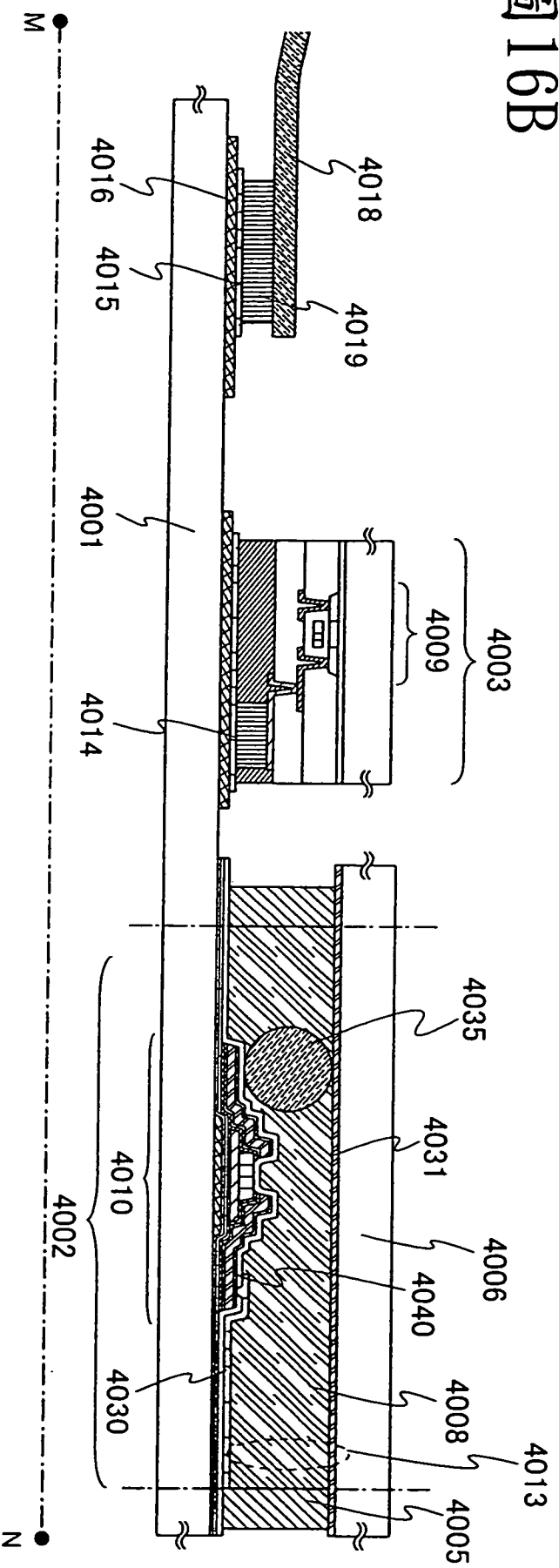


圖17

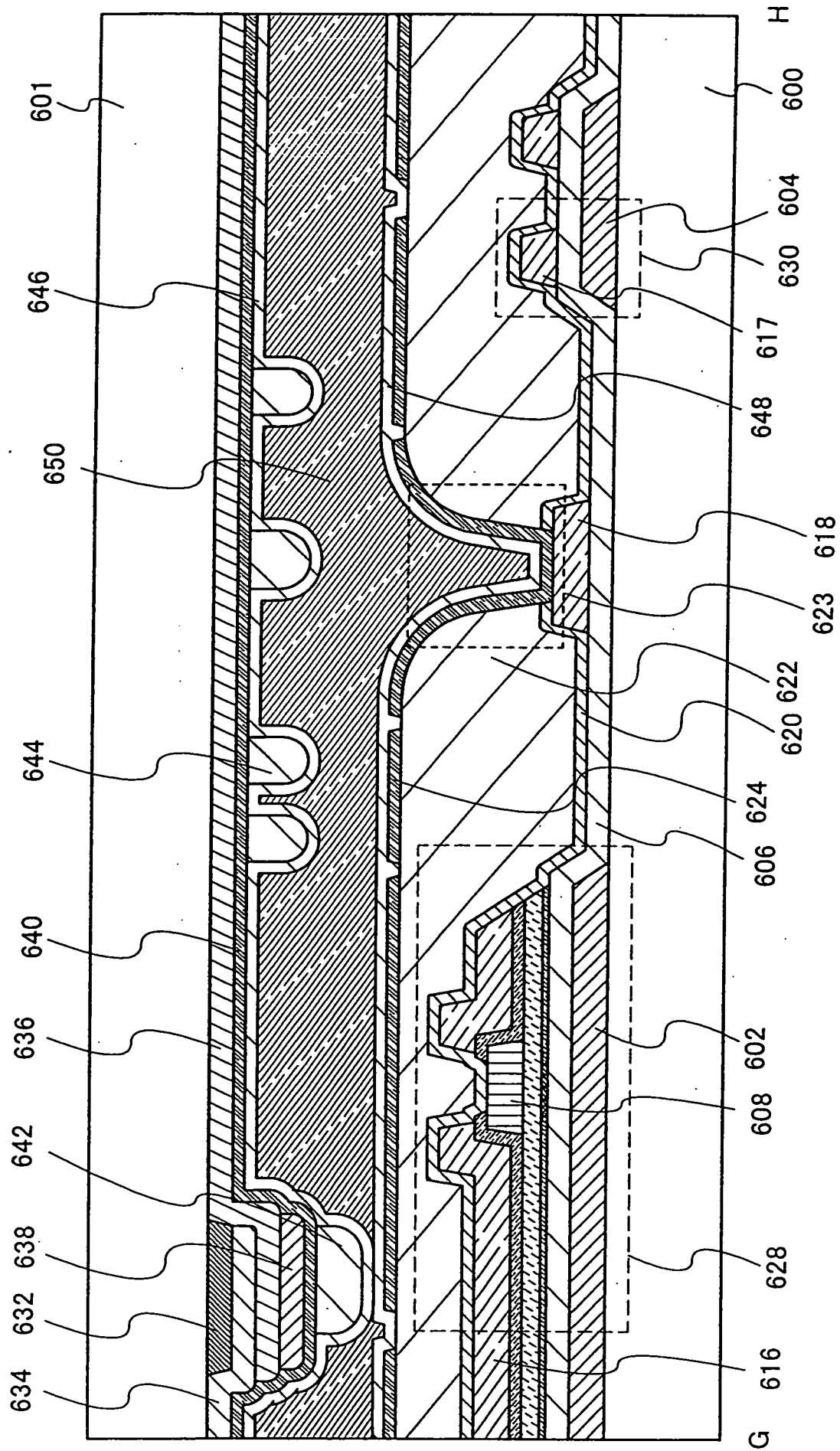


圖 18

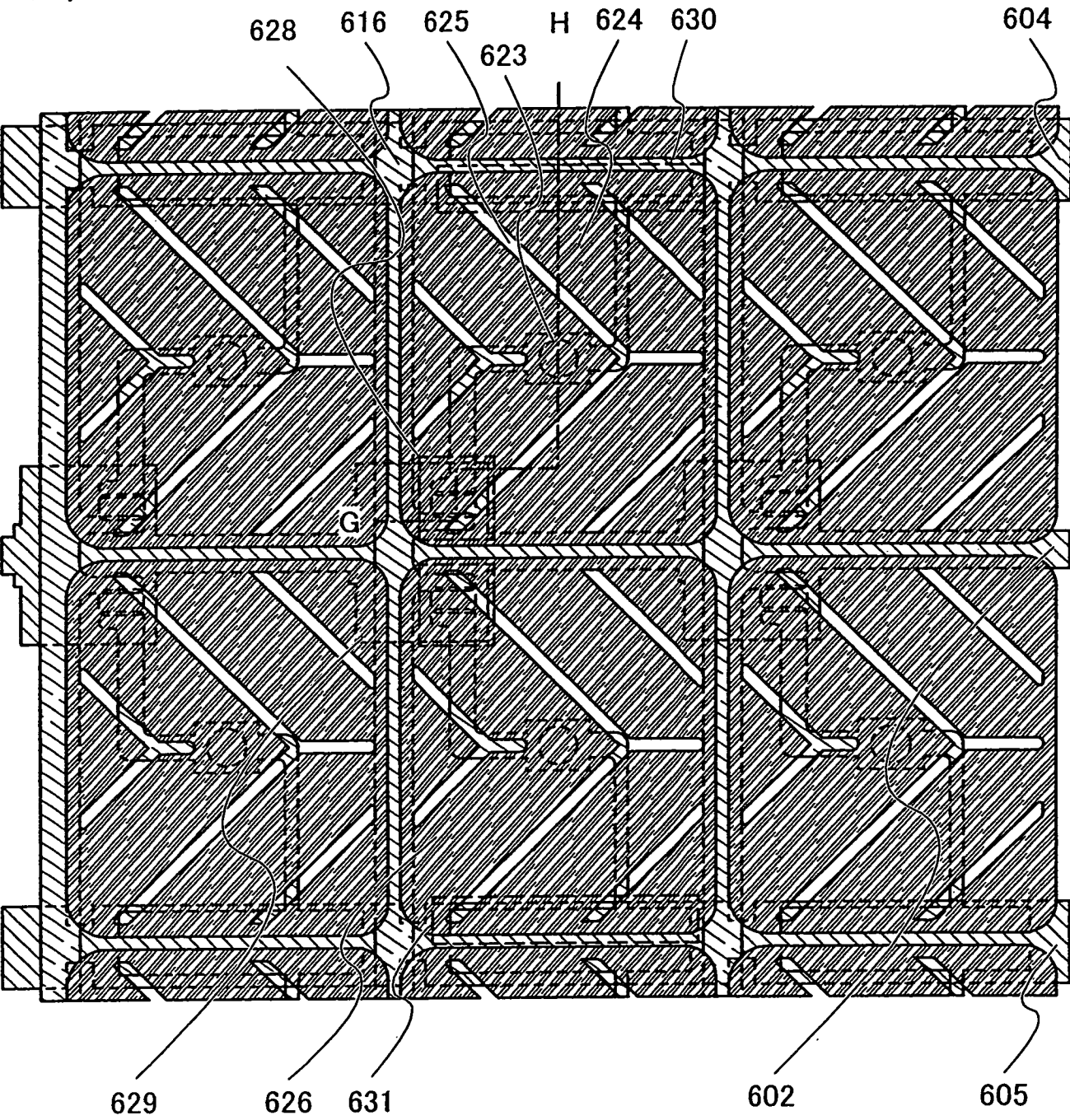


圖 19

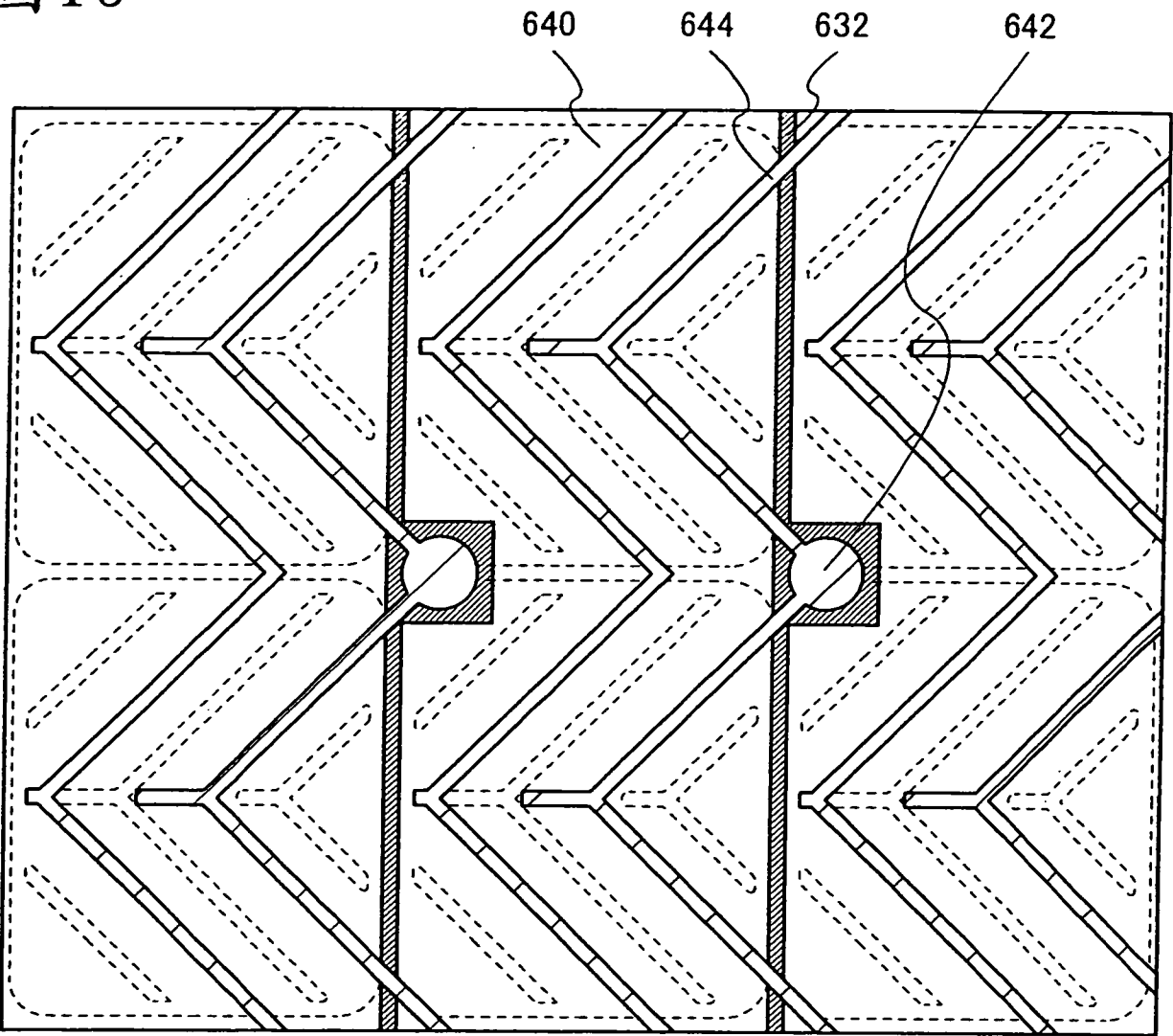


圖 20

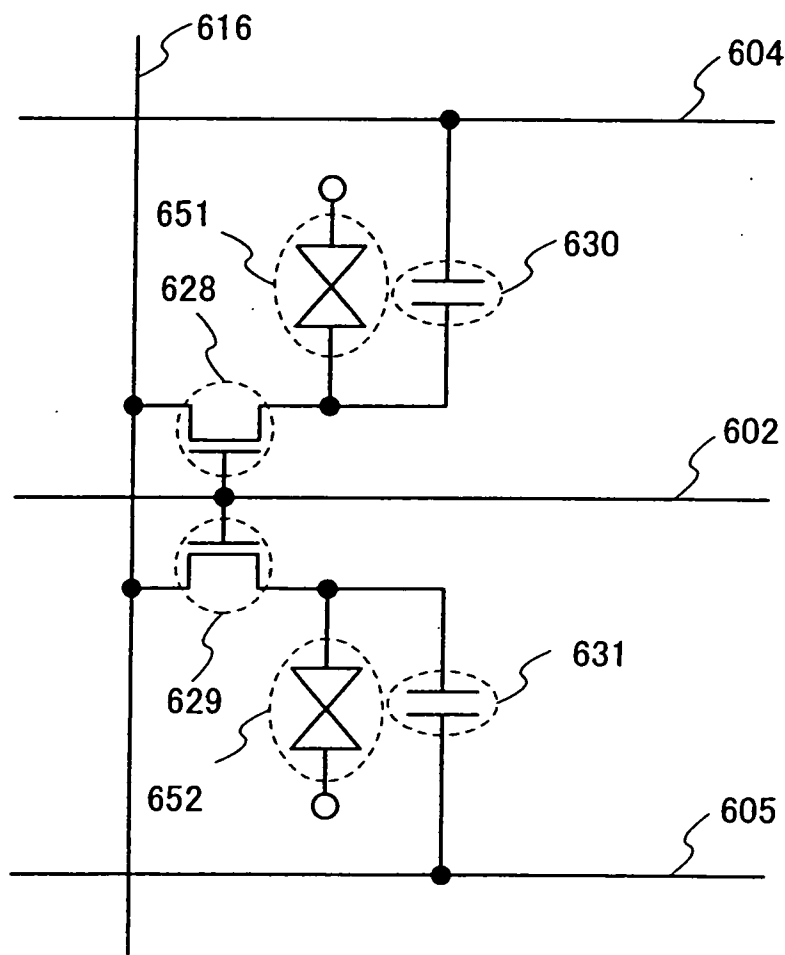


圖21

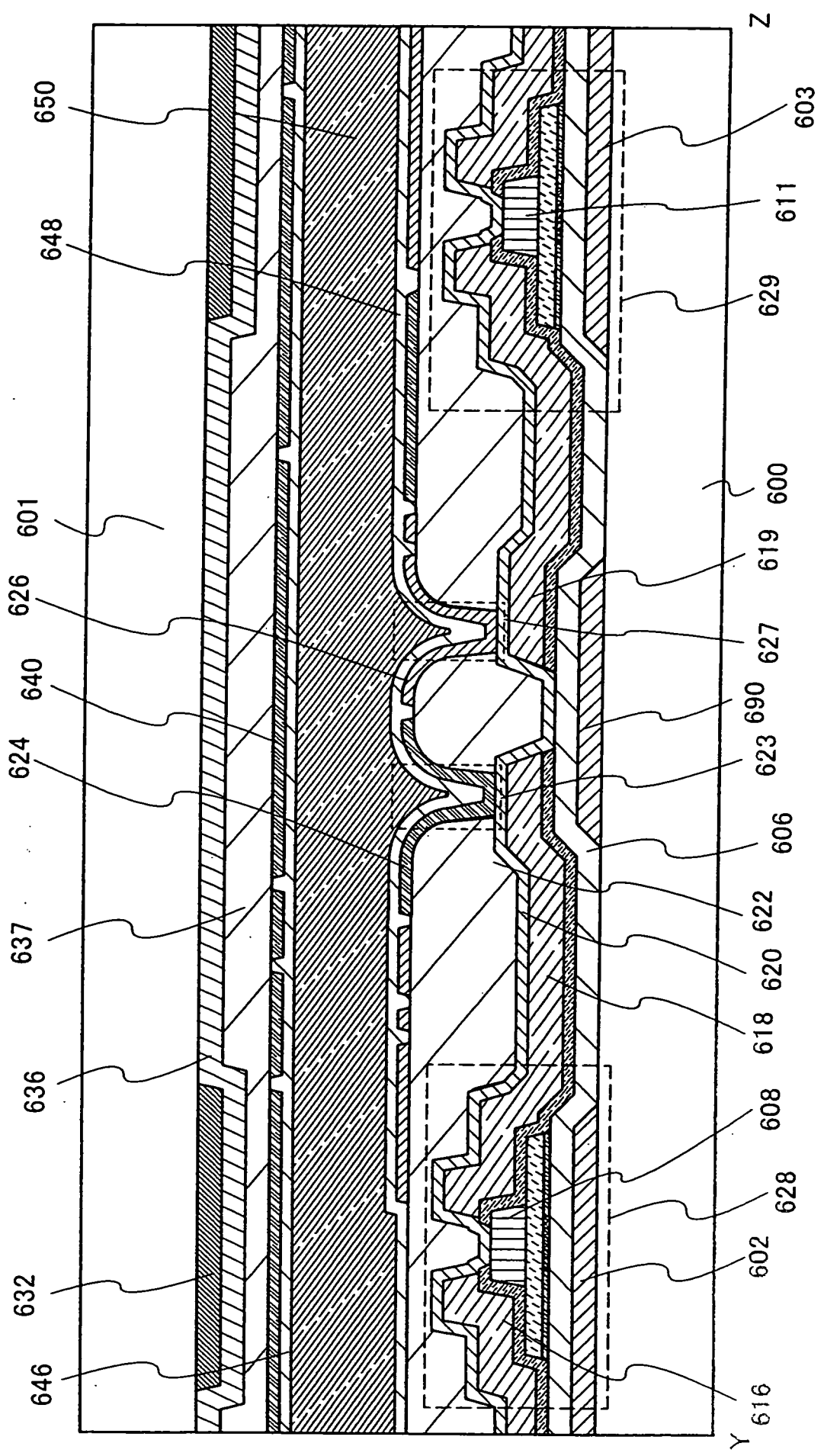


圖 22

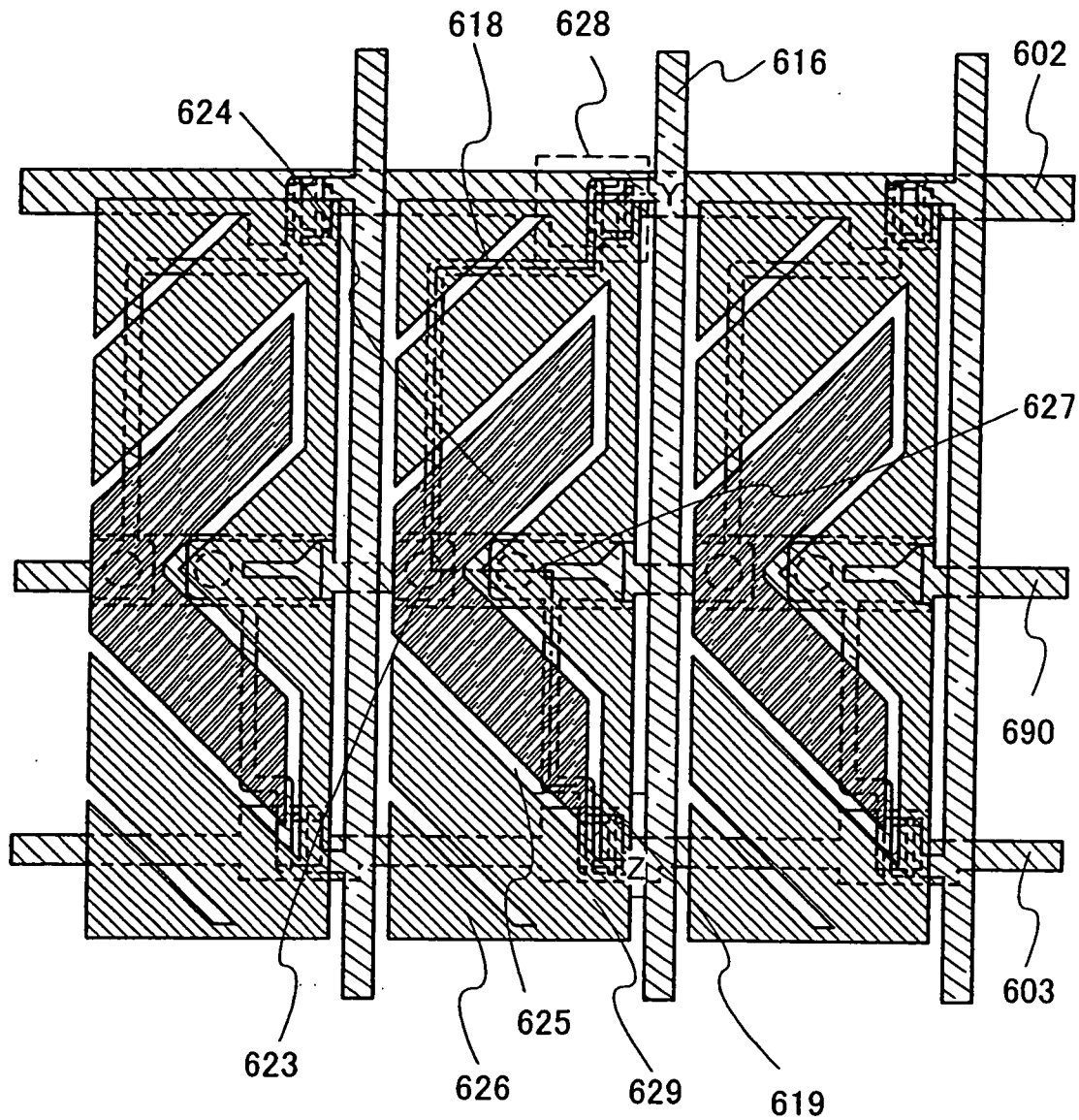


圖 23

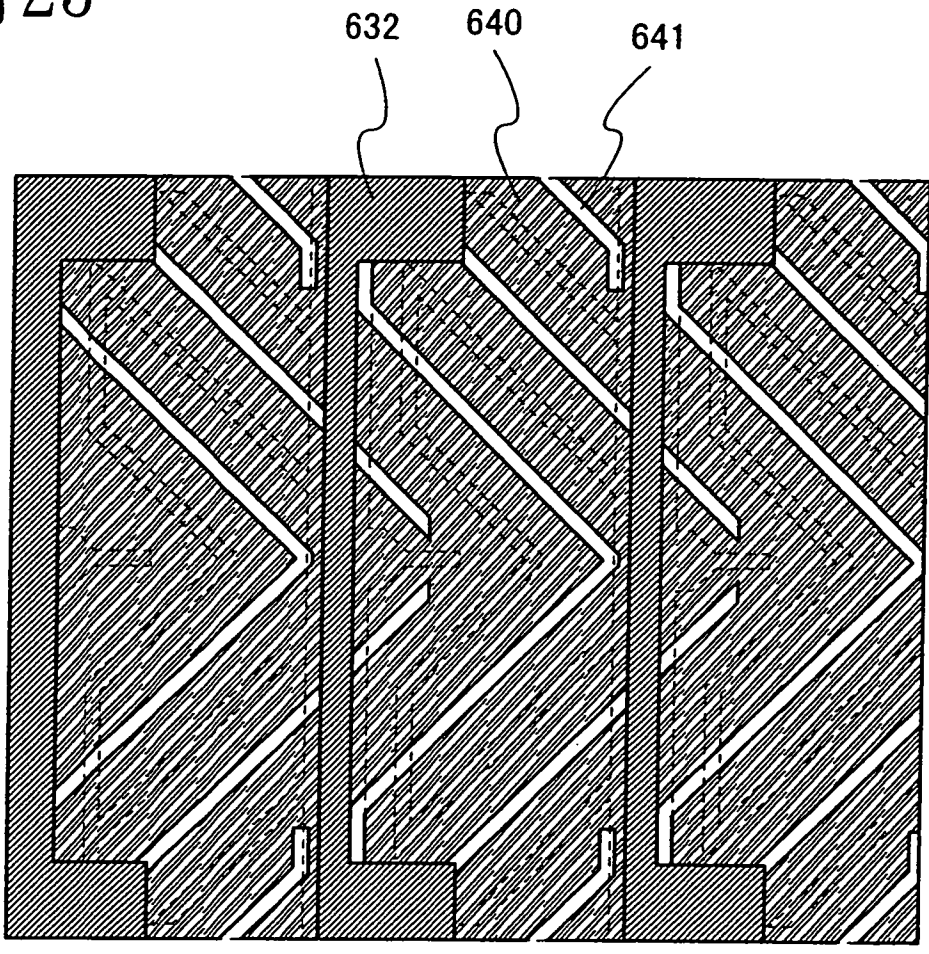


圖 24

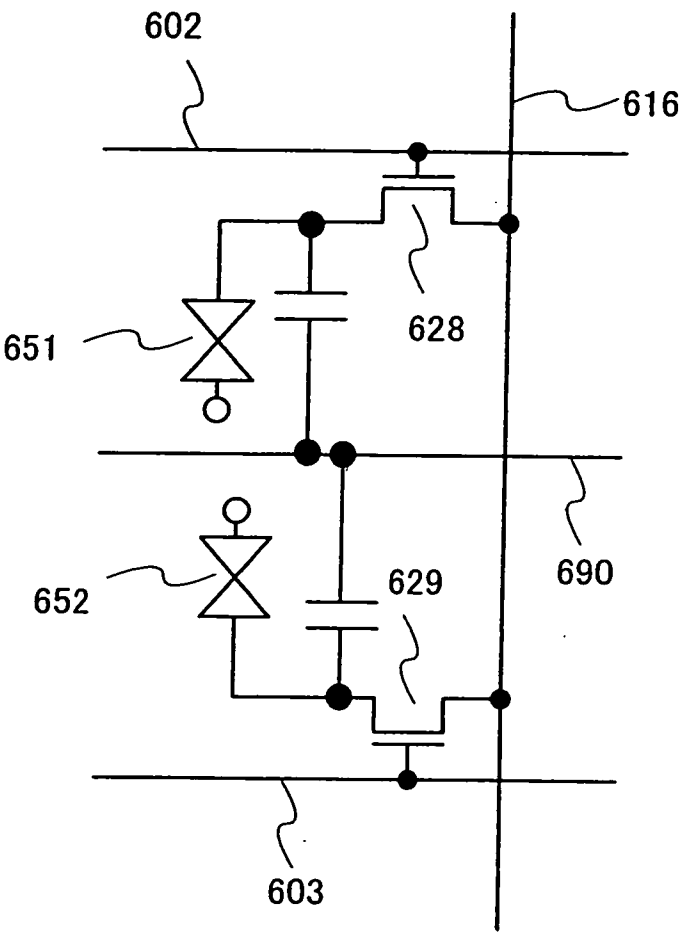


圖25

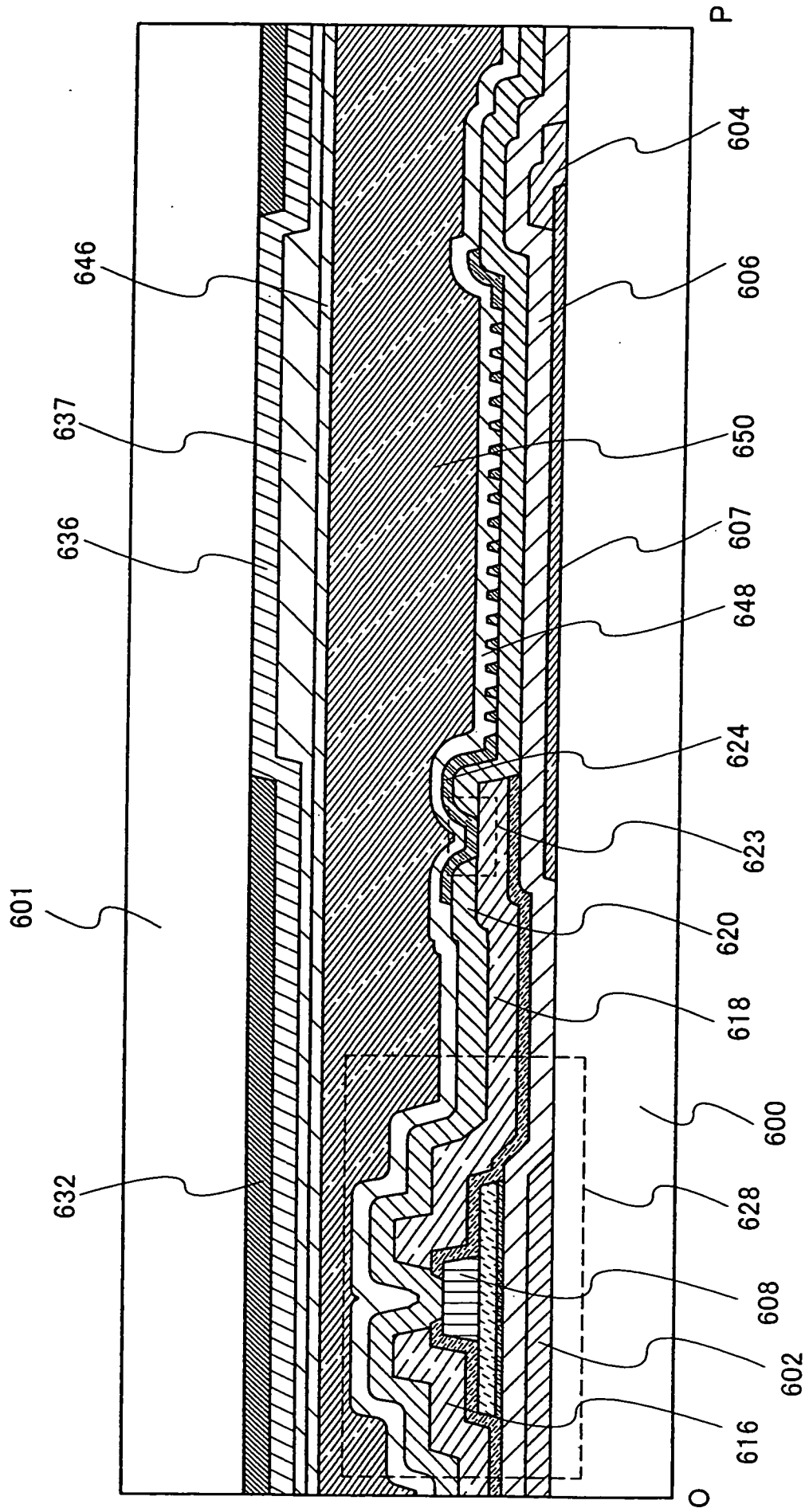


圖 26

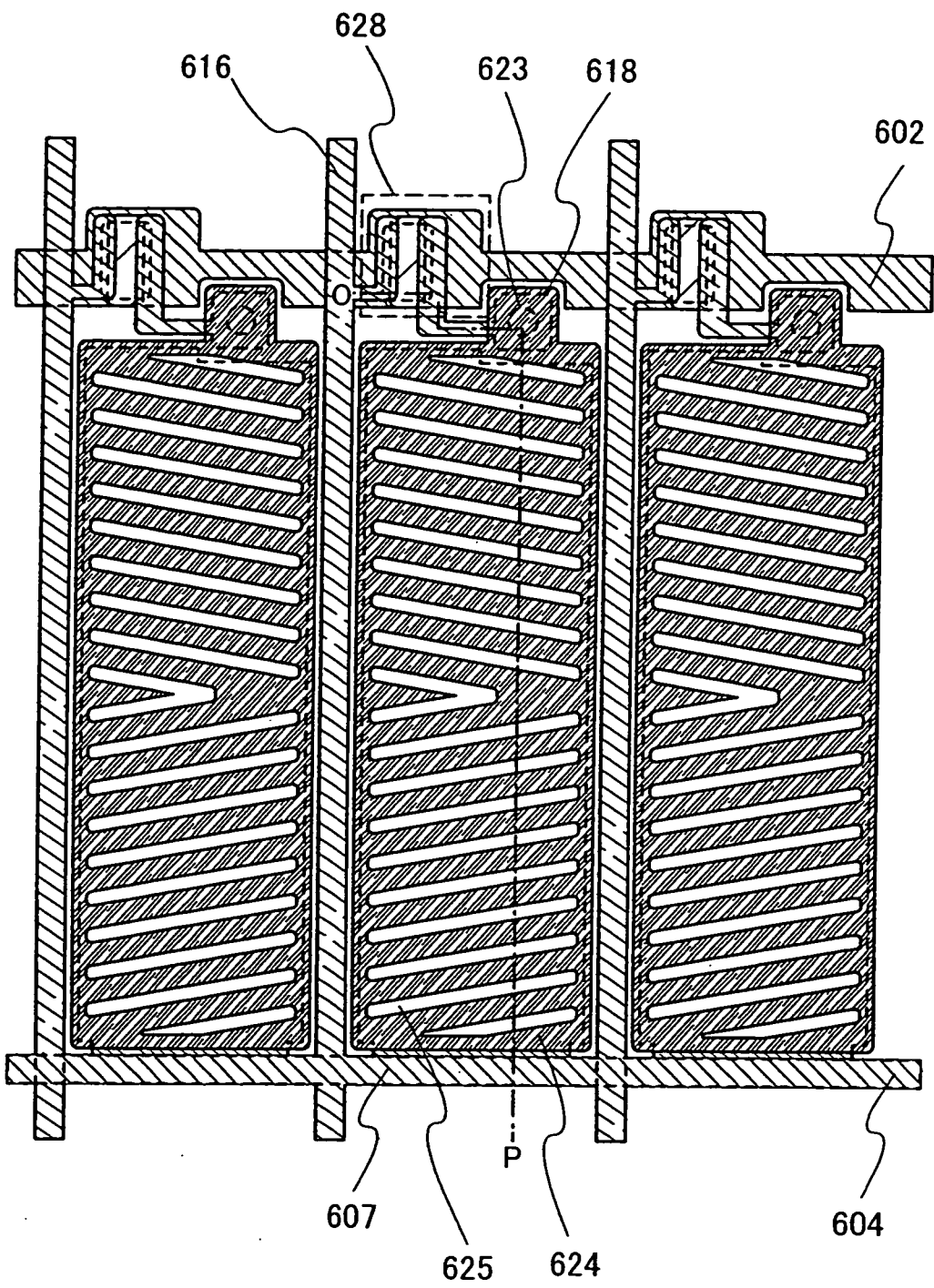


圖27

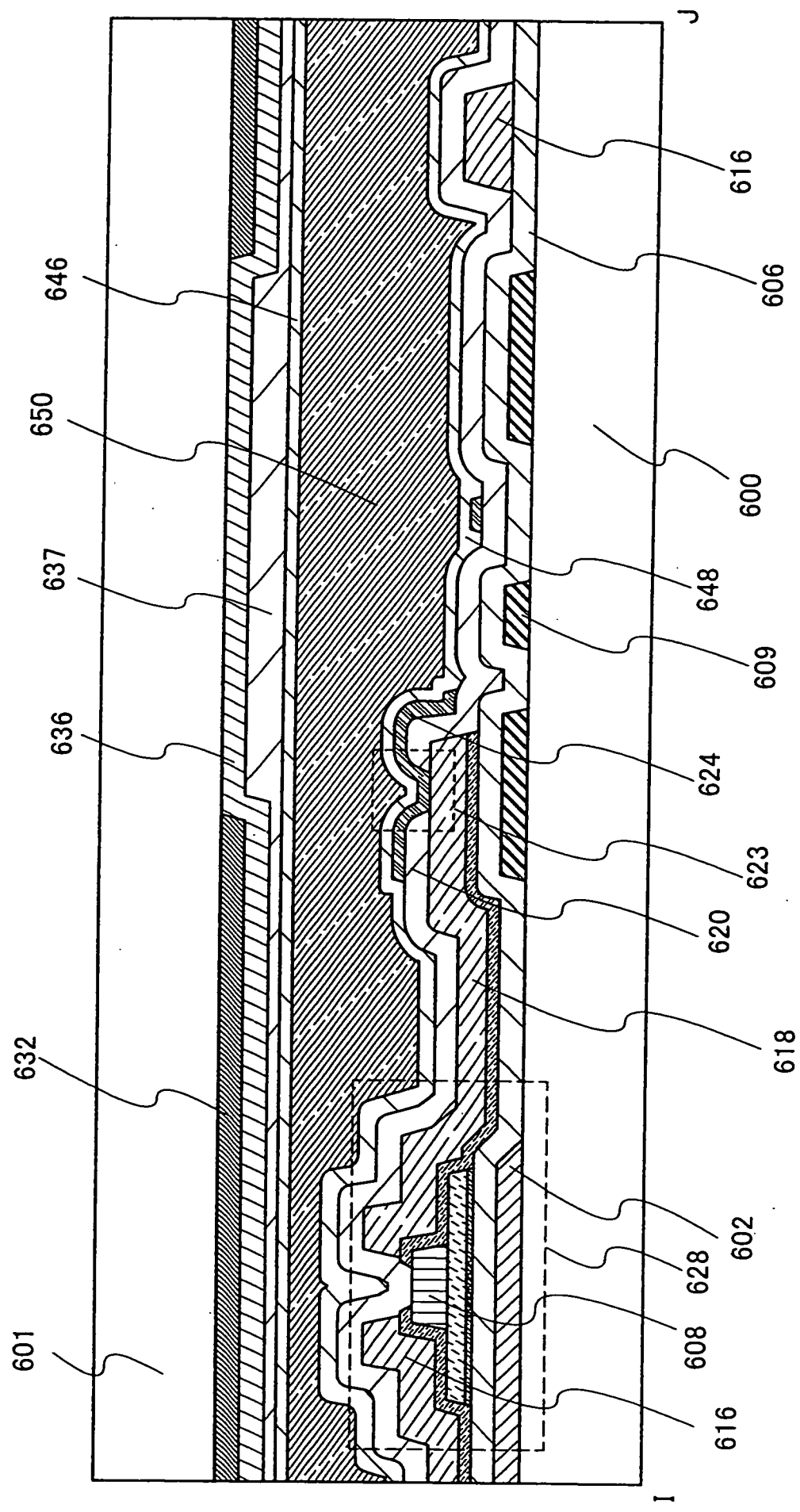


圖 28

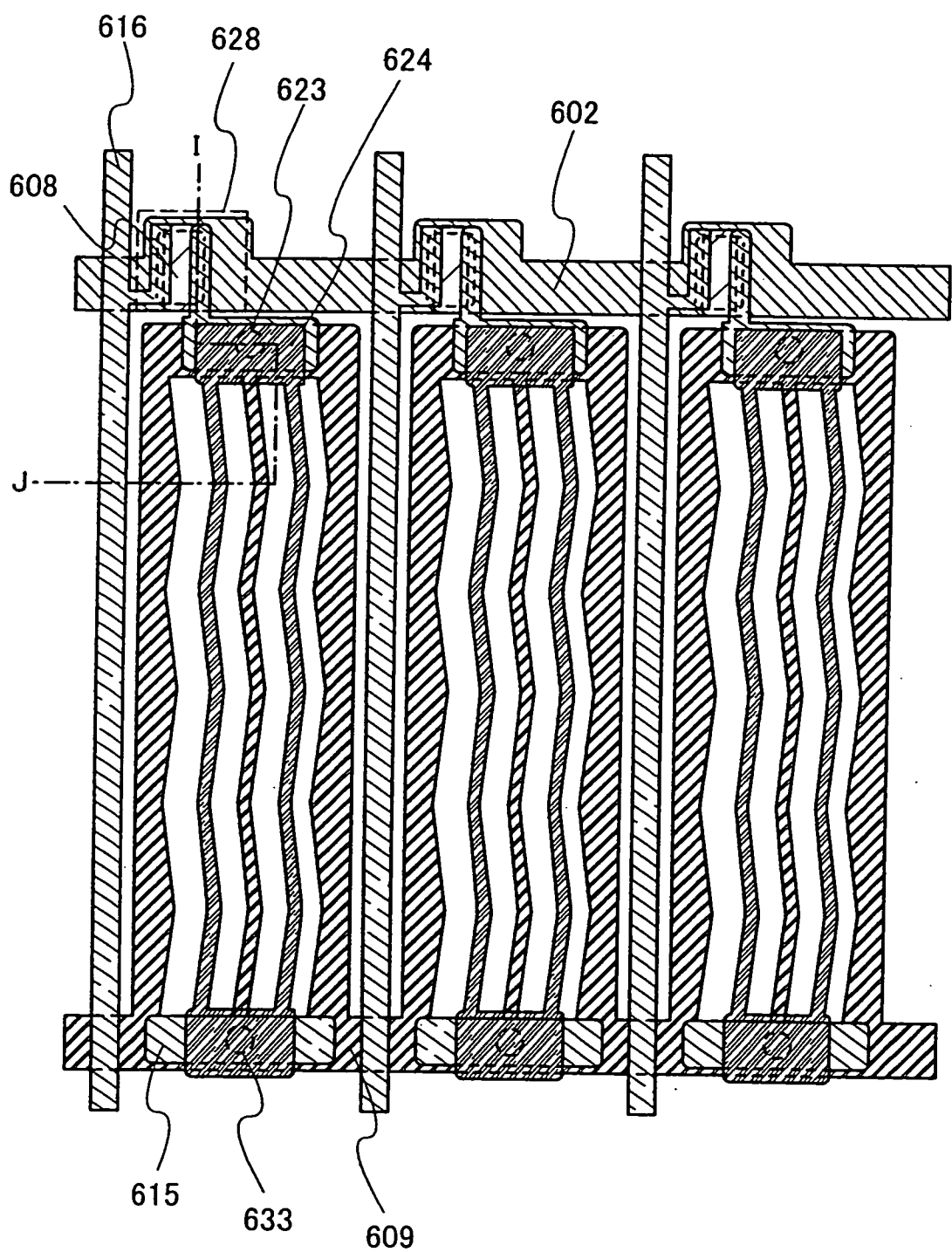


圖29

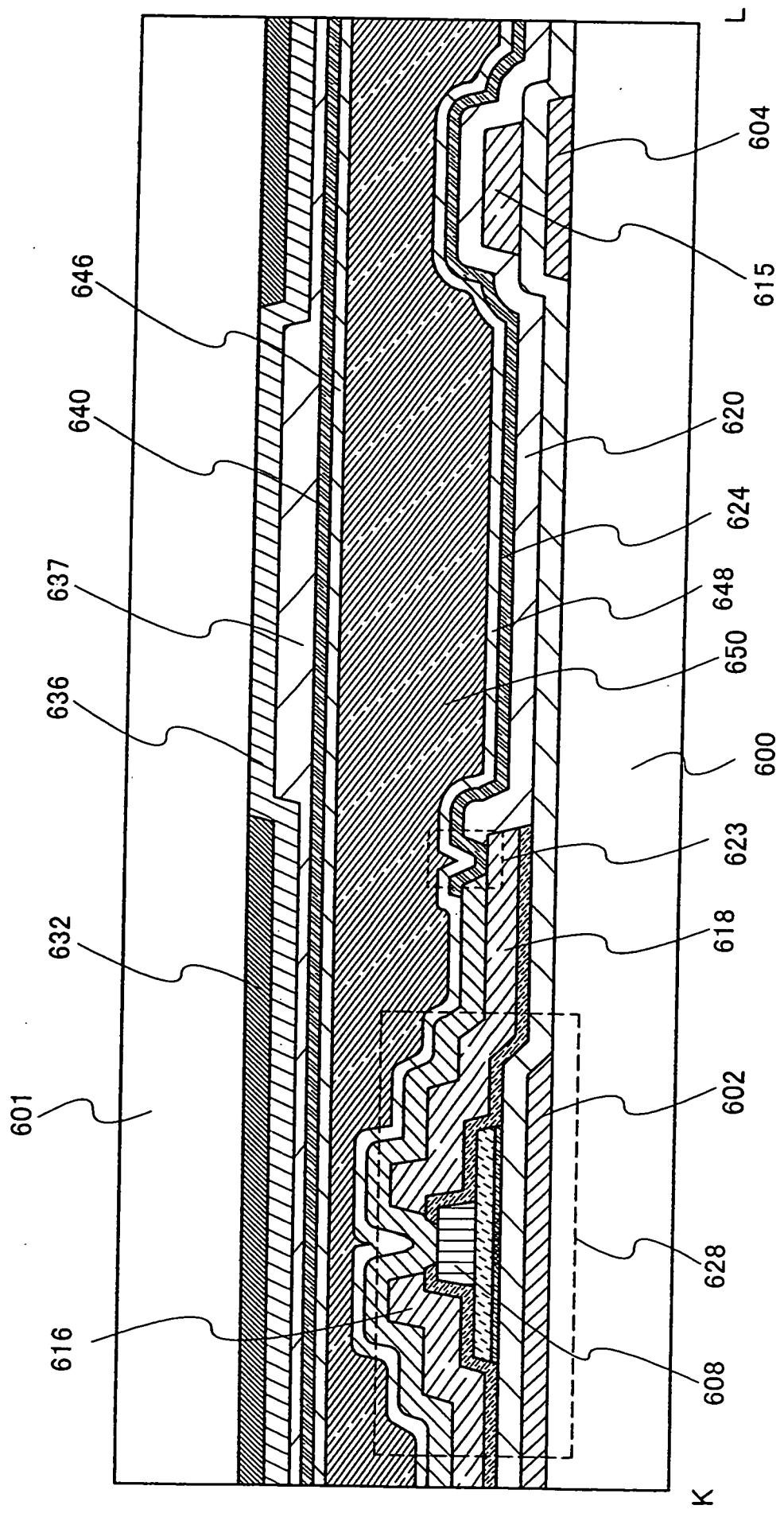


圖 30

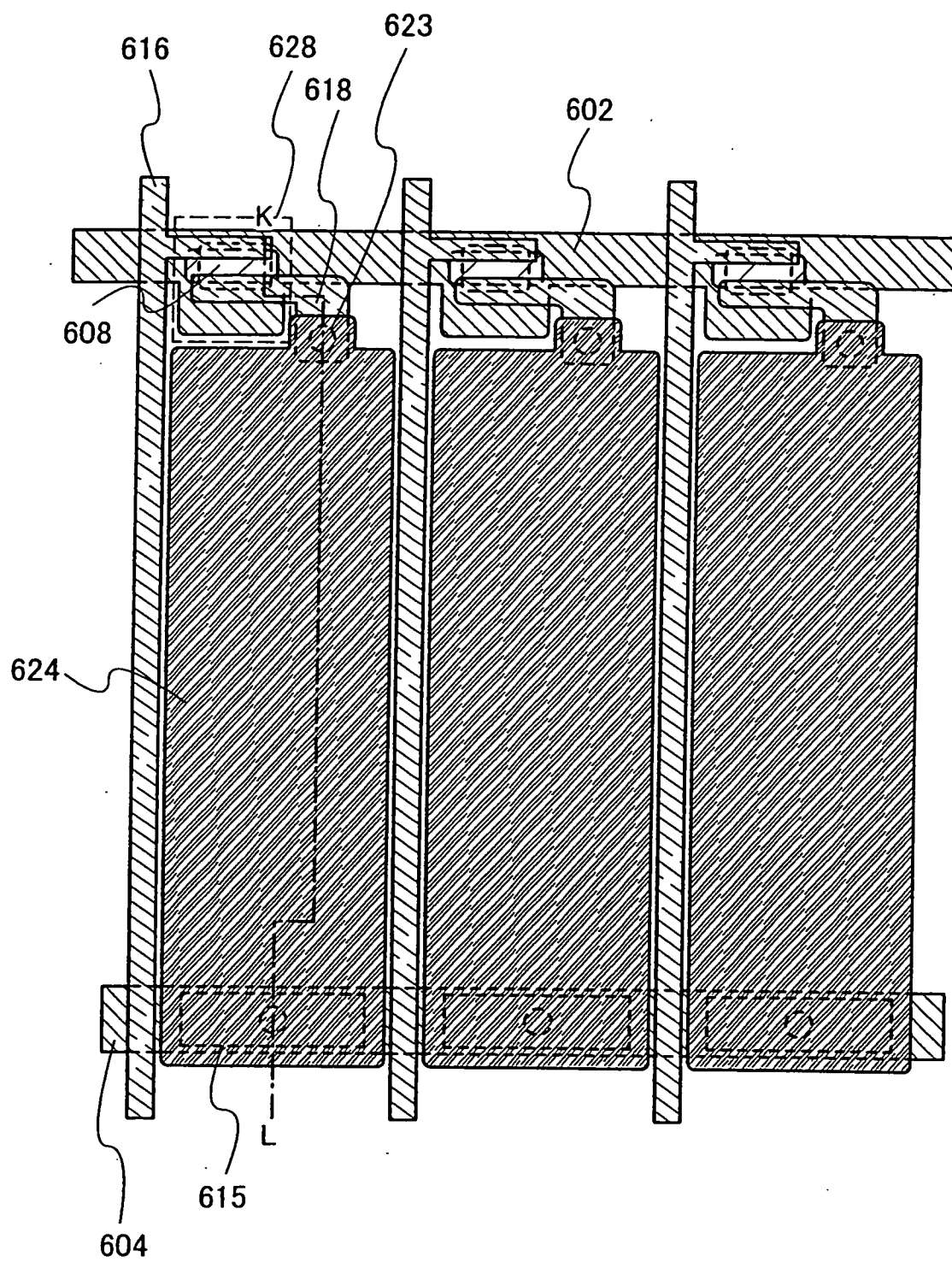


圖 31

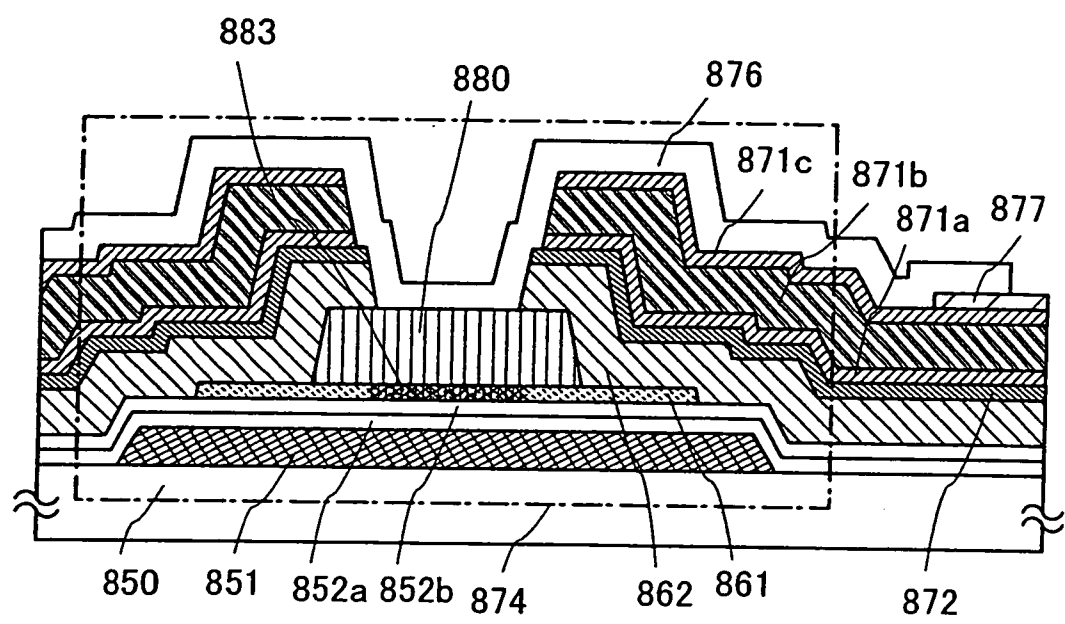


圖 32A

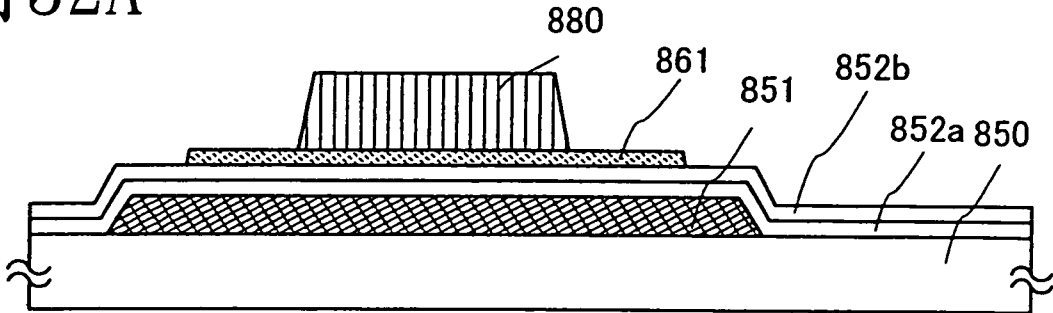


圖 32B

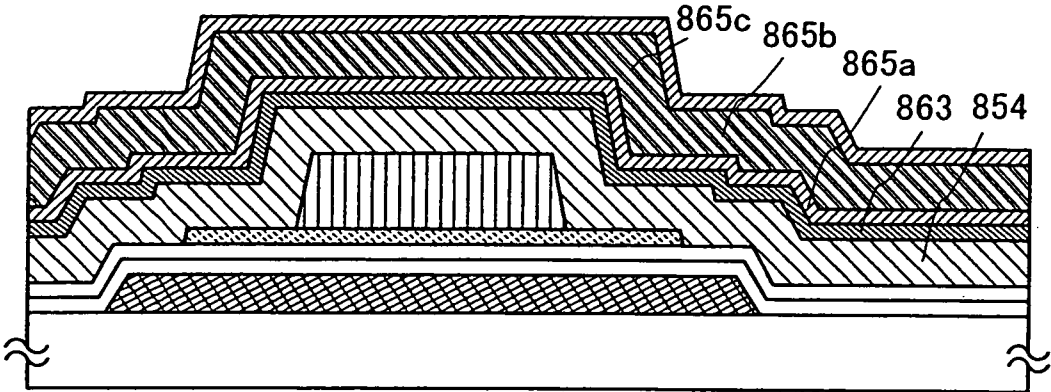


圖 32C

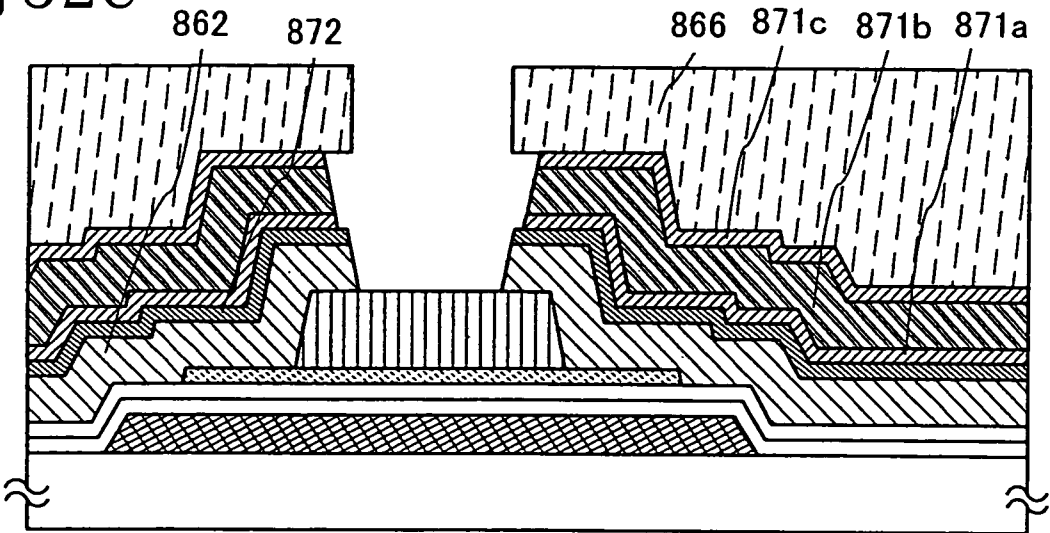


圖 33A

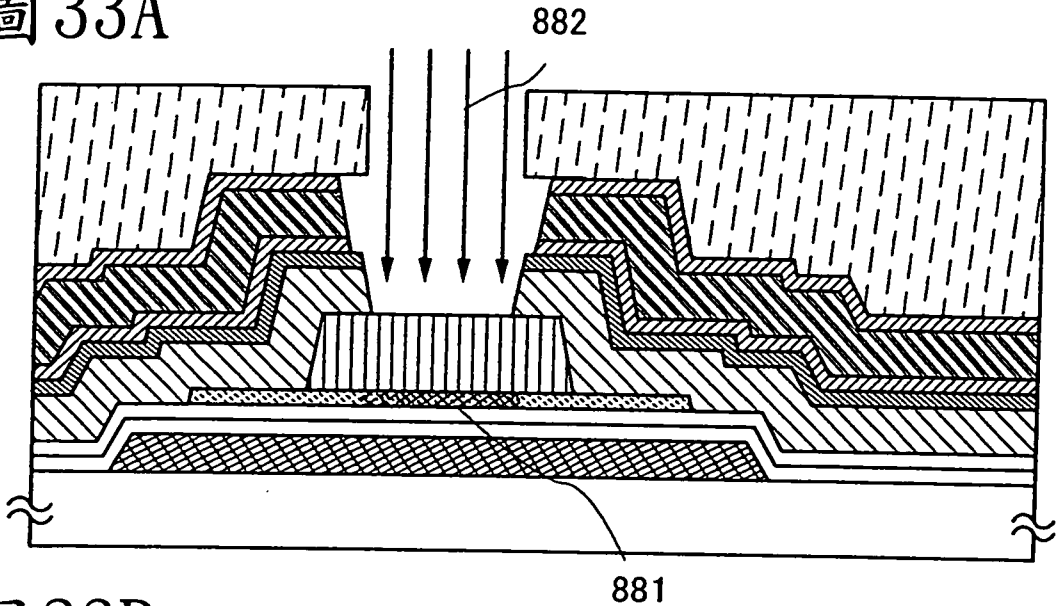


圖 33B

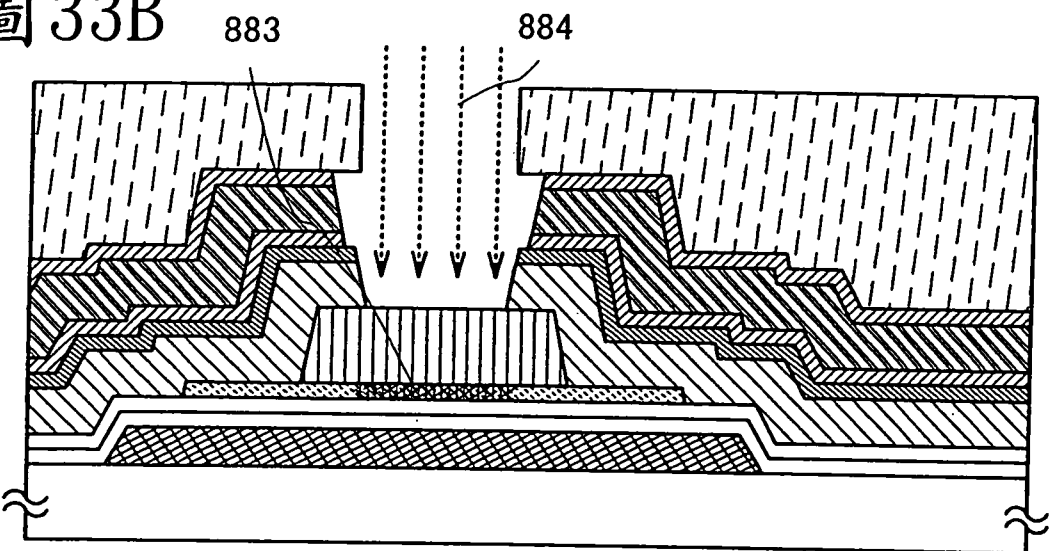


圖 33C

