

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5659882号
(P5659882)

(45) 発行日 平成27年1月28日 (2015. 1. 28)

(24) 登録日 平成26年12月12日 (2014. 12. 12)

(51) Int. Cl.

F I

HO 1 L 21/265 (2006. 01)
 HO 1 L 21/336 (2006. 01)
 HO 1 L 29/78 (2006. 01)
 HO 1 L 29/12 (2006. 01)

HO 1 L 21/265 Z
 HO 1 L 29/78 6 5 8 A
 HO 1 L 29/78 6 5 2 T
 HO 1 L 29/78 6 5 8 F
 HO 1 L 29/78 6 5 2 M

請求項の数 5 (全 10 頁) 最終頁に続く

(21) 出願番号 特願2011-50928 (P2011-50928)
 (22) 出願日 平成23年3月9日 (2011. 3. 9)
 (65) 公開番号 特開2012-190865 (P2012-190865A)
 (43) 公開日 平成24年10月4日 (2012. 10. 4)
 審査請求日 平成25年10月29日 (2013. 10. 29)

(73) 特許権者 000002130
 住友電気工業株式会社
 大阪府大阪市中央区北浜四丁目5番33号
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 増田 健良
 大阪市此花区島屋一丁目1番3号 住友電
 気工業株式会社 大阪製作所内

審査官 柴山 将隆

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

炭化珪素からなる基板を準備する工程と、
 前記基板にイオン注入を実施する工程と、
 前記イオン注入が実施された前記基板上に二酸化珪素からなる保護膜を形成する工程と

、
 前記保護膜の形成後に、前記基板を、酸素ガス雰囲気中、または酸素ガスとアルゴンガスとを含有し、残部不純物からなる雰囲気中において1600 以上の温度域に加熱する工程とを備えた、半導体装置の製造方法。

【請求項 2】

前記基板を加熱する工程では、前記保護膜が形成された前記基板が1700 以下の温度域に加熱される、請求項1に記載の半導体装置の製造方法。

【請求項 3】

前記保護膜を形成する工程では、熱酸化により前記保護膜が形成される、請求項1または請求項2に記載の半導体装置の製造方法。

【請求項 4】

前記基板を加熱する工程は、前記基板を構成する元素と雰囲気ガス中の元素とを結合させて前記保護膜を修復する工程を含む、請求項1から請求項3のいずれか1項に記載の半導体装置の製造方法。

【請求項 5】

10

20

前記基板を加熱する工程は、前記基板と前記保護膜との間に二酸化珪素膜を形成する工程を含む、請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法に関し、より特定的には、炭化珪素からなる基板に導入された不純物を活性化させる活性化アニールにおける基板の表面荒れを抑制することが可能な半導体装置の製造方法に関するものである。

【背景技術】

【0002】

10

近年、半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められつつある。炭化珪素は、従来から半導体装置を構成する材料として広く使用されている珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体である。そのため、半導体装置を構成する材料として炭化珪素を採用することにより、半導体装置の高耐圧化、オン抵抗の低減などを達成することができる。また、炭化珪素を材料として採用した半導体装置は、珪素を材料として採用した半導体装置に比べて、高温環境下で使用された場合の特性の低下が小さいという利点も有している。

【0003】

このような炭化珪素を材料として用いた半導体装置の製造方法では、炭化珪素からなる基板に所望の不純物を導入した後、当該不純物を活性化させる活性化アニールが実施される。ここで、炭化珪素からなる基板の活性化アニールは高温で実施する必要がある。その結果、活性化アニールにより基板の表面荒れが発生する場合がある。この表面荒れは、製造される半導体装置の特性に悪影響を及ぼすおそれがあるため、低減されることが望ましい。

20

【0004】

これに対し、イオン注入により導入された不純物の活性化アニールの前に、イオン注入が行なわれた領域の表面を窒化珪素膜により被覆する炭化珪素半導体装置の製造方法が提案されている（たとえば、特許文献 1 参照）。

【先行技術文献】

30

【特許文献】

【0005】

【特許文献 1】特開平 7 - 8 6 1 9 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、上記活性化アニールにおいては、基板は 1 6 0 0 以上の高温に加熱される必要がある。そのため、上記特許文献 1 に記載の半導体装置の製造方法では、炭化珪素と窒化珪素との線膨張係数の違い等に起因して、窒化珪素膜に亀裂が生じるおそれがある。そして、保護膜としての窒化珪素膜に亀裂が生じると、基板の表面荒れを十分に抑制できないという問題が生じる。

40

【0007】

本発明はこのような問題に対応するためになされたものであって、その目的は、炭化珪素からなる基板の活性化アニールにおける表面荒れを抑制することが可能な半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0008】

本発明に従った半導体装置の製造方法は、炭化珪素からなる基板を準備する工程と、基板にイオン注入を実施する工程と、イオン注入が実施された基板上に二酸化珪素からなる保護膜を形成する工程と、保護膜が形成された基板を、酸素ガス雰囲気中、または酸素ガ

50

スとアルゴンガスとを含有し、残部不純物からなる雰囲気中において1600以上の温度域に加熱する工程とを備えている。

【0009】

本発明の半導体装置の製造方法においては、イオン注入が実施された炭化珪素からなる基板に二酸化珪素からなる保護膜を形成した後、酸素原子を含むガスを含有する雰囲気中において1600以上の温度域に加熱することにより活性化アニールが実施される。このとき、二酸化珪素からなる保護膜に亀裂が生じ得る状態となった場合でも、炭化珪素基板から離脱する珪素と雰囲気中のガスに含まれる酸素原子とが結合して生成する二酸化珪素により当該亀裂の発生が抑制される。その結果、本発明の半導体装置の製造方法によれば、炭化珪素からなる基板の活性化アニールにおける表面荒れを抑制することができる。

10

【0010】

上記本発明の半導体装置の製造方法においては、基板を加熱する工程では、保護膜が形成された基板が1700以下の温度域に加熱されてもよい。基板の加熱温度を1700以下とすることにより、二酸化珪素からなる保護膜により基板の表面荒れをより確実に抑制することが可能となる。

【0013】

上記本発明の半導体装置の製造方法においては、保護膜を形成する工程では、熱酸化により保護膜が形成されてもよい。これにより、二酸化珪素からなる保護膜を容易に形成することができる。

【0014】

上記本発明の半導体装置の製造方法においては、保護膜を形成する工程と基板を加熱する工程とは単一の工程として実施されてもよい。

20

【0015】

上記保護膜を熱酸化処理により形成する場合、上記基板は酸素原子を含むガスを含有する雰囲気中において加熱される。そのため、当該保護膜を形成する工程と後続の酸素原子を含むガスを含有する雰囲気中において上記基板を加熱する工程とを単一の工程として実施することができる。これにより、半導体装置の製造プロセスを簡略化することができる。

【発明の効果】

【0016】

以上の説明から明らかなように、本発明の半導体装置の製造方法によれば、炭化珪素からなる基板の活性化アニールにおける表面荒れを抑制することが可能な半導体装置の製造方法を提供することができる。

30

【図面の簡単な説明】

【0017】

【図1】本発明の一実施の形態におけるMOSFET(Metal Oxide Semiconductor Field Effect Transistor)の構造を示す概略断面図である。

【図2】MOSFETの製造方法の概略を示すフローチャートである。

【図3】MOSFETの製造方法を説明するための概略断面図である。

40

【図4】MOSFETの製造方法を説明するための概略断面図である。

【図5】MOSFETの製造方法を説明するための概略断面図である。

【図6】MOSFETの製造方法を説明するための概略断面図である。

【図7】MOSFETの製造方法を説明するための概略断面図である。

【図8】MOSFETの製造方法を説明するための概略断面図である。

【発明を実施するための形態】

【0018】

以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。

【0019】

50

まず、本発明の一実施の形態における半導体装置の製造方法により製造可能な半導体装置について説明する。図1を参照して、半導体装置としてのMOSFET100は、DimOSFETであって、導電型がn型(第1導電型)である炭化珪素基板1と、炭化珪素からなり導電型がn型であるバッファ層2と、炭化珪素からなり導電型がn型のドリフト層3と、導電型がp型(第2導電型)の一对のp型ボディ領域4と、導電型がn型のn⁺領域5と、導電型がp型のp⁺領域6とを備えている。

【0020】

バッファ層2は、炭化珪素基板1の一方の主面1A上に形成され、n型不純物を含むことにより導電型がn型となっている。ドリフト層3は、バッファ層2上に形成され、n型不純物を含むことにより導電型がn型となっている。ドリフト層3に含まれるn型不純物は、たとえばN(窒素)であり、バッファ層2に含まれるn型不純物よりも低い濃度(密度)で含まれている。バッファ層2およびドリフト層3は、炭化珪素基板1の一方の主面1A上に形成されたエピタキシャル成長層である。

【0021】

一对のp型ボディ領域4は、エピタキシャル成長層において、炭化珪素基板1側の主面とは反対側の主面3Aを含むように互いに分離して形成され、p型不純物(導電型がp型である不純物)を含むことにより、導電型がp型となっている。p型ボディ領域4に含まれるp型不純物は、たとえばアルミニウム(A1)、硼素(B)などである。

【0022】

n⁺領域5は、上記主面3Aを含み、かつp型ボディ領域4に取り囲まれるように、一对のp型ボディ領域4のそれぞれの内部に形成されている。n⁺領域5は、n型不純物、たとえばPなどをドリフト層3に含まれるn型不純物よりも高い濃度(密度)で含んでいる。p⁺領域6は、上記主面3Aを含み、かつp型ボディ領域4に取り囲まれるとともに、n⁺領域5に隣接するように一对のp型ボディ領域4のそれぞれの内部に形成されている。p⁺領域6は、p型不純物、たとえばA1などをp型ボディ領域4に含まれるp型不純物よりも高い濃度(密度)で含んでいる。上記バッファ層2、ドリフト層3、p型ボディ領域4、n⁺領域5およびp⁺領域6は、活性層7を構成する。

【0023】

さらに、図1を参照して、MOSFET100は、ゲート絶縁膜としてのゲート酸化膜91と、ゲート電極93と、一对のソースコンタクト電極92と、層間絶縁膜94と、ソース配線95と、ドレイン電極96とを備えている。

【0024】

ゲート酸化膜91は、主面3Aに接触し、一方のn⁺領域5の上部表面から他方のn⁺領域5の上部表面にまで延在するようにエピタキシャル成長層の主面3A上に形成され、たとえば二酸化珪素(SiO₂)からなっている。

【0025】

ゲート電極93は、一方のn⁺領域5上から他方のn⁺領域5上にまで延在するように、ゲート酸化膜91に接触して配置されている。また、ゲート電極93は、不純物が添加されたポリシリコン、A1などの導電体からなっている。

【0026】

ソースコンタクト電極92は、一对のn⁺領域5上のそれぞれから、ゲート酸化膜91から離れる向きに延在してp⁺領域6上にまで達するとともに、主面3Aに接触して配置されている。また、ソースコンタクト電極92は、たとえばNi_xSi_y(ニッケルシリサイド)など、n⁺領域5とオーミックコンタクト可能な材料からなっている。

【0027】

層間絶縁膜94は、ドリフト層3の主面3A上においてゲート電極93を取り囲み、かつ一方のp型ボディ領域4上から他方のp型ボディ領域4上にまで延在するように形成され、たとえば絶縁体である二酸化珪素(SiO₂)からなっている。

【0028】

ソース配線95は、ドリフト層3の主面3A上において、層間絶縁膜94を取り囲み、

10

20

30

40

50

かつソースコンタクト電極 9 2 の上部表面上にまで延在している。また、ソース配線 9 5 は、A 1 などの導電体からなり、ソースコンタクト電極 9 2 を介して n^+ 領域 5 と電氣的に接続されている。

【 0 0 2 9 】

ドレイン電極 9 6 は、炭化珪素基板 1 においてドリフト層 3 が形成される側とは反対側の主面に接触して形成されている。このドレイン電極 9 6 は、たとえば Ni_xSi_y など、炭化珪素基板 1 とオーミックコンタクト可能な材料からなっており、炭化珪素基板 1 と電氣的に接続されている。

【 0 0 3 0 】

次に、MOSFET 100 の動作について説明する。図 1 を参照して、ゲート電極 9 3 の電圧が閾値電圧未満の状態、すなわちオフ状態では、ドレイン電極に電圧が印加されても、ゲート酸化膜 9 1 の直下に位置する p 型ボディ領域 4 とドリフト層 3 との間の p n 接合が逆バイアスとなり、非導通状態となる。一方、ゲート電極 9 3 に閾値電圧以上の電圧を印加すると、p 型ボディ領域 4 のゲート酸化膜 9 1 と接触する付近であるチャンネル領域において、反転層が形成される。その結果、 n^+ 領域 5 とドリフト層 3 とが電氣的に接続され、ソース配線 9 5 とドレイン電極 9 6 との間に電流が流れる。

【 0 0 3 1 】

ここで、上述のように MOSFET 100 では、p 型ボディ領域 4 のゲート酸化膜 9 1 と接触する付近の領域であるチャンネル領域において反転層が形成され、当該反転層を電流が流れる。そのため、主面 3 A に面荒れが生じた場合、反転層における抵抗（チャンネル抵抗）が上昇し、オン抵抗が高くなるという問題を生じ得る。しかし、本実施の形態における MOSFET 100 は、以下に説明する本実施の形態における半導体装置の製造方法により製造されていることにより、主面 3 A の面荒れが低減され、上記問題の発生が抑制されている。

【 0 0 3 2 】

次に、本実施の形態における MOSFET 100 の製造方法について、図 2 ~ 図 8 を参照して説明する。図 2 を参照して、本実施の形態における MOSFET 100 の製造方法では、まず工程（S 1 1 0）として炭化珪素基板準備工程が実施される。この工程（S 1 1 0）では、図 3 を参照して、たとえば昇華法により製造されたインゴットをスライスして得られた炭化珪素基板 1 が準備される。

【 0 0 3 3 】

次に、工程（S 1 2 0）としてエピタキシャル成長工程が実施される。この工程（S 1 2 0）では、図 3 を参照して、エピタキシャル成長により炭化珪素基板 1 の一方の主面 1 A 上に炭化珪素からなるバッファ層 2 およびドリフト層 3 が順次形成される。これにより、炭化珪素からなる基板としてのエピタキシャル成長層付き基板 8 が得られる。

【 0 0 3 4 】

次に、工程（S 1 3 0）としてイオン注入工程が実施される。この工程（S 1 3 0）では、図 3 および図 4 を参照して、まず p 型ボディ領域 4 を形成するためのイオン注入が実施される。具体的には、たとえば Al（アルミニウム）イオンがドリフト層 3 に注入されることにより、p 型ボディ領域 4 が形成される。次に、 n^+ 領域 5 を形成するためのイオン注入が実施される。具体的には、たとえば P（リン）イオンが p 型ボディ領域 4 に注入されることにより、p 型ボディ領域 4 内に n^+ 領域 5 が形成される。さらに、 p^+ 領域 6 を形成するためのイオン注入が実施される。具体的には、たとえば Al イオンが p 型ボディ領域 4 に注入されることにより、p 型ボディ領域 4 内に p^+ 領域 6 が形成される。上記イオン注入は、たとえばドリフト層 3 の主面上に二酸化珪素（ SiO_2 ）からなり、イオン注入を実施すべき所望の領域に開口を有するマスク層を形成して実施することができる。

【 0 0 3 5 】

次に、工程（S 1 4 0）として保護膜形成工程が実施される。この工程（S 1 4 0）では、図 5 を参照して、工程（S 1 3 0）においてイオン注入が実施されたエピタキシャル

成長層付き基板 8 の主面 3 A 上に二酸化珪素からなる保護膜 8 0 が形成される。この保護膜 8 0 は、たとえば熱酸化により形成することができる。また、保護膜 8 0 の厚みは、たとえば $0.1\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下とすることができる。保護膜 8 0 は、プラズマ CVD (Chemical Vapor Deposition) などの CVD 法により形成されてもよい。

【0036】

次に、工程 (S 1 5 0) として活性化アニール工程が実施される。この工程 (S 1 5 0) では、工程 (S 1 4 0) において保護膜 8 0 が形成されたエピタキシャル成長層付き基板 8 が、酸素原子を含むガスを含有する雰囲気中において 1600 以上の温度域に加熱される。これにより、工程 (S 1 3 0) においてイオン注入によりエピタキシャル成長層付き基板 8 に導入された不純物が活性化し、所望の導電型の p 型ボディ領域 4、 n^+ 領域 5 および p^+ 領域 6 が得られる。

10

【0037】

このとき、工程 (S 1 5 0) においてエピタキシャル成長層付き基板 8 が、たとえばアルゴンガス雰囲気中において加熱された場合、図 6 に示すように炭化珪素と二酸化珪素との線膨張係数の違い等に起因して保護膜 8 0 に亀裂 8 0 A が生じるおそれがある。この場合、エピタキシャル成長層付き基板 8 から離脱した珪素原子が当該亀裂 8 0 A を通して雰囲気中に放出される。その結果、表面荒れが発生する。

【0038】

これに対し、本実施の形態における工程 (S 1 5 0) では、エピタキシャル成長層付き基板 8 が酸素原子を含むガスを含有する雰囲気中において加熱される。そのため、エピタキシャル成長層付き基板 8 から離脱した珪素は雰囲気中の酸素と結合し、二酸化珪素となる。その結果、図 7 に示すように、エピタキシャル成長層付き基板 8 と保護膜 8 0 との境界部に二酸化珪素膜 8 2 が形成されるとともに、二酸化珪素からなり亀裂 8 0 A を充填 (修復) する亀裂抑制部 8 1 が形成される。これにより、亀裂 8 0 A の発生や成長が抑制され、表面荒れの発生が低減される。

20

【0039】

ここで、上記酸素原子を含むガスとしては、たとえば酸素ガス、オゾンガス、一酸化窒素ガス、二酸化窒素ガス、一酸化炭素ガスなどを採用することができる。酸素ガスは、安価で取り扱いも容易であるため、上記酸素原子を含むガスとして特に好適である。また、工程 (S 1 5 0) では、エピタキシャル成長層付き基板 8 が、酸素ガス雰囲気中、または酸素ガスとアルゴンガスとを含有し、残部不純物からなる雰囲気中において加熱されてもよい。

30

【0040】

また、工程 (S 1 5 0) では、エピタキシャル成長層付き基板 8 の加熱温度は 1700 以下とすることが好ましい。エピタキシャル成長層付き基板 8 の加熱温度を 1700 以下とすることにより、二酸化珪素からなる保護膜 8 0、二酸化珪素膜 8 2 および亀裂抑制部 8 1 によって表面荒れをより確実に抑制することができる。

【0041】

さらに、上記工程 (S 1 4 0) と (S 1 5 0) とは単一の工程として実施されてもよい。具体的には、たとえばエピタキシャル成長層付き基板 8 を、酸素ガスとアルゴンガスとを含有し、残部不純物からなる雰囲気に調整された反応室内において 1100 以上 1600 以下の温度域に加熱して 5 分間以上 120 分間以下の時間保持することにより保護膜 8 0 を形成した後、雰囲気を変化させることなく同一の反応室内において 1600 以上 1700 以下の温度域に加熱して 1 分間以上 30 分間以下の時間保持することにより活性化アニールを実施する。このように工程 (S 1 4 0) と (S 1 5 0) とを単一の工程として実施することにより、MOSFET 100 の製造プロセスを簡略化することができる。

40

【0042】

次に、工程 (S 1 6 0) として保護膜除去工程が実施される。この工程 (S 1 6 0) で

50

は、保護膜 80 が除去される。保護膜 80 の除去は、たとえばフッ酸系の液体を用いて実施してもよいし、フッ素系プラズマ処理により実施してもよい。

【0043】

次に、工程 (S170) として酸化膜形成工程が実施される。この工程 (S170) では、図 8 を参照して、たとえば酸素雰囲気中において 1300 に加熱して 60 分間保持する熱処理が実施されることにより、酸化膜 (ゲート酸化膜) 91 が形成される。

【0044】

次に、工程 (S180) として電極形成工程が実施される。図 8 および図 1 を参照して、この工程 (S180) では、まず、たとえば CVD 法、フォトリソグラフィおよびエッチングにより、高濃度に不純物が添加された導電体であるポリシリコンからなるゲート電極 93 が形成される。その後、たとえば CVD 法により、絶縁体である SiO_2 からなる層間絶縁膜 94 が、主面 3A 上においてゲート電極 93 を取り囲むように形成される。次に、フォトリソグラフィおよびエッチングにより、ソースコンタクト電極 92 を形成すべき領域の層間絶縁膜 94 と酸化膜 91 とが除去される。次に、たとえば蒸着法により形成されたニッケル (Ni) 膜が加熱されてシリサイド化されることにより、ソースコンタクト電極 92 およびドレイン電極 96 が形成される。そして、たとえば蒸着法により、導電体である Al からなるソース配線 95 が、主面 3A 上において、層間絶縁膜 94 を取り囲むとともに、 n^+ 領域 5 およびソースコンタクト電極 92 の上部表面上にまで延在するように形成される。以上の手順により、本実施の形態における MOSFET 100 が完成する。

【0045】

以上のように、本実施の形態における MOSFET 100 の製造方法においては、工程 (S150) において二酸化珪素からなる保護膜 80 に亀裂 80A が生じ得る状態となった場合でも、エピタキシャル成長層付き基板 8 から離脱する珪素と雰囲気中のガスに含まれる酸素原子とが結合して生成する二酸化珪素により当該亀裂 80A の発生が抑制される。その結果、本実施の形態における MOSFET 100 の製造方法によれば、エピタキシャル成長層付き基板 8 の活性化アニールにおける表面荒れを抑制することができる。

【0046】

なお、上記実施の形態においては、本発明の半導体装置の製造方法の一例として MOSFET が製造される場合について説明したが、本発明の製造方法により製造可能な半導体装置はこれに限られない。本発明の半導体装置の製造方法は、炭化珪素からなる基板にイオン注入を実施した後、活性化アニールを実施するプロセスが採用される半導体装置の製造方法に広く適用することができ、具体的にはダイオード、JFET (Junction Field Effect Transistor)、IGBT (Insulated Gate Bipolar Transistor) などの製造方法にも適用することができる。

【0047】

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【0048】

本発明の半導体装置の製造方法は、炭化珪素からなる基板にイオン注入を実施した後、活性化アニールを実施するプロセスが採用される半導体装置の製造方法に、特に有利に適用され得る。

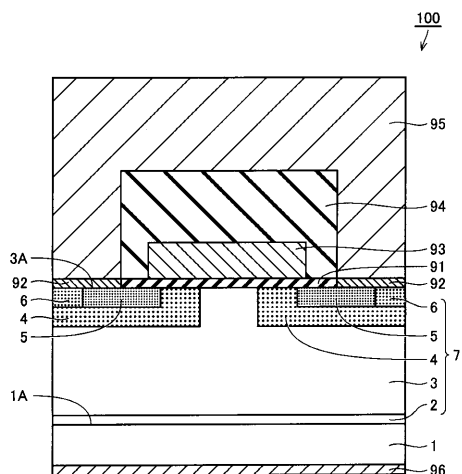
【符号の説明】

【0049】

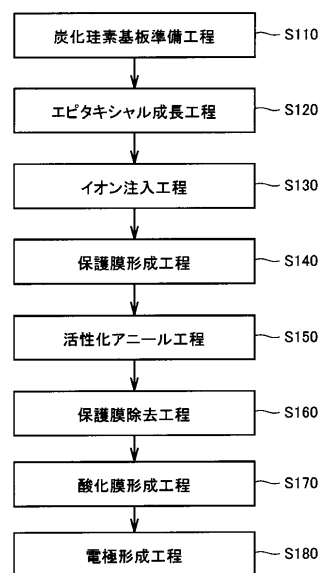
1 炭化珪素基板、1A 主面、2 バッファ層、3 ドリフト層、3A 主面、4 p 型ボディ領域、5 n^+ 領域、6 p^+ 領域、7 活性層、8 エピタキシャル成長層

付き基板、80 保護膜、80A 亀裂、81 亀裂抑制部、82 二酸化珪素膜、91
ゲート酸化膜（酸化膜）、92 ソースコンタクト電極、93 ゲート電極、94 層
間絶縁膜、95 ソース配線、96 ドレイン電極、100 MOSFET。

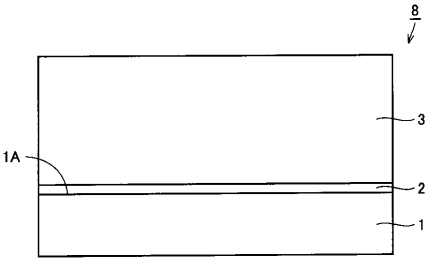
【図1】



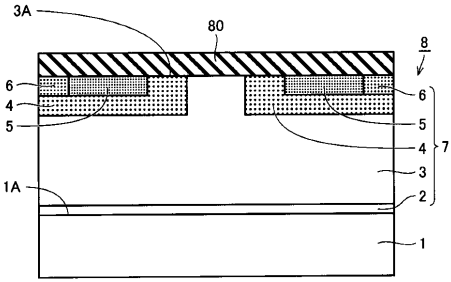
【図2】



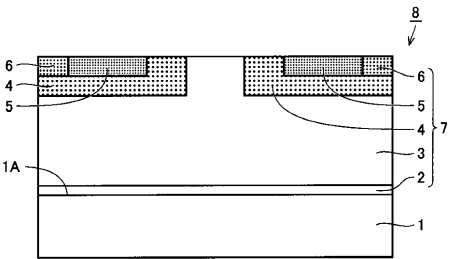
【図 3】



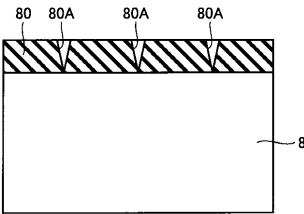
【図 5】



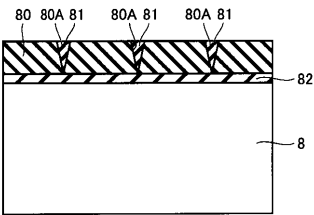
【図 4】



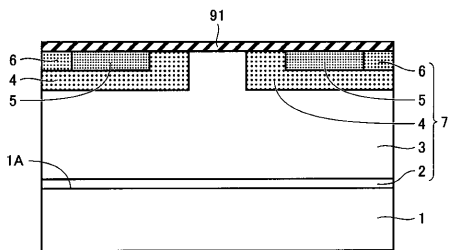
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/265 6 0 2 A

(56)参考文献 特開 2 0 1 0 - 0 6 7 9 1 7 (J P , A)
特開 2 0 0 2 - 3 1 4 0 7 1 (J P , A)
特開 2 0 1 0 - 2 6 2 9 5 2 (J P , A)
特開平 1 0 - 1 2 5 6 1 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 2 6 5
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 8