

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年10月6日(06.10.2016)



(10) 国際公開番号

WO 2016/158440 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/369 (2011.01)
H01L 21/768 (2006.01) H04N 5/374 (2011.01)
H01L 23/532 (2006.01)
- (21) 国際出願番号: PCT/JP2016/058453
- (22) 国際出願日: 2016年3月17日(17.03.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-071024 2015年3月31日(31.03.2015) JP
特願 2015-200339 2015年10月8日(08.10.2015) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 田中 裕介(TANAKA Yusuke); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 永野 隆史(NAGANO Takashi); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 若野 壽史(WAKANO Toshifumi); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).

松沼 健司(MATSUNUMA Takeshi); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

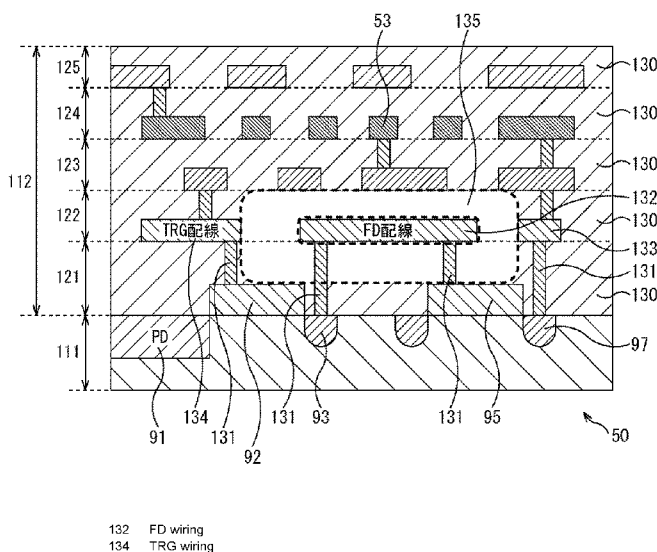
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: SOLID-STATE IMAGE-CAPTURING ELEMENT AND ELECTRONIC DEVICE

(54) 発明の名称: 固体撮像素子および電子機器

FIG. 3



(57) Abstract: The present disclosure pertains to a solid-state image-capturing element and an electronic device in which it is possible to reduce capacitance using a hollow region. At least a part of the region between FD wiring connecting to a floating diffusion and wiring other than the FD wiring is the hollow region. The present disclosure can be applied, e.g., to a complementary metal-oxide semiconductor (CMOS) image sensor having a photodiode, a floating diffusion, a transfer transistor, an amplification transistor, a selection transistor, and a reset transistor, etc.

(57) 要約: 本開示は、中空領域を用いて容量を低減することができるようにする固体撮像素子および電子機器に関する。フローティングディフュージョンに接続するFD配線と、FD配線以外の配線との間の少なくとも一部の領域が、中空領域である。本開示は、例えば、フローティングディフュージョン、転送トランジスタ、増幅トランジスタ、選択トランジスタ、リセットトランジスタ、フォトダイオード等を有するCMOS (Complementary Metal-Oxide Semiconductor) イメージセンサ等に適用することができる。

WO 2016/158440 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 固体撮像素子および電子機器

技術分野

[0001] 本開示は、固体撮像素子および電子機器に関し、特に、中空領域を用いて容量を低減することができるようにした固体撮像素子および電子機器に関する。

背景技術

[0002] CMOS(Complementary Metal-Oxide Semiconductor)イメージセンサにおいて、画素の微細化が進むと、フォトダイオードの開口面積が縮小し、感度が低下する。また、画素トランジスタのサイズが縮小し、ランダムノイズが悪化する。その結果、S/N (Signal/Noise) 比が低下し、画質が劣化する。

[0003] そこで、F D (フローティングディフュージョン)の寄生容量を小さくして、電荷電圧変換効率を向上させることにより、S/N比を向上させることが考えられている。

[0004] F Dの寄生容量は、F Dの拡散容量、F D配線を介してF Dに接続する増幅トランジスタのゲート電極の容量、F D配線の容量等からなる。F Dの拡散容量は、F DのN型不純物を低濃度化することにより低減可能である。しかしながら、この場合コンタクト不良が懸念される。

[0005] また、増幅トランジスタのゲート電極の容量は、増幅トランジスタのサイズを縮小することにより低減可能である。しかしながら、増幅トランジスタのサイズが縮小すると、ランダムノイズが悪化する。

[0006] さらに、F D配線の容量は、配線レイアウトの工夫等である程度は削減できる。しかしながら、F Dは、増幅トランジスタと接続する必要があるため、配線レイアウトには、画素の共有方式に基づく制限がある。従って、配線レイアウトの工夫によりF D配線の容量を低減することは困難である。

[0007] そこで、配線層周辺の全体を低誘電率膜に変更することにより、F D配線の容量を低減する方法が考案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0008] 特許文献1：特開2009-231501号公報

発明の概要

発明が解決しようとする課題

[0009] 容量を低減する方法として、特許文献1に記載された方法以外の方法が望まれている。

[0010] 本開示は、このような状況に鑑みてなされたものであり、中空領域を用いて容量を低減することができるようにするものである。

課題を解決するための手段

[0011] 本開示の一側面の固体撮像素子は、フローティングディフュージョンに接続するF D配線と、前記F D配線以外の配線との間の少なくとも一部の領域が、中空領域であるように構成された固体撮像素子である。

[0012] 本開示の一側面の電子機器は、本開示の一側面の固体撮像素子に対応する。

[0013] 本開示の一側面においては、フローティングディフュージョンに接続するF D配線と、前記F D配線以外の配線との間の少なくとも一部の領域が、中空領域である。

発明の効果

[0014] 本開示の一側面によれば、容量を低減することができる。また、本開示の一側面によれば、中空領域を用いて容量を低減することができる。

[0015] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0016] [図1]本開示を適用した固体撮像素子としてのCMOSイメージセンサの第1実施の形態の構成例を示す図である。

[図2]図1の画素領域に2次元配置される画素の回路構成例を示す図である。

[図3]CMOSイメージセンサの第1の構造例を示す図である。

[図4]CMOSイメージセンサの第2の構造例を示す図である。

[図5]CMOSイメージセンサの第3の構造例を示す図である。

[図6]CMOSイメージセンサの第4の構造例を示す図である。

[図7]本開示を適用したCMOSイメージセンサの第2実施の形態の画素の回路構成例を示す図である。

[図8]CMOSイメージセンサの第3実施の形態の各部の配置例を示す図である。

[図9]図8の画素領域の第1の構造例を配線層側から見た平面図である。

[図10]図9のA-A'断面図およびB-B'断面図である。

[図11]図9および図10の半導体基板の製造方法を説明する図である。

[図12]図9および図10の半導体基板の製造方法を説明する図である。

[図13]図9および図10の半導体基板の製造方法を説明する図である。

[図14]図9および図10の半導体基板の製造方法を説明する図である。

[図15]図8の画素領域の第2の構造例の図9のA-A'断面図である。

[図16]図15の半導体基板の製造方法を説明する図である。

[図17]図15の半導体基板の製造方法を説明する図である。

[図18]図15の半導体基板の製造方法を説明する図である。

[図19]図15の半導体基板の製造方法を説明する図である。

[図20]図8の画素領域の他の第2の構造例の図9のA-A'断面図である。

[図21]図8の画素領域の第3の構造例の図9のA-A'断面図である。

[図22]図21の半導体基板の製造方法を説明する図である。

[図23]図21の半導体基板の製造方法を説明する図である。

[図24]FD配線と半導体基板の間の中空領域の他の構造例を示す図である。

[図25]図8のCMOSイメージセンサの第1の製造方法を説明する図である。

[図26]図8のCMOSイメージセンサの第1の製造方法を説明する図である。

[図27]図8のCMOSイメージセンサの第1の製造方法を説明する図である。

[図28]図8のCMOSイメージセンサの第2の製造方法を説明する図である。

[図29]図8のCMOSイメージセンサの第2の製造方法を説明する図である。

[図30]図8のCMOSイメージセンサの第2の製造方法を説明する図である。

[図31]図8のCMOSイメージセンサの第2の製造方法を説明する図である。

[図32]TSVの周囲の中空領域の他の構造例を示す図である。

[図33]CMOSイメージセンサの第4実施の形態における中空領域の配置を説明する平面図である。

[図34]図33のFD配線の周囲の中空領域の他の形状の例を示す図である。

[図35]TSVの周囲に形成される中空領域の形状の例を示す平面図である。

[図36]本開示を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[図37]上述のCMOSイメージセンサを使用する使用例を示す図である。

発明を実施するための形態

[0017] 以下、本開示を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. 第1実施の形態：CMOSイメージセンサ（図1乃至図6）
2. 第2実施の形態：CMOSイメージセンサ（図7）
3. 第3実施の形態：CMOSイメージセンサ（図8乃至図32）
4. 第4実施の形態：CMOSイメージセンサ（図33乃至図35）
5. 第5実施の形態：電子機器（図36）
6. CMOSイメージセンサの使用例（図37）

[0018] <第1実施の形態>

（CMOSイメージセンサの第1実施の形態の構成例）

図1は、本開示を適用した固体撮像素子としてのCMOSイメージセンサの第1実施の形態の構成例を示す図である。

[0019] CMOSイメージセンサ50は、画素領域51、画素駆動線52、垂直信号線53、垂直駆動部54、カラム処理部55、水平駆動部56、システム制御部57、信号処理部58、およびメモリ部59が、図示せぬシリコン基板等の半導体基板(チップ)に形成されたものである。

[0020] CMOSイメージセンサ50の画素領域51には、入射光の光量に応じた電荷

量の電荷を発生して内部に蓄積する光電変換素子を有する画素が、行列状に2次元配置され、撮像を行う。また、画素領域51には、行列状の画素に対して行ごとに画素駆動線52が形成され、列ごとに垂直信号線53が形成される。

[0021] 垂直駆動部54は、シフトレジスタやアドレスデコーダなどによって構成され、画素領域51の各画素を行単位で駆動する。垂直駆動部54の各行に対応した図示せぬ出力端には、画素駆動線52の一端が接続されている。垂直駆動部54の具体的な構成について図示は省略するが、垂直駆動部54は、読み出し走査系および掃き出し走査系の2つの走査系を有する構成となっている。

[0022] 読み出し走査系は、各画素からの画素信号を行単位で順に読み出すように、各行を順に選択し、選択行の画素駆動線52と接続する出力端から選択信号等を入力する。これにより、読み出し走査系により選択された行の画素は、光電変換素子に蓄積された電荷の電気信号を画素信号として読み出し、垂直信号線53に供給する。

[0023] 掃き出し走査系は、光電変換素子から不要な電荷を掃き出す(リセットするため)、各行の画素駆動線52と接続する出力端から出力するリセット信号をオンにする。この掃き出し走査系による走査により、いわゆる電子シャッタ動作が行ごとに順に行われる。ここで、電子シャッタ動作とは、光電変換素子の電荷を捨てて、新たに露光を開始する(電荷の蓄積を開始する)動作のことをいう。

[0024] カラム処理部55は、画素領域51の列ごとに信号処理回路を有する。カラム処理部55の各信号処理回路は、選択行の各画素から垂直信号線53を通して出力される画素信号に対して、A/D変換処理等の信号処理を行う。カラム処理部55は、信号処理後の画素信号を一時的に保持する。

[0025] 水平駆動部56は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部55の信号処理回路を順番に選択する。この水平駆動部56による選択走査により、カラム処理部55の各信号処理回路で信号処理

された画素信号が順番に信号処理部 5 8 に出力される。

[0026] システム制御部 5 7 は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部 5 4、カラム処理部 5 5、および水平駆動部 5 6 を制御する。

[0027] 信号処理部 5 8 は、カラム処理部 5 5 から出力される画素信号に対して種々の信号処理を行う。このとき、信号処理部 5 8 は、必要に応じて、信号処理の途中結果などをメモリ部 5 9 に格納し、必要なタイミングで参照する。信号処理部 5 8 は、信号処理後の画素信号を出力する。

[0028] メモリ部 5 9 は、DRAM (Dynamic Random Access Memory) やSRAM (Static Random Access Memory) などにより構成される。

[0029] (画素の回路構成例)

図 2 は、図 1 の画素領域 5 1 に 2 次元配置される画素の回路構成例を示す図である。

[0030] 画素 9 0 は、光電変換素子としてのフォトダイオード 9 1、転送トランジスタ 9 2、FD 9 3、リセットトランジスタ 9 4、増幅トランジスタ 9 5、および選択トランジスタ 9 6 を有する。

[0031] フォトダイオード 9 1 は、受光量に応じた電荷を生成し、蓄積する。フォトダイオード 9 1 は、アノード端子が接地されているとともに、カソード端子が転送トランジスタ 9 2 を介して、FD 9 3 に接続されている。

[0032] 転送トランジスタ 9 2 のゲート端子は、画素 9 0 に対して形成された画素駆動線 5 2 のうちの、転送信号を供給する線に接続される。転送トランジスタ 9 2 は、転送信号によりオンされたとき、フォトダイオード 9 1 で生成された電荷を読み出し、FD 9 3 に転送する。

[0033] FD 9 3 は、フォトダイオード 9 1 から読み出された電荷を保持する。リセットトランジスタ 9 4 のゲート端子は、画素 9 0 に対して形成された画素駆動線 5 2 のうちのリセット信号を供給する線に接続される。リセットトランジスタ 9 4 は、リセット信号によりオンにされたとき、FD 9 3 に蓄積さ

れている電荷を電位VDDの電源97に排出することで、FD93の電位をリセットする。

[0034] 増幅トランジスタ95のゲート端子は、FD93に接続され、増幅トランジスタ95は、電源97を用いてFD93の電位に応じた画素信号を出力する。

[0035] 選択トランジスタ96のゲート端子は、画素90に対して形成された画素駆動線52のうちの選択信号を供給する線に接続される。選択トランジスタ96は、選択信号によりオンにされたとき、増幅トランジスタ95から出力される画素信号を、垂直信号線53を介して図1のカラム処理部55に供給する。

[0036] なお、FD93は、複数の画素90の間で共有されてもよい。

[0037] (CMOSイメージセンサの第1の構造例)

図3は、CMOSイメージセンサ50の第1の構造例を示す図である。

[0038] 図3に示すように、CMOSイメージセンサ50は、シリコン基板などの半導体基板111に配線層112が積層されることにより構成される。配線層112は、例えば、5つの配線層121乃至125により構成される。

[0039] 半導体基板111には、フォトダイオード91、FD93、電源97等が形成される。また、半導体基板111上のフォトダイオード91とFD93の間には、転送トランジスタ92が形成され、電源97には、増幅トランジスタ95が接続されている。また、配線層124には、垂直信号線53が形成される。

[0040] 増幅トランジスタ95は、配線層121に形成されるビア131を介して、配線層122に形成されるFD配線132と接続する。一方、FD93は、配線層121に形成されるビア131を介して、FD配線132と接続する。これにより、増幅トランジスタ95とFD93は、ビア131とFD配線132を介して接続する。

[0041] また、電源97は、配線層121に形成されるビア131を介して、配線層122に形成される配線133と接続する。転送トランジスタ92は、配

線層 1 2 1 に形成されるビア 1 3 1 を介して、配線層 1 2 2 に形成される T R G 配線 1 3 4 と接続する。

[0042] 配線層 1 2 1 乃至 1 2 5 の配線等が形成されない領域には、SiO₂膜などの配線層間膜 1 3 0 が形成される。但し、図 3 の例では、F D 配線 1 3 2 と、F D 配線 1 3 2 以外の、配線層 1 2 2 に形成された、F D 配線 1 3 2 と隣接する配線 1 3 3 および T R G 配線 1 3 4 との間の全領域を含む、F D 配線 1 3 2 の周囲の領域は、中空領域 1 3 5 である。F D 配線 1 3 2 と中空領域 1 3 5 は接している。

[0043] 配線層間膜 1 3 0 が SiO₂膜である場合、中空領域 (Air) 1 3 5 の誘電率は、配線層間膜 1 3 0 の誘電率の 1/4 倍になる。従って、中空領域 1 3 5 が形成されることにより、F D 配線 1 3 2 の容量は、中空領域 1 3 5 が形成されない場合の 1/4 程度に低減する。

[0044] また、配線層 1 2 2 の中空領域 1 3 5 以外の領域には、配線層間膜 1 3 0 が形成されるので、配線層 1 2 2 全体に配線層間膜 1 3 0 が形成されない場合に比べて、機械的強度が強い。

[0045] (CMOS イメージセンサの第 2 の構造例)

図 4 は、CMOS イメージセンサ 5 0 の第 2 の構造例を示す図である。

[0046] 図 4 に示す構成のうち、図 3 の構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

[0047] 図 4 の CMOS イメージセンサ 5 0 の構造は、中空領域 1 3 5 の代わりに中空領域 2 0 1 乃至 2 0 6 が形成される点が、図 3 の構造と異なる。

[0048] 図 4 の例では、F D 配線 1 3 2 と配線 1 3 3 および T R G 配線 1 3 4 との間の全領域を含む、F D 配線 1 3 2 の周囲の領域に、F D 配線 1 3 2、配線 1 3 3、および T R G 配線 1 3 4 と接しないように、中空領域 2 0 1 乃至 2 0 6 が形成される。

[0049] (CMOS イメージセンサの第 3 の構造例)

図 5 は、CMOS イメージセンサ 5 0 の第 3 の構造例を示す図である。

[0050] 図 5 に示す構成のうち、図 3 の構成と同じ構成には同じ符号を付してある

。重複する説明については適宜省略する。

[0051] 図5のCMOSイメージセンサ50の構造は、中空領域135の代わりに中空領域221が形成される点が、図3の構造と異なる。

[0052] 図5の例では、FD配線132と配線133およびTRG配線134との間の全領域ではなく、FD配線132と配線133との間の領域のみを含む、FD配線132の周囲の領域が、中空領域221である。

[0053] 即ち、FD配線132は、アナログ信号を扱うため、デジタル信号を扱う垂直信号線53等の配線に比べて、ノイズに対する耐性が弱い。従って、電源97と接続する、ノイズ源となる配線133とFD配線132との容量は削減される方が望ましい。しかしながら、TRG配線134とFD配線132の間の容量は維持された方が良い場合がある。

[0054] 従って、図5の例では、FD配線132と、隣接する配線133およびTRG配線134との間の領域のうちの、FD配線132と配線133との間の領域のみを含む、FD配線132の周囲の領域が、中空領域221にされる。即ち、FD配線132と、隣接する配線133およびTRG配線134との間の領域のうちの、FD配線132とTRG配線134との間の領域以外の領域が、中空領域221にされる。

[0055] これにより、FD配線132とノイズ発生源となる配線133の間の容量を介したノイズ伝播を抑制することができる。また、TRG配線134とFD配線132の間の容量を維持することができる。

[0056] なお、中空領域221は、図5に示すようにFD配線132および配線133と接していてもよいし、接していなくてもよい。

[0057] (CMOSイメージセンサの第4の構造例)

図6は、CMOSイメージセンサ50の第4の構造例を示す図である。

[0058] 図6に示す構成のうち、図3の構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

[0059] 図6のCMOSイメージセンサ50の構造は、中空領域135の他に中空領域241が形成される点が、図3の構造と異なる。

[0060] 図6の例では、垂直信号線53の周囲の全領域が、中空領域241である。

[0061] 即ち、垂直信号線53の本数が多い場合、高速駆動を行うことができるが、配線密度が増大し、垂直信号線53の容量が増加する。その結果、応答性が悪化し、画素信号のばらつきが増加し、撮像画像の画質が劣化する。そこで、図6の例では、垂直信号線53の周囲の全領域が、中空領域241にされる。これにより、垂直信号線53の容量を低減することができる。その結果、高速駆動の際の画素信号のばらつきを抑制し、撮像画像の画質を向上させることができる。

[0062] 図6の例では、垂直信号線53の周囲の全領域が、中空領域241であるようにしたが、垂直信号線53の周囲の一部の領域のみが、中空領域241であるようにしてもよい。また、中空領域135の代わりに、中空領域201乃至206または中空領域221が形成されるようにしてもよい。

[0063] さらに、中空領域241は、図6に示すように垂直信号線53の隣りの配線と接してもよいし、接していなくてもよい。

[0064] 以上のように、CMOSイメージセンサ50では、FD配線132と、配線133およびTRG配線134のそれぞれとの間の少なくとも一部の領域が、中空領域135（201乃至206, 221）である。従って、配線レイアウトを変更する必要なく、FD配線132の容量を低減し、電荷電圧変換効率を向上させることができる。

[0065] また、配線レイアウトを変更する必要がないため、CMOSイメージセンサ50の画素の共有方式として、任意の方式を採用することができる。

[0066] なお、配線層121乃至125の配線および中空領域135（201乃至206, 221, 241）以外の領域には、配線層間膜130ではなく、低誘電率膜が形成されるようにしてもよい。

[0067] <第2実施の形態>

（CMOSイメージセンサの第2実施の形態の画素の回路構成例）

本開示を適用した固体撮像素子としてのCMOSイメージセンサの第2実施の

形態の構成は、画素領域 5 1 に 2 次元配置される画素の回路構成および掃き出し走査系の動作を除いて、図 1 の CMOS イメージセンサと同一である。従って、以下では、画素の回路構成および掃き出し走査系の動作についてのみ説明し、CMOS イメージセンサの画素以外の構成要素については、図 1 の符号を用いて説明する。

[0068] 図 7 は、本開示を適用した CMOS イメージセンサの第 2 実施の形態の画素の回路構成例を示す図である。

[0069] 図 7 に示す構成のうち、図 2 の構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

[0070] 図 7 の画素 3 0 0 の回路構成は、F D 9 3 の代わりに F D 3 0 1 および 3 0 2 が設けられる点、および、リセットトランジスタ 9 4 の代わりに、リセットトランジスタ 3 0 3 および 3 0 4 が設けられる点が、図 2 の画素 9 0 の回路構成と異なる。画素 3 0 0 は、リセットトランジスタ 3 0 4 のオン/オフを切り替えることで、撮像モードを、高電荷電圧変換効率モードまたは低電荷電圧変換効率モードに切り替えることができる。

[0071] 具体的には、画素 3 0 0 では、増幅トランジスタ 9 5 のゲート端子が、F D 3 0 1 に接続される。また、電源 9 7 と F D 3 0 1 の間には、F D 3 0 2 を介して直列に接続されるリセットトランジスタ 3 0 3 とリセットトランジスタ 3 0 4 が、接続される。

[0072] リセットトランジスタ 3 0 3 とリセットトランジスタ 3 0 4 のゲート端子には、それぞれ、対応する行の画素駆動線 5 2 のうちの異なる線が接続され、その線を介して異なるリセット信号が供給される。リセットトランジスタ 3 0 3 に供給されるリセット信号は、垂直駆動部 5 4 の掃き出し走査系により、フォトダイオード 9 1 から不要な電荷を掃き出すためにオンにされる。

[0073] リセットトランジスタ 3 0 4 に供給されるリセット信号は、撮像モードが高電荷電圧変換効率モードである場合、掃き出し走査系により、常にオンにされる。従って、この場合、リセットトランジスタ 3 0 3 に供給されるリセット信号がオンにされると、F D 3 0 1 の電位が電源 9 7 の電位 VDD となり、

画素300のFDの容量は、FD301の容量のみとなる。よって、電荷電圧変換効率は高くなる。

[0074] 一方、撮像モードが低電荷電圧変換効率モードである場合、リセットトランジスタ304に供給されるリセット信号は、掃き出し走査系により、常にオフにされる。従って、この場合、リセットトランジスタ303に供給されるリセット信号がオンにされると、FD302の電位が電源97の電位VDDとなり、画素300のFDの容量は、FD301とFD302の容量の総和となる。よって、電荷電圧変換効率は低くなる。

[0075] 以上のように構成される画素300では、高電荷電圧変換効率モードと低電荷電圧変換効率モードの電荷電圧変換効率の比（以下、モード比という）が、FD301の容量と、FD301とFD302の容量の総和との比によって決定される。また、FD301およびFD302の容量は、それぞれ、FD301と接続する図示せぬFD配線の容量、FD302と接続する図示せぬFD配線の容量に寄与する。

[0076] 従って、画素300では、モード比が所望の比になるように、FD301およびFD302のそれぞれに接続する2つのFD配線のうちの、例えばFD301に接続するFD配線の周囲に、中空領域135（201乃至206, 221）と同様の中空領域が形成される。

[0077] 即ち、上述したように、FD配線の周囲に中空領域を形成することにより、中空領域が形成されない場合に比べてFD配線の容量を低減することができる。従って、FD301に接続するFD配線の容量が、FD302の容量と所望のモード比に基づいて決定されるFD301の容量に対応するFD配線の容量になるように、中空領域を形成する。

[0078] なお、中空領域は、FD302に接続するFD配線の周囲にのみ形成されてもよいし、FD301およびFD302のそれぞれに接続する2つのFD配線の周囲に形成されてもよい。また、FD301およびFD302は、複数の画素300の間で共有されてもよい。

[0079] 以上のように、CMOSイメージセンサの第2実施の形態では、2つのFD3

01 およびFD302が形成され、そのFD301およびFD302のそれぞれにFD配線が接続される。そして、少なくともいずれかのFD配線の周囲に中空領域が形成される。これにより、周囲に中空領域が形成されたFD配線の容量が、中空領域が形成されない場合に比べて低減し、その結果、モード比を所望の比にすることができる。

[0080] これに対して、FD301およびFD302のそれぞれに接続するFD配線の周囲に中空領域が形成されない場合、モード比は、配線レイアウトによって調整する必要がある。しかしながら、画素300が小さい場合配線レイアウトの自由度は低く、また、配線レイアウトには画素300の共有方式に基づく制限があるため、配線レイアウトによる調整は困難である。

[0081] <第3実施の形態>

(CMOSイメージセンサの各部の配置例)

本開示を適用した固体撮像素子としてのCMOSイメージセンサの第3実施の形態の構成は、図1のCMOSイメージセンサ50の構成と同一であるため、説明は省略する。また、以降の図において、CMOSイメージセンサ50と同一のものには同一の符号を付してあり、説明は適宜省略する。

[0082] 図8は、CMOSイメージセンサの第3実施の形態の各部の配置例を示す図である。

[0083] 図8のCMOSイメージセンサ320では、積層される2つの半導体基板321と半導体基板322のうちの一方の半導体基板321に画素領域51が配置され、他方の半導体基板322に制御回路331とロジック回路332が配置される。半導体基板321と半導体基板322には、1以上の配線層が積層されており、半導体基板321と半導体基板322は、配線層どうしが接合するように積層される。

[0084] 制御回路331は、例えば、垂直駆動部54、カラム処理部55、水平駆動部56、およびシステム制御部57からなる回路である。ロジック回路332は、例えば、信号処理部58とメモリ部59からなる回路である。

[0085] なお、ここでは、CMOSイメージセンサ320の半導体基板の層数は、2層

であるようにするが、１層でもよいし、３層以上であってもよい。また、制御回路３３１は、画素領域５１と同一の半導体基板３２１に形成されるようにしてもよい。

[0086] (半導体基板３２１の第１の構造例)

図９は、図８の半導体基板３２１の画素領域５１の第１の構造例を配線層側から見た平面図であり、図１０は、図９のＡ－Ａ′断面図およびＢ－Ｂ′断面図である。なお、説明の便宜上、図９では、半導体基板３２１と最下の１つの配線層のみ図示しており、図１０では、半導体基板３２１と最下の２つの配線層のみを図示している。

[0087] 図９および図１０に示すように、CMOSイメージセンサ３２０では、水平方向に隣接する２つの画素９０間でＦＤ９３が共有される。図１０に示すように、画素領域５１の最下の配線層３５１には、ＦＤ９３と、リセットトランジスタ９４のソース、および増幅トランジスタ９５のゲートとを接続するＦＤ配線３６１が形成される。

[0088] 図１０に示すように、ＦＤ配線３６１は、ＦＤ９３とビア３６１Ａを介して接続され、半導体基板３２１に形成されたリセットトランジスタ９４のソースとビア３６１Ｂを介して接続され、増幅トランジスタ９５のゲートとビア３６１Ｃを介して接続される。

[0089] また、図９に示すように、転送トランジスタ９２のゲートには、画素駆動線５２を構成する１つの配線であるＴＲＧ配線３６２が接続される。さらに、図１０に示すように、配線層３５１の上の配線層３５２には、各種の配線３６３が形成される。

[0090] 図９および図１０に示すように、配線層３５１において、ＦＤ配線３６１と、配線層３５１内の図示せぬ他の配線との間には、複数（図１０の例では４個）の中空領域（Air Gap）３６４Ａが形成される。また、電位が異なるＦＤ配線３６１と半導体基板３２１の間にも、複数（図１０の例では６個）の中空領域３６４Ｂが形成される。さらに、配線層３５２のＦＤ配線３６１の上部の領域にも、複数の中空領域３６４Ｃが形成される。

- [0091] 以上のように、FD配線361と、他の配線や半導体基板321などの他の電極との間に中空領域364A乃至364Cが形成されることにより、FD配線361と他の配線や電極との間の誘電率が低下し、FD配線361の容量が低減する。その結果、電荷電圧変換効率が向上する。
- [0092] また、FD配線361と他の配線との間に形成される中空領域は、1つの中空領域ではなく、複数個の中空領域364Aにより構成される。従って、FD配線361の容量を低減するためにFD配線361と他の配線との間の間隔が大きくされる場合であっても、1つの中空領域のサイズを小さくすることができるため、中空領域を容易に形成することができる。
- [0093] 配線層351および配線層352において、FD配線361、TRG配線362、配線363等の配線、中空領域364A乃至364C、転送トランジスタ92等のトランジスタが形成されない領域には、SiO膜などの絶縁膜353（配線層間膜）が形成される。第3実施の形態では、絶縁膜353の材料はSiO₂であるものとするが、勿論、これに限定されない。
- [0094] 以上のように、中空領域364A乃至364Cの間は絶縁膜353である、即ち中空領域364A乃至364Cは絶縁膜353によって支えられるため、導電体によって支えられる場合に比べて、FD配線361の容量を低減することができる。
- [0095] （半導体基板321の第1の構造例の製造方法の説明）
図11乃至図14は、図9および図10の配線層351と配線層352が積層された半導体基板321の製造方法を説明する図である。
- [0096] まず、図11の第1の工程において、フォトダイオード91、FD93、転送トランジスタ92、リセットトランジスタ94、増幅トランジスタ95等の画素90を構成するトランジスタ等が、半導体基板321に形成される。そして、半導体基板321上に絶縁膜353が成膜される。
- [0097] 図11の第2の工程において、絶縁膜353上の、FD配線361と半導体基板321の間の中空領域364Bに対応する領域以外の領域にフォトレジスト381を塗布することにより、フォトレジストパターンが形成される

。そして、フォトリソパターンを用いて絶縁膜 353 のエッチングが行われる。これにより、フォトリソ 381 が形成されていない領域、即ち、中空領域 364 B に対応する領域の絶縁膜 353 が除去される。中空領域 364 B のサイズは、フォトリソパターンを変更することにより、制御することができる。

[0098] 図 12 の第 3 の工程において、フォトリソパターンが剥離され、カバレッジの悪い成膜方法で絶縁膜 353 が成膜される。これにより、FD 配線 361 と半導体基板 321 の間の中空領域 364 B が形成される。図 12 の第 4 の工程において、絶縁膜 353 において、ダマシんで、FD 93 が、リセットトランジスタ 94 のソースおよび増幅トランジスタ 95 のゲートと接続するように、FD 配線 361 とビア 361 A 乃至 361 C が形成される。

[0099] 図 13 の第 5 の工程において、絶縁膜 353 上の、FD 配線 361 と同一配線層 351 内の図示せぬ他の配線の間の中空領域 364 A に対応する領域以外の領域にフォトリソ 381 を塗布することにより、フォトリソパターンが形成される。そして、フォトリソパターンを用いて絶縁膜 353 のエッチングが行われる。これにより、フォトリソ 381 が形成されていない領域、即ち、中空領域 364 A に対応する領域の絶縁膜 353 が除去される。

[0100] 図 13 の第 6 の工程において、フォトリソパターンが剥離され、カバレッジの悪い成膜方法で絶縁膜 353 が成膜される。これにより、中空領域 364 A が形成される。図 14 の第 7 の工程において、配線層 352 の配線 363 がダマシんで形成される。

[0101] 図 14 の第 8 の工程において、まず、図 11 の第 2 の工程および図 12 の第 3 の工程や図 13 の第 5 の工程および第 6 の工程と同様に、FD 配線 361 の上の中空領域 364 C が形成される。

[0102] 具体的には、絶縁膜 353 上の、FD 配線 361 の上の中空領域 364 C に対応する領域以外の領域にフォトリソ 381 を塗布することにより、フォトリソパターンが形成される。そして、フォトリソパターンを

用いて絶縁膜 353 のエッチングが行われ、これにより、中空領域 364 C に対応する領域の絶縁膜 353 が除去される。その後、フォトレジストパターンが剥離され、カバレッジの悪い成膜方法で絶縁膜 353 が成膜される。

[0103] なお、図 11 の第 2 の工程、図 13 の第 5 の工程、および図 14 の第 8 の工程においてエッチングされる絶縁膜 353 の厚み（半導体基板 321 に垂直な方向の長さ）、即ち中空領域 364 A 乃至 364 C の厚みは、例えば、0. 数 μm より薄い。

[0104] 以上のように、中空領域 364 A 乃至 364 C の上の絶縁膜 353 は、カバレッジの悪い成膜方法で成膜されるため、中空領域 364 A 乃至 364 C の空洞を維持したまま、中空領域 364 A 乃至 364 C 上に絶縁膜 353 を形成することができる。中空領域 364 A 乃至 364 C の下の絶縁膜 353 の膜質は、中空領域 364 A 乃至 364 C の上の絶縁膜 353 の膜質と同一であってもよいし、異なってもよい。

[0105] （半導体基板 321 の第 2 の構造例）

図 15 は、図 8 の半導体基板 321 の画素領域 51 の第 2 の構造例の図 9 の A-A' 断面図である。なお、説明の便宜上、図 15 では、半導体基板 321 と最下の 2 つの配線層のみを図示している。

[0106] 図 15 に示す構成のうち、図 10 の構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

[0107] 図 15 の配線層 351 および配線層 352 が積層された半導体基板 321 の構成は、FD 配線 361 と中空領域 364 A の底面に接するように、ストッパ膜 401 が形成されている点が、図 10 の構成と異なる。

[0108] ストッパ膜 401 は、ダマシンで FD 配線 361 を形成する際に絶縁膜 353 のエッチングを止めるための膜であり、SiO₂膜等である。

[0109] （半導体基板 321 の第 2 の構造例の製造方法の説明）

図 16 乃至図 19 は、図 15 の配線層 351 と配線層 352 が積層された半導体基板 321 の製造方法を説明する図である。

[0110] まず、図 11 および図 12 の第 1 乃至第 3 の工程が行われ、FD 配線 36

1と半導体基板321の間の中空領域364Bが形成される。次に、図16および図18の第1乃至第6の工程において、ダマシんでFD配線361とビア361A乃至361Cが形成される。

[0111] 即ち、図16の第1の工程において、中空領域364Bが形成された半導体基板321に絶縁膜353が成膜され、平坦化される。

[0112] 図16の第2の工程において、絶縁膜353上にストッパ膜401が成膜される。図17の第3の工程において、ストッパ膜401の上に、所定の厚さの絶縁膜353が成膜される（積み増される）。

[0113] 図17の第4の工程において、ストッパ膜401より下の絶縁膜353のビア361A乃至361Cに対応する領域がエッチングされ、ストッパ膜401より上の絶縁膜353のFD配線361に対応する領域がエッチングされる。ストッパ膜401より上の絶縁膜353のエッチングは、ストッパ膜401により停止される。即ち、ストッパ膜401より上の絶縁膜353のエッチング領域の底面は、ストッパ膜401の上面と接する。

[0114] 図18の第5の工程において、最上層の絶縁膜353に銅(Cu)402が成膜される。図18の第6の工程において、絶縁膜353より上の不要な銅402が除去され、これにより、FD配線361とビア361A乃至361Cが形成される。

[0115] 次に、図19の第7の工程において、絶縁膜353上の、FD配線361と同一配線層351内の図示せぬ他の配線との間の中空領域364Aに対応する領域以外の領域にフォトレジスト381を塗布することにより、フォトレジストパターンが形成される。そして、フォトレジストパターンを用いて、ストッパ膜401でエッチングが停止されるように、絶縁膜353のエッチングが行われる。これにより、フォトレジスト381が形成されていない領域、即ち、中空領域364Aに対応する領域の絶縁膜353が除去される。

[0116] その後、図13および図14の第6乃至第8の工程が行われ、中空領域364Aと中空領域364Cが形成される。

[0117] 以上により、全ての中空領域 364A の底面は、ストッパ膜 401 の上面と接する。即ち、全ての中空領域 364A の底面の厚さ方向の位置は同一である。従って、中空領域 364A の深さ（半導体基板 321 に垂直な方向の長さ）のバラツキが減少し、これにより、FD 配線 361 の容量のバラツキが減少する。

[0118] なお、図 19 の第 7 の工程において、図 20 に示すように、ストッパ膜 401 で絶縁膜 353 のエッチングが停止された後、さらにエッチングを行うようにしてもよい。

[0119] （半導体基板 321 の第 3 の構造例）

図 21 は、図 8 の半導体基板 321 の画素領域 51 の第 3 の構造例の図 9 の A-A' 断面図である。なお、説明の便宜上、図 21 では、半導体基板 321 と最下の 2 つの配線層のみを図示している。

[0120] 図 21 に示す構成のうち、図 10 の構成と同じ構成には同じ符号を付してある。重複する説明については適宜省略する。

[0121] 図 21 の配線層 351 および配線層 352 が積層された半導体基板 321 の構成は、連続する 4 個の中空領域 364A の下部が接続されている点、および、その中空領域 364A の上部の周囲の絶縁膜が絶縁膜 353 とは異なる材質の絶縁膜 421 である点が、図 10 の構成と異なる。

[0122] 絶縁膜 421 の材質は、例えば SiN である。

[0123] （半導体基板 321 の第 3 の構造例の製造方法の説明）

図 22 および図 23 は、図 21 の配線層 351 と配線層 352 が積層された半導体基板 321 の製造方法を説明する図である。

[0124] まず、図 11 および図 12 の第 1 乃至第 3 の工程が行われ、FD 配線 361 と半導体基板 321 の間の中空領域 364B が形成される。次に、図 22 の第 1 の工程において、絶縁膜 353 の上に絶縁膜 421 が形成される。そして、絶縁膜 353 および絶縁膜 421 において、ダマシんで、FD 93 と接続するように、FD 配線 361 とビア 361A 乃至 361C が形成される。

- [0125] 次に、図 2 2 の第 2 の工程において、絶縁膜 4 2 1 上の、中空領域 3 6 4 A に対応する領域以外の領域にフォトリソグ 3 8 1 を塗布することにより、フォトリソグパターンが形成される。
- [0126] そして、フォトリソグパターンを用いて絶縁膜 3 5 3 および絶縁膜 4 2 1 のエッチングが行われる。これにより、フォトリソグ 3 8 1 が形成されていない領域、即ち、中空領域 3 6 4 A に対応する領域の絶縁膜 3 5 3 および絶縁膜 4 2 1 が除去される。
- [0127] 図 2 3 の第 3 の工程において、絶縁膜 3 5 3 のエッチングレートが、絶縁膜 4 2 1 のエッチングレートより大きくなる条件で、絶縁膜 3 5 3 および絶縁膜 4 2 1 の等方エッチングが行われる。これにより、絶縁膜 3 5 3 のみエッチングが行われ、4 個の中空領域 3 6 4 A の下部が接続される。
- [0128] 図 2 3 の第 4 の工程では、フォトリソグパターンが剥離され、カバレッジの悪い成膜方法で絶縁膜 3 5 3 が成膜される。このとき、中空領域 3 6 4 A の下部のサイズは大きい、上部のサイズは小さいため、下部に絶縁膜 3 5 3 の材料が到達する前に閉塞する。従って、中空領域 3 6 4 A の空洞は維持される。その後、図 1 4 の第 7 および第 8 の工程が行われ、中空領域 3 6 4 C が形成される。
- [0129] なお、図 2 4 に示すように、中空領域 3 6 4 A と同様に、中空領域 3 6 4 B の上部の周囲に絶縁膜 4 2 2 が形成され、中空領域 3 6 4 B の下部が接続されるようにしてもよい。また、図示は省略するが、中空領域 3 6 4 C の下部が接続されるようにしてもよい。さらに、各中空領域 3 6 4 A 乃至 3 6 4 C の下部は、上部のサイズに比べて大きければよく、中空領域 3 6 4 A 乃至 3 6 4 C の下部どうしが接続していなくてもよい。
- [0130] (CMOS イメージセンサの第 1 の製造方法)
- 図 2 5 乃至図 2 7 は、図 1 1 乃至図 1 4 の製造方法により製造された半導体基板 3 2 1 と半導体基板 3 2 2 を接合することにより製造される図 8 の CMOS イメージセンサ 3 2 0 の第 1 の製造方法を説明する図である。
- [0131] 図 1 1 乃至図 1 4 の製造方法により配線層 3 5 1 と配線層 3 5 2 が積層さ

れた半導体基板 3 2 1 が製造された後、さらに配線層 4 3 1 が積層される。そして、図 2 5 の第 1 の工程において、配線層 3 5 2 の絶縁膜 3 5 3 上の、画素領域 5 1 以外の T S V (through-silicon via) 4 5 2 が形成される領域の周囲の領域にフォトリソグ 3 8 1 を塗布することにより、フォトリソグパターンが形成される。そして、フォトリソグパターンを用いて絶縁膜 3 5 3 のエッチングが行われる。これにより、フォトリソグ 3 8 1 が形成されていない領域、即ち T S V 4 5 2 が形成される領域の周囲の領域の絶縁膜 3 5 3 が除去される。

[0132] 図 2 5 の第 2 の工程において、フォトリソグパターンが剥離され、カバレッジの悪い成膜方法で絶縁膜 3 5 3 が成膜される。これにより、T S V 4 5 2 (接続部) が形成される領域の周囲の領域に中空領域 4 3 2 が形成される。

[0133] 図 2 6 の第 3 の工程において、半導体基板 3 2 1 と半導体基板 3 2 2 が接合される。

[0134] 具体的には、図 2 6 の例では、半導体基板 3 2 2 には、各種の配線 4 4 0 が形成される 4 つの配線層 4 4 1 乃至 4 4 4 が積層されており、配線層 4 4 1 乃至 4 4 4 の配線 4 4 0 等が形成されない領域には絶縁膜 4 4 5 が形成されている。

[0135] 最上層の配線層 4 4 4 の配線 4 4 0 は、例えばアルミニウム (A l) により形成され、最上層以外の配線層 4 4 1 乃至 4 4 3 の配線 4 4 0 は、例えば銅 (C u) により形成される。半導体基板 3 2 1 と半導体基板 3 2 2 は、半導体基板 3 2 1 の最上層の配線層 4 3 1 と、半導体基板 3 2 2 の最上層の配線層 4 4 4 が接合するように接合される。

[0136] 半導体基板 3 2 1 と半導体基板 3 2 2 の接合後、半導体基板 3 2 1 の配線層 3 5 1 が積層される面と対向する面には、絶縁膜 4 5 1 が形成される。また、半導体基板 3 2 1 の配線層 3 5 1 が積層される面と対向する面の画素領域 5 1 に対応する領域には、図示せぬカラーフィルタやオンチップレンズ等が形成される。さらに、接合後の半導体基板 3 2 1 と半導体基板 3 2 2 に対

して薄肉化が行われ、これにより、CMOSイメージセンサ320の膜厚が所望の膜厚にされる。

[0137] 次に、図27の第4の工程において、絶縁膜451、半導体基板321、絶縁膜353、および絶縁膜445の、TSV452が形成される領域がエッチングされ、TSV452が形成される。TSV452は、配線層444の配線440と配線層351の配線363に接続され、半導体基板321と半導体基板322を電氣的に接続する。

[0138] (CMOSイメージセンサの第2の製造方法)

図28乃至図31は、図11乃至図14の製造方法により製造された半導体基板321と半導体基板322を接合することにより製造される図8のCMOSイメージセンサ320の第2の製造方法を説明する図である。

[0139] 図11乃至図14の製造方法により配線層351と配線層352が積層された半導体基板321が製造された後、さらに配線層431が積層される。そして、図28の第1の工程において、半導体基板321の最上層の配線層352と、半導体基板322の最上層の配線層442が接合するように、半導体基板321と半導体基板322が接合される。

[0140] また、半導体基板321と半導体基板322の接合後、半導体基板321の配線層351が積層される面と対向する面には、絶縁膜451が形成される。また、半導体基板321の配線層351が積層される面と対向する面の画素領域51に対応する領域には、図示せぬカラーフィルタやオンチップレンズ等が形成される。さらに、接合後の半導体基板321と半導体基板322に対して薄肉化が行われ、これにより、CMOSイメージセンサ320の膜厚が所望の膜厚にされる。

[0141] 次に、図29の第2の工程において、絶縁膜451上の、画素領域51以外のTSV452が形成される領域の周囲の領域にフォトレジスト381を塗布することにより、フォトレジストパターンが形成される。そして、フォトレジストパターンを用いて半導体基板321並びに絶縁膜451および絶縁膜353のエッチングが行われる。これにより、フォトレジスト381が

形成されていない領域、即ちTSV452が形成される領域の周囲の領域の半導体基板321並びに絶縁膜451および絶縁膜353が除去される。

[0142] 図30の第3の工程において、フォトリソパターンが剥離され、カバレッジの悪い成膜方法で絶縁膜451が成膜される。これにより、TSV452が形成される領域の周囲の領域に、半導体基板321を貫通する中空領域432が形成される。

[0143] 図31の第4の工程において、絶縁膜451、半導体基板321、絶縁膜353、および絶縁膜445の、TSV452が形成される領域がエッチングされ、TSV452が形成される。

[0144] なお、図32に示すように、第3の工程において、絶縁膜451が成膜される際、半導体基板321内の中空領域432に絶縁膜451が埋め込まれるようにしてもよい。また、TSV452は、1つのビアによって、配線層444の配線440と配線層351の配線363を接続してもよいし、2つのビアによって接続してもよい。

[0145] 以上のように、TSV452の周囲に中空領域432が形成されることにより、TSV452と半導体基板321の電位部分(例えばGND)との容量を低減することができる。

[0146] なお、第3実施の形態において、中空領域364A乃至364Cおよび中空領域432の数は、1以上であれば任意の数にすることができる。また、中空領域364A乃至364Cおよび中空領域432の形状は、カバレッジの悪い成膜方法で絶縁膜が成膜されない形状であれば、どのような形状であってもよい。

[0147] <第4実施の形態>

(画素領域内の中空領域の配置の説明)

本開示を適用した固体撮像素子としてのCMOSイメージセンサの第4実施の形態の構成および構造は、2(横)×2(縦)の画素90の間でFD93を共有する点、および、中空領域364A乃至364Cおよび中空領域432の配置および形状を除いて、CMOSイメージセンサ320の構成および構造と

同一である。

[0148] 従って、以下では、中空領域 3 6 4 A 乃至 3 6 4 C および中空領域 4 3 2 の配置および形状についてのみ説明する。また、以降の図において、CMOS イメージセンサ 3 2 0 と同一のものには同一の符号を付してあり、説明は適宜省略する。

[0149] 図 3 3 は、CMOS イメージセンサの第 4 実施の形態における画素領域 5 1 内の中空領域の配置を説明する、配線層 3 5 1、配線層 3 5 2、および配線層 4 3 1 が積層された半導体基板 3 2 1 の画素領域 5 1 を、配線層 4 3 1 側から見た平面図である。

[0150] 図 3 3 の A は、半導体基板 3 2 1 と配線層 3 5 1 のみを図示したものであり、図 3 3 の B は、半導体基板 3 2 1 と配線層 4 3 1 のみを図示したものである。

[0151] 図 3 3 の A に示すように、CMOS イメージセンサの第 4 実施の形態では、配線層 3 5 1 において、F D 配線 3 6 1 と、配線 4 7 1 などの同一配線層 3 5 1 内の他の配線との間に、中空領域 4 7 2 が形成される。これにより、配線層 3 5 1 内の F D 配線 3 6 1 と他の配線との間の誘電率が低下し、F D 配線 3 6 1 の容量が低減する。その結果、電荷電圧変換効率が向上する。

[0152] また、図 3 3 の B に示すように、配線層 4 3 1 において、垂直信号線 5 3 と、配線 4 7 3 などの同一配線層 4 3 1 内の他の配線との間に、中空領域 4 7 4 が形成される。これにより、配線層 4 3 1 内の垂直信号線 5 3 と他の配線との間の誘電率が低下し、垂直信号線 5 3 の容量が低減する。その結果、画素信号の読み出しの遅延を防止することができる。

[0153] なお、図 3 3 の A の例では、F D 配線 3 6 1 と他の配線との間に 2 つの中空領域 4 7 2 が形成されたが、中空領域 4 7 2 の数は、1 以上であれば任意の数にすることができる。同様に、垂直信号線 5 3 と他の配線との間に形成される中空領域 4 7 4 の数も、1 以上であれば任意の数にすることができる。

[0154] また、図 3 3 の例では、中空領域 4 7 2 および中空領域 4 7 4 の形状が、

配線層 4 3 1 の上から見たときに矩形になる形状（ストライプ形状）であるようにしたが、中空領域 4 7 2 および中空領域 4 7 4 の形状は、任意の形状にすることができる。

[0155] （画素領域内の中空領域の形状の例）

図 3 4 は、中空領域 4 7 2 の形状の他の例を示す、配線層 3 5 1 が積層された半導体基板 3 2 1 の画素領域 5 1 を配線層 3 5 1 側から見た平面図である。

[0156] 中空領域 4 7 2 の形状は、例えば、図 3 4 の A に示すように、配線層 3 5 1 の上から見たときに円になる形状（ホール形状）であってもよいし、図 3 4 の B に示すように、網目になる形状（メッシュ形状）であってもよい。

[0157] 図示は省略するが、中空領域 4 7 4 の形状も、中空領域 4 7 2 と同様の形状にすることができる。

[0158] （画素領域外の中空領域の形状の例）

図 3 5 は、CMOS イメージセンサの第 4 実施の形態における画素領域 5 1 外の T S V 4 5 2 の周囲に形成される中空領域 4 3 2 の形状の例を示す、CMOS イメージセンサを絶縁膜 4 5 1 の上から見た平面図である。

[0159] 中空領域 4 3 2 の形状は、例えば、図 3 5 の A に示すように、絶縁膜 4 5 1 の上から見たときにリング状の矩形になる形状であってもよいし、図 3 5 の B に示すように、リング状の円形になる形状であってもよい。また、図 3 5 の C に示すように線になる形状（ストライプ形状）であってもよい。

[0160] また、T S V 4 5 2 の周囲に形成される中空領域 4 3 2 の数は、図 3 5 の A や図 3 5 の C の例では 2 つであり、図 3 5 の B の例では 1 つであるが、これらに限定されず、任意の数にすることができる。

[0161] なお、中空領域 4 3 2、中空領域 4 7 2、および中空領域 4 7 4 の形状は、カバレッジの悪い成膜方法で絶縁膜が成膜されない形状であれば、図 3 4 や図 3 5 の形状に限定されない。

[0162] また、第 4 実施の形態においても、第 3 実施の形態と同様に、F D 配線 3 6 1 の下部および上部に中空領域が形成されるようにしてもよい。

[0163] さらに、第3実施の形態において、第4実施の形態と同様に、垂直信号線53の周囲に中空領域が形成されるようにしてもよい。また、第3および第4実施の形態において、中空領域が形成される領域は、FD配線361や垂直信号線53以外の容量を低減したい配線の周囲であってもよい。

[0164] また、第3および第4実施の形態において、半導体基板322に中空領域が形成されるようにしてもよい。

[0165] <第5実施の形態>

(撮像装置の一実施の形態の構成例)

図36は、本開示を適用した電子機器としての撮像装置の一実施の形態の構成例を示すブロック図である。

[0166] 図36の撮像装置1000は、ビデオカメラやデジタルスチルカメラ等である。撮像装置1000は、レンズ群1001、固体撮像素子1002、DSP回路1003、フレームメモリ1004、表示部1005、記録部1006、操作部1007、および電源部1008からなる。DSP回路1003、フレームメモリ1004、表示部1005、記録部1006、操作部1007、および電源部1008は、バスライン1009を介して相互に接続されている。

[0167] レンズ群1001は、被写体からの入射光(像光)を取り込んで固体撮像素子1002の撮像面上に結像する。固体撮像素子1002は、上述したCMOSイメージセンサからなる。固体撮像素子1002は、レンズ群1001によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号としてDSP回路1003に供給する。

[0168] DSP回路1003は、固体撮像素子1002から供給される画素信号に対して所定の画像処理を行い、画像処理後の画像信号をフレーム単位でフレームメモリ1004に供給し、一時的に記憶させる。

[0169] 表示部1005は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、フレームメモリ1004に一時的に記憶されたフレーム単位の画素信号に基づいて、画像を表示する。

[0170] 記録部１００６は、ＤＶＤ(Digital Versatile Disk)、フラッシュメモリ等からなり、フレームメモリ１００４に一時的に記憶されたフレーム単位の画素信号を読み出し、記録する。

[0171] 操作部１００７は、ユーザによる操作の下に、撮像装置１０００が持つ様々な機能について操作指令を発する。電源部１００８は、電源を、ＤＳＰ回路１００３、フレームメモリ１００４、表示部１００５、記録部１００６、および操作部１００７に対して適宜供給する。

[0172] 本技術を適用する電子機器は、画像取込部（光電変換部）にＣＭＯＳイメージセンサを用いる装置であればよく、撮像装置１０００のほか、撮像機能を有する携帯端末装置、画像読取部にＣＭＯＳイメージセンサを用いる複写機などがある。

[0173] <ＣＭＯＳイメージセンサの使用例>

図３７は、上述のＣＭＯＳイメージセンサを使用する使用例を示す図である。

[0174] 上述したＣＭＯＳイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、Ｘ線等の光をセンシングする様々なケースに使用することができる。

[0175] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、ＴＶや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

- ・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

- ・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

- ・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0176] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0177] また、本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

[0178] 本開示は、CMOSイメージセンサだけでなく、CCD(Charge Coupled Device)イメージセンサにも適用することができる。

[0179] なお、本開示は、以下のような構成もとることができる。

[0180] (1)

フローティングディフュージョンに接続するF D配線と、前記F D配線以外の配線との間の少なくとも一部の領域が、中空領域であるように構成された固体撮像素子。

(2)

前記F D配線と前記中空領域は接するよう構成された前記(1)に記載の固体撮像素子。

(3)

前記F D配線と前記中空領域は接しないよう構成された前記(1)に記載の固体撮像素子。

(4)

前記中空領域は、前記F D配線と、前記F D配線以外の配線との間の領域のうちの、前記F D配線と、転送トランジスタに接続するT R G配線との間

の領域以外の領域である

ように構成された

前記（１）乃至（３）のいずれかに記載の固体撮像素子。

（５）

垂直信号線の周囲の少なくとも一部が、中空領域である

ように構成された

前記（１）乃至（４）のいずれかに記載の固体撮像素子。

（６）

前記ＦＤ配線は、複数のフローティングディフュージョンのそれぞれに接続する複数のＦＤ配線のうちの一部である

ように構成された

前記（１）乃至（５）のいずれかに記載の固体撮像素子。

（７）

前記中空領域の数は複数である

ように構成された

前記（１）に記載の固体撮像素子。

（８）

前記ＦＤ配線と前記ＦＤ配線以外の配線との間の領域のうちの前記中空領域以外の領域には、絶縁膜が形成される

ように構成された

前記（１）または（７）のいずれかに記載の固体撮像素子。

（９）

前記中空領域の上部の周囲に形成される絶縁膜の材料と、前記中空領域の下部の周囲に形成される絶縁膜の材料とは異なる

ように構成された

前記（８）に記載の固体撮像素子。

（１０）

前記中空領域の下部のサイズは、上部のサイズに比べて大きい

ように構成された

前記（９）に記載の固体撮像素子。

（１１）

前記中空領域の数は複数であり、

複数の前記中空領域の下部は接続される

ように構成された

前記（１０）に記載の固体撮像素子。

（１２）

前記ＦＤ配線と、前記ＦＤ配線と接続する半導体基板との間の少なくとも一部の領域が中空領域である

ように構成された

前記（１）または（７）乃至（１１）のいずれかに記載の固体撮像素子。

（１３）

前記ＦＤ配線、前記ＦＤ配線以外の配線、および前記中空領域が形成された配線層が積層される第１の半導体基板と、

前記第１の半導体基板と接合される第２の半導体基板と、

前記第１の半導体基板と前記第２の半導体基板を電氣的に接続する接続部と

を備え、

前記配線層の前記接続部の周囲に中空領域が形成される

ように構成された

前記（１）または（７）乃至（１１）のいずれかに記載の固体撮像素子。

（１４）

前記配線層の前記接続部の周囲に形成された中空領域は、前記第１の半導体基板を貫通する

ように構成された

前記（１３）に記載の固体撮像素子。

（１５）

フローティングディフュージョンに接続するFD配線と、前記FD配線以外の配線との間の少なくとも一部の領域が、中空領域である固体撮像素子を備える電子機器。

(16)

第1の半導体基板と、

前記第1の半導体基板と接合される第2の半導体基板と、

前記第1の半導体基板と前記第2の半導体基板を電氣的に接続する接続部と

を備え、

前記第1の半導体基板に積層される配線層の前記接続部の周囲に中空領域が形成される

固体撮像素子。

符号の説明

[0181] 50 CMOSイメージセンサ, 53 垂直信号線, 92 転送トランジスタ, 93 FD, 132 FD配線, 133 配線, 134 TRG配線, 135, 201乃至206, 221, 241 中空領域, 301, 302 FD, 320 CMOSイメージセンサ, 321, 322 半導体基板, 351, 352 配線層, 353 絶縁膜, 361 FD配線, 364 A乃至364C 中空領域, 421 絶縁膜, 432 中空領域, 452 TSV, 1000 撮像装置, 1002 固体撮像素子

請求の範囲

- [請求項1] フローティングディフュージョンに接続するF D配線と、前記F D配線以外の配線との間の少なくとも一部の領域が、中空領域であるように構成された固体撮像素子。
- [請求項2] 前記F D配線と前記中空領域は接するよう構成された請求項1に記載の固体撮像素子。
- [請求項3] 前記F D配線と前記中空領域は接しないよう構成された請求項1に記載の固体撮像素子。
- [請求項4] 前記中空領域は、前記F D配線と、前記F D配線以外の配線との間の領域のうちの、前記F D配線と、転送トランジスタに接続するT R G配線との間の領域以外の領域であるように構成された請求項1に記載の固体撮像素子。
- [請求項5] 垂直信号線の周囲の少なくとも一部が、中空領域であるように構成された請求項1に記載の固体撮像素子。
- [請求項6] 前記F D配線は、複数のフローティングディフュージョンのそれぞれに接続する複数のF D配線のうちの一部であるように構成された請求項1に記載の固体撮像素子。
- [請求項7] 前記中空領域の数は複数であるように構成された請求項1に記載の固体撮像素子。
- [請求項8] 前記F D配線と前記F D配線以外の配線との間の領域のうちの前記中空領域以外の領域には、絶縁膜が形成される

ように構成された

請求項 1 に記載の固体撮像素子。

[請求項9] 前記中空領域の上部の周囲に形成される絶縁膜の材料と、前記中空領域の下部の周囲に形成される絶縁膜の材料とは異なる

ように構成された

請求項 8 に記載の固体撮像素子。

[請求項10] 前記中空領域の下部のサイズは、上部のサイズに比べて大きい

ように構成された

請求項 9 に記載の固体撮像素子。

[請求項11] 前記中空領域の数は複数であり、

複数の前記中空領域の下部は接続され、上部は接続される

ように構成された

請求項 10 に記載の固体撮像素子。

[請求項12] 前記 F D 配線と、前記 F D 配線と接続する半導体基板との間の少なくとも一部の領域が中空領域である

ように構成された

請求項 1 に記載の固体撮像素子。

[請求項13] 前記 F D 配線、前記 F D 配線以外の配線、および前記中空領域が形成された配線層が積層される第 1 の半導体基板と、

前記第 1 の半導体基板と接合される第 2 の半導体基板と、

前記第 1 の半導体基板と前記第 2 の半導体基板を電氣的に接続する接続部と

を備え、

前記配線層の前記接続部の周囲に中空領域が形成される

ように構成された

請求項 1 に記載の固体撮像素子。

[請求項14] 前記配線層の前記接続部の周囲に形成された中空領域は、前記第 1 の半導体基板を貫通する

ように構成された

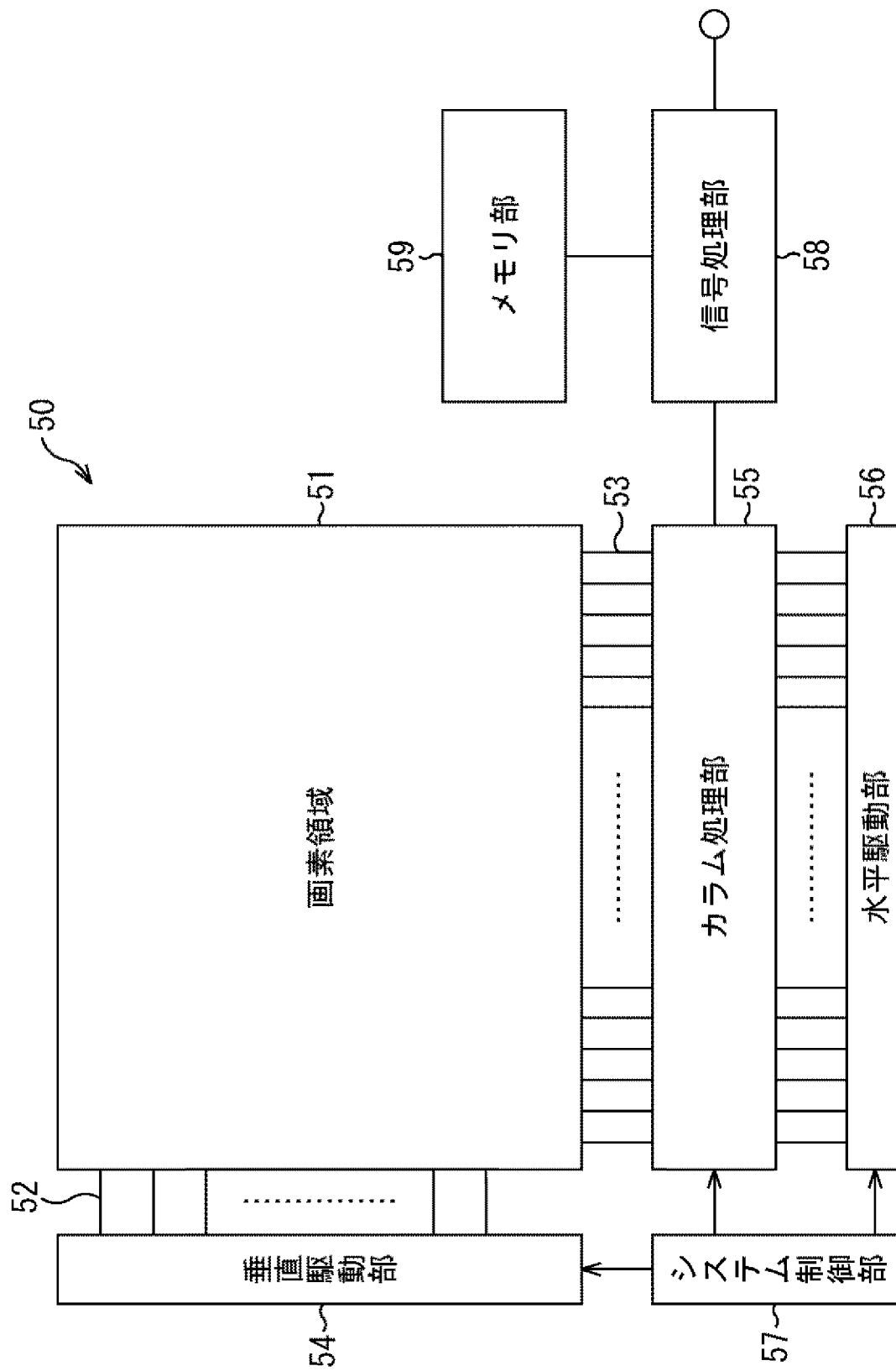
請求項 13 に記載の固体撮像素子。

[請求項15] フローティングディフュージョンに接続する F D 配線と、前記 F D 配線以外の配線との間の少なくとも一部の領域が、中空領域である固体撮像素子

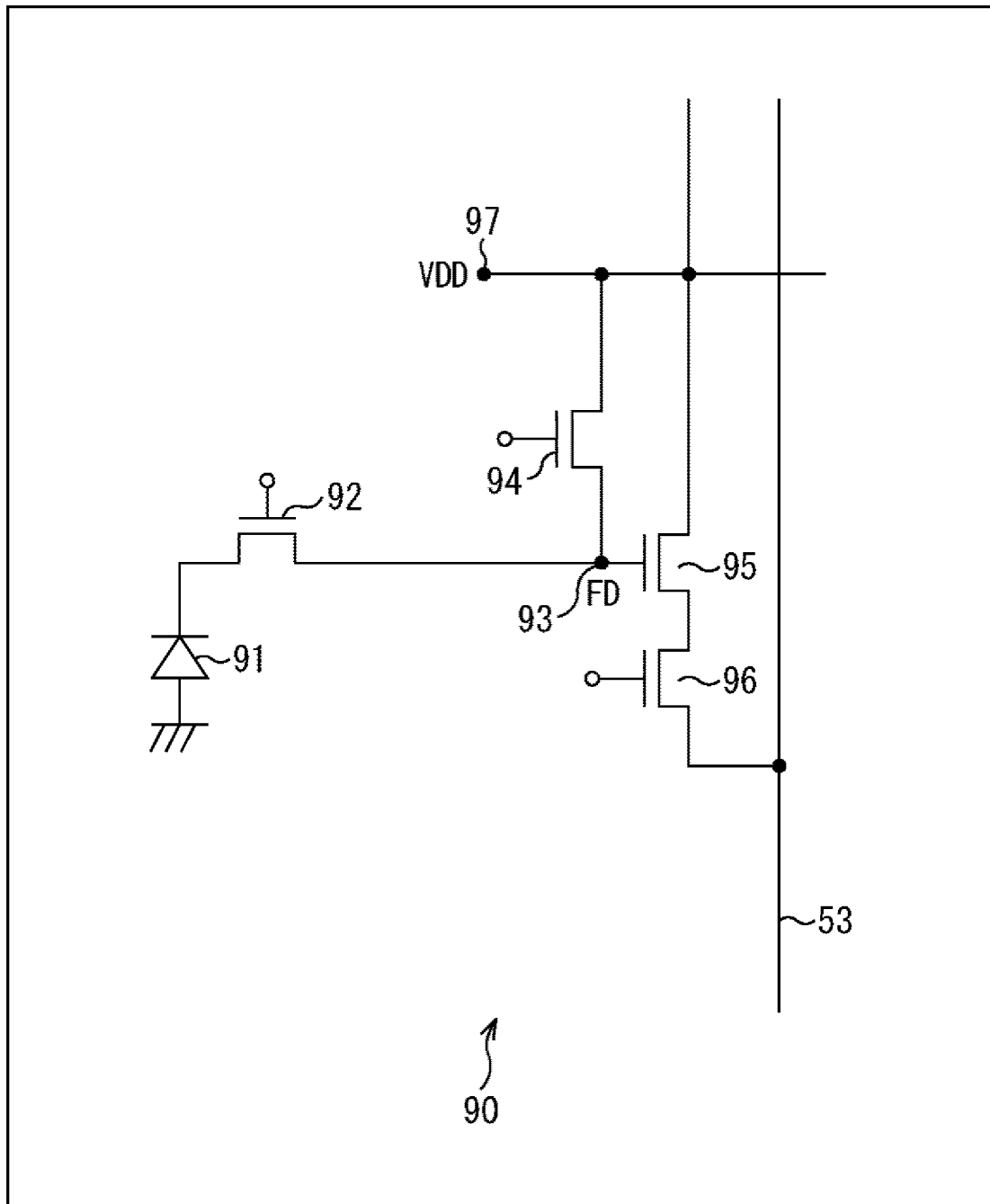
を備える電子機器。

[請求項16] 第 1 の半導体基板と、
前記第 1 の半導体基板と接合される第 2 の半導体基板と、
前記第 1 の半導体基板と前記第 2 の半導体基板を電氣的に接続する接続部と
を備え、
前記第 1 の半導体基板に積層される配線層の前記接続部の周囲に中空領域が形成される
固体撮像素子。

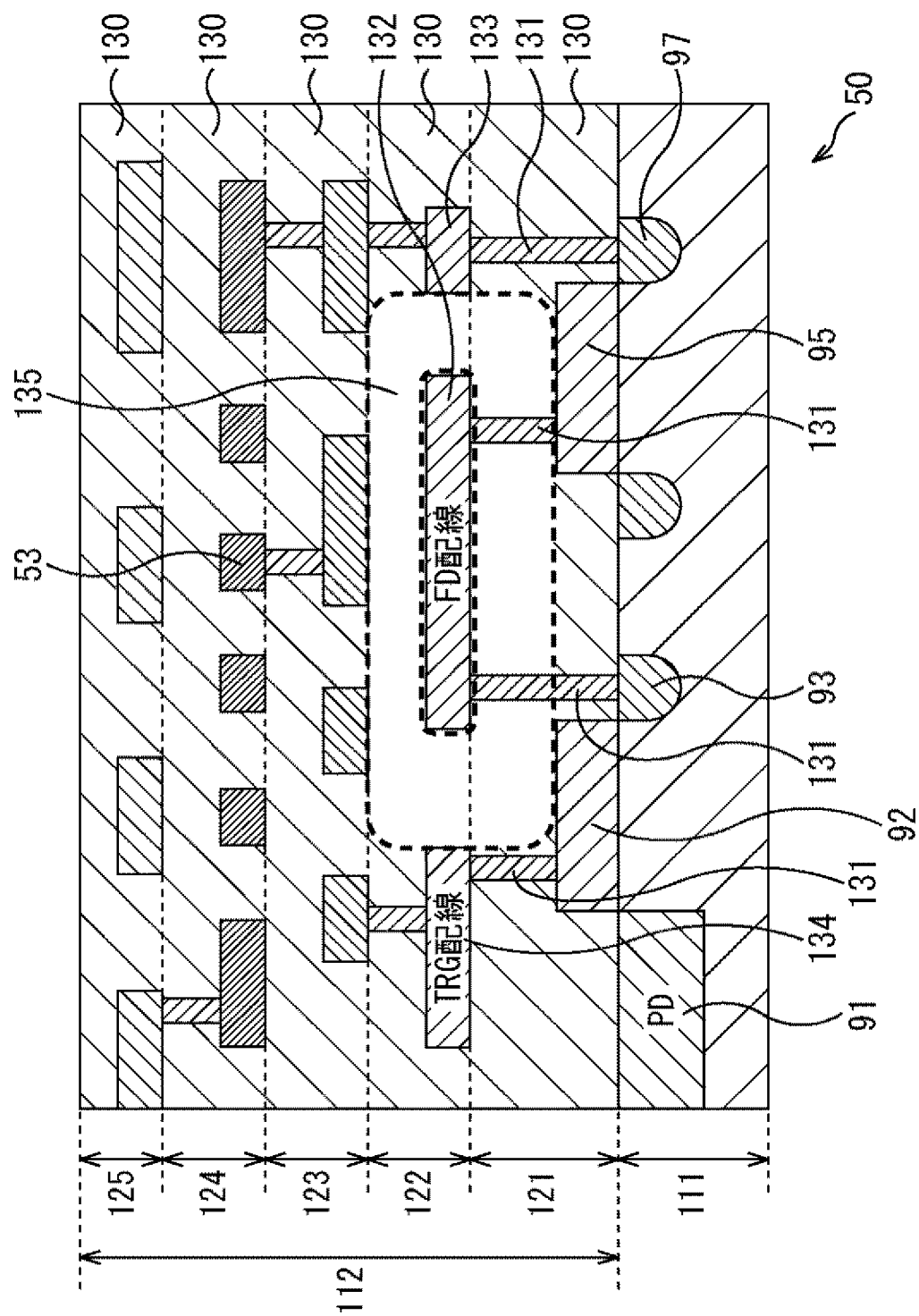
[図1]
FIG.1



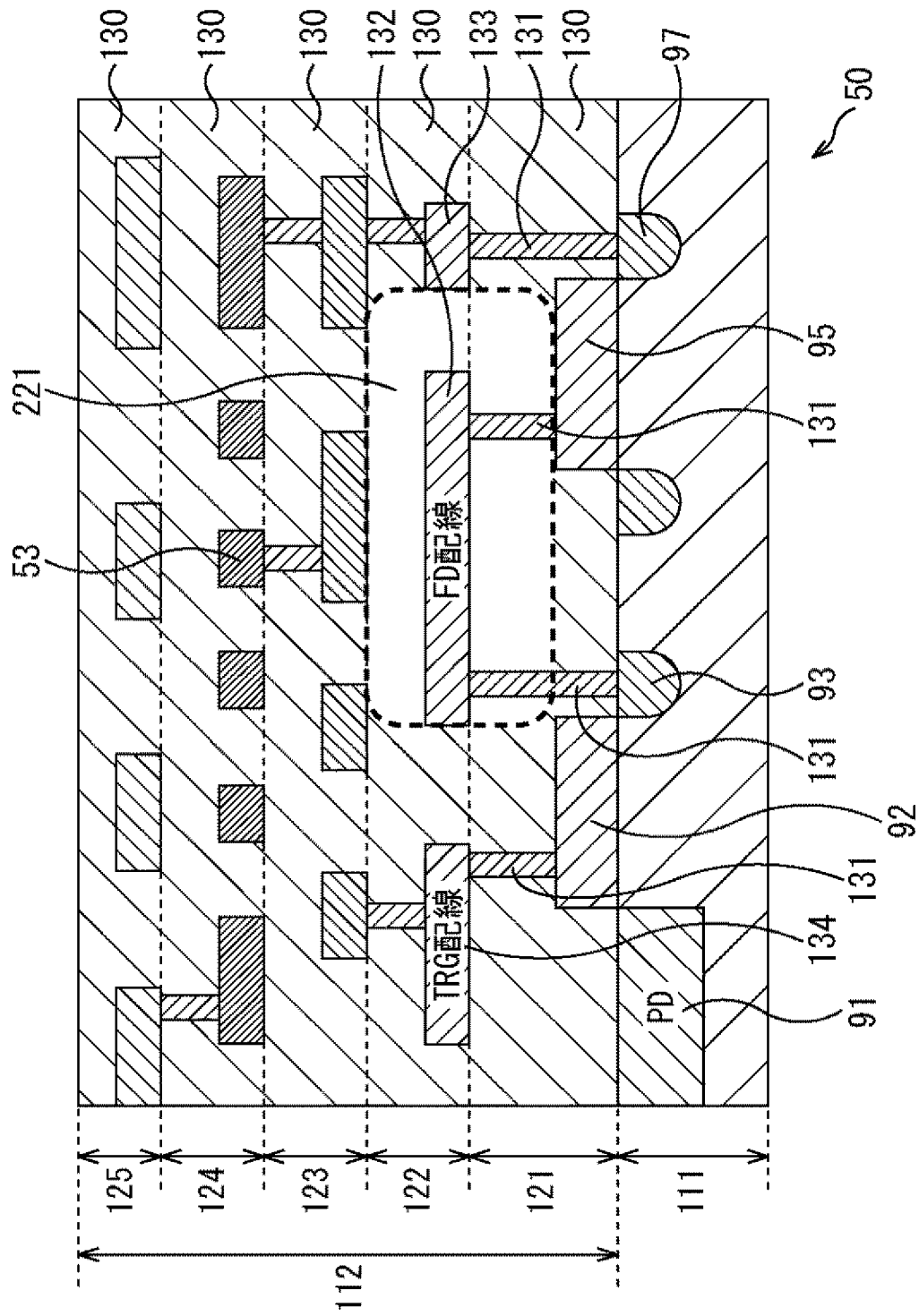
[図2]
FIG. 2



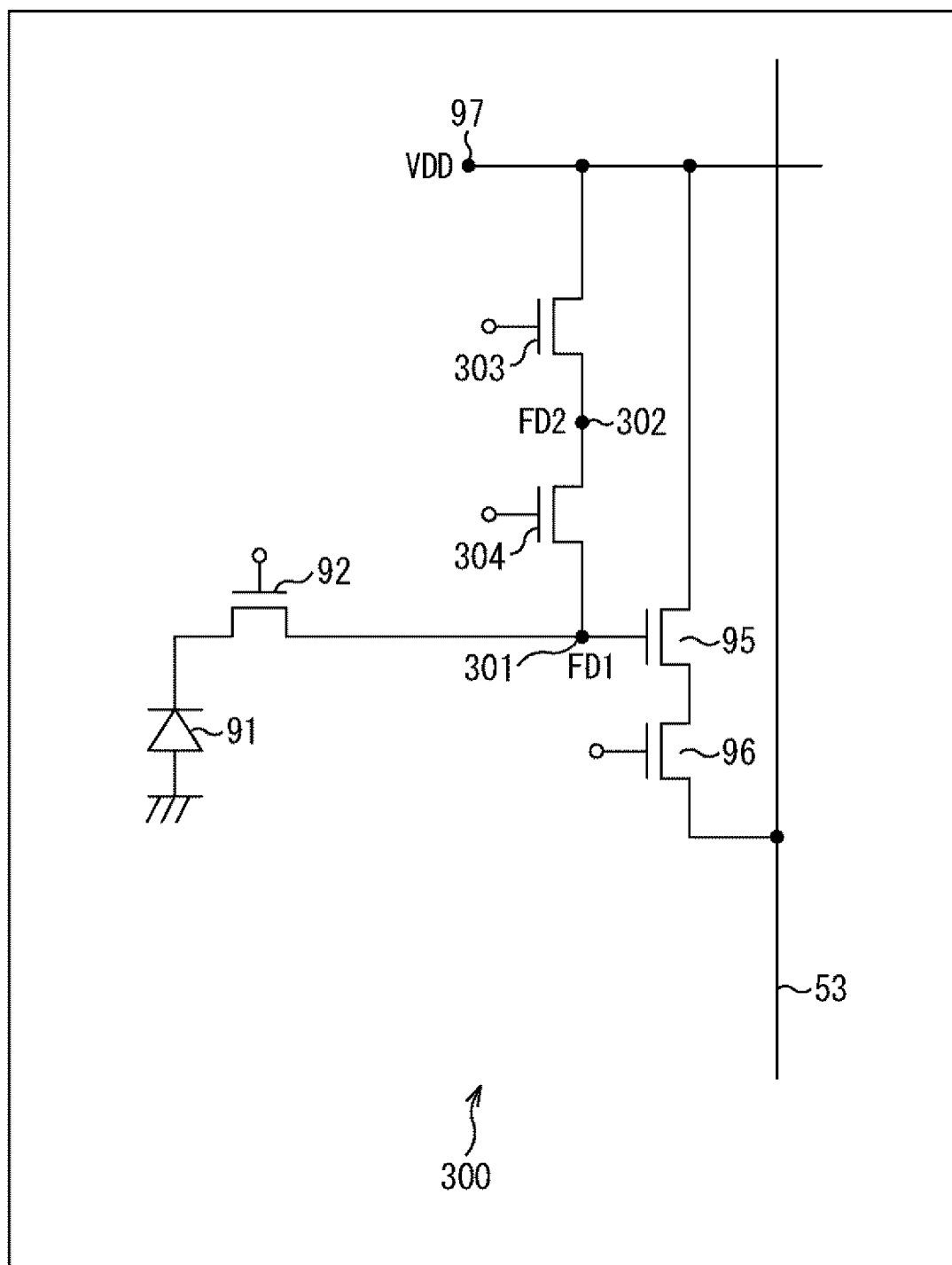
[図3]
FIG. 3



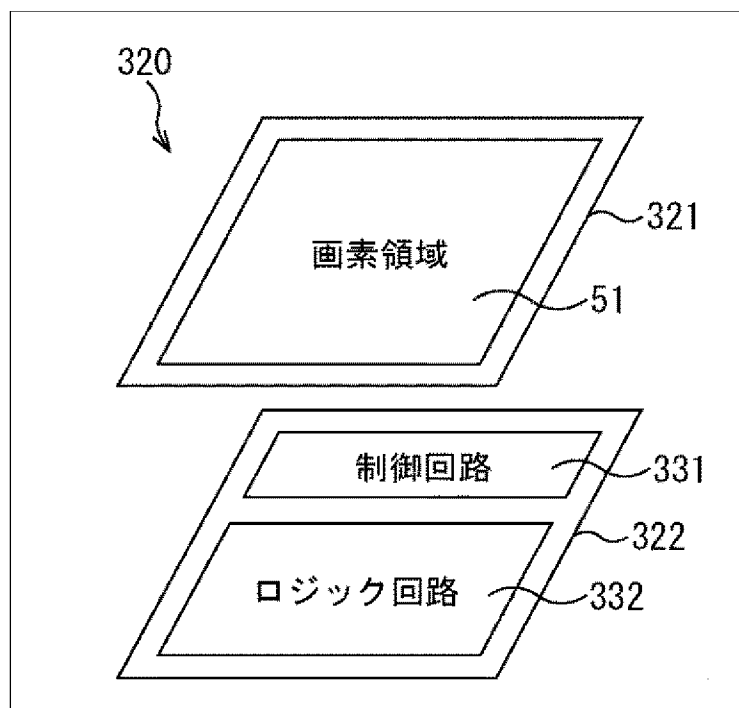
[図5]
FIG. 5



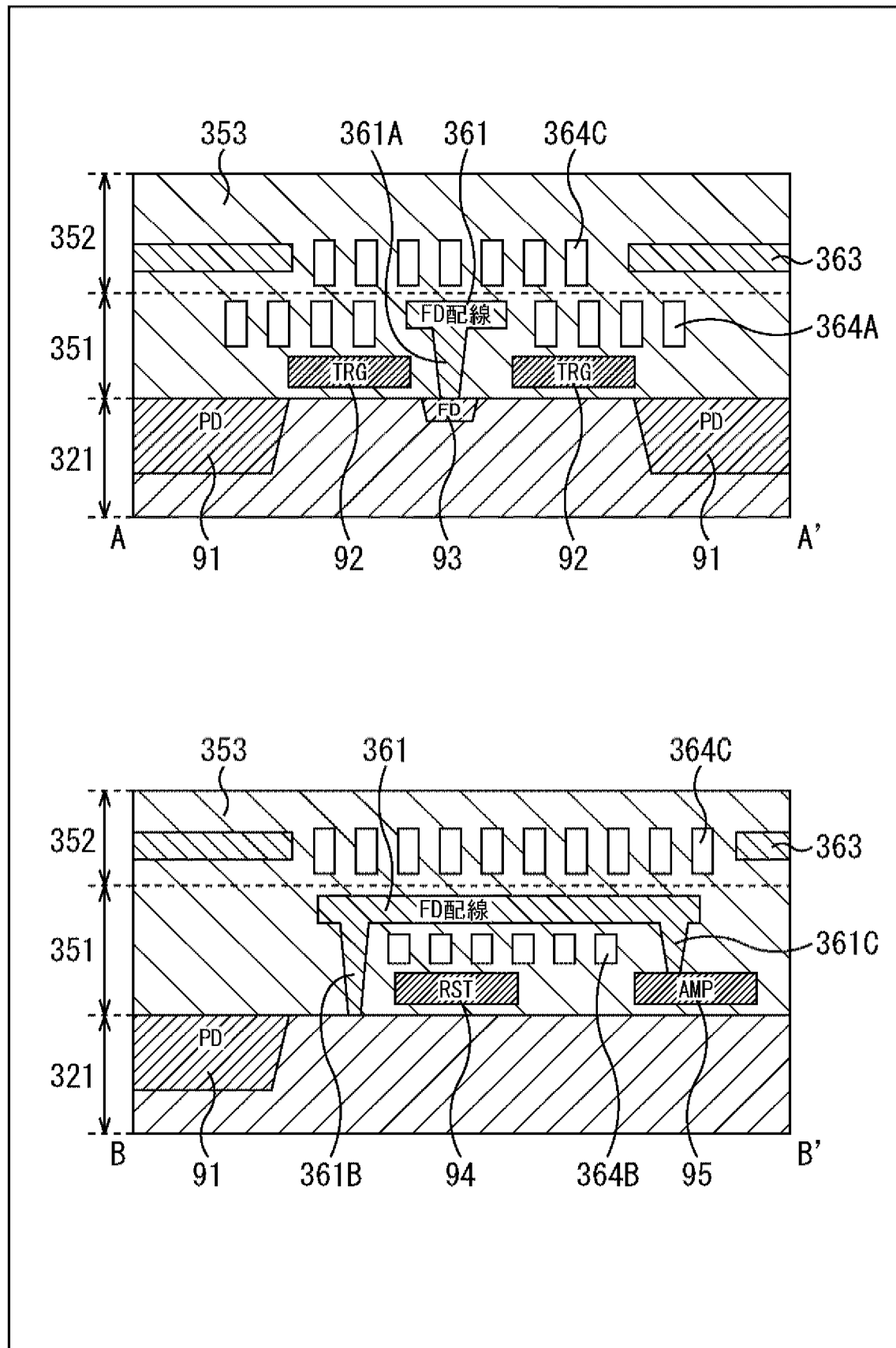
[図7]
FIG. 7



[図8]
FIG. 8

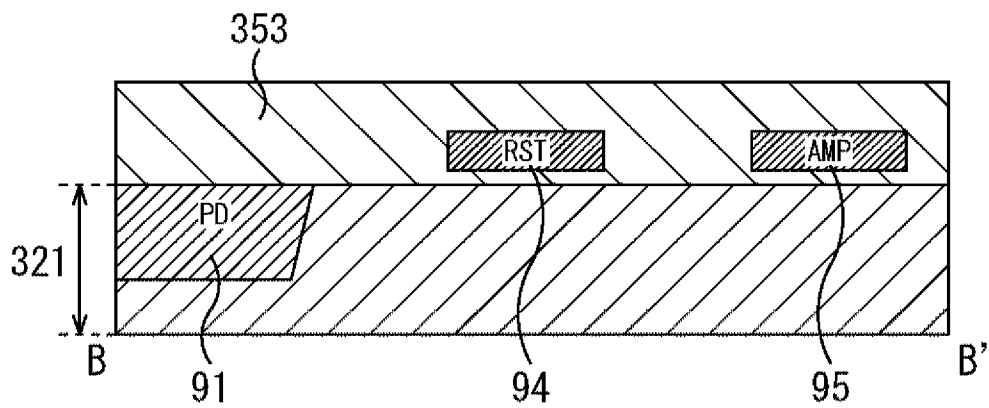


[図10]
FIG. 10

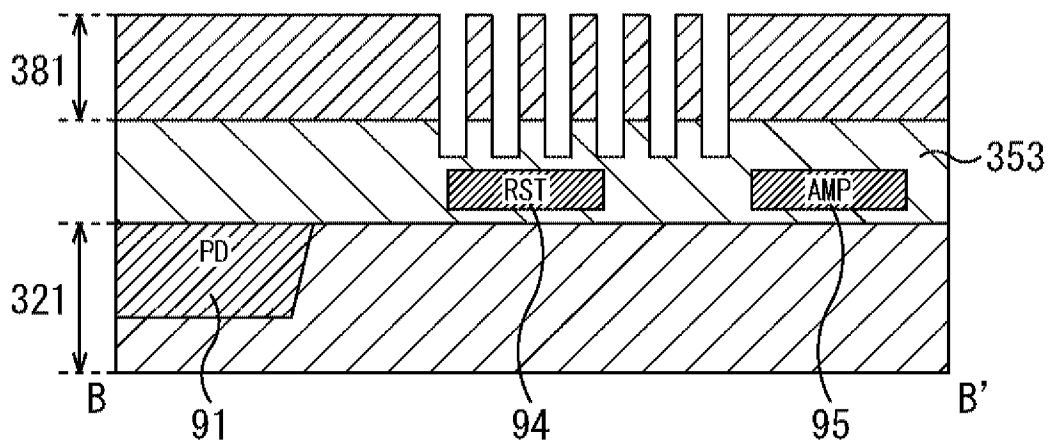


[図11]
FIG. 11

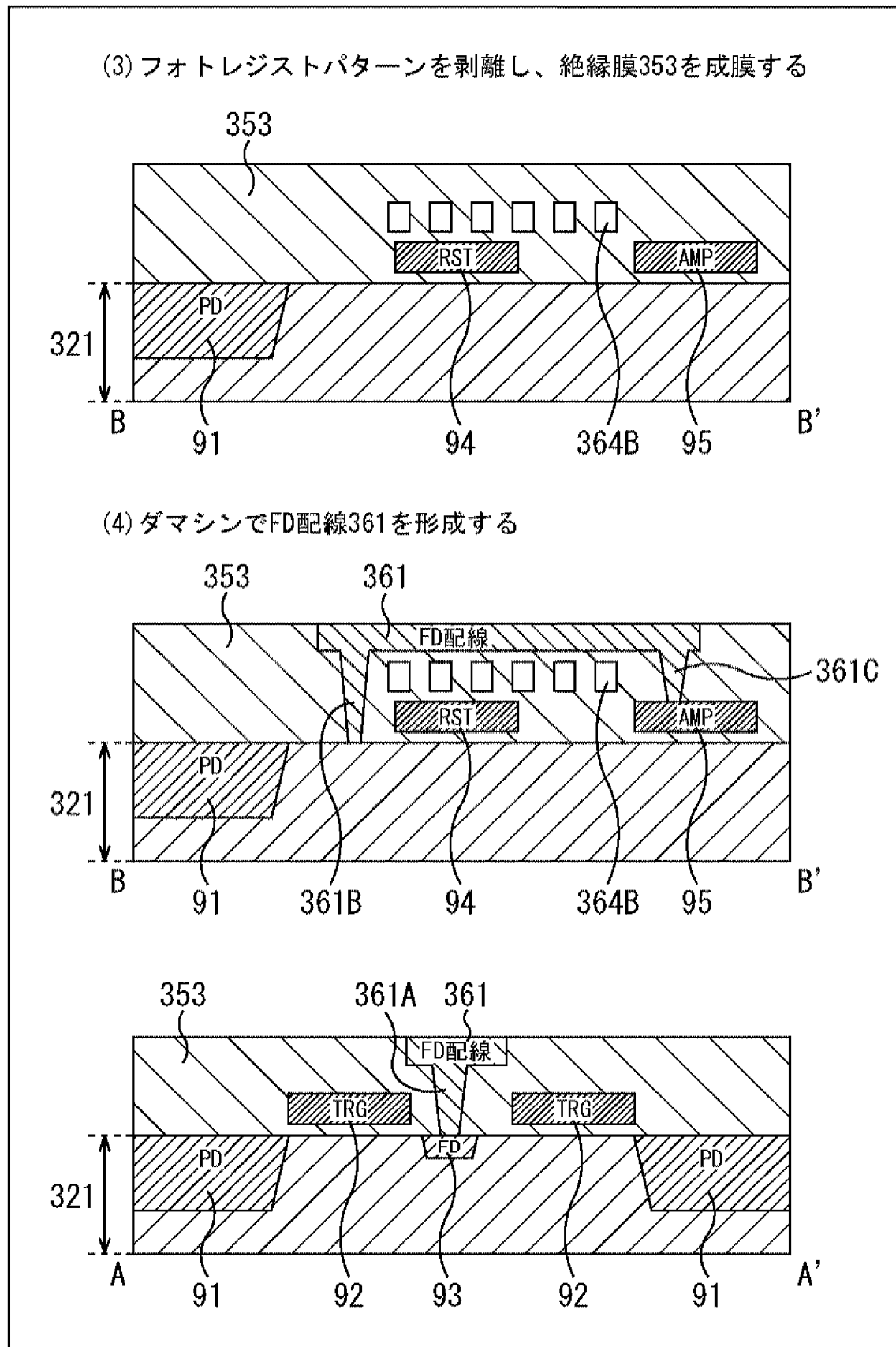
- (1) フォトダイオード91、FD93、トランジスタ等を形成し、
絶縁膜353を成膜する



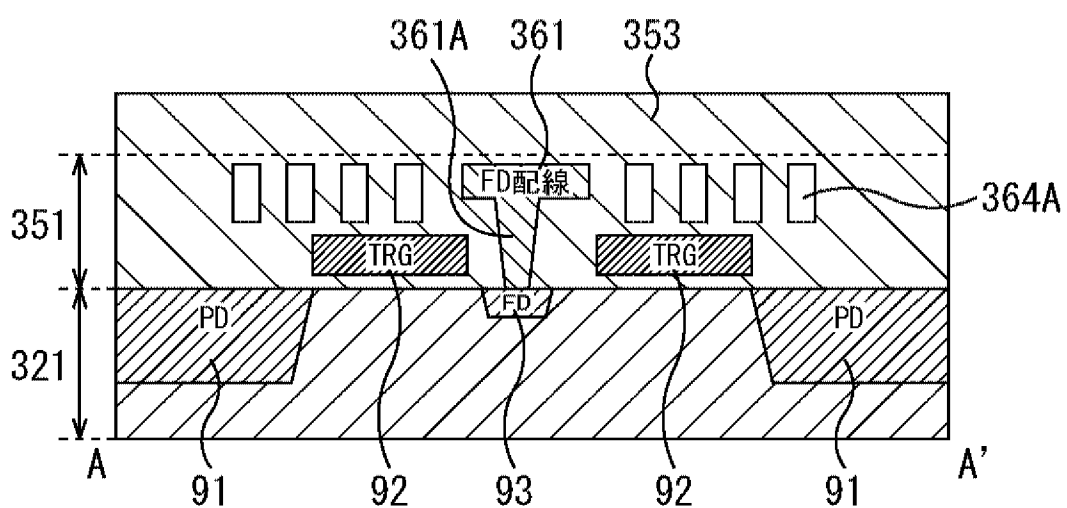
- (2) フォトリソグラフィパターンを用いて絶縁膜353を
エッチングする



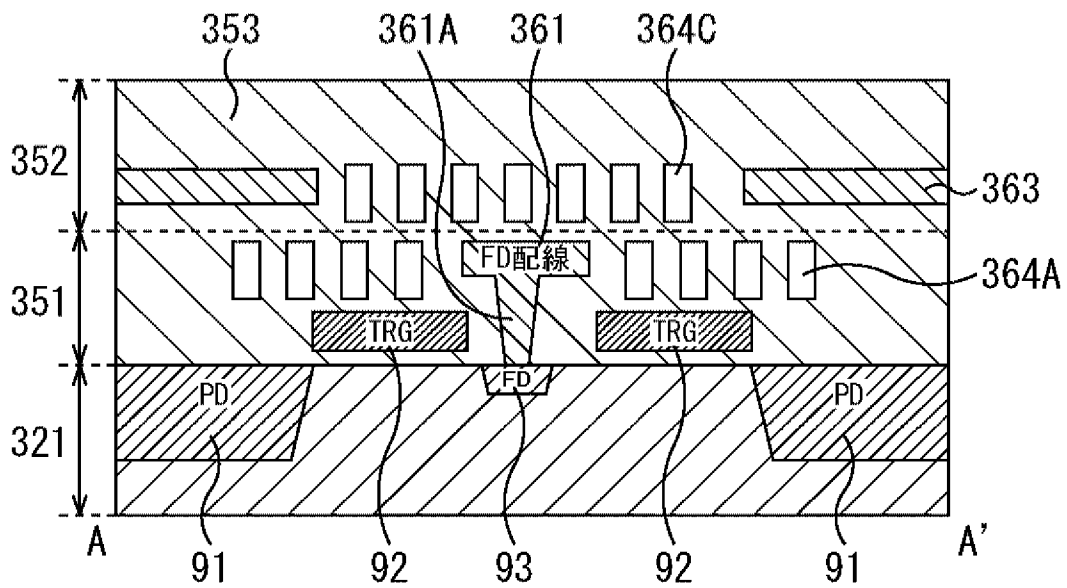
[図12]
FIG. 12



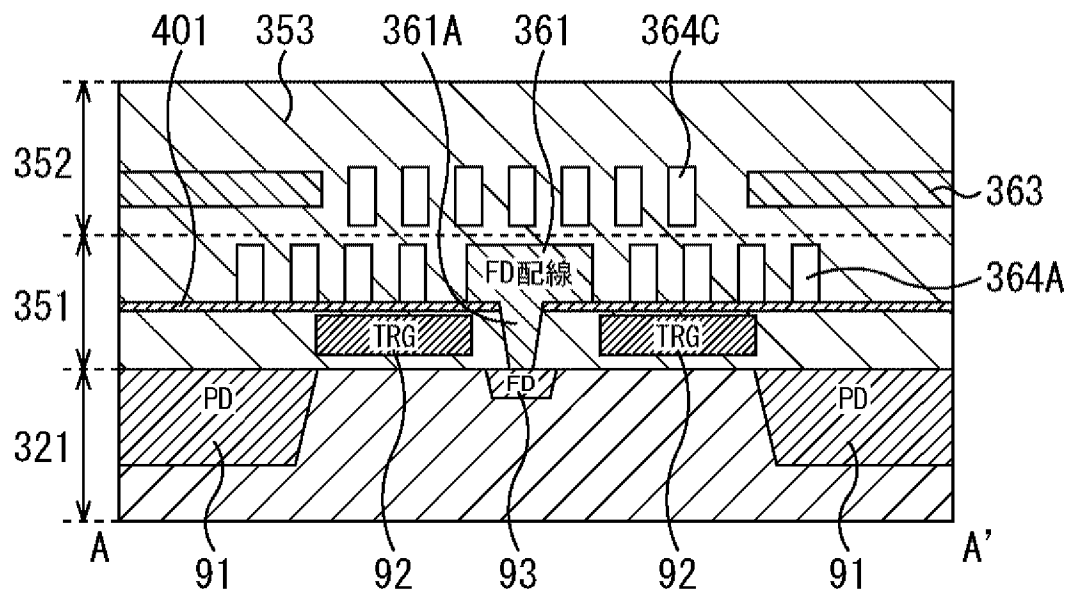
(5) フォトレジストパターンを用いて絶縁膜353をエッチングする



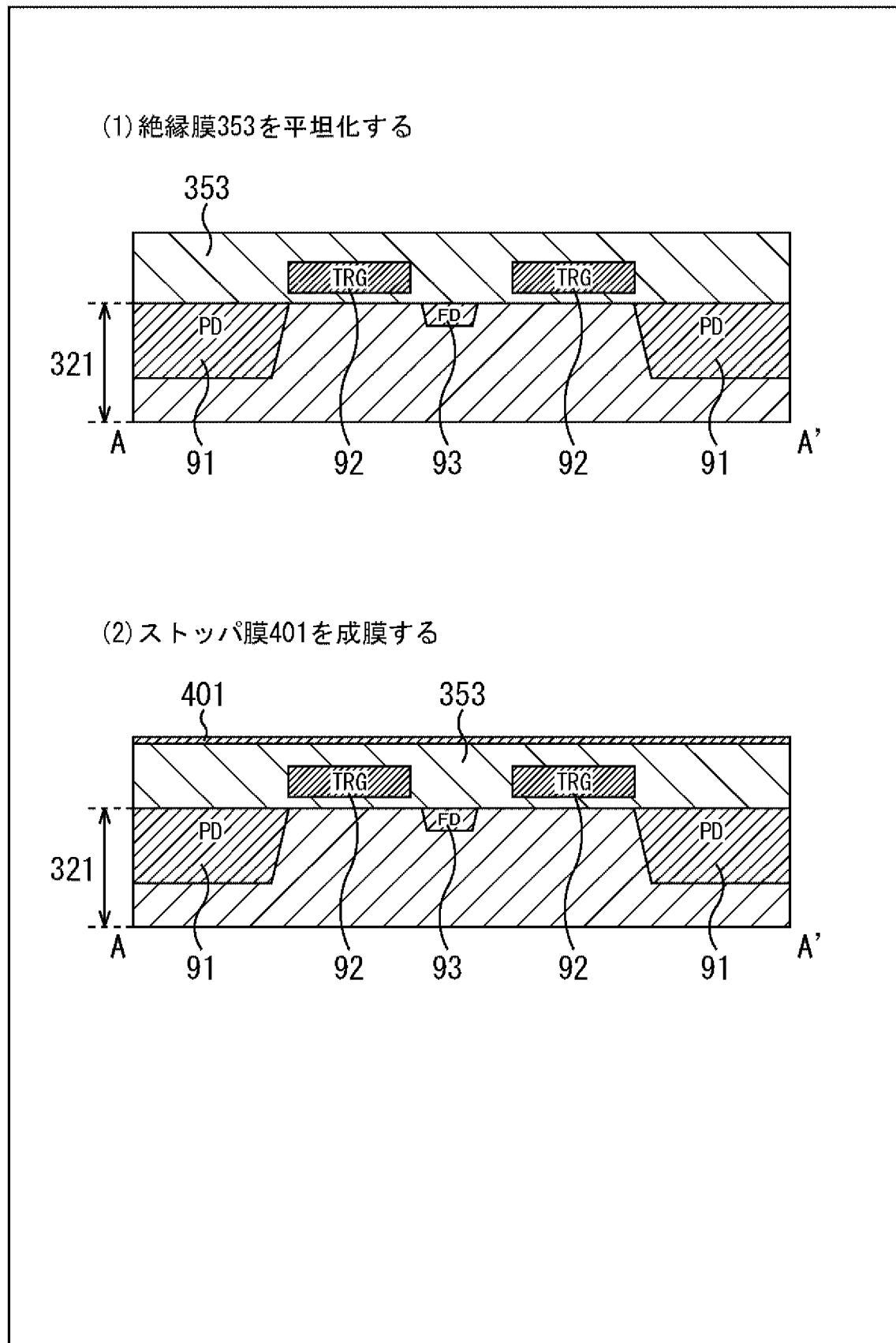
(7) 配線層352の配線363をダマシンで形成する



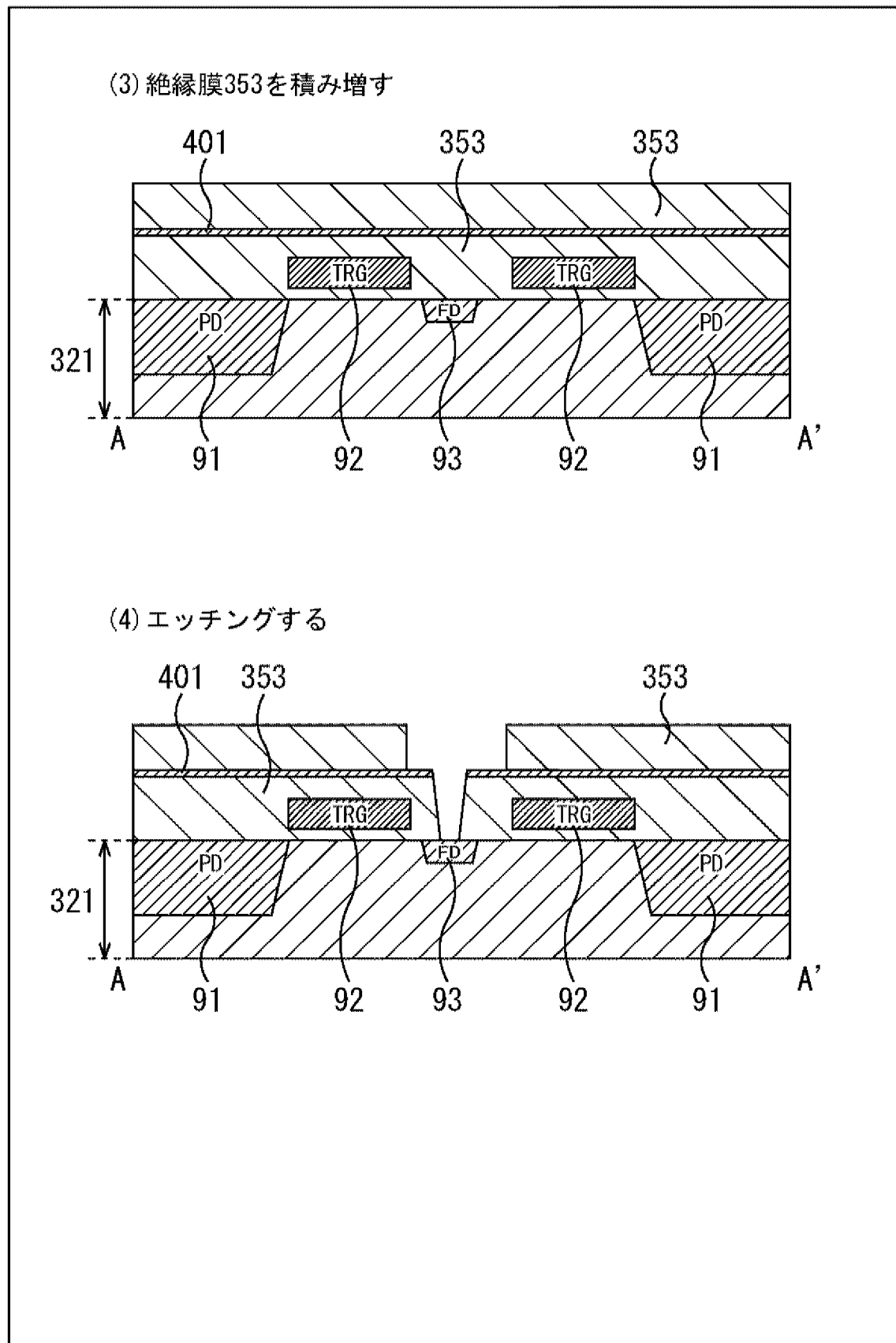
[図15]
FIG.15



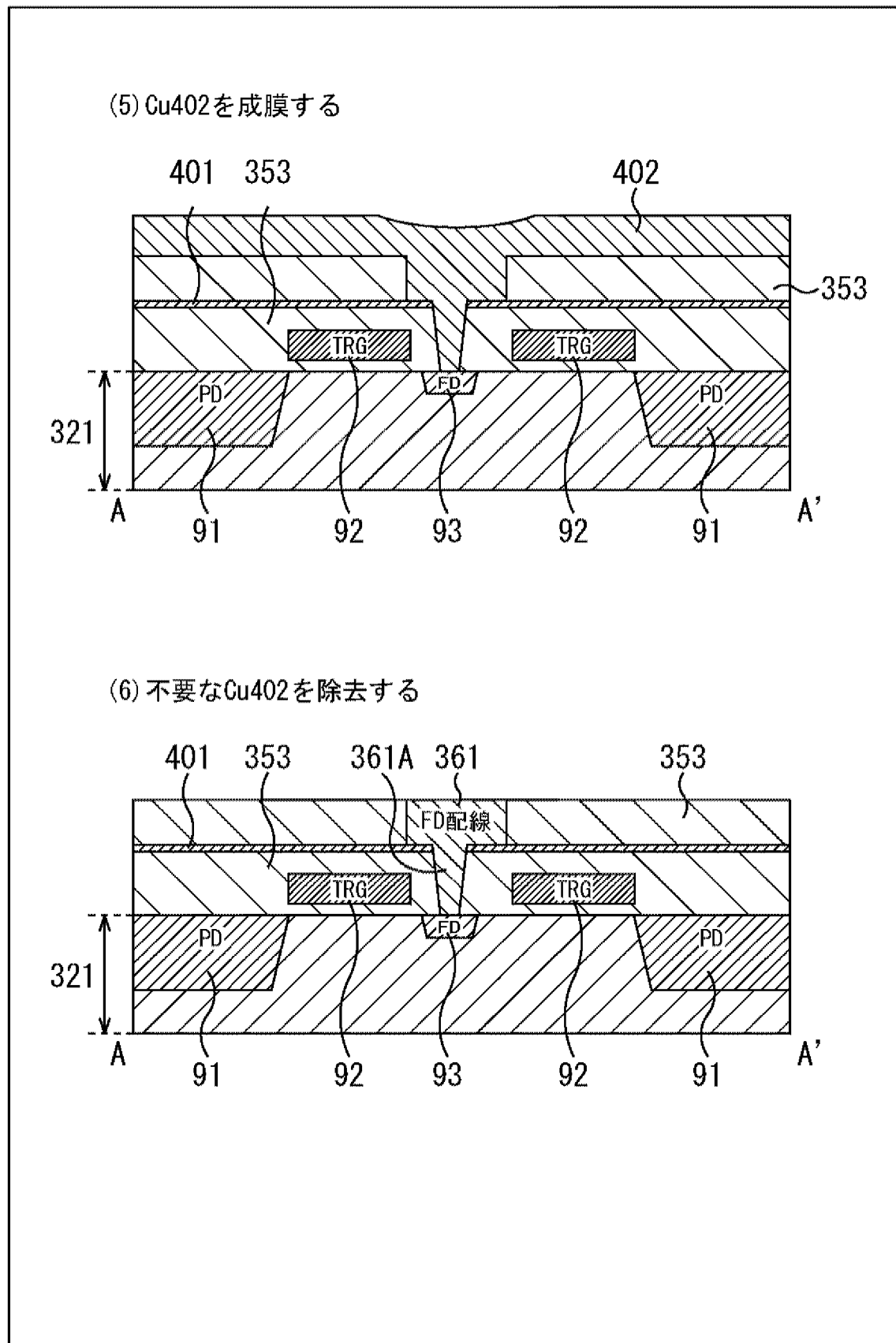
[図16]
FIG.16



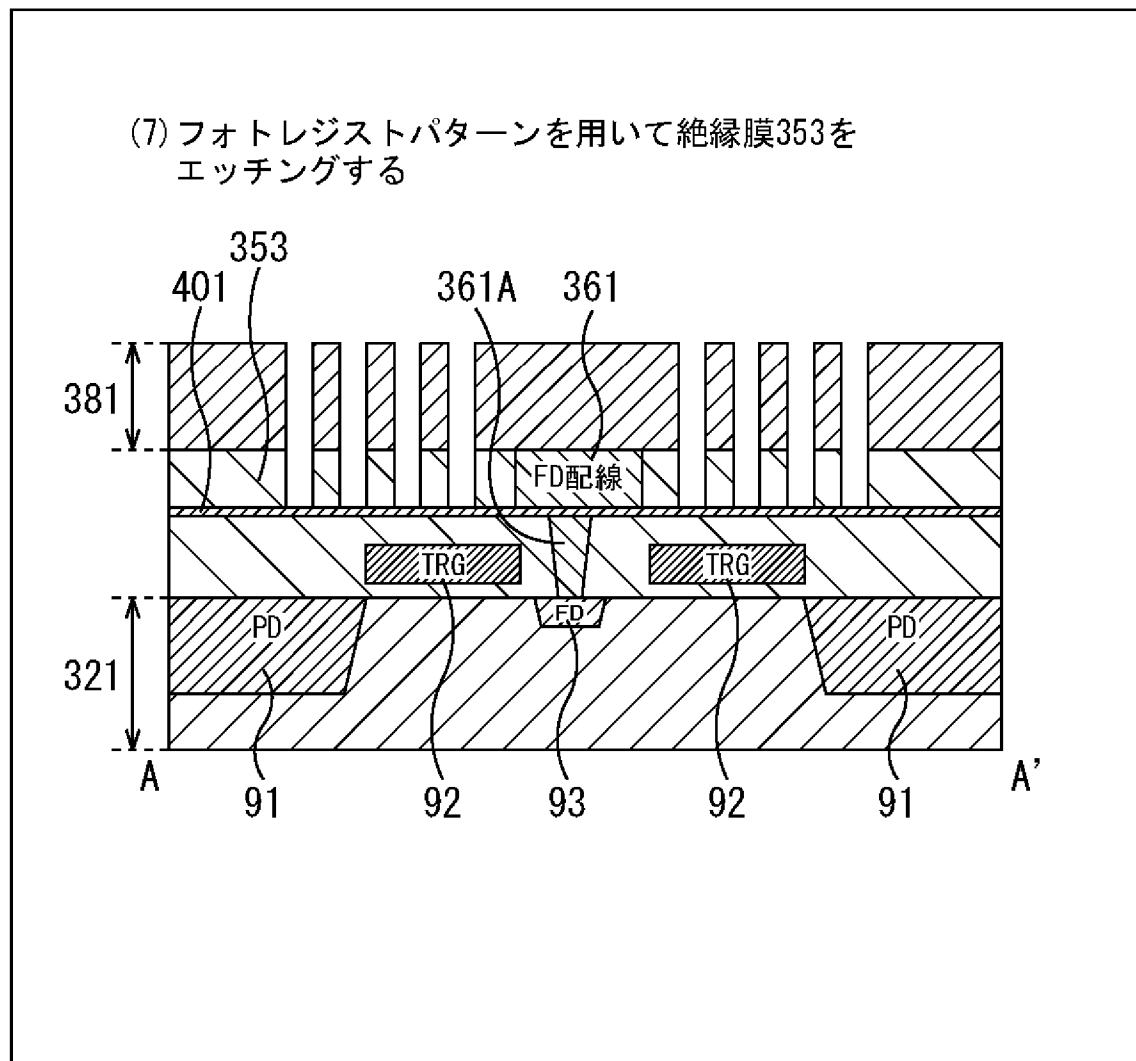
[図17]
FIG.17



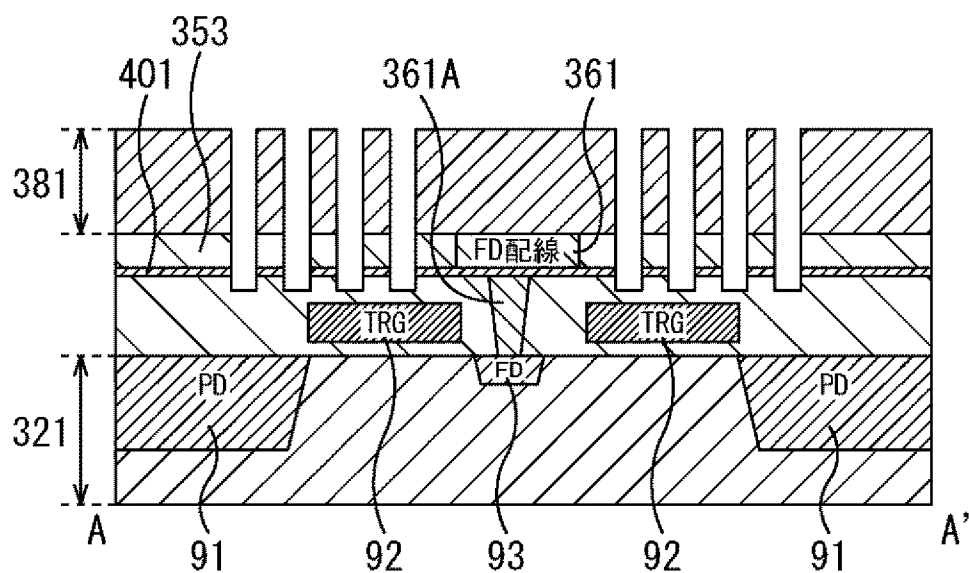
[図18]
FIG.18



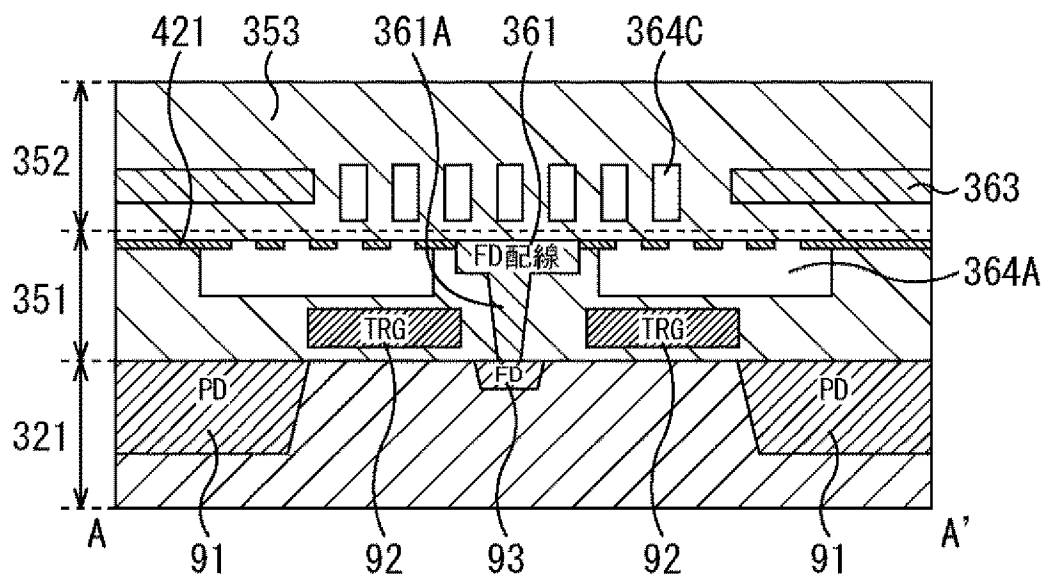
[図19]
FIG. 19



[図20]
FIG. 20

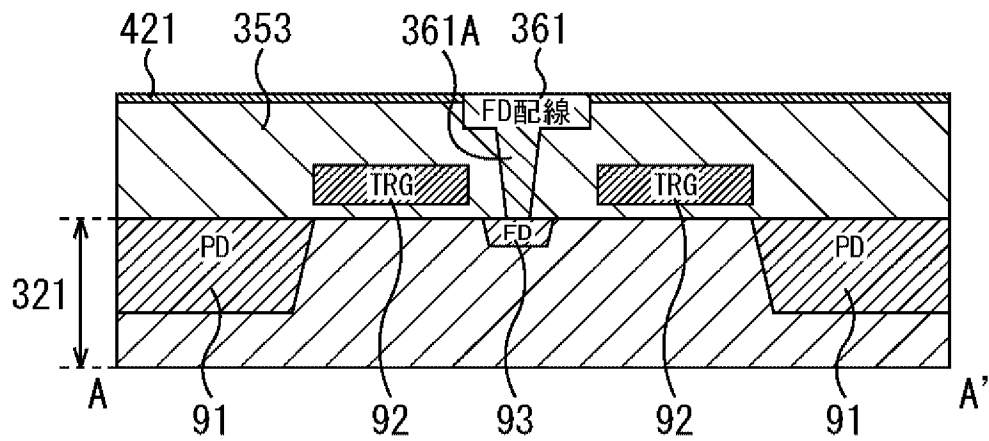


[図21]
FIG. 21

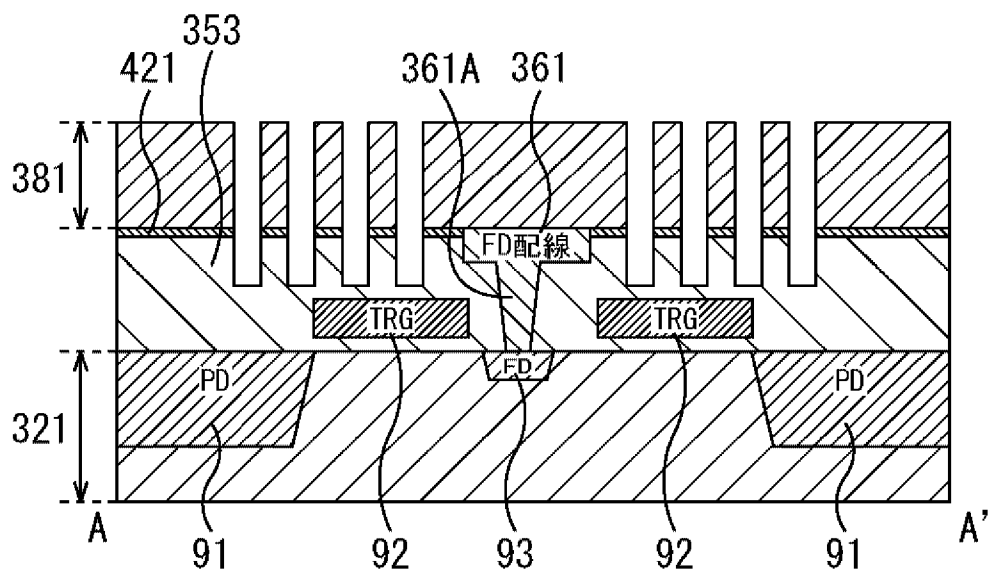


[図22]
FIG. 22

(1) ダマシンでFD配線361を形成する

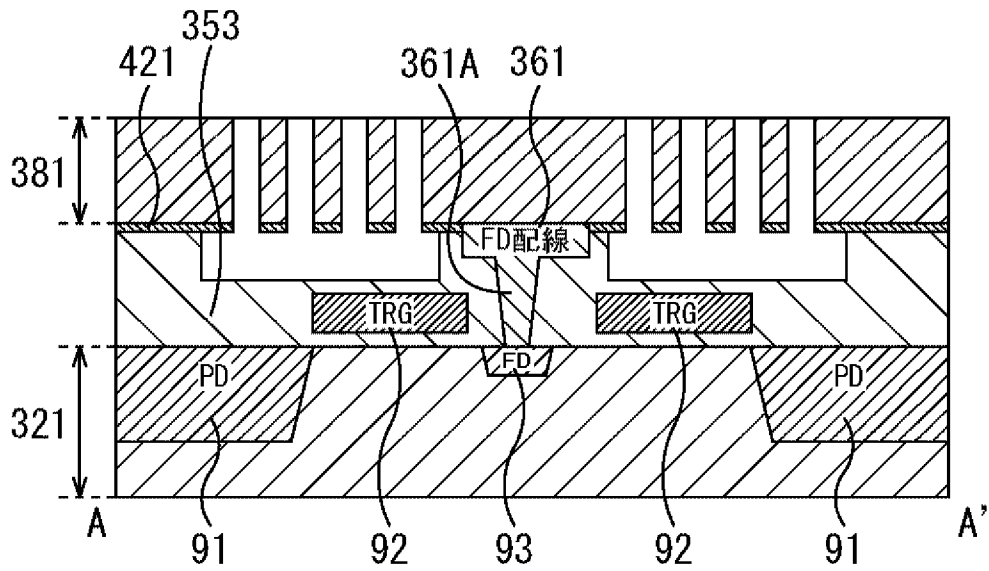


(2) フォトリソパターンを用いて絶縁膜353および421をエッチングする

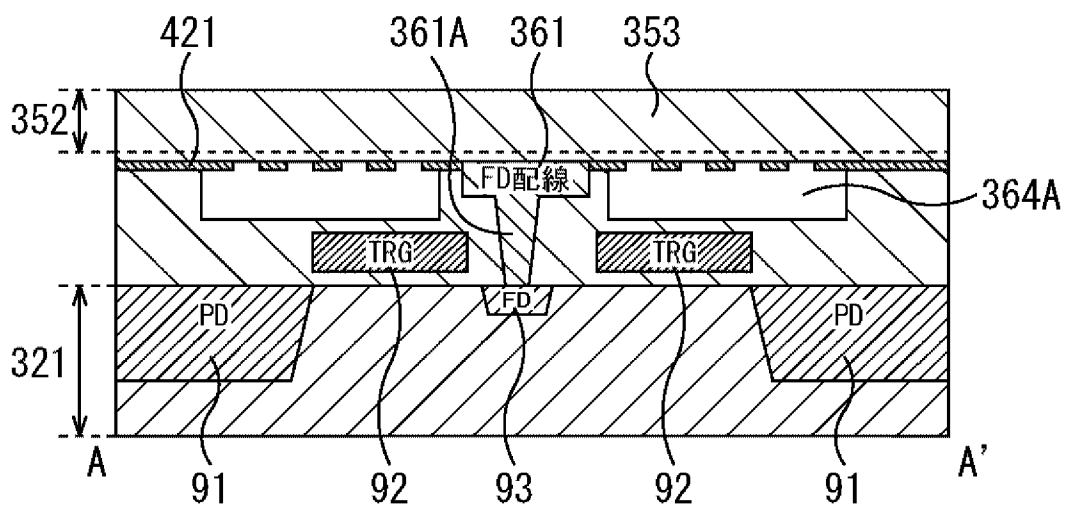


[図23]
FIG. 23

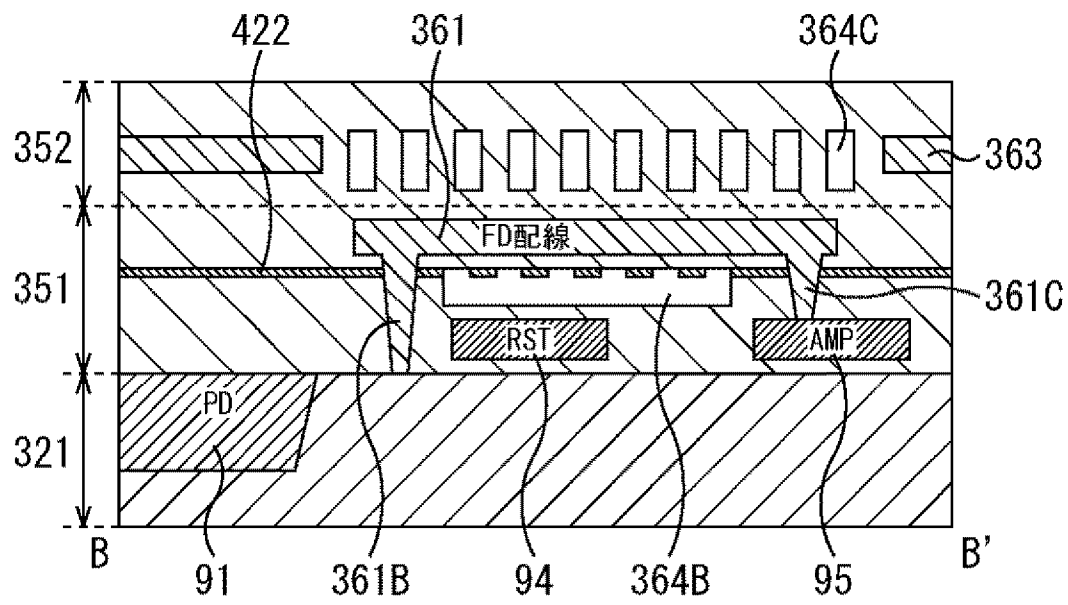
(3) 等方エッチングにより絶縁膜353のみエッチングを行い、下部をつなげる



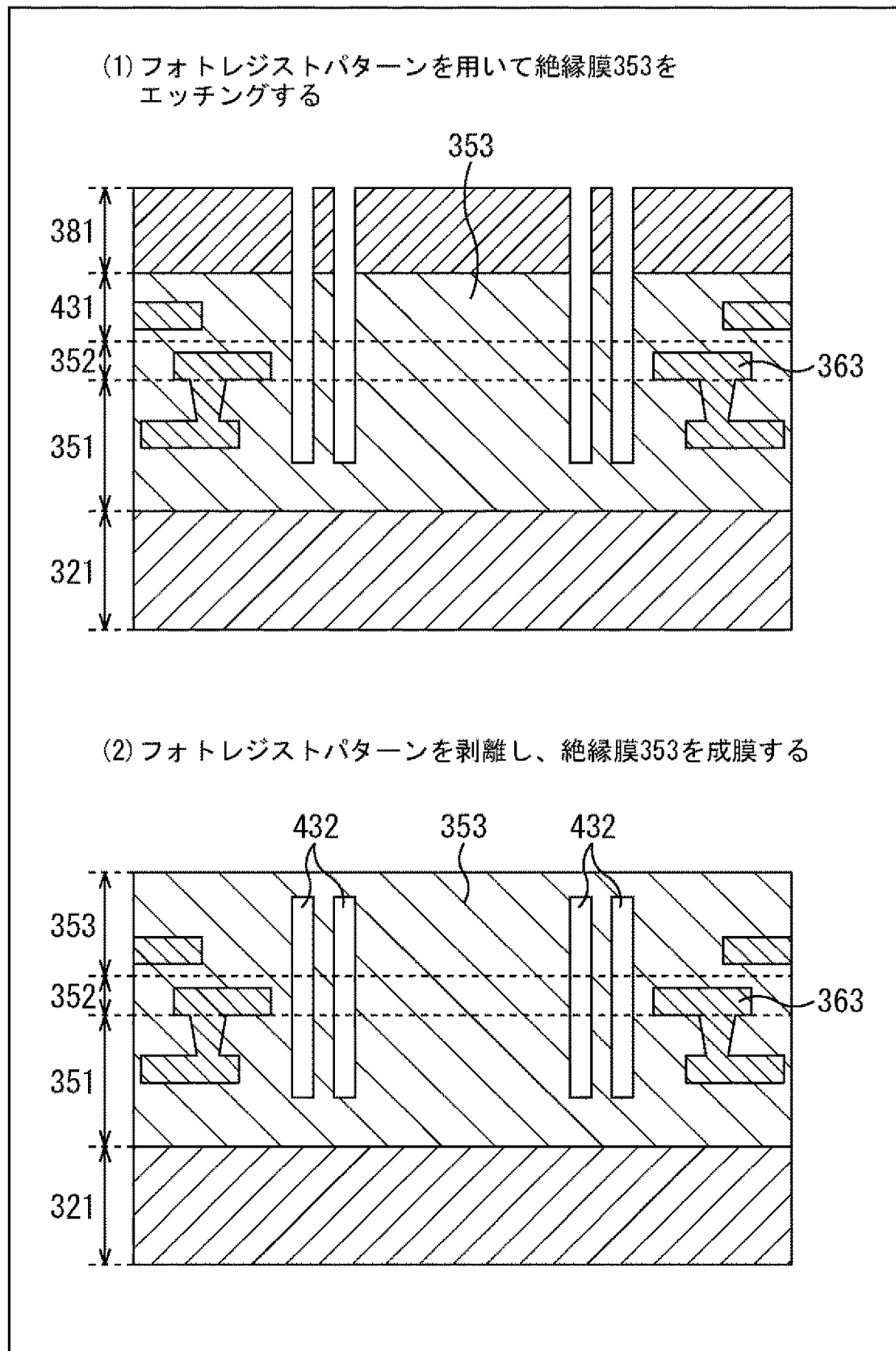
(4) フォトリソパターンを剥離し、絶縁膜353を成膜する



[図24]
FIG. 24

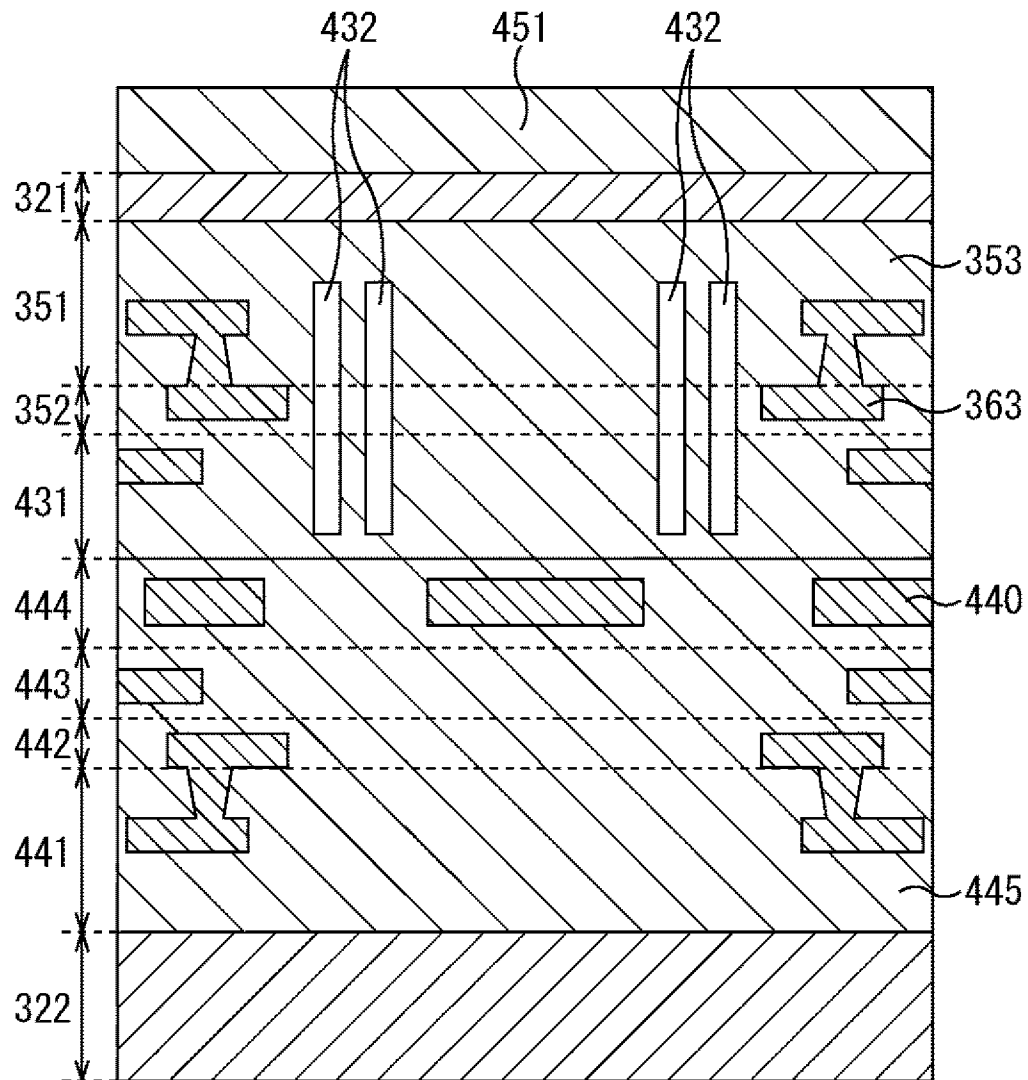


[図25]
FIG. 25

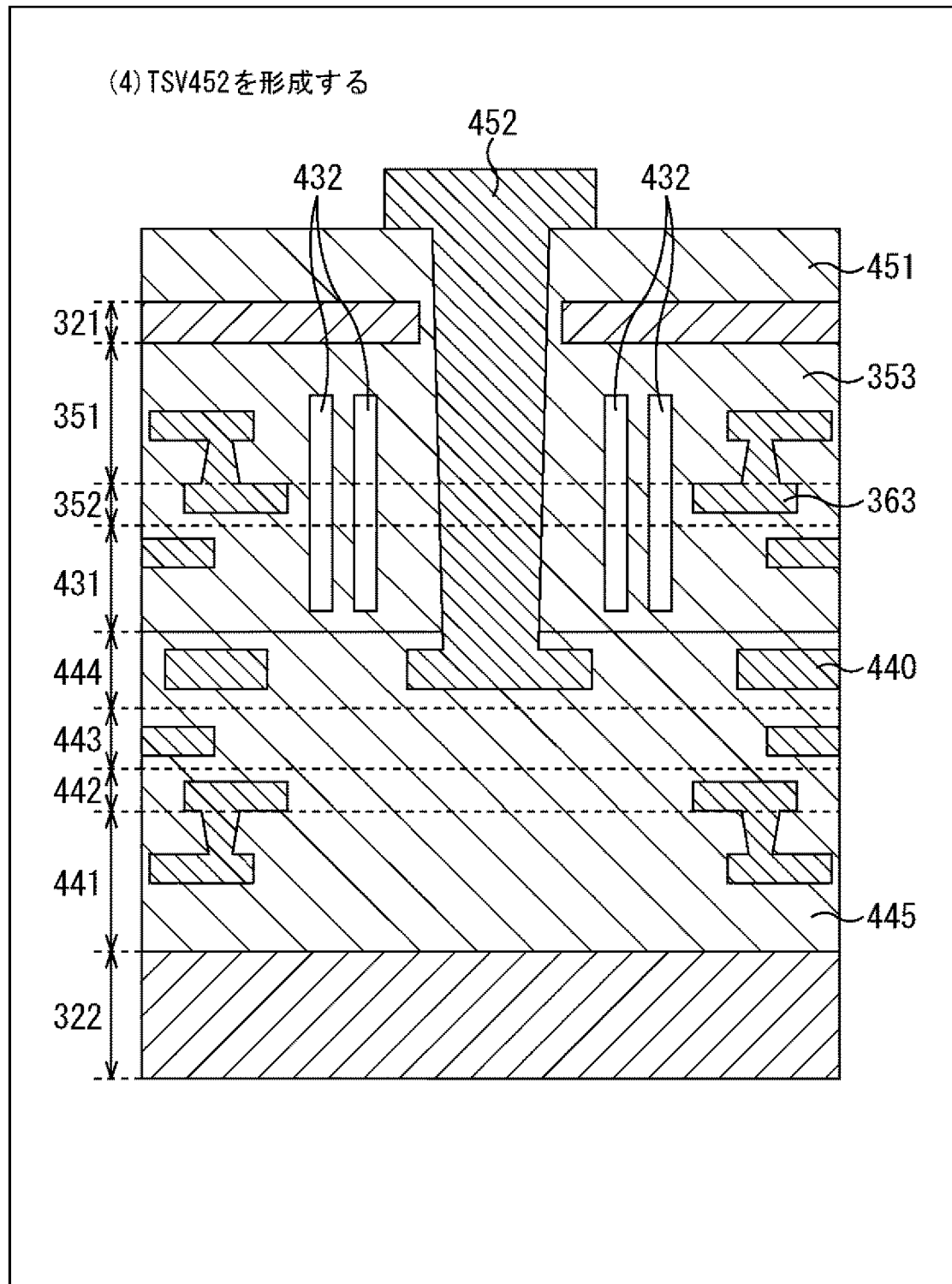


[図26]
FIG. 26

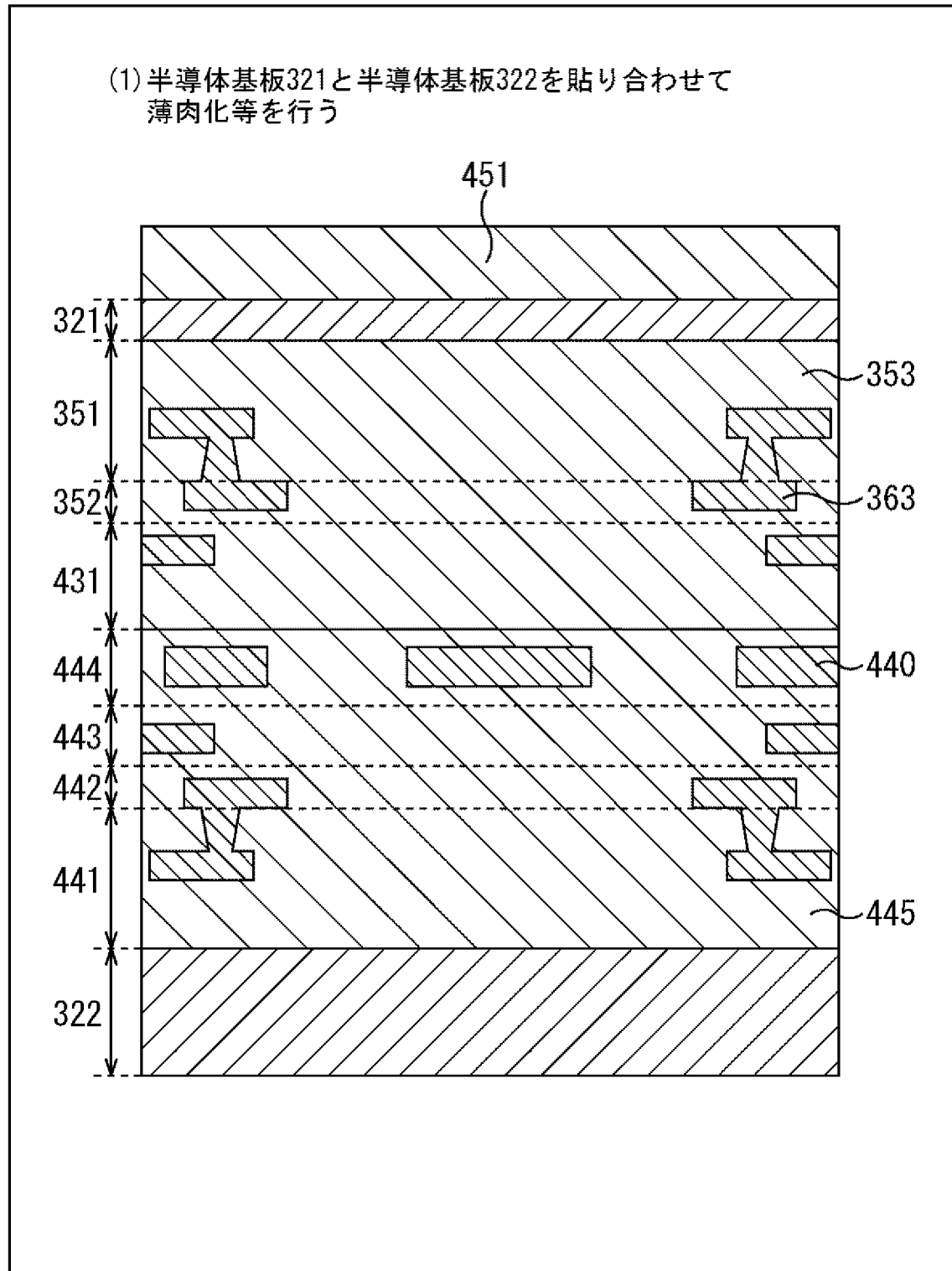
(3) 半導体基板321と半導体基板322を貼り合わせて
薄肉化等を行う



[図27]
FIG. 27

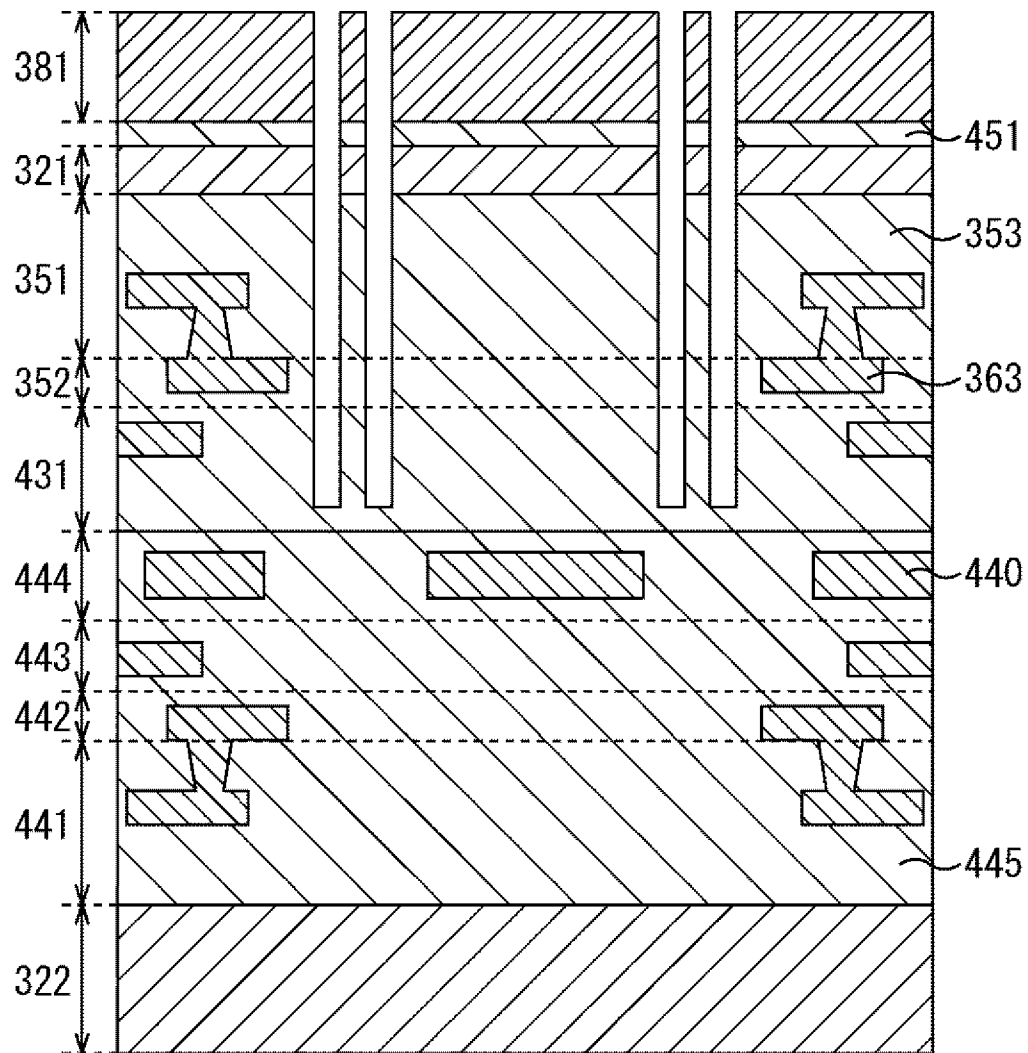


[図28]
FIG. 28

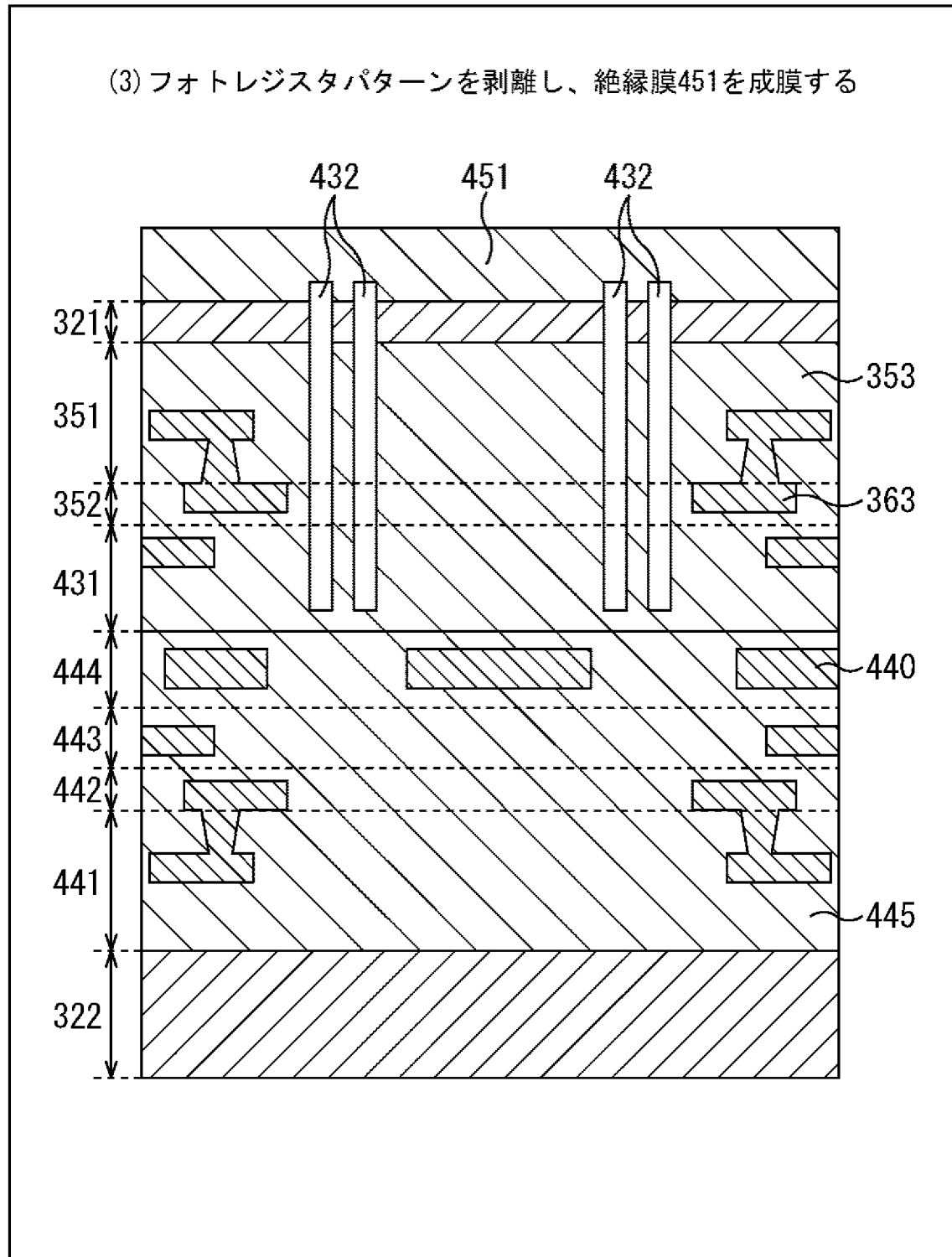


[図29]
FIG. 29

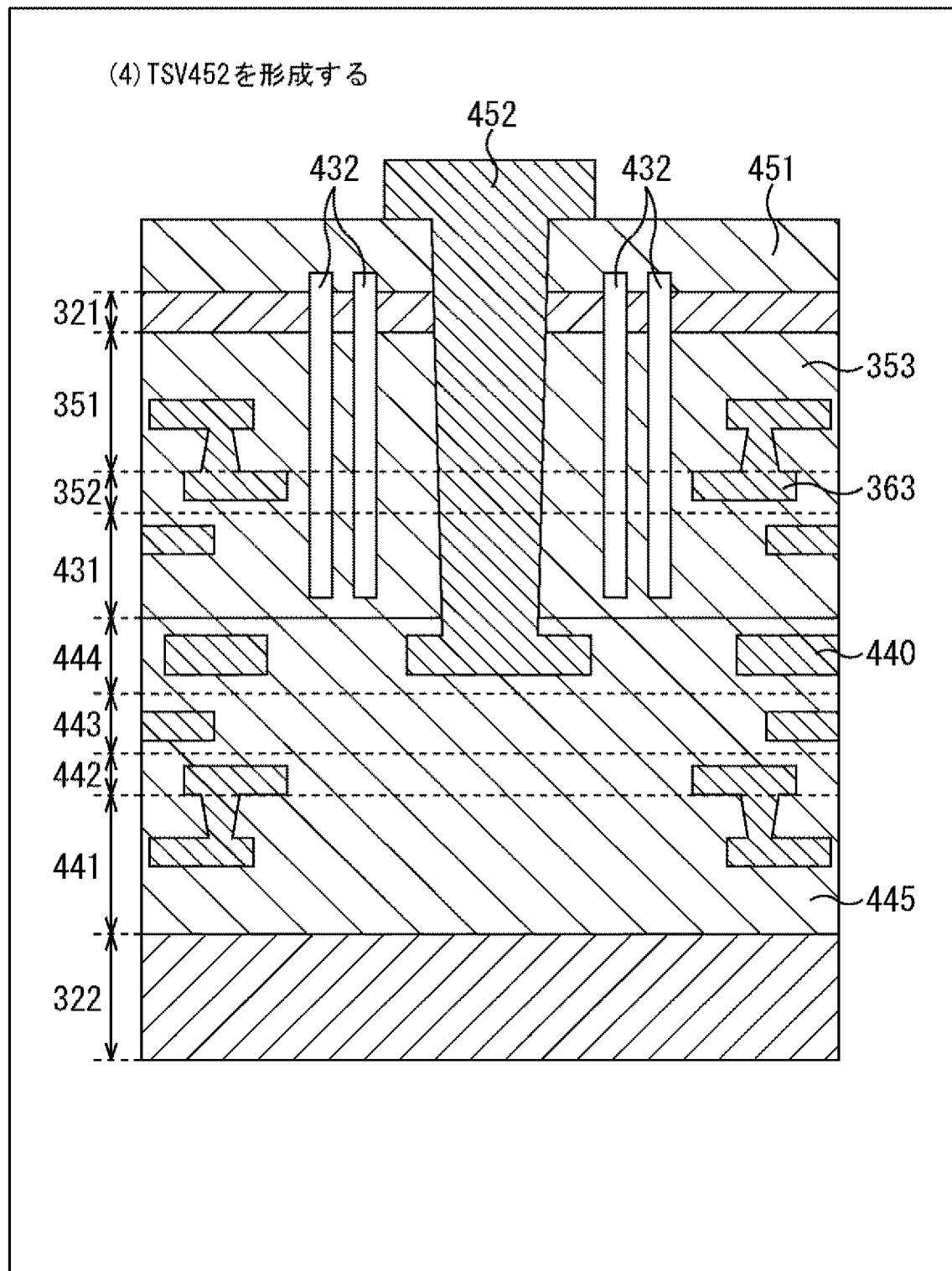
(2) TSV452が形成される領域の周囲の半導体基板321並びに
絶縁膜451および353をエッチングする



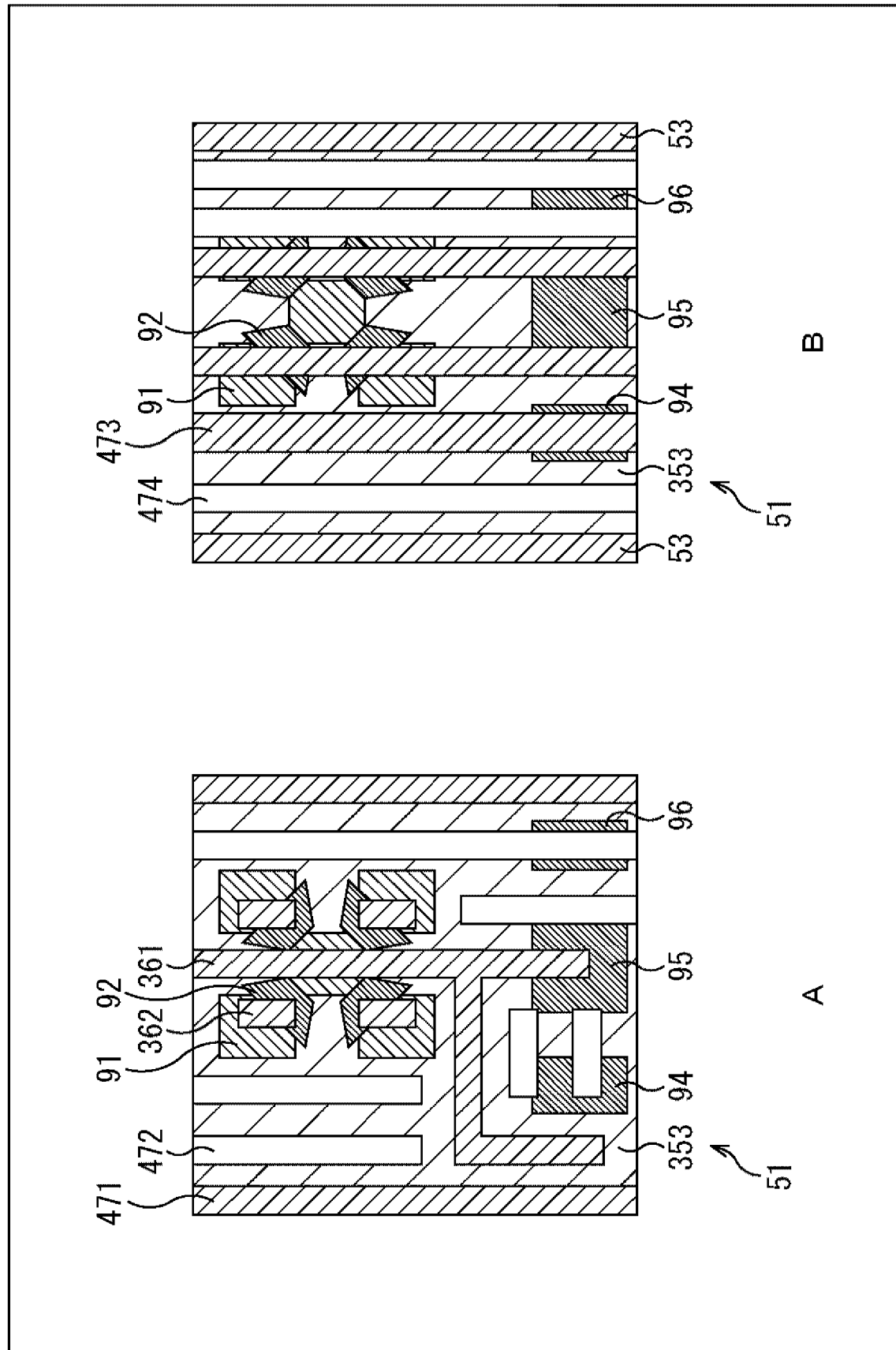
[図30]
FIG. 30



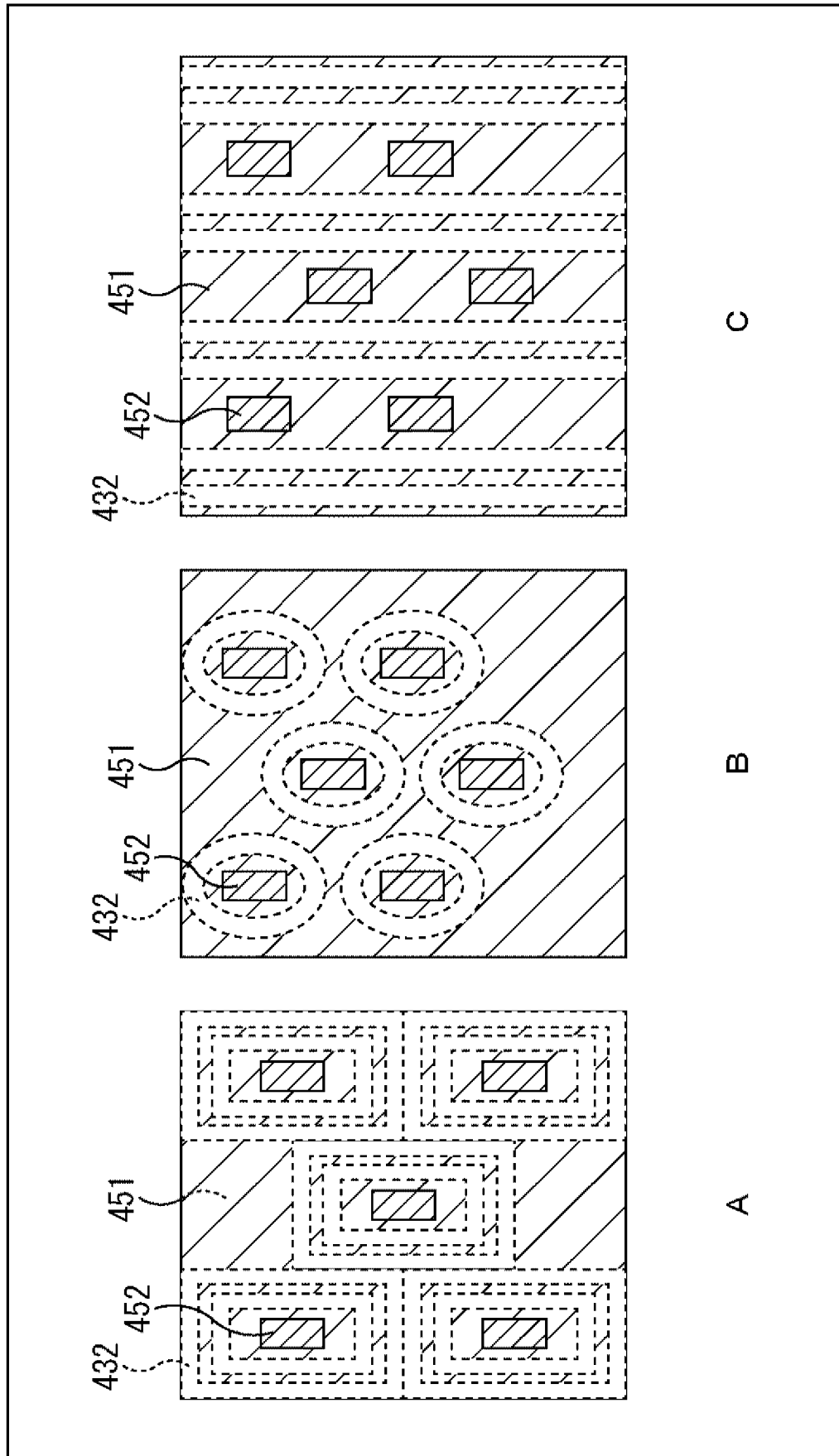
[図31]
FIG. 31



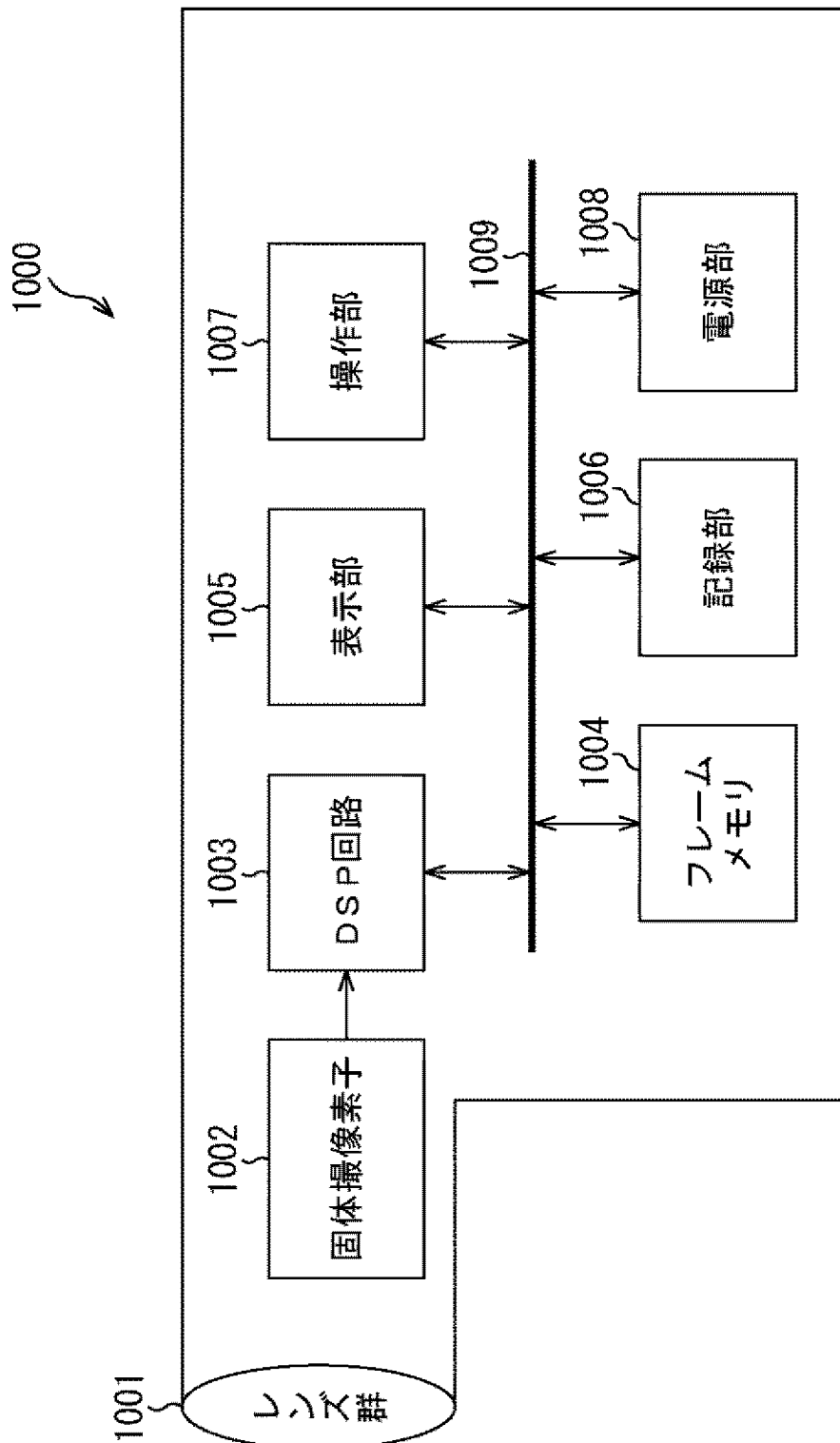
[図33]
FIG. 33



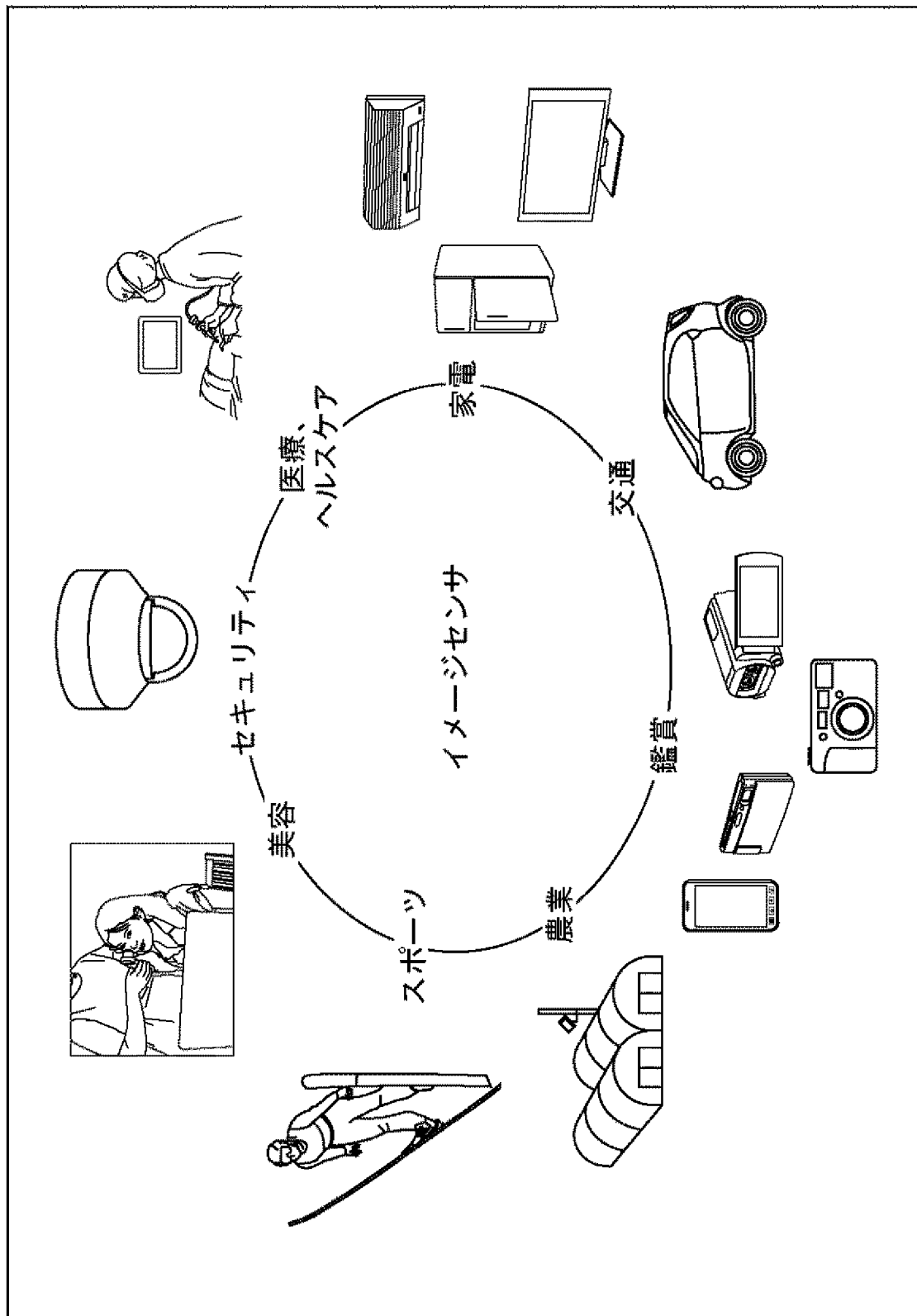
[図35]
FIG. 35



[図36]
FIG. 36



[図37]
FIG. 37



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/058453

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01)i, H01L21/768(2006.01)i, H01L23/532(2006.01)i,
H04N5/369(2011.01)i, H04N5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H01L21/768, H01L23/532, H04N5/369, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2011-243882 A (Sharp Corp.), 01 December 2011 (01.12.2011), fig. 1 to 12 and explanations thereof (Family: none)	1, 2, 7, 8, 15 5, 9-14
X Y	JP 2010-232284 A (Sony Corp.), 14 October 2010 (14.10.2010), fig. 1 to 22 and explanations thereof (Family: none)	1, 3, 4, 6-8, 15 5, 9-14
Y	JP 2007-184788 A (Nikon Corp.), 19 July 2007 (19.07.2007), fig. 1 to 6 and explanations thereof (Family: none)	5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 April 2016 (28.04.16)

Date of mailing of the international search report
17 May 2016 (17.05.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/058453

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-187751 A (Sharp Corp.), 22 September 2011 (22.09.2011), fig. 1 to 5 and explanations thereof (Family: none)	9-12
X Y	JP 2014-143399 A (Nikon Corp.), 07 August 2014 (07.08.2014), fig. 1 to 10, 19, 25 and explanations thereof (Family: none)	16 13,14
Y	JP 2015-38931 A (Sony Corp.), 26 February 2015 (26.02.2015), fig. 1 to 8 and explanations thereof & WO 2015/025723 A1 & CN 105409002 A	14
Y	JP 2011-204915 A (Sony Corp.), 13 October 2011 (13.10.2011), fig. 1 to 19, 35 and explanations thereof & US 2011/0233702 A1 fig. 1 to 19, 35 and explanations thereof & US 2013/0320475 A1 & US 2015/0108599 A1 & CN 102201418 A & KR 10-2011-0107747 A & TW 201201368 A	1,2,5,12-16
Y	JP 2008-270500 A (Sharp Corp.), 06 November 2008 (06.11.2008), paragraph [0094] & US 2008/0258250 A1 paragraph [0139] & KR 10-0983550 B1 & CN 101290944 A	1,2,5,12-16
X	JP 2011-166033 A (Sharp Corp.), 25 August 2011 (25.08.2011), fig. 1 to 7 and explanations thereof (Family: none)	1,2,15
A	JP 2009-123743 A (Panasonic Corp.), 04 June 2009 (04.06.2009), entire text; all drawings & US 2009/0263951 A1 & WO 2009/063591 A1	1-16
A	JP 2009-295733 A (Sharp Corp.), 17 December 2009 (17.12.2009), entire text; all drawings (Family: none)	1-16
A	JP 2010-283307 A (Canon Inc.), 16 December 2010 (16.12.2010), entire text; all drawings & US 2010/0308430 A1 & US 2013/0122644 A1 & EP 2261968 A2 & CN 101908525 A	1-16

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/058453

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2013/159807 A1 (TELEDYNE DALSA B.V.), 31 October 2013 (31.10.2013), entire text; all drawings & US 2015/0325519 A1 & EP 2842164 A1	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/146(2006.01)i, H01L21/768(2006.01)i, H01L23/532(2006.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/146, H01L21/768, H01L23/532, H04N5/369, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2011-243882 A (シャープ株式会社) 2011.12.01, 図 1-12 及びその説明箇所 (ファミリーなし)	1, 2, 7, 8, 15 5, 9-14
X Y	JP 2010-232284 A (ソニー株式会社) 2010.10.14, 図 1-22 及びその説明箇所 (ファミリーなし)	1, 3, 4, 6-8, 15 5, 9-14

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

28.04.2016

国際調査報告の発送日

17.05.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 聖和

5 F

4666

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-184788 A (株式会社ニコン) 2007.07.19, 図 1-6 及びその説明箇所 (ファミリーなし)	5
Y	JP 2011-187751 A (シャープ株式会社) 2011.09.22, 図 1-5 及びその説明箇所 (ファミリーなし)	9-12
X	JP 2014-143399 A (株式会社ニコン)	16
Y	2014.08.07, 図 1-10, 19, 25 及びその説明箇所 (ファミリーなし)	13, 14
Y	JP 2015-38931 A (ソニー株式会社) 2015.02.26, 図 1-8 及びその説明箇所 & WO 2015/025723 A1 & CN 105409002 A	14
Y	JP 2011-204915 A (ソニー株式会社) 2011.10.13, 図 1-19, 35 及びその説明箇所 & US 2011/0233702 A1, 図 1-19, 35 及びその説明箇所 & US 2013/0320475 A1 & US 2015/0108599 A1 & CN 102201418 A & KR 10-2011-0107747 A & TW 201201368 A	1, 2, 5, 12-16
Y	JP 2008-270500 A (シャープ株式会社) 2008.11.06, 段落[0094] & US 2008/0258250 A1, 段落[0139] & KR 10-0983550 B1 & CN 101290944 A	1, 2, 5, 12-16
X	JP 2011-166033 A (シャープ株式会社) 2011.08.25, 図 1-7 及びその説明箇所 (ファミリーなし)	1, 2, 15
A	JP 2009-123743 A (パナソニック株式会社) 2009.06.04, 全文全図 & US 2009/0263951 A1 & WO 2009/063591 A1	1-16
A	JP 2009-295733 A (シャープ株式会社) 2009.12.17, 全文全図 (ファミリーなし)	1-16

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-283307 A (キヤノン株式会社) 2010.12.16, 全文全図 & US 2010/0308430 A1 & US 2013/0122644 A1 & EP 2261968 A2 & CN 101908525 A	1-16
A	WO 2013/159807 A1 (TELEDYNE DALSA B.V.) 2013.10.31, 全文全図 & US 2015/0325519 A1 & EP 2842164 A1	1-16