



(12) **Veröffentlichung**

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2023/040722**
in der deutschen Übersetzung (Art. III § 8 Abs. 2
IntPatÜbkG)
(21) Deutsches Aktenzeichen: **11 2022 003 738.5**
(86) PCT-Aktenzeichen: **PCT/CN2022/117553**
(86) PCT-Anmeldetag: **07.09.2022**
(87) PCT-Veröffentlichungstag: **23.03.2023**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **16.05.2024**

(51) Int Cl.: **H01L 23/52 (2006.01)**
H01L 21/768 (2006.01)
H01L 29/417 (2006.01)

(30) Unionspriorität:
17/474,271 14.09.2021 US

(71) Anmelder:
**International Business Machines Corporation,
Armonk, NY, US**

(74) Vertreter:
**Richardt Patentanwälte PartG mbB, 65185
Wiesbaden, DE**

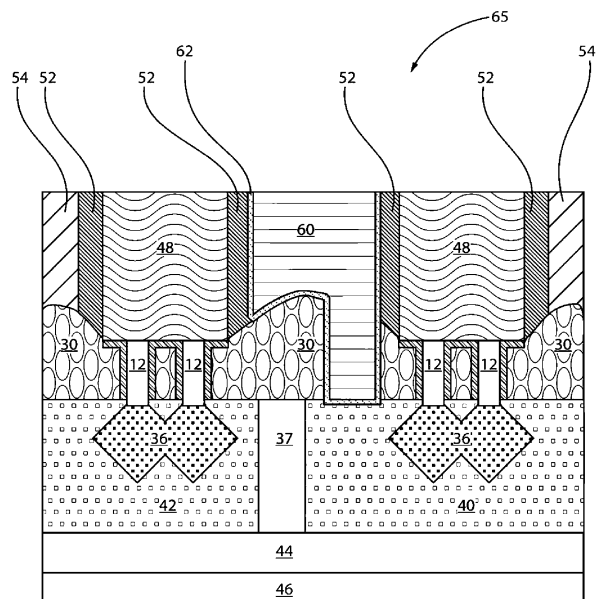
(72) Erfinder:
**Cheng, Kangguo, Yorktown Heights, NY, US;
Frougier, Julien, Albany, NY, US; Xie, Ruilong,
Albany, NY, US; Park, Chanro, Albany, NY, US**

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **VERGRABENE STROMSCHIENE FÜR HALBLEITER**

(57) Zusammenfassung: Eine Halbleiterstruktur umfasst einen Feldeffekttransistor (FET), welcher eine Source/ Drain (36) aufweist, einen Kontakt (40) in Kontakt mit der Source/Drain (36) und eine vergrabene Stromschiene (60), welche ein leitfähiges Material umfasst, wobei die vergrabene Stromschiene (60) mit dem Kontakt (40) in Kontakt steht, wobei ein erster Abschnitt der vergrabenen Stromschiene (60), der dem Kontakt (40) am nächsten liegt, eine erste Dicke aufweist und wobei ein zweiter Abschnitt der vergrabenen Stromschiene (60) eine zweite Dicke aufweist, derart, dass die erste Dicke geringer als die zweite Dicke ist.



Beschreibung

HINTERGRUND

[0001] Die vorliegende Erfindung betrifft allgemein Halbleitereinheiten und insbesondere Bilden einer Halbleitereinheit mit einer vergrabenen Stromschiene.

[0002] Halbleitereinheiten werden in vielerlei elektronischen Anwendungen verwendet, wie z.B. in Personal Computern, Mobiltelefonen, Digitalkameras und anderen elektronischen Geräten. Halbleitereinheiten werden gewöhnlich hergestellt durch aufeinanderfolgendes Abscheiden von isolierenden oder dielektrischen Schichten, leitfähigen Schichten und halbleitenden Materialschichten über einem Halbleitersubstrat und Strukturieren der verschiedenen Materialschichten durch Lithographie, um Schaltungskomponenten und Elemente darauf zu bilden. Die Halbleiterindustrie hat aufgrund von Verbesserungen der Integrationsdichte einer Vielfalt von elektronischen Komponenten (z.B. Transistoren, Dioden, Widerständen, Kondensatoren usw.) ein schnelles Wachstum erlebt. Zum größten Teil ist diese Verbesserung der Integrationsdichte durch Schrumpfen des Halbleiter-Prozessknotens entstanden. Mit den zunehmenden Anforderungen an Miniaturisierung, höhere Geschwindigkeit, größere Bandbreite, niedrigeren Stromverbrauch und kürzere Latenzzeit ist das Chip-Layout komplizierter und bei der Herstellung von Halbleiter-Dies schwieriger zu erreichen geworden.

KURZDARSTELLUNG

[0003] Gemäß einer Ausführungsform wird eine Halbleiterstruktur bereitgestellt. Die Halbleiterstruktur umfasst einen Feldeffekttransistor (FET), welcher eine Source/Drain aufweist, einen Kontakt in Kontakt mit der Source/Drain und eine vergrabene Stromschiene, welche ein leitfähiges Material umfasst, wobei die vergrabene Stromschiene mit dem Kontakt in Kontakt steht, wobei ein erster Abschnitt der vergrabenen Stromschiene, der dem Kontakt am nächsten liegt, eine erste Dicke aufweist und wobei ein zweiter Abschnitt der vergrabenen Stromschiene eine zweite Dicke aufweist, derart, dass die erste Dicke geringer als die zweite Dicke ist.

[0004] Gemäß einer anderen Ausführungsform wird ein Verfahren zum Bilden einer Halbleitereinheit mit einer vergrabenen Stromschiene bereitgestellt. Das Verfahren umfasst Bilden einer Mehrzahl von Finnen über einem Substrat, Abscheiden eines ersten formangepassten Dielektrikums über der Mehrzahl von Finnen, Abscheiden eines zweiten formangepassten Dielektrikums über dem ersten formangepassten Dielektrikum, um Finnen der Mehrzahl von Finnen mit einem engen Abstand abzuschnüren,

während zwischen Finnen-Arrays Raum gelassen wird, Aussparen des Substrats, um Gräben für die vergrabene Stromschiene (Buried Power Rail, BPR) zu bilden, epitaxiales Anwachsen eines Opfermaterials in den Gräben, Bilden von Zonen flacher Grabenisolierungen (Shallow Trench Isolations, STI) über dem Opfermaterial, Bilden von Front-End-Of-the-Line- (FEOL-), Middle-Of-the-Line- (MOL-) und Back-End-Of-the-Line-Strukturen (BEOL-Strukturen), um eine Wafer-Struktur zu definieren, welche zumindest einen MOL-Stromschiennenkontakt aufweist, Umdrehen der Wafer-Struktur, Montieren der Wafer-Struktur an einen Wafer-Träger, selektives Entfernen des Opfermaterials, Bilden von Seitenwand-Abstandhaltern, Strukturieren des MOL-Stromschiennenkontakts und Bilden einer Metallisierung, welche die BPR bis zum MOL-Stromschiennenkontakt repräsentiert.

[0005] Gemäß noch einer anderen Ausführungsform wird ein Verfahren zum Bilden einer Halbleitereinheit mit einer vergrabenen Stromschiene bereitgestellt. Das Verfahren umfasst Bilden einer Mehrzahl von Finnen über einem Substrat, epitaxiales Anwachsen eines Opfer-Siliciumgermaniums (SiGe) innerhalb des Substrats, Bilden von Front-End-Of-the-Line-(FEOL-), Middle-Of-the-Line-(MOL-) und Back-End-Of-the-Line-Strukturen (BEOL-Strukturen), um eine Wafer-Struktur zu definieren, welche zumindest einen MOL-Stromschiennenkontakt aufweist, Umdrehen der Wafer-Struktur, Entfernen des Opfer-SiGe, um Gräben zu bilden, und Füllen mindestens eines der Gräben mit einem leitfähigen Material, welches die BPR bis zum MOL-Stromschiennenkontakt repräsentiert.

[0006] Es sei angemerkt, dass die beispielhaften Ausführungsformen in Bezug auf verschiedene Gegenstände beschrieben werden. Insbesondere werden einige Ausführungsformen in Bezug auf Verfahrensansprüche beschrieben, während andere Ausführungsformen in Bezug auf Vorrichtungsansprüche beschrieben worden sind. Der Fachmann kann jedoch der obigen und der folgenden Beschreibung entnehmen, dass, sofern nicht anders angegeben, zusätzlich zu jeder beliebigen Kombination von Merkmalen, die zu einer Art des Gegenstands gehören, auch jede beliebige Kombination zwischen Merkmalen, die sich auf verschiedene Gegenstände beziehen, insbesondere zwischen Merkmalen der Verfahrensansprüche und Merkmalen der Vorrichtungsansprüche, als in diesem Dokument beschrieben anzusehen ist.

[0007] Diese und andere Merkmale und Vorteile werden aus der folgenden detaillierten Beschreibung veranschaulichender Ausführungsformen davon ersichtlich, welche in Verbindung mit den begleitenden Zeichnungen zu lesen ist.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0008] Die Erfindung stellt Einzelheiten in der folgenden Beschreibung bevorzugter Ausführungsformen unter Bezugnahme auf die folgenden Figuren bereit, wobei:

Fig. 1 eine Querschnittsansicht einer Halbleiterstruktur, welche eine Mehrzahl von Finnen über einem Halbleitersubstrat umfasst, gemäß einer Ausführungsform der vorliegenden Erfindung ist;

Fig. 2 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 1** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei ein erstes formangepasstes Dielektrikum über der Mehrzahl von Finnen abgeschieden ist;

Fig. 3 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 2** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei ein zweites formangepasstes Dielektrikum über dem ersten formangepassten Dielektrikum abgeschieden ist, um Finnen mit einem engen Abstand abzuschnüren;

Fig. 4 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 3** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei ein Reaktivionenätzen (Reactive Ion Etch, RIE) stattfindet, um Gräben für die vergrabene Stromschiene zu bilden;

Fig. 5 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 4** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei das epitaxiale Angewachsene in den Gräben abgeschieden ist;

Fig. 6 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 5** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei Zonen flacher Grabenisolierungen (STI) ausgebildet sind;

Fig. 7 eine Querschnittsansicht der und eine Draufsicht auf die Halbleiterstruktur der **Fig. 6** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei die Hartmaske entfernt ist, ein Dummy-Gate ausgebildet ist, Gate-Abstandhalter ausgebildet sind und eine Source/Drain-Epitaxie über den ausgesparten Finnen abgeschieden ist;

Fig. 8 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 7** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei die Middle-Of-the-Line- (MOL) und die Back-End-Of-the-Line-Formation (BEOL-Formation) abgeschlossen sind;

Fig. 9 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 8** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei der

Wafer umgedreht und an einen Wafer-Träger oder einen anderen Wafer montiert ist, um das epitaxiale Angewachsene freizulegen;

Fig. 10 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 9** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei das epitaxiale Angewachsene selektiv entfernt ist;

Fig. 11 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 10** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei in Nachbarschaft zu Grabenseitenwänden dielektrische Abstandhalter ausgebildet sind;

Fig. 12 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 11** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei ein Low-k-Dielektrikum abgeschieden und planarisiert ist;

Fig. 13 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 12** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei eine Maske aufgebracht ist und eine Öffnung zu dem Stromschienekontakt erzeugt ist;

Fig. 14 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 13** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei die Maske entfernt ist und eine Metallfüllung stattfindet, um die vergrabene Stromschiene zu erzeugen; und

Fig. 15 eine Querschnittsansicht der Halbleiterstruktur der **Fig. 14** gemäß einer Ausführungsform der vorliegenden Erfindung ist, wobei auf der Rückseite des Wafers eine Stromversorgung ausgebildet ist.

[0009] Überall in den Zeichnungen repräsentieren gleiche oder ähnliche Bezugszahlen die gleichen oder ähnliche Elemente.

DETAILLIERTE BESCHREIBUNG

[0010] Ausführungsformen gemäß der vorliegenden Erfindung stellen Verfahren und Einheiten zum Bilden von verbesserten vergrabenen Stromschienelementen bereit. Die vergrabene Stromschiene (BPR) ist als ein realisierbarer Design-Technologie-Co-Optimierungs-Knopf (DTCO-Knopf) zum Verringern der Standard-Zellengröße verfolgt worden. Herkömmliche BPR-Strukturen zeigen jedoch bestimmte Probleme wie eine mögliche Metallverunreinigung, da BPR-Metall in der frühen Stufe der Einheiten-Herstellung gebildet wird (Finne oder Nanosheet-Modul), und BPR-Schwankungen aufgrund von BPR-Metallaussparungsschwankungen. Die beispielhaften Ausführungsformen der vorliegenden Erfindung schwächen diese Probleme ab, indem ein Verfahren und eine Struktur zum Bilden einer BPR unter Verwendung einer selbstausrichtenden Sili-

ciumgermanium-Epitaxie (SiGe-Epitaxie) als Opfer-Platzhalter für die BPR bereitgestellt werden. Die beispielhaften Ausführungsformen beseitigen das Metallverunreinigungsproblem, da SiGe vollständig kompatibel mit Front-End-Of-the-Line-Prozessen (FEOL-Prozessen) ist und die genaue Steuerung der BPR-Höhe erreichbar ist, da eine SiGe-Epitaxie selektiv und selbstausrichtend ist. Daher kann ein Opfer-SiGe eingesetzt werden, um eine BPR zu erzeugen, die mit der FEOL-Einheiten-Herstellung vollständig kompatibel ist.

[0011] Beispiele für Halbleitermaterialien, welche beim Bilden solcher Strukturen eingesetzt werden können, umfassen Silicium (Si), Germanium (Ge), Silicium-Germanium-Legierungen (SiGe), kohlenstoffdotiertes Silicium (Si:C), kohlenstoffdotiertes Siliciumgermaniumcarbid (SiGe:C), III-V-Verbindungs-Halbleiter und/oder II-VI-Verbindungs-Halbleiter. III-V-Verbindungs-Halbleiter sind Materialien, welche mindestens ein Element aus der Gruppe III des Periodensystems der Elemente und mindestens ein Element aus der Gruppe V des Periodensystems der Elemente umfassen. II-VI-Verbindungs-Halbleiter sind Materialien, welche mindestens ein Element aus der Gruppe II des Periodensystems der Elemente und mindestens ein Element aus der Gruppe VI des Periodensystems der Elemente umfassen.

[0012] Es versteht sich, dass die vorliegende Erfindung in Form einer gegebenen beispielhaften Architektur beschrieben wird; innerhalb des Umfangs der vorliegenden Erfindung können jedoch als Variation auch andere Architekturen, Strukturen, Substratmaterialien und Prozessmerkmale und Schritte/Blöcke eingesetzt werden. Es sei angemerkt, dass bestimmte Merkmale aus Gründen einer klaren Darstellung möglicherweise nicht in allen Figuren dargestellt sind. Dies soll nicht als eine Beschränkung irgendeiner bestimmten Ausführungsform oder Darstellung oder des Umfangs der Ansprüche interpretiert werden.

[0013] Fig. 1 ist eine Querschnittsansicht einer Halbleiterstruktur, welche eine Mehrzahl von Finnen über einem Halbleitersubstrat umfasst, gemäß einer Ausführungsform der vorliegenden Erfindung.

[0014] In der Struktur 5 ist eine Mehrzahl von Finnen 12 über einem Substrat 10 ausgebildet. Über der Mehrzahl von Finnen 12 ist eine Hartmaske 14 ausgebildet.

[0015] Das Substrat 10 kann kristallin, semikristallin, mikrokristallin oder amorph sein. Bei dem Substrat 10 kann es sich im Wesentlichen um ein einziges Element (z.B. Silicium) handeln (z.B. mit Ausnahme von Verunreinigungen), hauptsächlich um ein einziges Element (z.B. mit Dotierung), zum Beispiel Silicium (Si) oder Germanium (Ge), oder das Substrat

10 kann eine Verbindung umfassen, zum Beispiel Al_2O_3 , SiO_2 , GaAs, SiC oder SiGe. Das Substrat 10 kann auch mehrere Materialschichten aufweisen. In einigen Ausführungsformen umfasst das Substrat 10 ein Halbleitermaterial, umfassend, ohne notwendigerweise darauf beschränkt zu sein, Silicium (Si), Siliciumgermanium (SiGe), Si:C (mit Kohlenstoff dotiertes Silicium), mit Kohlenstoff dotiertes Siliciumgermanium (SiGe:C), mit Kohlenstoff dotiertes Siliciumgermanium (SiGe:C), III-V-Verbindungs-Halbleiter (z.B. GaAs, AlGaAs, InAs, InP usw.), II-V-Verbindungs-Halbleiter (z.B. ZnSe, ZnTe, ZnCdSe usw.) oder einen anderen ähnlichen Halbleiter. Außerdem können mehrere Schichten der Halbleitermaterialien als das Halbleitermaterial des Substrats 10 verwendet werden. In einigen Ausführungsformen umfasst das Substrat 10 sowohl Halbleitermaterialien als auch Dielektrikumsmaterialien.

[0016] Die Mehrzahl von Finnen 12 mit einer Hartmaske 14 können aus einem Halbleitermaterial gebildet werden, umfassend, ohne darauf beschränkt zu sein, Si, verspanntes Si, Si:C, SiGe, SiGe:C, Si-Legierungen, Ge, Ge-Legierungen, GaAs, InAs, InP sowie andere III/V- und II/VI-Verbindungs-Halbleiter. Die Mehrzahl von Finnen 12 kann z.B. durch ein Reaktivionenätzen (RIE) oder Ähnliches geätzt werden. In anderen Ausführungsformen kann das Ätzen ein Trockenätzverfahren wie zum Beispiel Reaktivionenätzen, Plasmaätzen, Ionenätzen oder Laserablation umfassen. Das Ätzen kann ferner ein nasschemisches Ätzverfahren umfassen, bei welchem ein oder mehrere chemische Ätzmittel eingesetzt werden, um Abschnitte der Schichten zu entfernen.

[0017] Es sei ferner angemerkt, dass die Finnen 12 unterschiedliche Abstände zwischen sich aufweisen können. Die am weitesten links befindlichen Finnen können zusammengerückt sein (wobei sie einen ersten Abstand aufweisen) und zwischen ihnen und den am weitesten rechts befindlichen Finnen, welche zusammengerückt sind (wobei sie einen zweiten Abstand aufweisen), kann eine Lücke ausgebildet sein. Somit weist die erste Gruppe von Finnen (am weitesten links) einen ersten Abstand dazwischen auf und die zweite Gruppe von Finnen (am weitesten rechts) weist einen zweiten Abstand dazwischen auf. Ein dritter Abstand kann zwischen einer Finne in der ersten Gruppe von Finnen (am weitesten links) und einer Finne in der zweiten Gruppe von Finnen (am weitesten rechts) definiert sein. Der dritte Abstand wäre größer als der erste und der zweite Abstand.

[0018] Die Hartmaske 14 kann aus Siliciumnitrid (SiN) hergestellt sein, zum Beispiel durch chemische Abscheidung aus der Gasphase (Chemical Vapor Deposition, CVD). In anderen beispielhaften Ausführungsformen kann die Hartmaske 14, ohne darauf beschränkt zu sein, Hafniumoxid (HfO_2) oder Tantal-

nitrid (TaN) oder Titannitrid (TiN) umfassen. In einigen Ausführungsformen kann die Hartmaske 14 mehrere Schichten umfassen, zum Beispiel Siliciumnitrid auf Siliciumoxid. Die Hartmaske 14 kann durch eine beliebige geeignete Strukturierungstechnik strukturiert werden, umfassend, ohne darauf beschränkt zu sein, Seitenwand-Bildtransfer (Side-wall Image Transfer, SIT), selbstausrichtende Doppelstrukturierung (Self-Aligned Double Patterning, SADP), selbstausrichtende Vierfachstrukturierung (Self-Aligned Quadruple Patterning, SAQP), Lithographie, gefolgt von Ätzen, usw.

[0019] Fig. 2 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 1 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei ein erstes formangepasstes Dielektrikum über der Mehrzahl von Finnen abgeschieden ist.

[0020] Ein erstes formangepasstes Dielektrikum 16 ist über der Mehrzahl von Finnen 12 mit der Hartmaske 14 abgeschieden. In einem Beispiel kann das erste formangepasste Dielektrikum 16 z.B. SiN sein.

[0021] Fig. 3 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 2 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei ein zweites formangepasstes Dielektrikum über dem ersten formangepassten Dielektrikum abgeschieden ist, um Finnen mit einem engen Abstand abzuschneiden.

[0022] Ein zweites formangepasstes Dielektrikum 20 ist über dem ersten formangepassten Dielektrikum 16 abgeschieden. Das zweite formangepasste Dielektrikum 20 kann z.B. ein Oxid sein. Das zweite formangepasste Dielektrikum 20 kann Finnen 12 mit einem engen Abstand abschnüren, während zwischen Finnen-Arrays Raum gelassen wird. Die Dicke (t) des Oxids 20 ist größer oder gleich der Hälfte des engen Abstands (d_1) innerhalb des Finnen-Arrays und kleiner als die Hälfte des Abstands (d_2) zwischen den Finnen-Arrays, d.h. $\frac{1}{2} d_1 \leq t \leq \frac{1}{2} d_2$.

[0023] Fig. 4 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 3 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei ein Reaktivionenätzen (RIE) stattfindet, um Gräben für die vergrabene Stromschiene zu bilden.

[0024] Es findet ein Reaktivionenätzen (RIE) 22 statt, um das Substrat 10 zu ätzen, um Gräben 24 für die vergrabene Stromschiene (BPR) zu bilden. Das Substrat 10 kann um eine Strecke x_1 geätzt werden. Das verbleibende Substrat kann als 10' bezeichnet werden. Die Mehrzahl von Finnen 12, das erste formangepasste Dielektrikum 16 und das zweite formangepasste Dielektrikum 20 bleiben intakt.

[0025] Fig. 5 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 4 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei das epitaxial Angewachsene in den Gräben abgeschieden ist.

[0026] In der Struktur 5' ist innerhalb der Gräben 24 ein epitaxial Angewachsenes 28 ausgebildet. Die obere Fläche 29 des epitaxial Angewachsenen 28 kann z.B. gekrümmt oder nicht-linear oder konkav sein. In einem Beispiel kann das epitaxial Angewachsene 28 z.B. SiGe sein. Das epitaxial Angewachsene 28 fungiert als Platzhalter für die vergrabene Stromschiene. Somit fungiert das epitaxial Angewachsene 28 als ein Opfermaterial, welches durch die BPR zu ersetzen ist.

[0027] Die Vorteile der Verwendung eines Opfermaterials wie SiGe bestehen darin, dass SiGe mit dem Front-End-Of-the-Line-Verfahren (FEOL-Verfahren) vollständig kompatibel ist. Deswegen gibt es kein Problem einer möglichen Metallverunreinigung. Außerdem ist durch die selbstausrichtende SiGe-Epitaxie gut die Tiefe der vergrabenen Stromschiene zu steuern. Es ist keine Metallaussparung erforderlich und daher werden Schwankungen in der Metallaussparungstiefe vermieden. Ferner wächst das Opfer-SiGe dank der selektiven Epitaxie nur auf frei liegenden Halbleiterflächen und nicht auf der dielektrischen Auskleidung 16. Strukturell befinden sich die oberen Ecken des Opfer-SiGe im Wesentlichen auf derselben Höhe wie der Boden der dielektrischen Auskleidung 16 (und der Boden der Finnen). Wenn später die BPR anstelle des Opfer-SiGe gebildet wird, folgt die BPR dem Profil des Opfer-SiGe und ermöglicht die genaue Anordnung der BPR in Bezug auf den Finnenboden.

[0028] Ferner wird das zweite formangepasste Dielektrikum 20 vor oder nach dem Abscheiden des epitaxial Angewachsenen 28 entfernt, wodurch das erste formangepasste Dielektrikum 16 freigelegt wird. Jedoch ist das erste formangepasste Dielektrikum 16 ausreichend, um die Mehrzahl von Finnen 12 während der Epitaxie zu schützen.

[0029] Die Begriffe „epitaxiales Anwachsen“ und „epitaxiale Abscheidung“ beziehen sich auf das Anwachsen eines Halbleitermaterials auf einer Abscheidungsfläche eines Halbleitermaterials, wobei das Halbleitermaterial, das anwächst, im Wesentlichen dieselben kristallinen Eigenschaften aufweist wie das Halbleitermaterial der Abscheidungsfläche. Mit dem Begriff „epitaxiales Material“ wird ein Material bezeichnet, welches durch epitaxiales Anwachsen gebildet wird. In einigen Ausführungsformen kommen, wenn die chemischen Reaktionspartner gesteuert und die Systemparameter richtig eingestellt werden, die sich abscheidenden Atome an der Abscheidungsfläche mit ausreichender Energie an, um sich auf der Fläche herumzubewe-

gen und sich an der Kristallanordnung der Atome der Abscheidungsfläche auszurichten. Somit nimmt in einigen Beispielen eine epitaxiale Dünnschicht, die auf einer {100}-Kristallfläche abgeschieden wird, eine {100}-Orientierung an.

[0030] Fig. 6 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 5 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei Zonen flacher Grabenisolierungen (STI) ausgebildet sind.

[0031] Über dem epitaxial Angewachsenen 28 ist eine STI-Zone 30 abgeschieden. Die STI-Zone 30 ist derart ausgespart, dass ein oberer Abschnitt der Mehrzahl von Finnen 12 mit der Hartmaske 14 frei bleibt. In einem Beispiel bleibt ein Abschnitt frei, welcher sich über eine Strecke x_2 erstreckt. Somit bedecken oder umgeben die STI-Zonen 30 nicht vollständig die Finnen 12. In einem Beispiel können die STI-Zonen 30 Oxid (STI-Oxid) umfassen.

[0032] Fig. 7 ist eine Querschnittsansicht der und eine Draufsicht auf die Halbleiterstruktur der Fig. 6 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei die Hartmaske 14 entfernt ist, ein Dummy-Gate 32 ausgebildet ist, Gate-Abstandhalter 34 ausgebildet sind und eine Source/Drain-Epitaxie 36 über den ausgesparten Finnen abgeschieden ist.

[0033] In einigen Ausführungsformen werden die Mehrzahl von Finnen 12 ausgespart und die Hartmaske 14 entfernt, bevor die Source/Drain-Epitaxie 36 gebildet wird. In anderen Ausführungsformen kann die Aussparung der Finnen übersprungen werden.

[0034] Es werden Dummy-Gates 32 gebildet und dann werden in Nachbarschaft zu den Dummy-Gates 32 Gate-Abstandhalter 34 gebildet, wie in der Draufsicht der Fig. 7 dargestellt. Anschließend werden über der Mehrzahl von Finnen 12 Source/Drain-Epitaxie- oder Source/Drain-Epi-Zonen 36 gebildet. Die Source/Drain-Epi-Zonen 36 stehen mit einer gesamten oberen Fläche der Finnen 12 in direktem Kontakt.

[0035] Es versteht sich, dass der Begriff „Source/Drain-Zone“, wie hierin verwendet, bedeutet, dass eine gegebene Source/Drain-Zone in Abhängigkeit von der Anwendung entweder eine Source-Zone oder eine Drain-Zone sein kann.

[0036] Beispiele verschiedener Verfahren des epitaxialen Anwachsens umfassen zum Beispiel schnelle thermische chemische Abscheidung aus der Gasphase (Rapid Thermal CVD, RTCVD), Niedrigenergie-Plasmaabscheidung (Low-Energy Plasma Deposition, LEPD), chemische Abscheidung aus der Gasphase im Ultrahochvakuum (UHVCVD), chemische Abscheidung aus der Gasphase bei Atmosphä-

rendruck (Atmospheric Pressure CVD, APCVD), Flüssigphasenepitaxie (Liquid-Phase Epitaxy, LPE), Molekularstrahlepitaxie (Molecular Beam Epitaxy, MBE) und metallorganische chemische Abscheidung aus der Gasphase (MOCVD). Die Temperatur für ein Verfahren des epitaxialen Anwachsens kann in einem Bereich von beispielsweise 550 °C bis 900 °C liegen, ohne jedoch darauf beschränkt zu sein, und es kann nach Bedarf bei höheren oder niedrigeren Temperaturen durchgeführt werden.

[0037] Fig. 8 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 7 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei die Middle-Of-the-Line- (MOL) und die Back-End-Of-the-Line-Formation (BEOL-Formation) abgeschlossen sind.

[0038] Ein erster Kontakt 40 ist über einer Source/Drain-Epi-Zone 36 ausgebildet und ein zweiter Kontakt 42 ist über einer anderen Source/Drain-Epi-Zone 36 ausgebildet. Der erste Kontakt 40 kann als ein Kontakt zu einer Stromschiene bezeichnet werden und der zweite Kontakt 42 kann als ein Kontakt zum Signal bezeichnet werden. Die BEOL-Formation 44 kann über dem ersten und dem zweiten Kontakt 40, 42 erfolgen. Es sei angemerkt, dass direkt zwischen dem ersten Kontakt 40 und dem zweiten Kontakt 42 eine Dielektrikumsschicht 37 gebildet sein kann, um den ersten Kontakt 40 von dem zweiten Kontakt 42 zu trennen.

[0039] Fig. 9 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 8 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei der Wafer umgedreht und an einen Wafer-Träger oder einen anderen Wafer montiert ist, um das epitaxial Angewachsene freizulegen.

[0040] Die Halbleiterkonfiguration der Fig. 8 wird umgedreht, so dass das epitaxial Angewachsene 28 an einem oberen Abschnitt davon frei liegt, indem das Substrat bis zur Höhe des Opfer-SiGe hinunter entfernt wird. Die Halbleiterkonfiguration der Fig. 8 oder der Wafer wird an einem Wafer-Träger 46 montiert, wie z.B. einem Interposer oder einem anderen Wafer, der andere Schaltungen umfasst. Die Si-Substrat-Rückseite kann mit 48 bezeichnet werden.

[0041] Fig. 10 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 9 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei das epitaxial Angewachsene selektiv entfernt ist.

[0042] Das epitaxial Angewachsene 28 wird selektiv entfernt, um die STI-Zonen 30 freizulegen. Dadurch wird die konvexe Fläche 31 der STI-Zonen 30 freigelegt. Das Entfernen des epitaxial Angewachsenen 28 führt ferner dazu, dass Gräben 50 gebildet werden. Die Entfernung des epitaxial Angewachsenen 28

kann z.B. durch ein Gasphasen-Trockenätzen mit Salzsäure (HCl) oder ein Nassätzverfahren mit einem Gemisch aus Ammoniak und Wasserstoffperoxid oder ein anderes geeignetes Ätzverfahren durchgeführt werden.

[0043] Fig. 11 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 10 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei in Nachbarschaft zu Grabenseitenwänden dielektrische Abstandhalter ausgebildet sind.

[0044] Abstandhalter 52 werden in Nachbarschaft zu den Grabenseitenwänden durch Abscheidung, gefolgt von RIE, gebildet. Die Abstandhalter 52 isolieren die vergrabene Stromschiene (BPR) vom Rest des Substrats.

[0045] Die Abstandhalter können eine oder mehrere aus SiN-, SiBN-, SiCN- und/oder SiBCN-Dünnschichten umfassen.

[0046] Fig. 12 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 11 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei ein Low-k-Dielektrikum abgeschieden und planarisiert ist.

[0047] Anschließend wird in Nachbarschaft zu den Abstandhaltern 52 ein Low-k-Dielektrikum 54 abgeschieden.

[0048] In einigen Ausführungsformen bezieht sich „Low-k-Dielektrikum“ auf ein isolierendes Material mit einer Dielektrizitätskonstante kleiner als 7. In anderen Ausführungsformen bezieht sich „Low-k-Dielektrikum“ auf ein isolierendes Material mit einer Dielektrizitätskonstante, die kleiner ist als die von Siliciumoxid, z.B. 3,9. Beispielfähige Low-k-Dielektrikumsmaterialien umfassen, ohne darauf beschränkt zu sein, dielektrische Nitride (z.B. SiN, SiBCN), dielektrische Oxynitride (z.B. SiOCN, SiCO), mit Kohlenstoff dotiertes Siliciumoxid, mit Fluor dotiertes Siliciumoxid oder eine beliebige Kombination davon oder Ähnliches.

[0049] Fig. 13 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 12 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei eine Maske aufgebracht ist und eine Öffnung zu dem Stromschiennenkontakt erzeugt ist.

[0050] Es wird eine Maske 56 aufgebracht und ein gerichtetes RIE wird durchgeführt, um eine Öffnung 58 zu erzeugen, welche sich bis zu einer oberen Fläche 41 des ersten Kontakts 40 oder MOL-Kontakts 40, also dem Kontakt zu der Stromschiene, erstreckt. Nach dem Bilden der Öffnung 58 kann frei liegendes Dielektrikum 54 um die Öffnung 58 herum entfernt werden, z.B. durch ein beliebiges geeignetes isotropes Ätzen, welches auf dem Abstandhalter 52 endet.

[0051] Fig. 14 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 13 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei die Maske entfernt ist und eine Metallfüllung stattfindet, um die vergrabene Stromschiene zu erzeugen.

[0052] Die Maske 56 wird entfernt, eine Auskleidung 62 wird abgeschieden und es findet eine Metallfüllung 60 statt. Bei der Metallfüllung 60 handelt es sich um die vergrabene Stromschiene. Die Metallfüllung kann planarisiert werden.

[0053] Das Planarisierungsverfahren kann chemisch-mechanisches Polieren (CMP), gefolgt von einem Ätzverfahren, umfassen. Daher kann das Planarisierungsverfahren durch CMP erfolgen. Andere Planarisierungsverfahren können Schleifen und Polieren umfassen.

[0054] Wie angegeben, repräsentiert die Metallfüllung 60 die BPR. Die BPR 60 kann eine unregelmäßige Form aufweisen. Beispielsweise weist die BPR 60 einen breiten oberen Abschnitt und einen schmalen unteren Abschnitt auf. Der schmale untere Abschnitt kontaktiert direkt den MOL-Kontakt 40. Die unregelmäßige Form ist eine Form, die in der Form oder Anordnung nicht gleichmäßig oder ausgeglichen ist. Die unregelmäßige Form der BPR kann als asymmetrisch oder uneinheitlich oder ungleichmäßig oder schief oder an einer oder mehreren Stellen gezackt gekennzeichnet werden. Es sei angemerkt, dass das Profil der BPR größtenteils durch das Profil des Opfer-SiGe bestimmt wird. Dank der selektiven Natur des Epitaxieverfahrens befinden sich die oberen Ecken des Opfer-SiGe im Wesentlichen auf der gleichen Höhe wie der Boden der dielektrischen Auskleidung 16 (und der Boden der Finnen). Als Ergebnis befindet sich, nachdem das Opfer-SiGe durch die BPR ersetzt ist, die Ecke der BPR, die an den Abstandhalter 52 stößt, weitgehend mit dem Finnenboden in Ausrichtung (versetzt durch den Abstandhalter 52).

[0055] Die BPR 60 ist auf einer ersten Höhe angeordnet, wobei die BPR 60 ein erstes leitfähiges Material umfasst und wobei die BPR 60 mit einer zweiten Höhe in Kontakt steht, welche den ersten Kontakt 40 umfasst, wobei ein erster Abschnitt der BPR 60, der dem ersten Kontakt am nächsten liegt, eine erste Dicke aufweist, wobei ein zweiter Abschnitt der BPR 60 eine zweite Dicke aufweist und wobei die erste Dicke geringer ist als die zweite Dicke.

[0056] Der erste Abschnitt (untere Abschnitt) der BPR 60, der eine erste Dicke aufweist, ist zwischen STI-Zonen 30 eingegrenzt, während der zweite Abschnitt (obere Abschnitt) der BPR 60, der eine zweite Dicke aufweist, zwischen Abstandhaltern 52 eingegrenzt ist.

[0057] Außerdem ist die BPR 60 vertikal von der Mehrzahl von Finnen 12 versetzt.

[0058] Die Struktur, welche die BPR 60 umfasst, kann mit 65 bezeichnet werden.

[0059] Die Auskleidung 62 kann z.B. eine Titan/Titannitrid-Schicht (Ti/TiN-Schicht) oder eine Metallauskleidung sein. Bei der Auskleidung 62 kann es sich um Titannitrid (TiN), Tantal (Ta), Tantalnitrid (TaN), Hafniumnitrid (HfN), Niobnitrid (NbN), Wolframnitrid (WN), Wolframcarbonitrid (WCN) oder Kombinationen davon handeln. In verschiedenen Ausführungsformen kann die Barrierschicht durch ALD, CVD, PVD, MOCVD, PECVD oder Kombinationen davon in dem Graben (den Gräben) abgeschieden werden.

[0060] Die Metallauskleidung 62 befindet sich zwischen dem leitfähigen Material und dem ersten Kontakt 40. Anders ausgedrückt, die Metallauskleidung 62 stellt eine Grenzfläche zwischen der BPR 60 und dem MOL-Stromschienenkontakt 40 bereit. Die Metallauskleidung 62 kontaktiert direkt Seitenwände des oberen Abschnitts der BPR 60 und Seitenwände des unteren Abschnitts der BPR 60. Die Metallauskleidung 62 kontaktiert direkt die Seitenwände der Abstandhalter 52 und kontaktiert ferner direkt Abschnitte der STI-Zonen 30. Es gibt keine Metallauskleidung zwischen dem ersten Abschnitt der BPR und dem zweiten Abschnitt der BPR.

[0061] Vorteilhafterweise kann der Widerstand der BPR dadurch verringert werden, dass keine Metallauskleidung innerhalb der BPR vorliegt. Die Metallfüllung oder BPR 60 kann aus Wolfram (W), Aluminium (Al), Kupfer (Cu), Kobalt (Co), Nickel (Ni), Titan (Ti), Ruthenium (Ru), Molybdän (Mo) oder einem beliebigen anderen geeigneten leitfähigen Material gebildet werden, ohne auf diese beschränkt zu sein. Die Metallfüllung 60 kann ferner eine Barrierschicht umfassen. In verschiedenen Ausführungsformen kann die Metallfüllung 60 durch ALD, CVD, PVD und/oder Plattieren gebildet werden. Ein Planarisierungsverfahren wie chemisch-mechanisches Polieren (CMP) kann nach der Abscheidung durchgeführt werden, um die obere Fläche der BPR zu planarisieren.

[0062] Fig. 15 ist eine Querschnittsansicht der Halbleiterstruktur der Fig. 14 gemäß einer Ausführungsform der vorliegenden Erfindung, wobei auf der Rückseite des Wafers eine Stromversorgung ausgebildet ist.

[0063] In einer anderen Ausführungsform kann auf der Rückseite des Wafers eine Stromversorgung 74 ausgebildet sein. Beispielsweise kann ein Dielektrikum 70 abgeschieden werden und durch das Dielektrikum 70 kann eine leitfähige Durchkontaktierung 72

gebildet werden. Die Stromversorgung 74 kann in Nachbarschaft zu der leitfähigen Durchkontaktierung 72 eingebaut werden.

[0064] Demzufolge stellen die beispielhaften Ausführungsformen der vorliegenden Erfindung ein Verfahren und eine Struktur zum vorteilhaften Bilden einer BPR durch selbstausrichtende SiGe-Epitaxie als ein Opfer-Platzhalter für die BPR dar. Durch die beispielhaften Ausführungsformen fällt vorteilhafterweise das Metallverunreinigungsproblem weg, da SiGe vollständig mit den FEOL-Prozessen kompatibel ist, und es ist eine genaue Steuerung der BPR-Höhe erreichbar, da die SiGe-Epitaxie selektiv und selbstausrichtend ist. Vorteilhafterweise wächst das SiGe dank der selektiven Epitaxie nur auf frei liegenden Halbleiterflächen an und nicht auf der dielektrischen Auskleidung. Strukturell liegen die oberen Ecken des Opfer-SiGe im Wesentlichen auf der gleichen Höhe wie der Boden der dielektrischen Auskleidung (und der Boden der Finnen). Später, wenn anstelle des Opfer-SiGe die BPR gebildet wird, folgt die BPR dem Profil des Opfer-SiGe und ermöglicht vorteilhafterweise die genaue Anordnung der BPR in Bezug auf den Finnenboden.

[0065] Schlussfolgernd werden bei den beispielhaften Ausführungsformen Finnen über einem Substrat gebildet, es wird ein erstes formangepasstes Dielektrikum (z.B. SiN) abgeschieden, es wird ein zweites formangepasstes Dielektrikum (z.B. Oxid) abgeschieden, um Finnen mit engem Abstand abzuschneiden, während zwischen Finnen-Arrays Raum gelassen wird, das Substrat wird ausgespart, um Gräben für die vergrabene Stromschiene (BPR) zu bilden, in BPR-Gräben wächst epitaxial SiGe an, es wird eine STI gebildet, es werden FEOL-, MOL- und BEOL-Strukturen gebildet, der Wafer wird umgedreht und der Wafer wird an einen Wafer-Träger montiert, das Opfer-SiGe wird selektiv in BPR-Gräben entfernt, es werden Seitenwand-Abstandhalter auf der Substratrückseite gebildet, der MOL-Stromschienenkontakt wird strukturiert und die Metallisierung der BPR und des MOL-Stromschienenkontakts wird gebildet. Als ein Ergebnis können vorteilhafterweise eine verbesserte BPR mit vollständiger Kompatibilität mit FEOL-Prozessen und eine genaue Steuerung der Einheitlichkeit der BPR-Tiefe erreicht werden. Die Struktur umfasst eine BPR mit einem breiten Abschnitt und einem schmalen Abschnitt, wo die BPR mit einem Kontakt (CA) verbindet, und eine metallische Auskleidung entlang den Seitenwänden der BPR, so dass sie als eine Grenzfläche zwischen der BPR und dem CA-Kontakt fungiert. Das Verfahren umfasst grob ein epitaxiales Anwachsen eines Opfer-SiGe in dem BPR-Graben als Platzhalter in einer frühen Stufe der Herstellung der Einheit, so dass nach der Bildung der Einheit das SiGe vorteilhafterweise entfernt werden kann, um die BPR zu bilden.

[0066] In Bezug auf Fig. 1 bis 15 ist Abscheidung ein beliebiger Prozess, bei dem ein Material auf dem Wafer anwächst, dieser damit beschichtet wird oder es auf andere Weise auf ihn übertragen wird. Verfügbare Technologien umfassen, ohne darauf beschränkt zu sein, unter anderem thermische Oxidation, physikalische Abscheidung aus der Gasphase (PVD), chemische Abscheidung aus der Gasphase (CVD), elektrochemische Abscheidung (Electrochemical Deposition, ECD), Molekularstrahlepitaxie (Molecular Beam Epitaxy, MBE) und in letzter Zeit Atomschichtabscheidung (Atomic Layer Deposition, ALD). Wie hierin verwendet, kann „Abscheiden“ beliebige jetzt bekannte oder zukünftig entwickelte Techniken umfassen, die für das abzuscheidende Material geeignet sind, umfassend zum Beispiel, ohne darauf beschränkt zu sein, chemische Abscheidung aus der Gasphase (CVD), Niederdruck-CVD (Low Pressure CVD, LPCVD), plasmaunterstützte CVD (PECVD), Semi-Atmosphären-CVD (SACVD) und CVD mit hochdichtem Plasma (HDPCVD), schnelle thermische CVD (Rapid Thermal CVD, RTCVD), Ultrahochvakuum-CVD (UHVCVD), CVD mit beschränkter Reaktionsverarbeitung (Limited Reaction Processing CVD, LRPCVD), metallorganische CVD (MOCVD), Sputter-Abscheidung, Ionenstrahlabscheidung, Elektronenstrahlabscheidung, laserunterstützte Abscheidung, thermische Oxidation, thermische Nitridierung, Schleuderverfahren, physikalische Abscheidung aus der Gasphase (PVD), Atomschichtabscheidung (ALD), chemische Oxidation, Molekularstrahlepitaxie (MBE), Plattieren, Aufdampfen.

[0067] Der Begriff „Verarbeiten“, wie hierin verwendet, umfasst Abscheidung von Material oder Photoresist, Strukturieren, Bestrahlung, Entwicklung, Ätzen, Reinigen, Abziehen, Implantieren, Dotieren, Verspannen, Schichten und/oder Entfernung des Materials oder Photoresists nach Bedarf beim Bilden einer beschriebenen Struktur.

[0068] Entfernen ist ein beliebiger Prozess, bei dem Material von dem Wafer entfernt wird; Beispiele umfassen Ätzprozesse (entweder nass oder trocken) und chemischmechanische Planarisierung (CMP) usw.

[0069] Strukturieren ist das Formen oder Verändern abgeschiedener Materialien und wird im Allgemeinen als Lithographie bezeichnet. Zum Beispiel wird bei der herkömmlichen Lithographie der Wafer mit einer Chemikalie beschichtet, die als ein Photoresist bezeichnet wird; dann wird durch eine Maschine, die als ein Stepper bezeichnet wird, eine Maske fokussiert, ausgerichtet und bewegt, wobei ausgewählte Abschnitte des Wafers darunter Licht kurzer Wellenlänge ausgesetzt werden; die bestrahlten Zonen werden durch eine Entwicklerlösung weggewaschen. Nach einem Ätzen oder anderen Verarbei-

ten wird der verbleibende Photoresist entfernt. Strukturieren umfasst auch Elektronenstrahl-Lithographie.

[0070] Modifikation von elektrischen Eigenschaften kann Dotieren umfassen, z.B. Dotieren von Transistor-Sources und -Drains, im Allgemeinen durch Diffusion und/oder durch Ionenimplantation. Diesen Dotierungsverfahren folgt ein Ofen-Temperein oder ein Kurzzeit-Temperein (Rapid Thermal Annealing, RTA). Das Temperein dient dazu, die implantierten Dotierstoffe zu aktivieren.

[0071] Es versteht sich, dass die vorliegende Erfindung in Form einer gegebenen veranschaulichenden Architektur beschrieben wird; innerhalb des Umfangs der vorliegenden Erfindung können jedoch als Variation andere Architekturen, Strukturen, Substratmaterialien und Prozessmerkmale und Schritte/Blöcke eingesetzt werden.

[0072] Es versteht sich außerdem, dass, wenn ein Element wie eine Schicht, eine Zone oder ein Substrat als „auf“ oder „über“ einem anderen Element befindlich bezeichnet wird, es sich direkt auf dem anderen Element befinden kann oder außerdem dazwischen liegende Elemente vorhanden sein können. Wenn hingegen ein Element als „direkt auf“ oder „direkt über“ einem anderen Element befindlich bezeichnet wird, sind keine dazwischen liegenden Elemente vorhanden. Es versteht sich ferner, dass, wenn ein Element als mit einem anderen Element „verbunden“ oder „verknüpft“ bezeichnet wird, es direkt mit dem anderen Element verbunden oder verknüpft sein kann oder dazwischen liegende Elemente vorhanden sein können. Wenn hingegen ein Element als mit einem anderen Element „direkt verbunden“ oder „direkt verknüpft“ bezeichnet wird, sind keine dazwischen liegenden Elemente vorhanden.

[0073] Die vorliegenden Ausführungsformen können einen Entwurf für einen IC-Chip umfassen, welcher in einer graphischen Computerprogrammiersprache erzeugt und in einem Computerspeichermedium (z.B. einer Disk, einem Band, einem physischen Festplattenlaufwerk oder einem virtuellen Festplattenlaufwerk, wie in einem Speicherzugriffs-Netzwerk) gespeichert werden kann. Wenn der Entwerfende keine Chips und nicht die photolithographischen Masken herstellt, die verwendet werden, um Chips herzustellen, kann der Entwerfende den resultierenden Entwurf durch physische Mechanismen (z.B. durch Bereitstellen einer Kopie des Speichermediums, auf dem der Entwurf gespeichert ist) oder elektronisch (z.B. über das Internet) direkt oder indirekt an solche Einheiten senden. Der gespeicherte Entwurf wird dann in das geeignete Format (z.B. GDSII) für die Herstellung von photolithographischen Masken umgewandelt, welche mehrere Kopien des betreffenden Chipentwurfs umfassen, die auf einem Wafer zu bilden

sind. Die photolithographischen Masken werden verwendet, um Bereiche des Wafers zu definieren, die zu ätzen oder auf andere Weise zu verarbeiten sind.

[0074] Verfahren, wie hierin beschrieben, können bei der Herstellung von IC-Chips angewendet werden. Die resultierenden IC-Chips können vom Hersteller in unbehandelter Wafer-Form (also als einzelner Wafer, der mehrere Chips ohne Gehäuse aufweist), als bloßer Die oder in einer Form mit Gehäuse vertrieben werden. Im letzteren Fall ist der Chip in einem Gehäuse für einen Chip (z.B. einem Kunststoffträger mit Zuleitungen, die an einer Hauptplatine oder einem übergeordneten Träger befestigt sind) oder in einem Gehäuse für mehrere Chips (z.B. einem Keramikträger, der Oberflächenverbindungen und/oder vergrabene Verbindungen aufweist) montiert. In jedem Fall wird der Chip dann als Teil (a) eines Zwischenprodukts, z.B. einer Hauptplatine, oder (b) eines Endprodukts mit anderen Chips, diskreten Schaltungselementen und/oder anderen Signalverarbeitungseinheiten integriert. Bei dem Endprodukt kann es sich um ein beliebiges Produkt handeln, welches IC-Chips umfasst, was von Spielzeugen und anderen einfachen Anwendungen bis zu hoch entwickelten Computerprodukten reicht, die eine Anzeigevorrichtung, eine Tastatur oder eine andere Eingabeeinheit und einen Zentralprozessor aufweisen.

[0075] Es versteht sich außerdem, dass Materialverbindungen in Form von aufgelisteten Elementen beschrieben werden, z.B. SiGe. Diese Verbindungen umfassen unterschiedliche Verhältnisse der Elemente innerhalb der Verbindung, z.B. umfasst SiGe $\text{Si}_x\text{Ge}_{1-x}$, wobei x kleiner oder gleich 1 ist, usw. Außerdem können in der Verbindung andere Elemente enthalten sein und diese immer noch gemäß den vorliegenden Ausführungsformen funktionieren. Die Verbindungen mit zusätzlichen Elementen werden hierin als Legierungen bezeichnet. Eine Bezugnahme in der Beschreibung auf „eine Ausführungsform“ der vorliegenden Erfindung sowie Variationen davon bedeutet, dass ein bestimmtes Merkmal, eine bestimmte Struktur, eine bestimmte Eigenschaft usw., das/die in Verbindung mit der Ausführungsform beschrieben wird, in mindestens einer Ausführungsform der vorliegenden Erfindung enthalten ist. Somit beziehen sich, wenn der Ausdruck „in einer Ausführungsform“ sowie beliebige Variationen davon an verschiedenen Stellen in der Beschreibung erscheinen, diese nicht notwendigerweise alle auf dieselbe Ausführungsform.

[0076] Es versteht sich, dass die Verwendung von einem der folgenden „/“, „und/oder“ und „mindestens eines aus“, zum Beispiel in den Fällen von „A/B“, „A und/oder B“ und „mindestens eines aus A und B“, die Auswahl nur der ersten aufgelisteten Option (A) oder die Auswahl nur der zweiten aufgelisteten Option (B)

oder die Auswahl beider Optionen (A und B) umfassen soll. Als ein weiteres Beispiel soll in den Fällen von „A, B und/oder C“ und „mindestens eines aus A, B und C“ dieser Ausdruck die Auswahl nur der ersten aufgelisteten Option (A) oder die Auswahl nur der zweiten aufgelisteten Option (B) oder die Auswahl nur der dritten aufgelisteten Option (C) oder die Auswahl nur der ersten und der zweiten aufgelisteten Option (A und B) oder die Auswahl nur der ersten und der dritten aufgelisteten Option (A und C) oder die Auswahl nur der zweiten und der dritten aufgelisteten Option (B und C) oder die Auswahl aller drei Optionen (A und B und C) umfassen. Dies kann, wie es dem Fachmann auf diesem und verwandten Fachgebieten schnell ersichtlich wird, auf so viele Elemente wie aufgelistet ausgeweitet werden.

[0077] Die hierin verwendete Terminologie dient nur der Beschreibung spezieller Ausführungsformen und soll beispielhafte Ausführungsformen nicht beschränken. Wie hierin verwendet, sollen die Singularformen „ein“, „eine“ und „der“, „die“, „das“ ebenso die Pluralformen umfassen, sofern dies nicht durch den Kontext eindeutig anders angezeigt ist. Es versteht sich ferner, dass mit den Begriffen „weist auf“, „aufweist“, „aufweisen“, „umfasst“ und/oder „umfassen“, wenn sie hierin verwendet werden, das Vorliegen angegebener Merkmale, ganzer Zahlen, Schritte, Operationen, Elemente und/oder Komponenten beschrieben ist, jedoch nicht das Vorliegen oder das Hinzufügen ein oder mehrerer anderer Merkmale, ganzer Zahlen, Schritte, Operationen, Elemente, Komponenten und/oder Gruppen derselben ausgeschlossen wird.

[0078] Begriffe der räumlichen Beziehung wie „unterhalb“, „unter“, „untere“, „über“, „obere“ und dergleichen können hierin zur Vereinfachung der Beschreibung verwendet werden, um die Beziehung eines Elements oder Merkmals zu einem anderen Element (anderen Elementen) oder Merkmal (anderen Merkmalen) zu beschreiben, wie in den FIG. veranschaulicht. Es versteht sich, dass die Begriffe der räumlichen Beziehung zusätzlich zu der Orientierung, die in den FIG. abgebildet ist, andere Orientierungen der im Gebrauch oder Betrieb befindlichen Einheit umfassen sollen. Wenn zum Beispiel die Einheit in den FIG. umgedreht wird, dann wären Elemente, die als „unter“ anderen Elementen oder Merkmalen oder „unterhalb“ anderer Elemente oder Merkmale befindlich beschrieben werden, „oberhalb“ der anderen Elemente oder Merkmale. Somit kann der Begriff „unter“ eine Orientierung über und unter umfassen. Die Einheit kann anders orientiert sein (um 90 Grad gedreht sein oder andere Orientierungen aufweisen) und die hierin verwendeten Deskriptoren der räumlichen Beziehung können entsprechend interpretiert werden. Außerdem versteht es sich, dass, wenn eine Schicht als „zwischen“ zwei Schichten befindlich bezeichnet wird, sie die einzige

Schicht zwischen den zwei Schichten sein kann oder außerdem eine oder mehrere dazwischen angeordnete Schichten vorhanden sein können.

[0079] Es versteht sich, dass, obwohl die Begriffe erste, zweite usw. hierin verwendet werden können, um verschiedene Elemente zu beschreiben, diese Elemente nicht auf diese Begriffe beschränkt sein sollten. Diese Begriffe werden nur verwendet, um ein Element von einem anderen Element zu unterscheiden. Somit könnte ein nachstehend beschriebenes erstes Element als ein zweites Element bezeichnet werden, ohne vom Umfang des vorliegenden Konzepts abzuweichen.

[0080] Nachdem nun bevorzugte Ausführungsformen eines Verfahrens zum Bilden einer Halbleitereinheit mit einer vergrabenen Stromschiene beschrieben worden sind (welche veranschaulichend und nicht beschränkend sein sollen), sei angemerkt, dass der Fachmann im Lichte der obigen Lehren Modifikationen und Variationen vornehmen kann. Es versteht sich daher, dass in den speziellen beschriebenen Ausführungsformen Änderungen vorgenommen werden können, welche innerhalb des Umfangs der Erfindung liegen, wie durch die anhängenden Ansprüche umrissen. Nachdem somit Erscheinungsformen der Erfindung in den Einzelheiten und in der vom Patentrecht geforderten Genauigkeit beschrieben worden sind, wird in den anhängenden Ansprüchen ausgeführt, was durch die Patentschrift beansprucht wird und wofür Schutz gewünscht wird.

Patentansprüche

1. Halbleiterstruktur, aufweisend: einen Feldeffekttransistor (FET), welcher eine Source/Drain aufweist; einen Kontakt in Kontakt mit der Source/Drain; und eine vergrabene Stromschiene, welche ein leitfähiges Material umfasst, wobei die vergrabene Stromschiene mit dem Kontakt in Kontakt steht, wobei ein erster Abschnitt der vergrabenen Stromschiene, der dem Kontakt am nächsten liegt, eine erste Dicke aufweist und wobei ein zweiter Abschnitt der vergrabenen Stromschiene eine zweite Dicke aufweist, derart, dass die erste Dicke geringer als die zweite Dicke ist.
2. Halbleiterstruktur nach Anspruch 1, wobei die vergrabene Stromschiene ferner eine Metallauskleidung umfasst.
3. Halbleiterstruktur nach Anspruch 2, wobei sich die Metallauskleidung zwischen dem leitfähigen Material und dem Kontakt befindet.
4. Halbleiterstruktur nach Anspruch 1, wobei der FET vertikal von der vergrabenen Stromschiene versetzt ist.
5. Halbleiterstruktur nach Anspruch 1, wobei die vergrabene Stromschiene eine unregelmäßige Form aufweist.
6. Halbleiterstruktur nach Anspruch 1, wobei der erste Abschnitt der vergrabenen Stromschiene, der eine erste Dicke aufweist, zwischen Zonen flacher Grabenisolierungen (STI-Zonen) eingegrenzt ist.
7. Halbleiterstruktur nach Anspruch 1, wobei der zweite Abschnitt der vergrabenen Stromschiene, der eine zweite Dicke aufweist, zwischen Abstandhaltern eingegrenzt ist.
8. Verfahren zum Bilden einer vergrabenen Stromschiene, wobei das Verfahren umfasst: Bilden einer Mehrzahl von Finnen über einem Substrat; Abscheiden eines ersten formangepassten Dielektrikums über der Mehrzahl von Finnen; Abscheiden eines zweiten formangepassten Dielektrikums über dem ersten formangepassten Dielektrikum, um Finnen der Mehrzahl von Finnen mit einem engen Abstand abzuschneiden, während zwischen Finnen-Arrays Raum gelassen wird; Aussparen des Substrats, um Gräben für die vergrabene Stromschiene (BPR) zu bilden; epitaxiales Anwachsen eines Opfermaterials in den Gräben; Bilden von Zonen flacher Grabenisolierungen (STI) über dem Opfermaterial; Bilden von Front-End-Of-the-Line- (FEOL-), Middle-Of-the-Line- (MOL-) und Back-End-Of-the-Line-Strukturen (BEOL-Strukturen), um eine Wafer-Struktur zu definieren, welche zumindest einen MOL-Stromschiemenkontakt aufweist; Umdrehen der Wafer-Struktur; Montieren der Wafer-Struktur an einen Wafer-Träger; selektives Entfernen des Opfermaterials; Bilden von Seitenwand-Abstandhaltern; Strukturieren des MOL-Stromschiemenkontakts; und Bilden einer Metallisierung, welche die BPR bis zum MOL-Stromschiemenkontakt repräsentiert.
9. Verfahren nach Anspruch 8, wobei die BPR eine unregelmäßige Form aufweist.
10. Verfahren nach Anspruch 8, wobei die BPR einen ersten Abschnitt mit einer ersten Dicke und einen zweiten Abschnitt mit einer zweiten Dicke aufweist, wobei die erste Dicke geringer als die zweite Dicke ist.

11. Verfahren nach Anspruch 10, wobei der erste Abschnitt der BPR mit der ersten Dicke direkt den MOL-Stromschienenkontakt kontaktiert.

führen, wenn das Programm auf einem Computer ausgeführt wird.

Es folgen 12 Seiten Zeichnungen

12. Verfahren nach Anspruch 8, wobei das Opfermaterial Siliciumgermanium (SiGe) ist.

13. Verfahren nach Anspruch 8, wobei Seitenwände der BPR direkt eine metallische Auskleidung kontaktieren.

14. Verfahren nach Anspruch 13, wobei die metallische Auskleidung eine Grenzfläche zwischen der BPR und dem MOL-Stromschienenkontakt bereitstellt.

15. Verfahren nach Anspruch 8, wobei die Mehrzahl von Finnen vertikal von der BPR versetzt ist.

16. Verfahren zum Bilden einer vergrabenen Stromschiene (BPR), wobei das Verfahren umfasst:
Bilden einer Mehrzahl von Finnen über einem Substrat;
epitaxiales Anwachsen eines Opfer-Siliciumgermaniums (SiGe) innerhalb des Substrats;
Bilden von Front-End-Of-the-Line- (FEOL-), Middle-Of-the-Line- (MOL-) und Back-End-Of-the-Line-Strukturen (BEOL-Strukturen), um eine Wafer-Struktur zu definieren, welche zumindest einen MOL-Stromschienenkontakt aufweist;
Umdrehen der Wafer-Struktur;
Entfernen des Opfer-SiGe, um Gräben zu bilden;
und
Füllen mindestens eines der Gräben mit einem leitfähigen Material, welches die BPR bis zum MOL-Stromschienenkontakt repräsentiert.

17. Verfahren nach Anspruch 16, wobei die BPR einen ersten Abschnitt mit einer ersten Dicke und einen zweiten Abschnitt mit einer zweiten Dicke aufweist, wobei die erste Dicke geringer als die zweite Dicke ist.

18. Verfahren nach Anspruch 17, wobei der erste Abschnitt der BPR mit der ersten Dicke direkt den MOL-Stromschienenkontakt kontaktiert.

19. Verfahren nach Anspruch 16, wobei Seitenwände der BPR direkt eine metallische Auskleidung kontaktieren.

20. Verfahren nach Anspruch 19, wobei die metallische Auskleidung eine Grenzfläche zwischen der BPR und dem MOL-Stromschienenkontakt bereitstellt.

21. Computerprogramm, welches Programmcode aufweist, der dafür geeignet ist, die Verfahrensschritte eines der Ansprüche 8 bis 20 durchzu-

Anhängende Zeichnungen

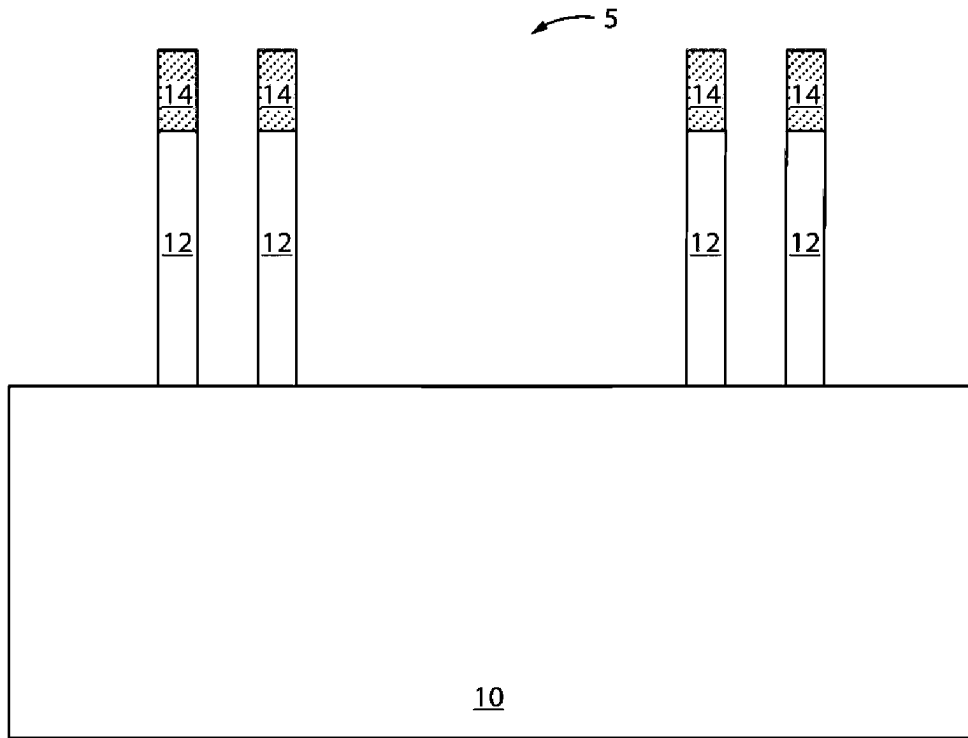


FIG. 1

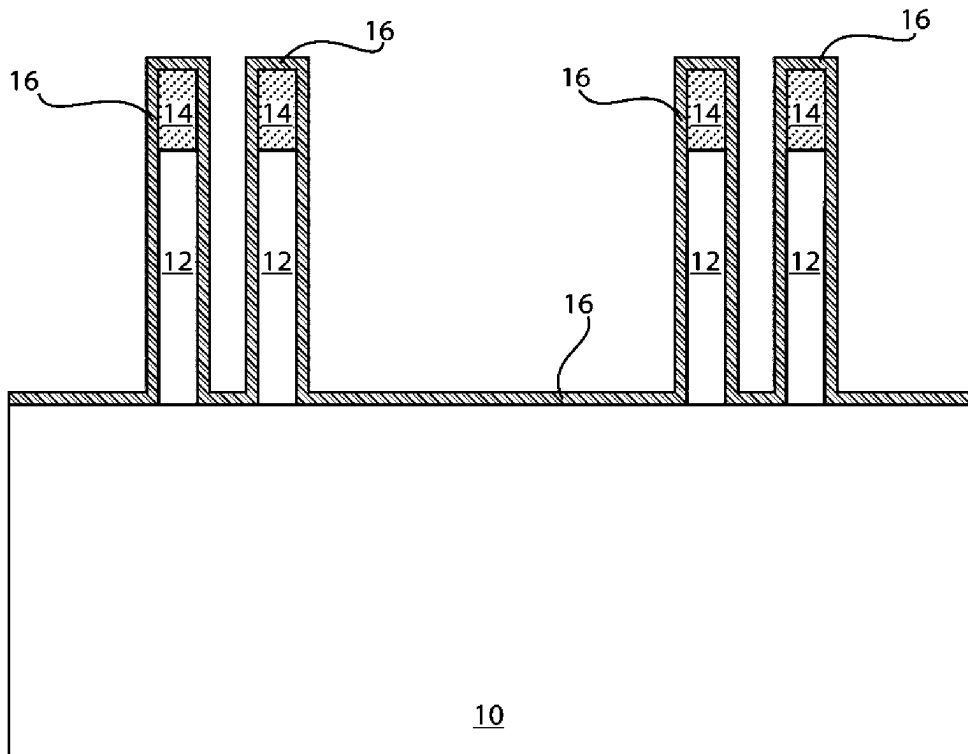


FIG. 2

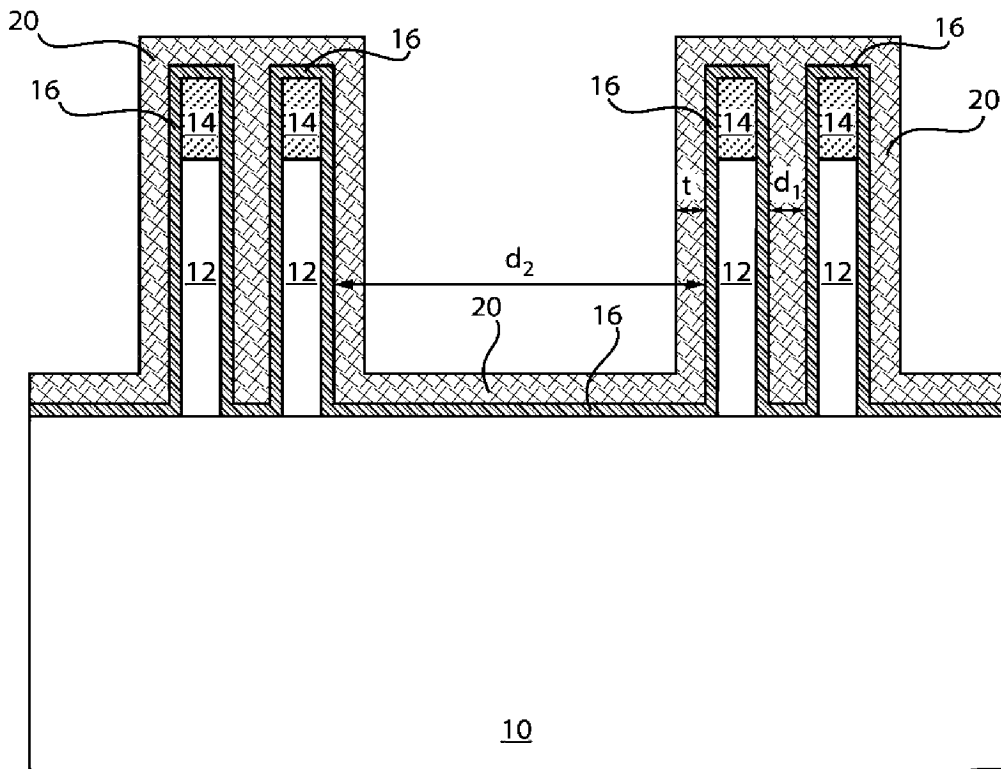


FIG. 3

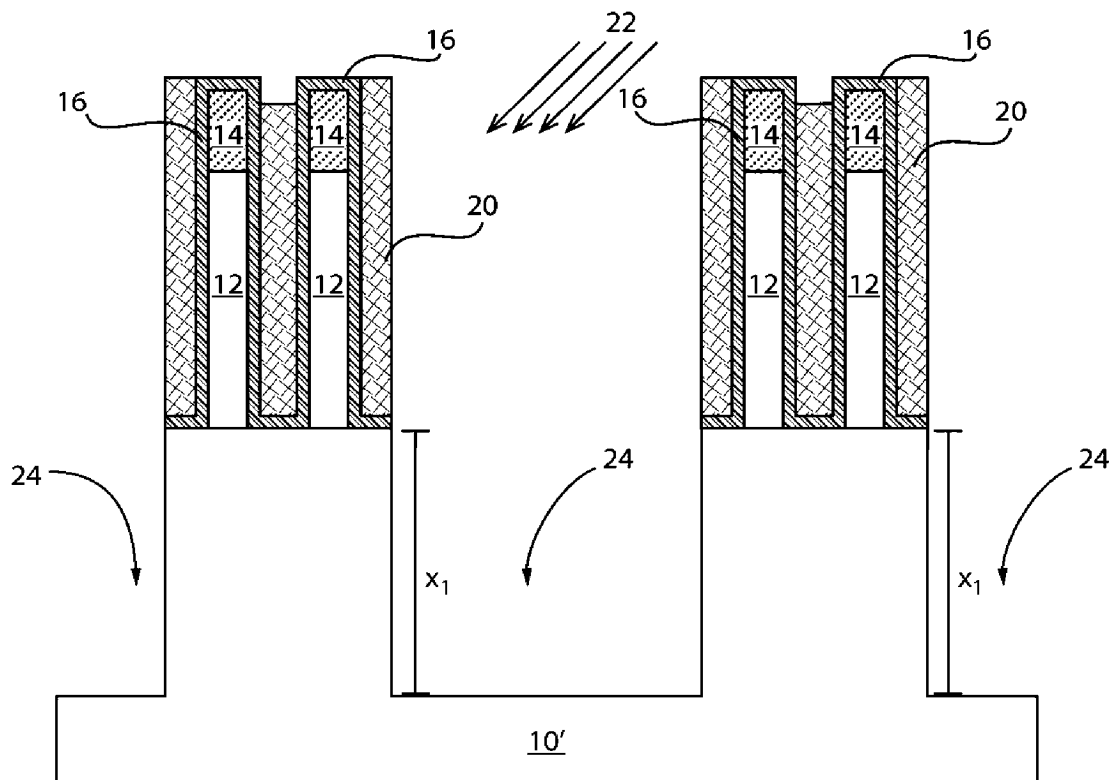


FIG. 4

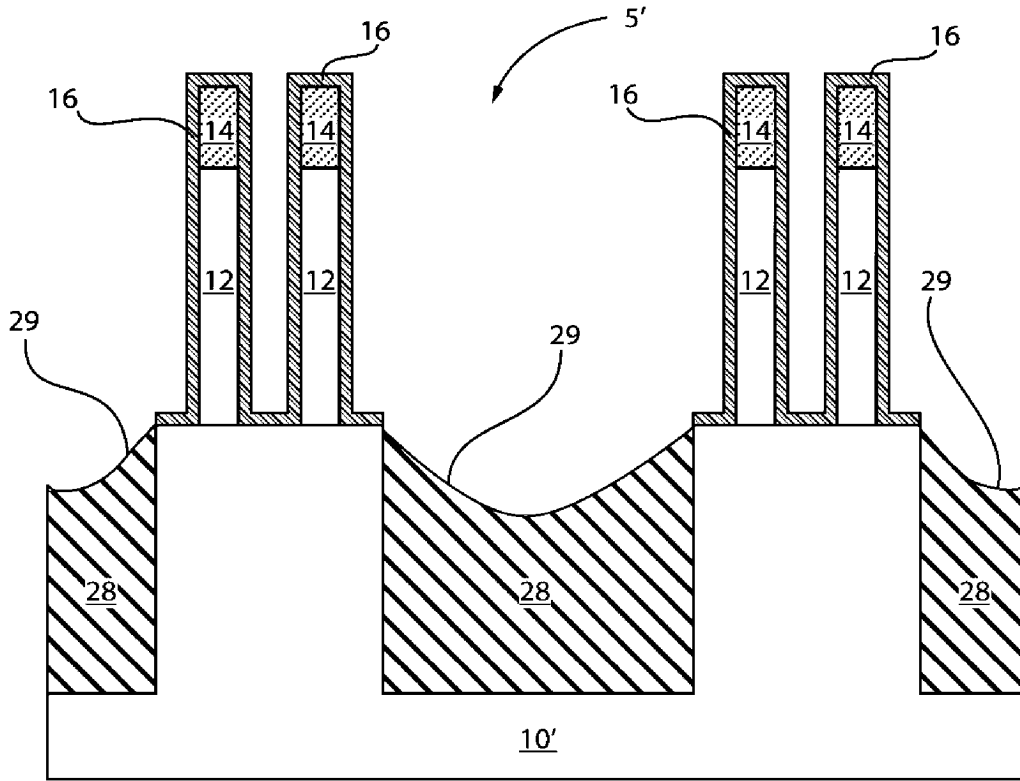


FIG. 5

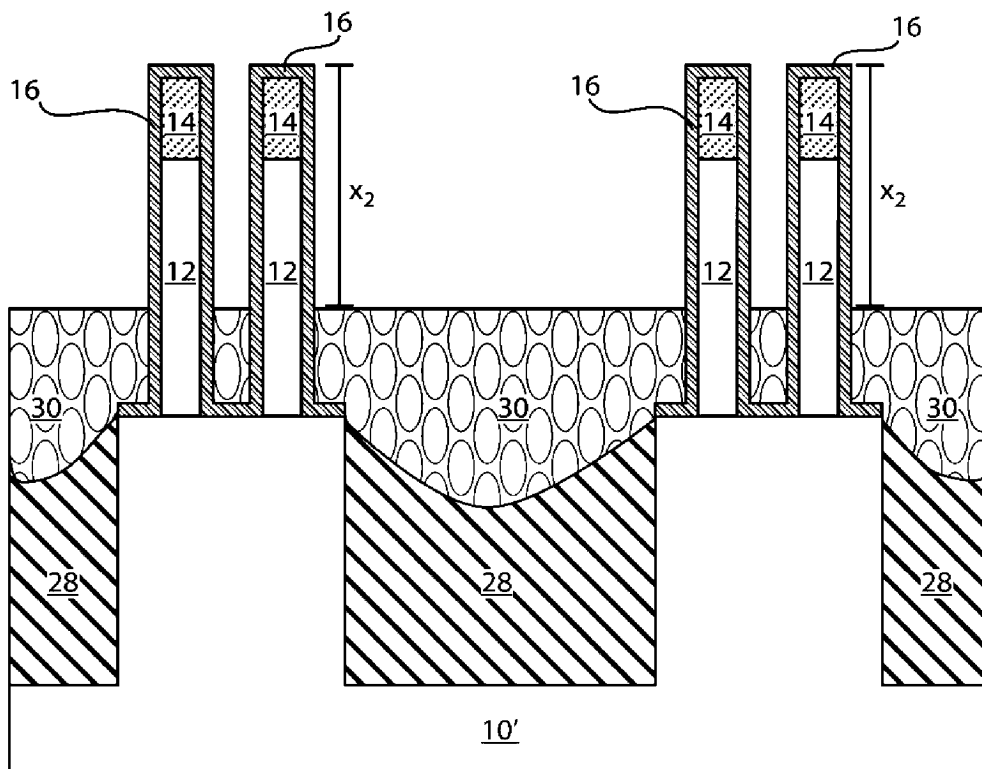


FIG. 6

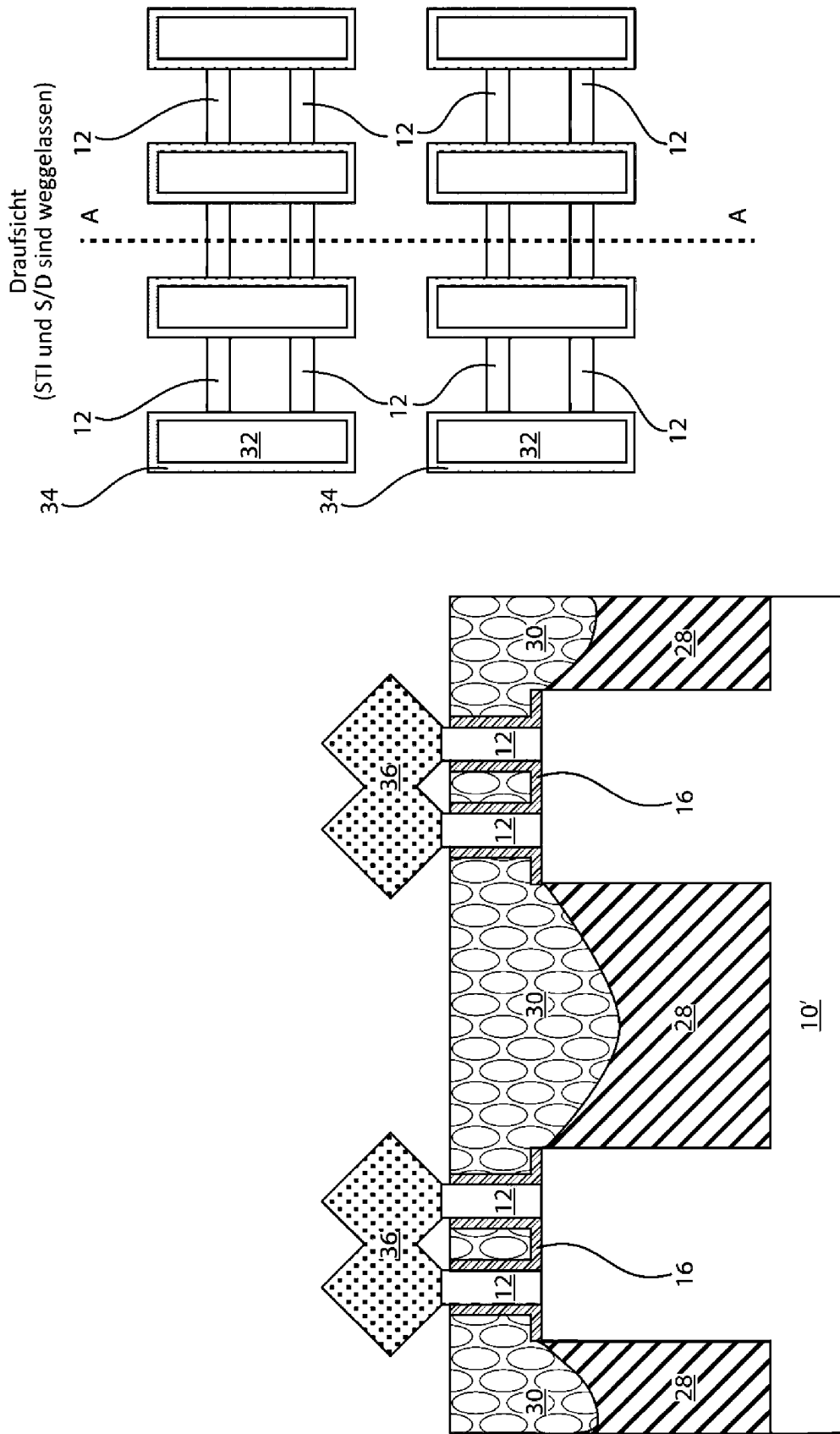
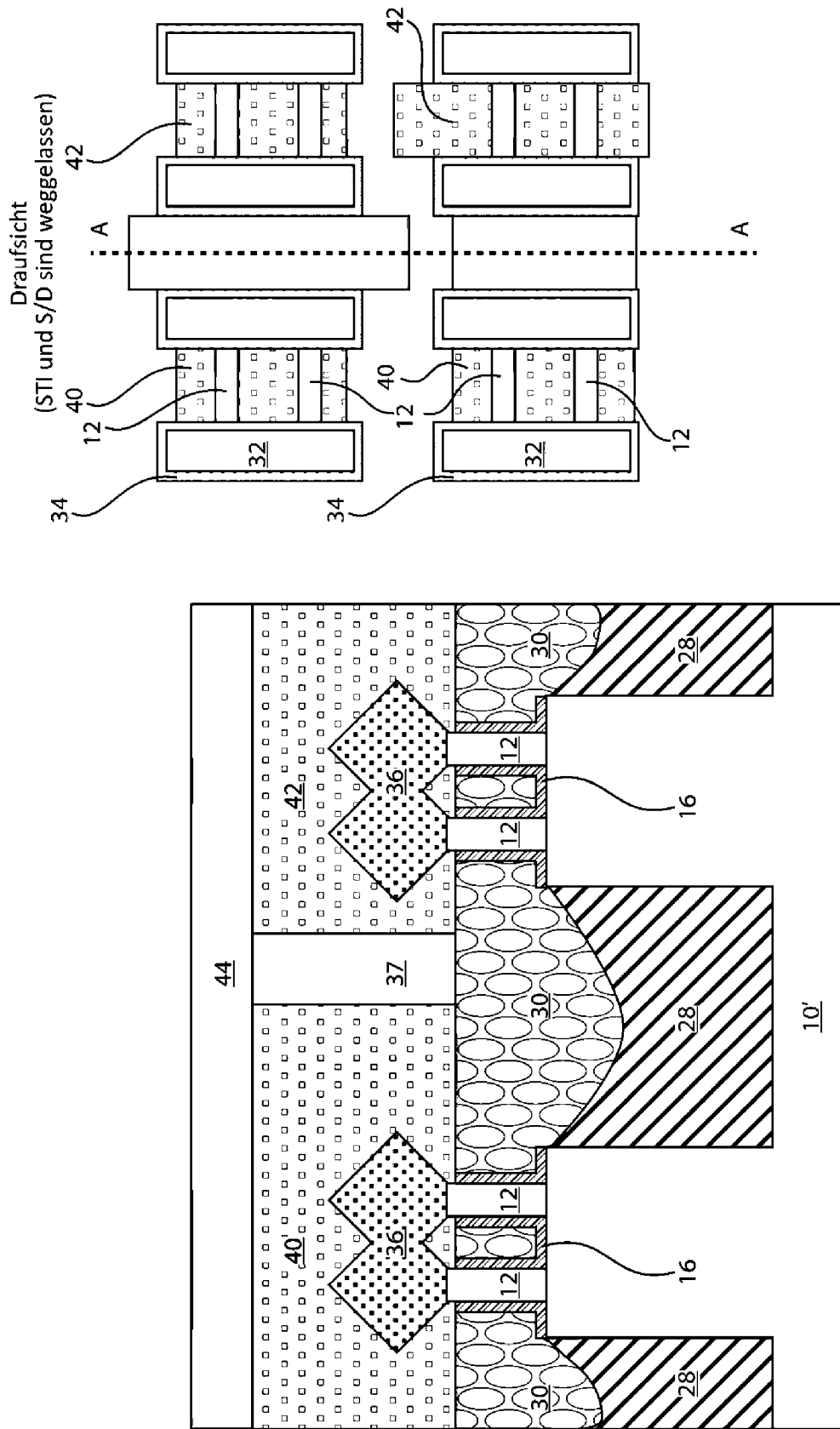


FIG. 7



Draufsicht
(STI und S/D sind weggelassen)

FIG. 8

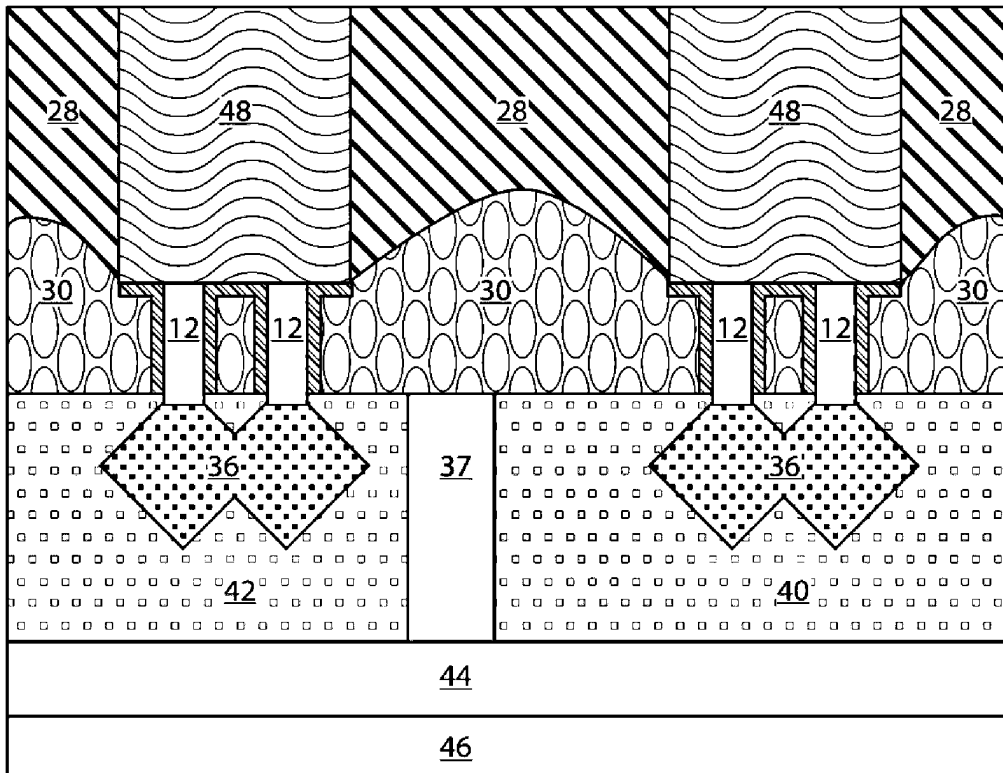


FIG. 9

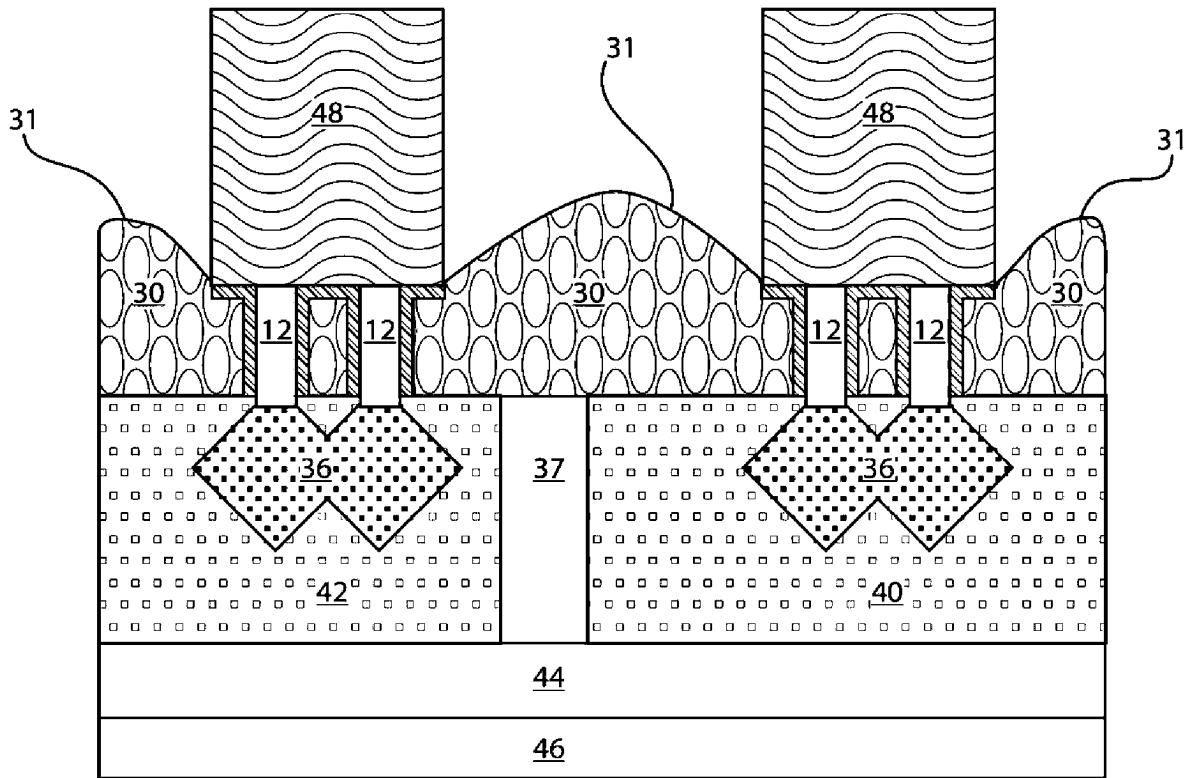


FIG. 10

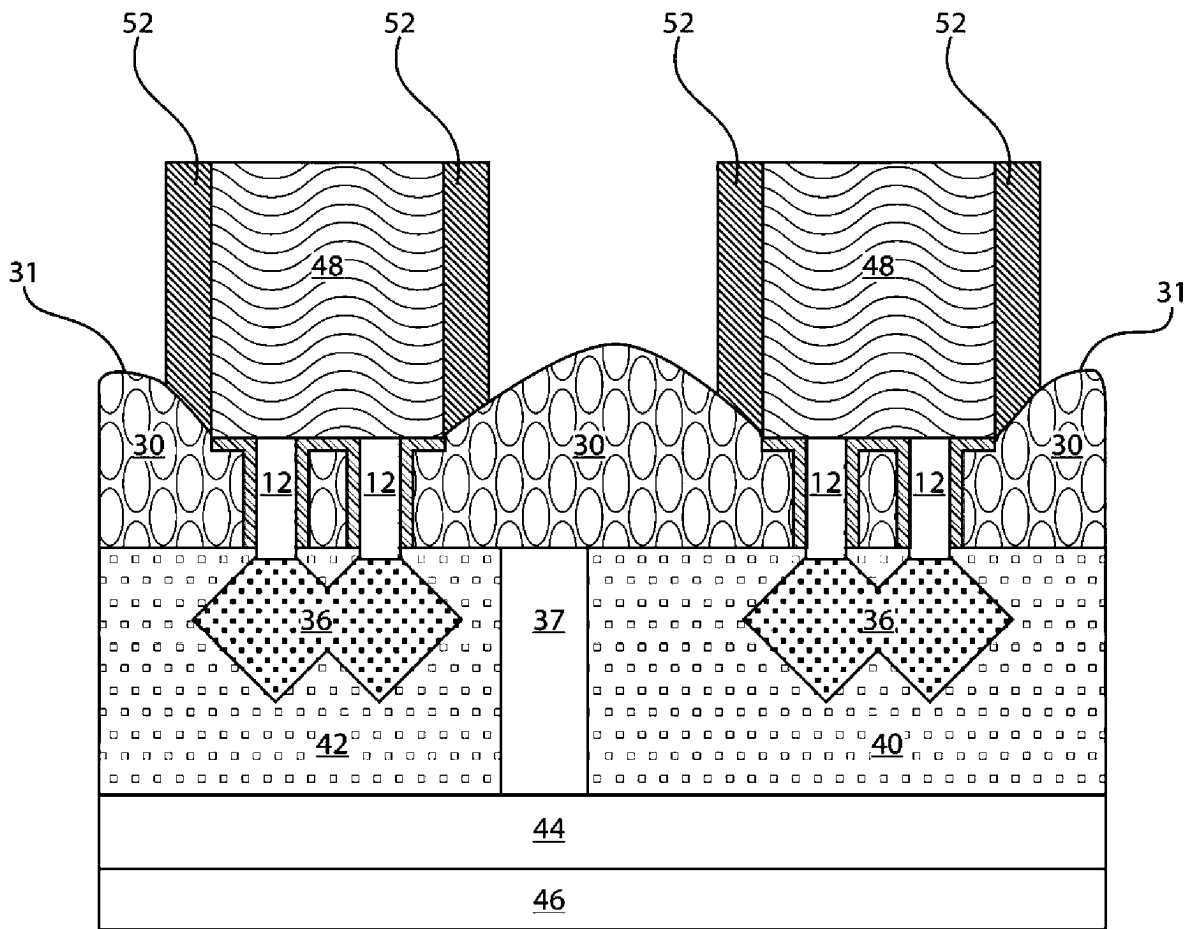


FIG. 11

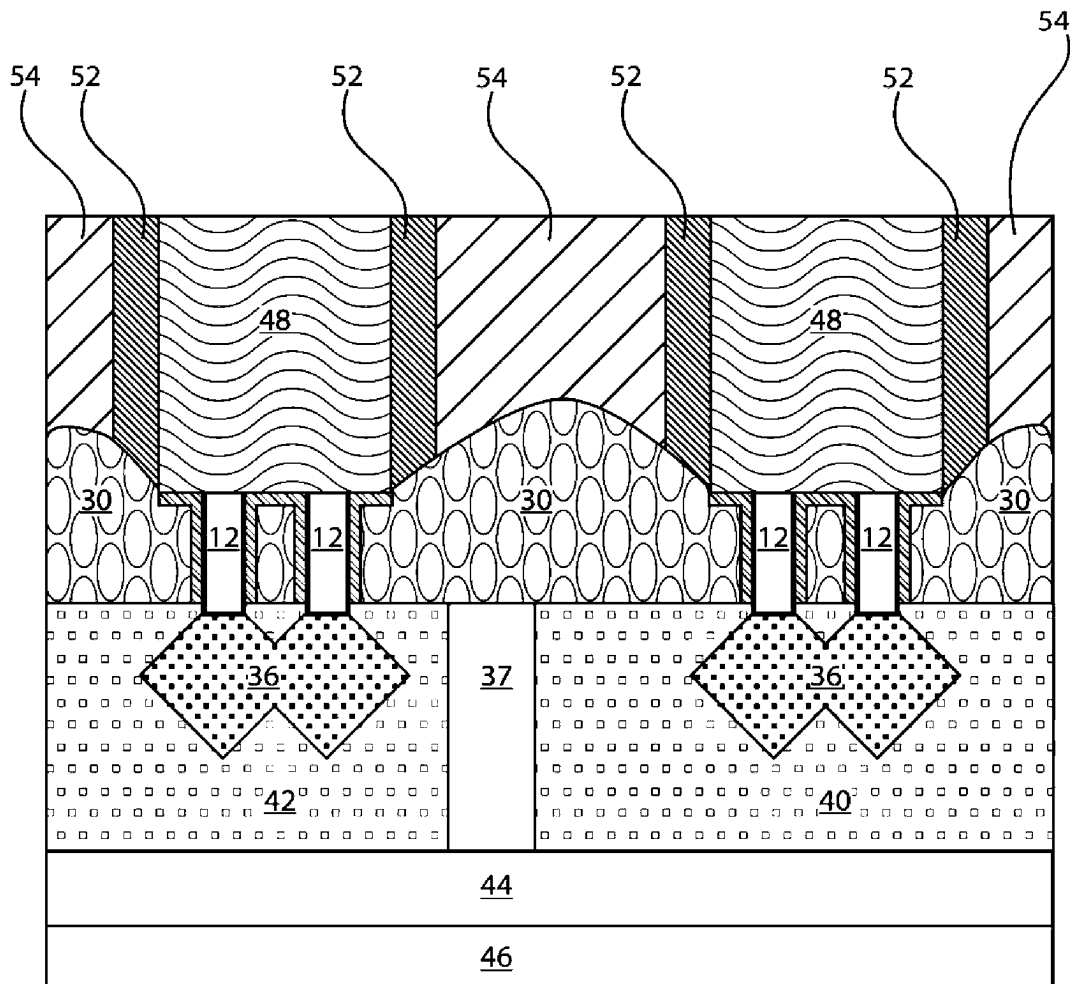


FIG. 12

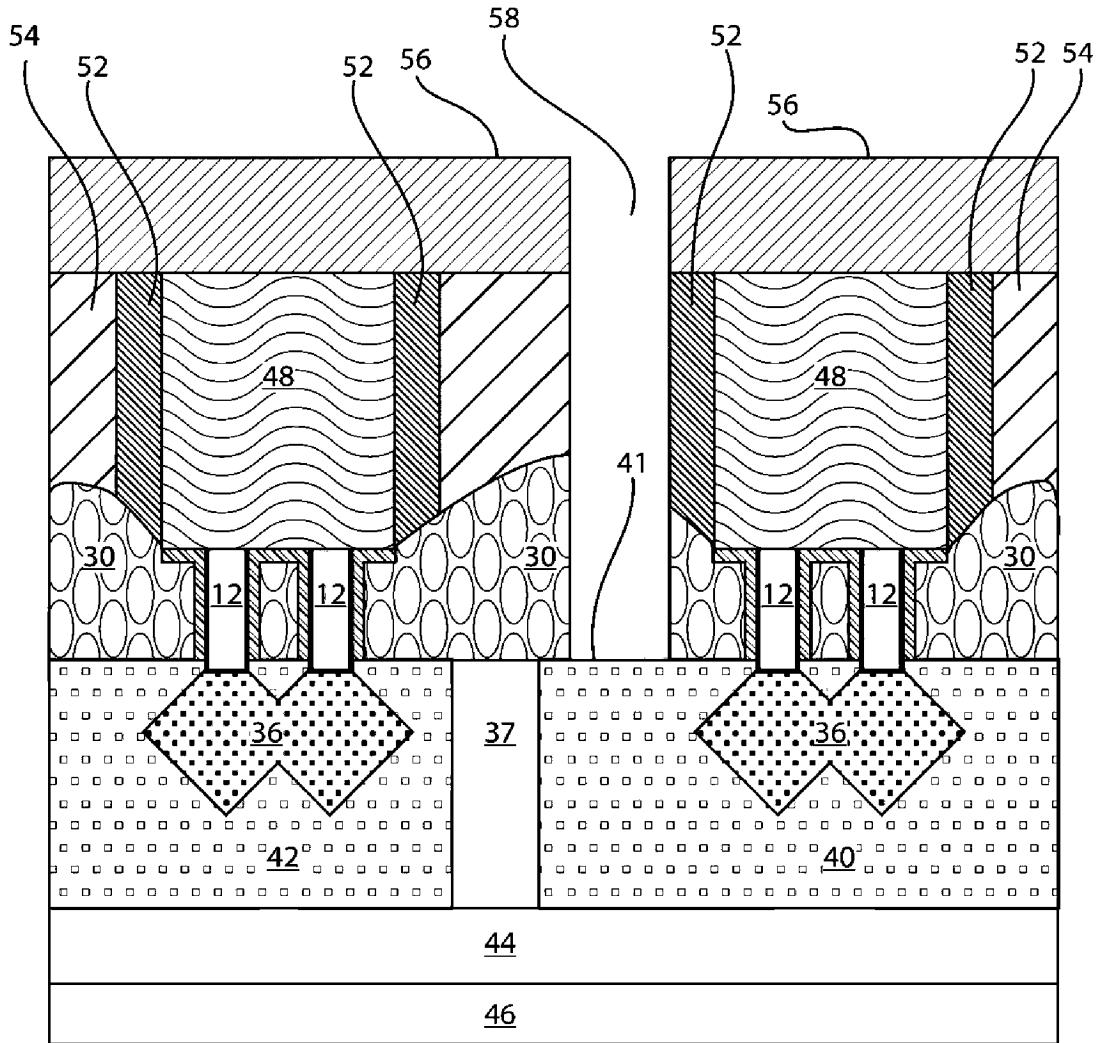


FIG. 13

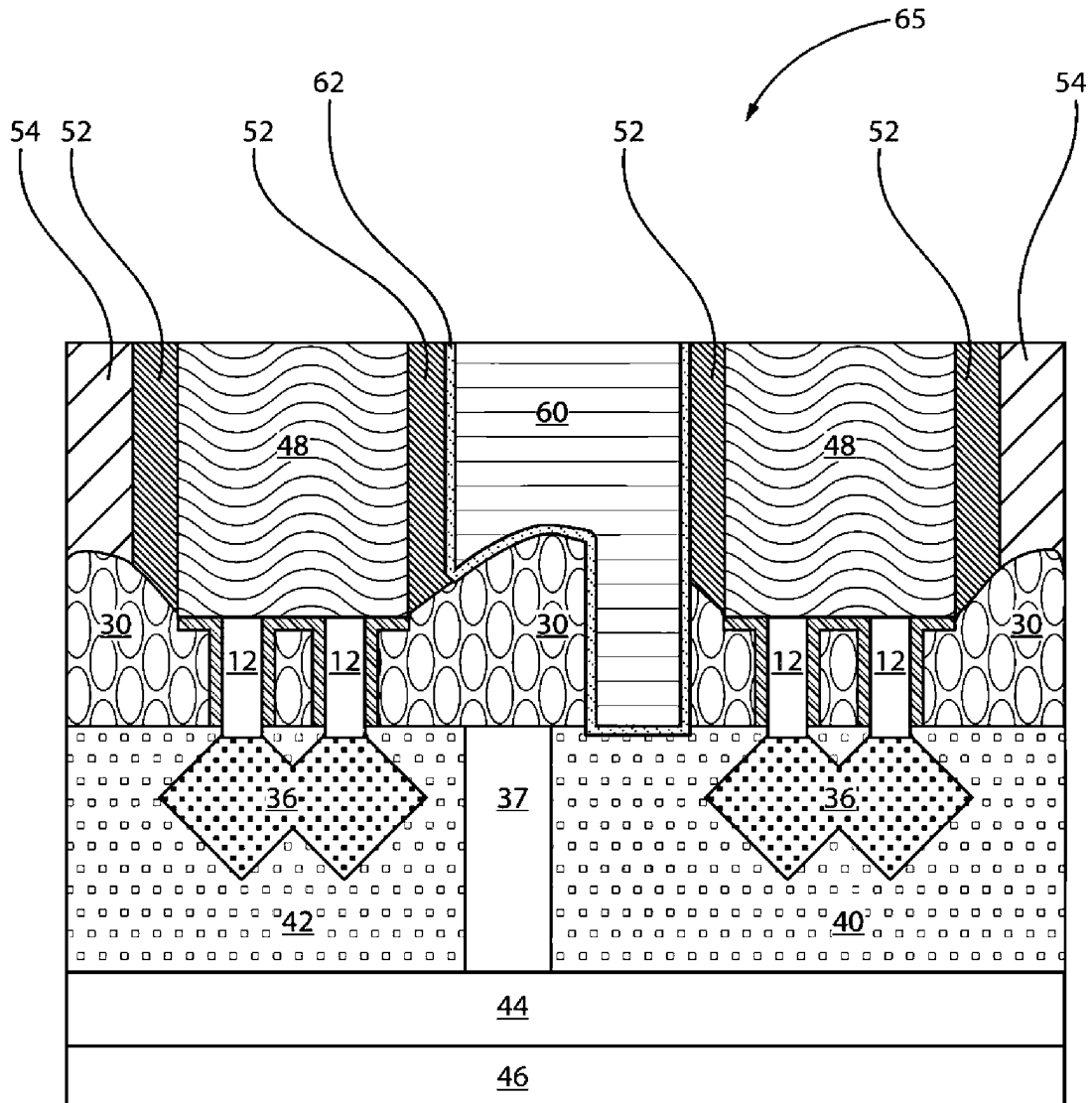


FIG. 14

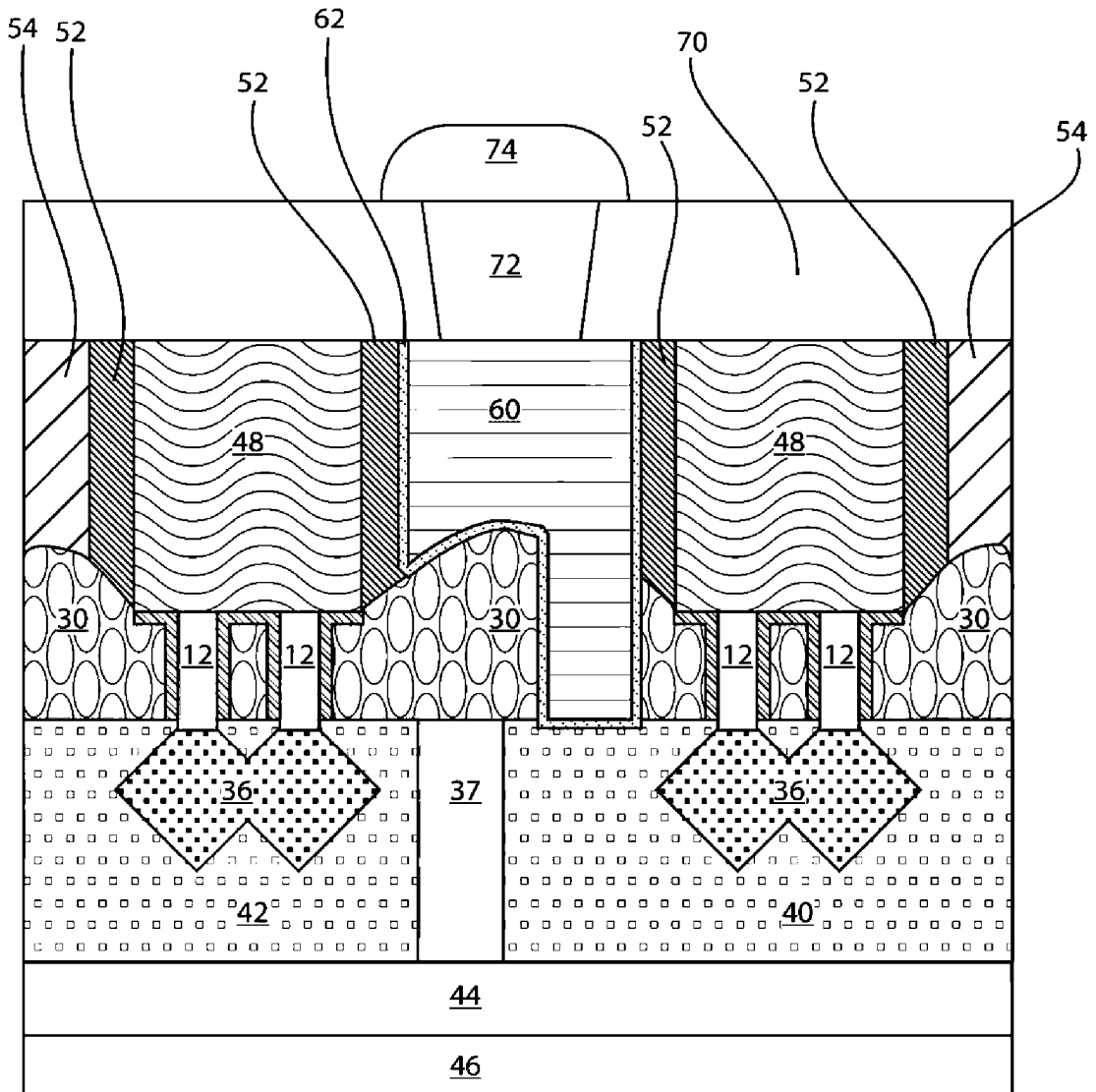


FIG. 15