

# 公告本

|      |           |
|------|-----------|
| 申請日期 | 87.11.10  |
| 案 號  | 87118672  |
| 類 別  | H03F 3/45 |

441166

A4  
C4

(以上各欄由本局填註)

## 發明專利說明書

|             |               |                                                     |
|-------------|---------------|-----------------------------------------------------|
| 一、發明<br>名稱  | 中 文           | 差動放大器及其補償方法                                         |
|             | 英 文           | DIFFERENTIAL AMPLIFIER AND A METHOD OF COMPENSATION |
| 二、發明<br>創作人 | 姓 名           | 及川尚人                                                |
|             | 國 籍           | 日本                                                  |
|             | 住、居所          | 東京都港區芝五丁目7番1號<br>日本電氣株式會社內                          |
| 三、申請人       | 姓 名<br>(名稱)   | 日本電氣股份有限公司<br>(日本電氣株式會社)                            |
|             | 國 籍           | 日本                                                  |
|             | 住、居所<br>(事務所) | 東京都港區芝五丁目7番1號                                       |
|             | 代 表 人 姓 名     | 金子尚志                                                |

裝

訂

線

441166

(由本局填寫)

|          |
|----------|
| 承辦人代碼：   |
| 大 類：     |
| I P C分類： |

A6  
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權

1997年11月12日特願平9-309135(主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面，注意事項再填寫本頁各欄)

裝

訂

線

-2a-

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

## 五、發明說明( )

### 發明之背景

#### 1. 發明之領域

本發明有關一種差動放大器及其補償方法，更明確地，其揭示一種適用於聲頻放大器之前置放大器的差動放大器。

第2圖表示一種習知之全差動放大器(Fully differential amplifier)(例如在Okamoto T.氏等1991年2月在ISSCC文摘技術報告第74-77頁所述)。

第2圖表示以往之全差動放大器構成，包含：第一極性之第一MOSFET(MP1)，其閘極連接到非反相輸入端(103)；第一極性之第二MOSFET(MP2)，其閘極連接到反相輸入端(104)，而其源極連接到MP1之源極；第一極性之第三MOSFET(MP3)，其源極連接到第一電源供給(101)，而其汲極連接到MP1之源極；第一極性之第五MOSFET(MP5)，其源極連接到第一電源供給(101)，而其閘極連接到MP5之汲極；第一極性之第六MOSFET(MP6)，其源極連接到第一電源供給(101)，其閘極連接到MP5之閘極，而其汲極連接到非反相輸出端(105)；第一極性之第七MOSFET(MP7)，其閘極連接到非反相輸入端(103)；第一極性之第八MOSFET(MP8)，其閘極連接到反相輸入端(104)，而其源極連接到MP7之源極；第一極性之第九MOSFET，其源極連接到MP7之源極，而其閘極連接到共模反饋輸入端(common-mode feedback input terminal)(107)；第一極性之第十一MOSFET(MP11)，其源極連接到第一電源供

## 五、發明說明( &gt; )

給(101)，其閘極連接到MP11之汲極；第一極性之第十二MOSFET(MP12)，其源極連接到第一電源供給(101)，其閘極連接到MP11之閘極，而其汲極連接到非反相輸出端(106)；第一極性之第十三MOSFET(MP13)，其源極連接到第一電源供給(101)，而其閘極及汲極連接到MP3之閘極；第二極性之第一MOSFET(MN1)，其源極連接到第二電源供給(102)，而其閘極及汲極連接到MP7之汲極；第二極性之第二MOSFET(MN2)，其源極連接到第二電源供給，其閘極連接到MN1之汲極，而其汲極連接到MN2之汲極；第二極性之第三MOSFET(MN3)，其源連接到第二電源供給(102)，其閘極連接到MN1之閘極及汲極，而其汲極連接到MP5之汲極；第二極性之第六MOSFET(MN6)，其源極連接到第二電源供給(102)，其閘極連接到MN2之汲極，而其汲極連接到MP6之汲極；第二極性之第七MOSFET(MN7)，其源極連接到第二電源供給(102)，而其閘極及汲極連接到MP8之汲極；第二極性之第八MOSFET(MN8)，其源極連接到第二電源供給(102)，其閘極連接到(MN7)之閘極及汲極，而其汲極連接到MP1之汲極；第二極性之第九MOSFET(MN9)，其源極連接到第二電源供給(102)，其閘極連接到MN7之閘極及汲極，而其汲極連接到MP11之汲極，第二極性之第十二MOSFET(MN12)，其源極連接到第二電源供給(102)，其閘極連接到MN8之汲極，而其汲極連接到MP12之汲極；第二極性之第十三MOSFET(MN3)，其源極連接到第二電源供

## 五、發明說明( )

給(102)，其閘極及汲極連接到定電流電源供給(108)之一端；而第二極性之第十四 MOSFET(MN14)，其源極連接到第二電源供給(102)，其閘極連接到 MN13 之閘極及汲極，其汲極連接到 MP13 之汲極。除了上述 MOSFET 等之外，本電路也具有：一定電流電源供給(108)，其一端連接到第一電源供給(101)，其另一端連接到 MN13 之汲極；第一電阻器(R1)，其一端連接到 MN6 之閘極；第一電容器(C1)，其一端連接到反相輸入端(105)，而其另一端連接到第一電阻器(R1)之另一端；第二電阻器(R2)，其一端連接到 MN12 之閘極；第二電容器(C2)，其一端連接到非反相輸出端(106)，而其另一端連接到第二電阻器(R2)之另一端；第三電阻器(R3)，其一端連接到 MN3 之閘極；第三電容器(C3)，其一端連接到 MP5 之汲極，其另一端連接到第三電阻器(R3)之另一端；第四電阻器(R4)，其一端連接到 MN7 之閘極；及第四電容器(C4)，其一端連接到 MN9 之汲極，而其另一端連接到第四電阻器(R4)之另一端。

上述全差動放大器之作業將在下文中參照第 2 圖來說明。因為本放大器是一全差動放大器，其說明將分為反相輸出電路部及非反相輸出電路部。首先，參考反相輸出電路部，定電流電晶體 MP3、差動輸出對 MP1、MP2，MP7 及 MP2 及負載電晶體 MN1 及 MN2 形成一差動輸入增益級，其非反相輸出信號傳送到 MN6 之閘極，而其反相輸出信號經 MOSFET MN3 及 MP5 所形成反相信號傳送電路傳送到 MP6 之閘極，因而形成兩級推換輸出放

## 五、發明說明(4)

大器。

所期望相位邊限(phase margine)是以增加第一補償電路及第二補償電路來獲得，第一補償電路是由MP2汲極及非反相輸出端(105)之間的R1及C1所形成，而第二補償電路是由差動輸入級之反相輸出及反相信號傳送電路之輸出兩者間的R3及C3所形成。非反相輸出也是相同方式，定電流電晶體MP3、差動輸入對MP1、MP2、MP8及MP1及負載電晶體MN7及MN8形成一差動輸入增益級，其非反相輸出信號傳送到MN12之閘極，而其反相輸出信號經MOSFET MN9及MP11所形成反相信號傳送電路傳送到MP12之閘極，因而形成兩級推挽輸出放大器。所期望相位邊限是以增加兩個補償電路來達成，其一補償電路是由差動輸入級非反相輸出及驅動級輸出之間的R2及C2所形成，以及另一由差動輸入級反相輸出及反相信號傳送電路之間的R4及C4所形成。而且以施加共模反饋信號到MP9之閘極來穩定偏壓。

然而，在上述習用技術中，存在下列問題。如果吾等考慮P.R.Gray及R.G.Meyer兩氏之“類比積體電路之分析及設計”(John Wiley & Sons所出版)第二版第549頁之兩級CMOS放大器的極頻(pole frequency)，就第3圖之小信號等效電路，其大約如下：

$$P1 = -1 / \{ (1 + gm_2 R_2) C_c R_1 \} \quad (1)$$

$$P2 = -gm_2 C_c / (C_2 C_1 + C_2 C_c + C_c C_1) \quad (2)$$

在上述中，P1是第一極頻，P2是第二極頻， $gm_2$ 是驅

## 五、發明說明(5)

動級之互導(transconductance),  $C_c$ 是補償電容,  $C_1$ 是內部寄生電容, 而  $C_2$ 是負載電容。為獲得相位邊限, 必需使得  $P_2$ 對增益為1( $\omega_1 = g_{m1}/C_c$ )處之頻率為高。然而, 由方程式(2)可見, 因為內部寄生電容  $C_1$ 變大,  $P_2$ 變小, 因而降低兩級放大器之相位邊限。

第2圖所示為全差動放大器之反相輸出端(105)處, 內部寄生電容  $C_1$ 主要為  $MN1$ 、 $MN2$ 及  $MN3$ 之閘極電容及  $MP7$ 、 $MN1$ 之汲極電容的和, 或者  $MP2$ 及  $MN2$ 汲極電容及  $MN6$ 閘極電容之和, 其任一較大者。通常, 後者為控制因素(governing factor), 尤其在使用於聲頻應用之運算放大器(operational amplifier)的情形, 因為要抑制 MOS電晶體之  $1/f$ 雜訊, 必需使得  $MP1$ 、 $MP2$ 、 $MP7$ 、 $MP8$ 、 $MN1$ 、 $MN2$ 、 $MN7$ 及  $MN8$ 之閘極區域大, 所以  $C_1$ 變大。因此, 由於相位邊限顯著降低而減輕已降低相位邊限之問題, 所以必要增加由  $R3$ 及  $C3$ 所形成之用於反相信號傳送電路的第二補償電路。同樣地, 在非反相輸出端側處, 必需增加由  $R4$ 及  $C4$ 所形成之用於反相信號傳送電路的補償電路。

因而, 本發明之目的在於提供一種可改善上述習用技術缺點之小型、穩定的差動放大器, 本差動放大器架構比較習用技術, 因為具有降低寄生電容以致穩定作業, 而且使得晶片(chip)上之電容器所佔用的表面積減小; 以及一種上述差動放大器電路補償之方法。

為獲得上述目的, 本發明採用下列基本技術來構成。

根據本發明差動放大器之第一架構, 明確地, 第一差

## 五、發明說明 ( b )

動放大器是由第一FET及第二FET所形成，第一輸入施加到第一FET而第二輸入施加到第二FET；第二差動放大器是由第三FET及第四FET所形成，該第一輸入施加到第三FET而該第二輸入施加到第四FET；其中該第一差動放大器及該第二差動放大器之各負載是由電流鏡電路 (current mirror circuit) 所形成，其中供給到後級 (Subsequent stage) 之輸出信號自該第一FET汲極所萃取。

在本發明第二架構中，推挽電路之正半週輸出電路 (positive half-cycle output circuit) 及負半週輸出電路 (negative half-cycle output circuit) 連接到該第一FET之汲極，及一補償電路連接在該推挽電路之輸出端及該第一FET之汲極兩者之間。

在本發明第三架構中，在上述推挽電路中提供一種非反相信號傳送電路，該電路包括電流鏡電路。

本發明第架構是一種直流 (DC) 放大器，其直接自該差動放大器耦接直到該推挽電路。

根據本發明之補償方法，其一是在：由第一FET、第二FET所形成之第一差動放大器，其中第一輸入施加到第一FET而第二輸入施加到第二FET；及由第三FET及第四FET所形成之第二差動放大器，其中該第一輸入施加到第三FET而該第二輸入施加到第四FET；各該第一差動放大器及該第二差動放大器之負載是由一電流鏡電路及放大該差動放大器輸出信號之推挽電路來形成，因而施加到該推挽電路之信號是萃取自該FET之汲極，而補償

## 五、發明說明(7)

僅由在該第一FET汲極及該推挽電路間所提供補償電路來實施。

尤其，根據本發明之差動放大器具有：第一差動放大器，由第一FET及第二FET所形成，第一輸入施加到第一FET，而第二輸入施加到第二FET；及第二差動放大器，由第三FET及第四FET所形成，第一輸入施加到第三FET而第二輸入施加到第四FET，該第一差動放大器之負載及第二差動放大器之負載形成一電流鏡，本差動放大器架構使得後級之輸出萃取自該第一FET或第二FET的汲極，因而，降低寄生電容，而結果一補償電容降低。

因為在晶片上佔用空間之電容器數減少，所以本發明可減小晶片之大小。

## 圖式之簡單說明

第1圖是本發明之電路圖；

第2圖是習用技術之電路圖；及

第3圖是第2圖所示之習用技術的等效電路。

較佳實施例之說明

根據本發明之差動放大器及其電路相位補償方法的較佳實施例，參照有關附圖在下文中詳細說明。

第1圖是本發明之電路圖。本圖所示差動放大器電路中，第一差動放大器是由第一FET(MP1)及第二FET(MP2)所形成，第一輸入施加到第一FET，而第二輸入施加到第二FET；第二差動放大器是由第三FET(MP7)及第四FET(MP8)所形成，該第一輸入施加到第三FET而該第二輸入

## 五、發明說明( 8 )

施加到第四FET；其中各該第一差動放大器及該第二差動放大器之負載是由電流鏡電路所形成，其中進給到後級之輸出信號是萃取自該第一FET(MP1)或第二FET(MP2)之汲極D。

推挽電路之正半週輸出電路MN12及負半週輸出電路MP12連接到MP1之汲極，C2及R2所形成補償電路連接在上述推挽電路輸出端(106)及MP1汲極D之間。

此外，在上述推挽電路中提供一由電晶體MN9、MN10及MN11所形成之非反相信號傳送電路，該電路包括電晶體MN10及MN11之電流鏡電路。

所示電路為一DC放大器，其中自第二及第二差動放大器之電路直到推挽電路是直接耦接。

其次說明上述電路之詳細架構。

根據本發明之全差動放大器的實施例構成，包含：第一極性(P-通道)之第一MOSFET(MP1)，其閘極連接到非反相輸入端(103)；第一極性之第二MOSFET(MP2)，其閘極連接到反相輸入端(104)而其源極連接到MP1之源極；第一極性之第三MOSFET(MP3)，其源極連接到第一電源供給(101)，而其汲極連接到MP1之源極；第一極性之第四MOSFET(MP4)，其源極連接到第一電源供給(100)，而其閘極連接到MP3之閘極；第一極性之第五MOSFET(MP5)，其源極連接到第一供給電源(101)，而其閘極連接到MP5之汲極；第一極性之第六MOSFET(MP6)，其源極連接到第一電源供給(101)，其閘極連接到MP5之汲極及閘極，

## 五、發明說明(9)

而其汲極連接到反相輸出端(105)；第一極性之第七 MOSFET(MP7)，其閘極連接到非反相輸入端(103)；第一極性之第八 MOSFET(MP8)，其閘極連接到反相輸入端(104)，而其源極連接到 MP7 之源極；第一極性之第九 MOSFET(MP9)，其源極連接到第一電源供給(101)，其汲極連接到 MP7 之源極，而其閘極連接到共模反饋輸入端(107)；第一極性之第十 MOSFET(MP10)，其源極連接到第一電源供給(101)，而其閘極連接到 MP3 之閘極；第一極性之第十一 MOSFET(MP11)，其源極連接到第一電源供給(101)，而其閘極連接到 MP11 之汲極；第一極性之第十二 MOSFET(MP12)，其源極連接到第一電源供給(101)，其閘極連接到 MP11 之閘極及汲極，而其汲極連接到非反相輸出端(106)；第一極性之第十三 MOSFET(MP13)，其源極連接到第一電源供給(101)，而其閘極及汲極連接到 MP3 之閘極；第二極性(n-通道)之第一 MOSFET(MN1)，其源極連接到第二電源供給(102)，而其閘極及汲極連接到 MP7 之汲極；第二極性之第二 MOSFET(MN2)，其源極連接到第二電源供給(102)，其閘極連接到 MN1 之閘極而其汲極連接到 MP2 之汲極；第二極性之第三 MOSFET(MN3)，其源極連接到第二電源供給(102)，其閘極連接到 MN2 之汲極，而其汲極連接到 MP4 之汲極；第二極性之第四 MOSFET(MN4)，其源極連接到第二電源供給(102)，而其閘極及汲極連接到 MN3 之汲極；第二極性之第五 MOSFET(MN5)，其源極連接到第二電源供給(102)，其閘極連接到 MN3 之汲極，而其汲極連接到 MP5 之汲極；第二極性之第六 MOSFET(MN6)，其源極連接到

## 五、發明說明(10)

到第二電源供給(102)，而其閘極連接到MN2之汲極，其汲極連接到MP6之汲極；第二極性之第七MOSFET(MN7)，其源極連接到第二電源供給(102)，而其閘極及汲極連接到MP8之汲極；第二極性之第八MOSFET(MN8)，其源極連接到第二電源供給(102)，其閘極連接到MN7之閘極，而其汲極連接到MP1之汲極；第二極性之第九MOSFET(MN9)，其源極連接到第二電源供給(102)，其閘極連接到MN8之汲極，而其汲極連接到MP10之汲極；第二極性之第十MOSFET(MN10)，其源極連接到電源供給(102)，而其閘極及汲極連接到MN9之汲極；第二極性之第十一MOSFET(MN11)，其源極連接到第二電源供給(102)，其閘極連接到MN9之汲極，而其汲極連接到MP11之汲極；第二極性之第十二MOSFET(MN12)，其閘極連接到MN8之汲極，而其汲極連接到MP12之汲極；第二極性之第十三MOSFET(MN13)，其閘極及汲極連接到定電流電源供給(108)之一端，而其源極連接到電源供給(102)；第二極性之第十四MOSFET(MN14)，其源極連接到第二電源供給(102)，其閘極連接到MN13之汲極，而其汲極連接到MN13之汲極；及一定電流電源供給(108)，其一端連接到MN13之汲極，而其另一端連接到第一電源供給(101)。此外，本電路也具有：第一電阻器(R1)，其一端連接到MN6之閘極；第一電容器(C1)，其一端連接到非反相輸出端(105)，而其另一端連接到第一電阻器(R1)；第二電阻器(R2)，其一端連接到MN12之閘極；及第二電容器，其一端連接到非

## 五、發明說明(II)

反相輸出端(106)，而其另一端連接到第二電阻器(R2)之另一端。

電晶體 MN1及 MN2、MN4及 MN5、MN7及 MN8、MN10及 MN11、MN13及 MN14、MP3、MP4、MP10及 MP13、MP5及 MP6以及 MP11及 MP12等各分別形成電流鏡電路。

其次，參照第1圖來說明電路之作業。

因為放大器是全差動放大器，所以說明將分成反相輸出電路部及非反相輸出電路部。

首先，參照反相輸出電路部，定電流電晶體 MP3、差動輸入對 MP1、MP2、MP7及 MP2以及負載電晶體 MN1及 MN2形成一差動輸入增益級，其非反相輸出信號傳送到 MN6之閘極，而其反相輸出經 MOSFET MN3、MN4、MN5、MP4及 MP5所形成信號傳送電路傳送到 MP6之閘極，因而形成一兩級推挽輸出放大器。為獲得所期望相位邊限，電阻器 R1及電容器 C1之串聯電路形成一補償電路連接到差動輸入增益級輸出及 MN6汲極之間。

本發明之電路中，對照習用技術，電晶體 MN1及 MN2之閘極不連接到其他電晶體，由電晶體 MN2之汲極所看的總寄生電容為小，結果根據方程式(2)為極頻位移到高頻區內，所以增加相位邊限。

因此，在電晶體 MN2之汲極 D及反相輸出端(105)間所提供電阻器 R1及電容器 C1的串聯電路，可實施本發明差動放大器之補償。

對非反相輸出電路部也同樣方式，定電流電晶體 MP3、

## 五、發明說明 (12)

差動輸入對 MP1、MP2、MP8及 MP1及負載電晶體 MN7及 MN8 形成一差動輸入增益級，其非反相輸出經 MN9、MN10、MN11、MP10及 MP11所形成非反相信號傳送電路傳送到電晶體 MN12之閘極及 MP12之閘極，因而形成一兩級推挽輸出放大器。所期望相位邊限是以差動輸入增益級輸出及驅動級輸出兩者間之電阻器 R2及電容器 C2的串聯電路來獲得。以輸入共模反饋信號到 MP9之閘極來使得偏壓穩定。

如此，在根據本發明之差動放大器中，傳送到 MP6及 MN6之後級推挽電路的信號是萃取自 FETMP1或 FETMP7之任一汲極 D，而電阻器 R1及電容器 C1 串聯所形成補償電路提供在上述汲極 D 及推挽電路輸出端 (105)之間，因而實施補償。

第 2 圖所示以往之全差動放大器中，方程式 (2)之內部寄生電容 C1主要是 MN1、MN2及 MN3之閘極電容及 MP7及 MN1之汲極電容之和、或是 MP2及 MN2之汲極電容及 MN6之閘極電容之和，其為任一較大者，通常是以前者為主。相對照之，在本發明中因為電晶體 MN3之閘極電容沒有包括在寄生電容 C1，所以在相位邊限有同樣的改善，使得其可消除用於反相信號傳送電路之補償電路，其乃習用技術所期望。

## 四、中文發明摘要(發明之名稱：

## 差動放大器及其補償方法

一種差動放大器，其由第一差動放大器及第二差動放大器所構成，該第一差動放大器由第一FET(MP1)及第二FET(MP2)所構成，第一輸出施加到第一FET，而第二輸出施加到第二FET；該第二差動放大器是由第三FET(MP7)及第四FET(MP8)所構成，該第一輸出施加到第三FET，而該第二輸出施加到第四FET，其中各該第一差動放大器及該第二差動放大器是由電流鏡電路所構成，該傳送到後級之信號是萃取自該第一FET(MP1)之汲極D或第二FET(MP2)。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

## 英文發明摘要(發明之名稱： DIFFERENTIAL AMPLIFIER AND A METHOD OF) COMPENSATION

In a differential amplifier that is formed by a first differential amplifier formed by a first FET (MP1), to which a first input is applied, and a second FET (MP2), to which a second input is applied, a second differential amplifier formed by a third FET (MP7), to which the first input is applied, and a fourth FET (MP8), to which the second input is applied, in which each load of the first differential amplifier and the second differential amplifier being formed by a current mirror circuit, the signal to be fed to a subsequent stage is extracted from the drain D of the first FET (MP1) or the second FET (MP2).

訂

## 六、申請專利範圍

1. 一種差動放大器，由第一差動放大器及第二差動放大器來形成，該第一差動放大器是由第一FET及第二FET所構成，第一輸入施加到第一FET，而第二輸入施加到第二FET；該第二差動放大器是由第三FET及第四FET所構成，該第一輸入施加到第三FET，而該第二輸入施加到第四FET，其中該第一差動放大器及該第二差動放大器之負載是電流鏡電路所構成，其中傳送到後級之輸出信號是萃取自該第一FET之汲極。
2. 如申請專利範圍第1項之差動放大器，其中推挽電路之正半週輸出電路及負半週輸出電路連接到該第一FET之汲極，而且補償電路連接在該推挽電路輸出端及該第一FET汲極之間。
3. 如申請專利範圍第2項之差動放大器，進一步包含非反相信號來傳送電路，其提供在該推挽電路中，該非反相信號傳送電路進一步包括電流鏡電路。
4. 如申請專利範圍第3項之差動放大器，其中該差動放大器是DC(直流)放大器，其自該第一差動放大器直接耦接直到該推挽電路。
5. 一種差動放大器之補償方法，其中第一差動放大器是由第一FET及第二FET所構成，第一輸入施加到第一FET，而第二輸入施加到第二FET，而第二差動放大器是由第三FET及第四FET所構成，該第一輸入施加到第三FET，而該第二輸入施加到第四FET，各該第一差動放大器及該第二差動放大器之負載是由電流鏡電路及放大該

## 六、申請專利範圍

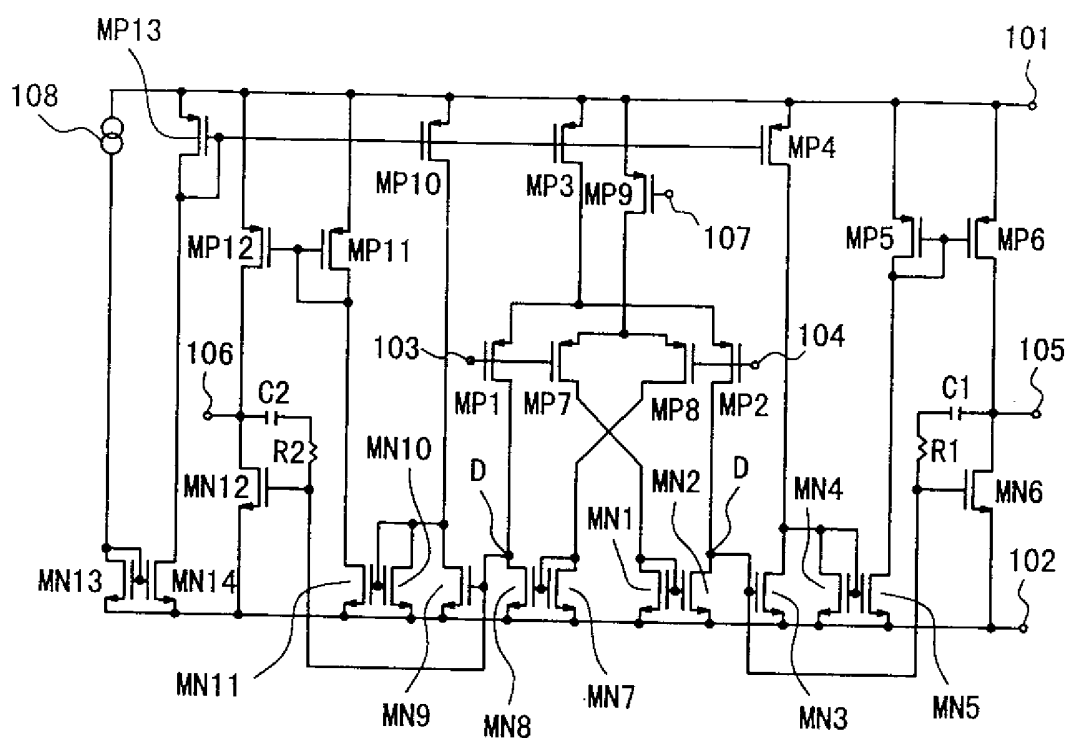
差動放大器之輸出信號的推挽電路所形成，因而施加到該推挽電路之信號是萃取自該FET之汲極，而且補償僅由該第一FET汲極及推挽電路輸出端兩者所提供供補償電路來實施。

(請先閱讀背面之注意事項再填寫本頁)

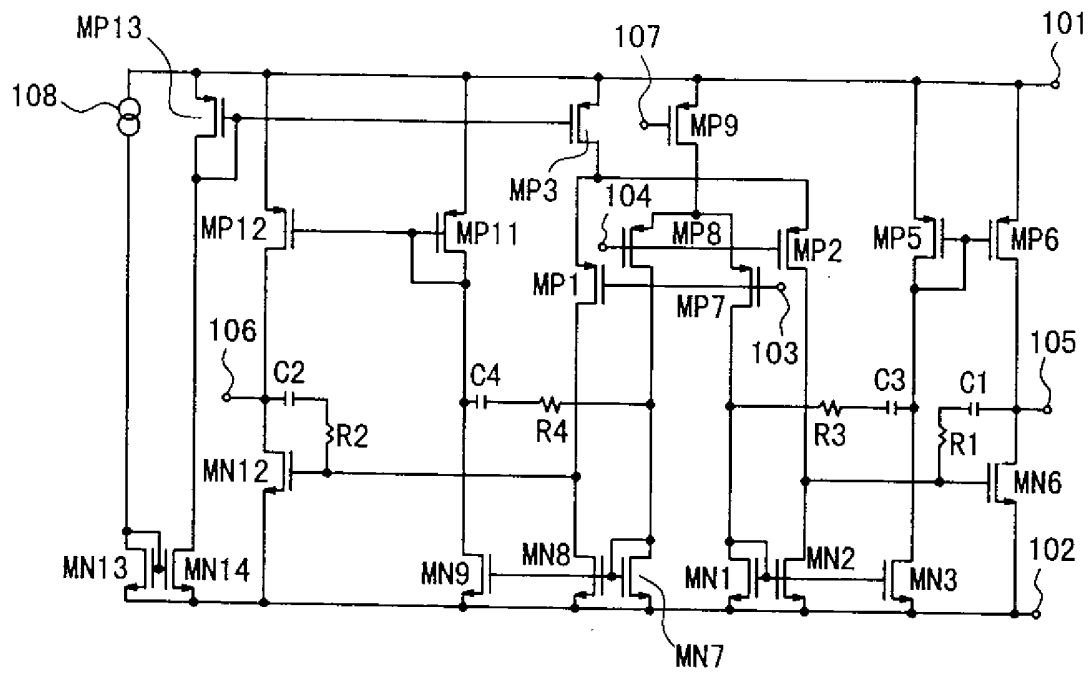
裝

訂

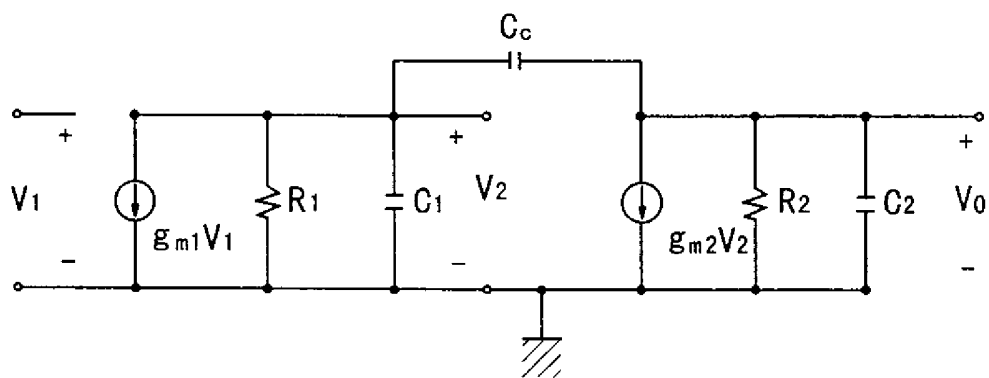
線



第1圖



第2圖



第3圖