

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
18. November 2004 (18.11.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/100261 A2

(51) Internationale Patentklassifikation⁷: **H01L 23/32**

(72) Erfinder; und

(21) Internationales Aktenzeichen: PCT/DE2004/000936

(75) Erfinder/Anmelder (nur für US): **GOLLER, Bernd**
[DE/DE]; Bahnhofstr. 28 r, 83624 Otterfing (DE).

(22) Internationales Anmeldedatum:
4. Mai 2004 (04.05.2004)

(74) **Anwalt: SCHWEIGER, Martin**; Kanzlei Schweiger &
Partner, Karl-Theodor-Str. 69, 80803 München (DE).

(25) Einreichungssprache: Deutsch

(81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

(26) Veröffentlichungssprache: Deutsch

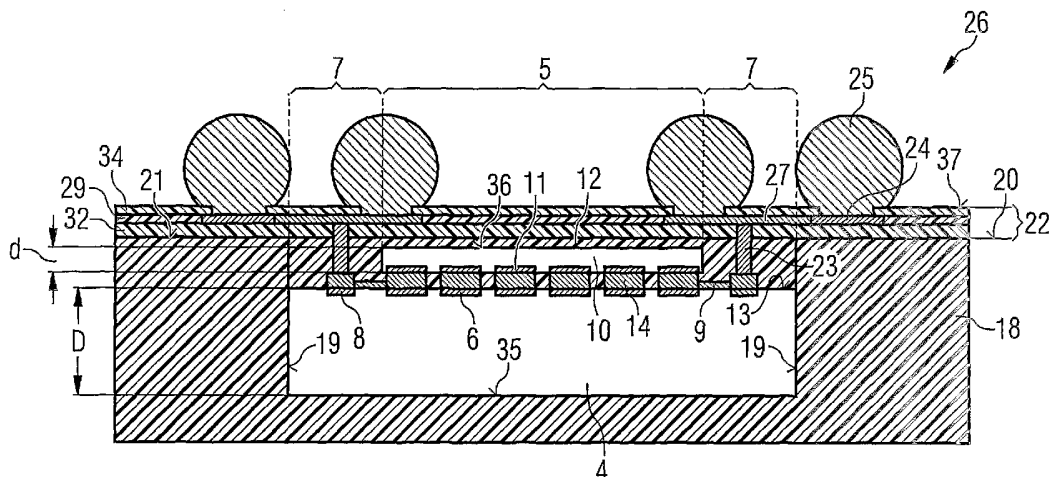
(30) Angaben zur Priorität:
103 20 579.9 7. Mai 2003 (07.05.2003) DE

(71) **Anmelder** (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

[Fortsetzung auf der nächsten Seite]

(54) **Title:** SEMICONDUCTOR WAFER, PANEL AND ELECTRONIC COMPONENT COMPRISING STACKED SEMICONDUCTOR CHIPS, AND METHOD FOR THE PRODUCTION THEREOF

(54) **Bezeichnung:** HALBLEITERWAFER, NUTZEN UND ELEKTRONISCHES BAUTEIL MIT GESTAPELTEN HALBLEITERCHIPS, SOWIE VERFAHREN ZUR HERSTELLUNG DERSELBEN



(57) **Abstract:** The invention relates to a semiconductor wafer, a panel, an electronic component (26), and a method for the production thereof. Said electronic component (26) comprises a stack consisting of two semiconductor chips (4, 10). The top stacked semiconductor chip (10) is thinly ground and is disposed on a central area (5) of the bottom semiconductor chip (4) according to the flip chip technique. Contacts which contact a rewiring layer (22) through a leveling layer (12) are arranged in an edge area (7) of the bottom semiconductor chip (4). The rewiring layer (22) supports external contacts (25).

(57) **Zusammenfassung:** Die Erfindung betrifft einen Halbleiterwafer, einen Nutzen und ein elektronisches Bauteil (26) sowie Verfahren zu deren Herstellung. Dabei weist das elektronische Bauteil (26) einen Stapel aus zwei Halbleiterchips (4, 10) auf. Der obere gestapelte Halbleiterchip (10) ist dünn geschliffen und in Flip-Chip-Technik auf einem zentralen Bereich (5) des unteren Halbleiterchips (4) angeordnet. In einem Randbereich (7) des unteren Halbleiterchips (4) sind Durchkontakte durch eine Einebnungsschicht (12) hindurch zu einer Umverdrahtungslage (22) angeordnet, die ihrerseits Außenkontakte (25) trägt.



(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Halbleiterwafer, Nutzen und elektronisches Bauteil mit gestapelten Halbleiterchips, sowie Verfahren zur Herstellung derselben.

Die Erfindung betrifft einen Halbleiterwafer, einen Nutzen und ein elektronisches Bauteil mit gestapelten Halbleiterchips sowie Verfahren zu deren Herstellung.

Mit zunehmenden Anforderungen an Miniaturisierungsgrad und Schaltdichte von elektronischen Bauteilen werden die Herstellungsverfahren derartiger Bauteile komplexer, die Ausfallraten größer und das Ziel der Kostenminimierung immer entscheidender. Dabei ist der Übergang von inneren elektrischen Verbindungen zwischen den Halbleiterchips zu äußeren Verbindungen über Außenkontakte, die eine vorgegebene Handhabungs- beziehungsweise Anschlussgröße nicht unterschreiten dürfen, problematisch.

Aufgabe der Erfindung ist es, ein elektronisches Bauteil mit inneren elektrischen Verbindungen und mit Außenkontakten mit Hilfe von geeigneten Halbleiterwafern und geeigneten Nutzen zu schaffen, bei dem eine weiterführende Miniaturisierung und eine ausreichende äußere Handhabungs- beziehungsweise Anschlussgröße möglich wird und die Herstellungskosten vermindert sind.

Gelöst wird diese Aufgabe mit dem Gegenstand der unabhängigen Ansprüche. Vorteilhafte Ausführungsformen ergeben sich aus den abhängigen Ansprüchen.

Erfindungsgemäß wird zunächst ein Halbleiterwafer bereitgestellt, der eine Oberseite aufweist, die in Zeilen und Spalten angeordneten Halbleiterchippositionen mit integrierten Schaltungen für erste Halbleiterchips aufweist. Diese Halbleiterchippositionen weisen jeweils einen zentralen Bereich mit Zentralkontaktflächen und einen Randbereich mit Randkontaktflächen auf. Die Zentralkontaktflächen sind über Leiterbahnen mit den Randkontaktflächen elektrisch leitend verbunden.

Darüber hinaus weist der Halbleiterwafer zweite Halbleiterchips mit zweiten Kontaktflächen auf. Dabei sind die zweiten Halbleiterchips auf den zentralen Bereichen der ersten Halbleiterchips in Flip-Chip-Technik angebracht, so dass die ersten Zentralkontaktflächen mit den zweiten Kontaktflächen elektrisch in Verbindung stehen. Durch eine Einebnungsschicht auf der Oberseite des Halbleiterwafers wird eine ebene neue Oberseite geschaffen, unter der die zweiten Halbleiterchips in der Einebnungsschicht eingebettet sind.

Der Vorteil dieses Halbleiterwafers ist es, dass er in jeder Bauteilposition bereits mindestens einen gestapelten zweiten Halbleiterchip aufweist, wobei dieser Stapel noch vor dem Auftrennen des Halbleiterwafers existiert, so dass alle weiteren Bearbeitungsschritte gleichzeitig für mehrere Chippositionen erfolgen können.

Die Anzahl der zweiten Kontaktflächen des zweiten Halbleiterchips entspricht der Anzahl der Zentralkontaktflächen in jeder Halbleiterchipposition, so dass durch die Verbindung zwischen ersten Zentralkontaktflächen und zweiten Kontaktflächen sowohl die Signalanschlüsse als auch die Versorgungsanschlüsse des zweiten Halbleiterchips mit den entsprechenden An-

schlüssen in den Halbleiterpositionen für das erste Halbleiterchip in Kontakt stehen. Die Anzahl der zweiten Kontaktflächen entspricht außerdem der Anzahl der Randkontaktflächen, die über Leiterbahn mit den Zentralkontaktflächen in Verbindung stehen. Somit können Signale der zweiten Kontaktflächen des zweiten Halbleiterchips über die Zentralkontaktflächen, die Leiterbahnen und die Randkontaktflächen weitergegeben werden. Andererseits können über die Randkontaktflächen, die Leiterbahnen, die Zentralkontaktflächen und die zweiten Kontaktflächen Versorgungsströme und Versorgungsspannung gleichzeitig sowohl dem ersten Halbleiterchip als auch dem zweiten Halbleiterchip zugeführt werden.

Die Verbindung der Zentralkontaktflächen mit den zweiten Kontaktflächen kann über Flip-Chip-Kontakte erfolgen. Derartige Flip-Chip-Kontakte des zweiten Halbleiterchips sind zwar kleiner als Außenkontakte eines elektronischen Bauteils, benötigen jedoch eine Mindestgröße der zweiten Kontaktflächen beziehungsweise der Zentralkontaktflächen um eine elektrische Verbindung zu gewährleisten. Demgegenüber können die Randflächen, die nicht von der Bildung von Verbindungskontakten abhängen, in ihrer Größe bis auf ein technologisch gefordertes Mindestmaß, beispielsweise photographischer Auflösung oder elektronenoptischer Auflösung je nach eingesetzter Technologie beliebig verkleinert werden. Über die Leiterbahnen, die in etwa mit gleicher Anzahl wie die Zentralkontaktflächen in jeder Halbleiterchipposition vorgesehen sind, können sämtliche Signal- und Versorgungsanschlüsse beider Halbleiterstrukturen, nämlich des ersten Halbleiterchips und des zweiten Halbleiterchips auf entsprechende Randkontakte gelegt werden.

Der Flächenbedarf für die Randkontakte kann entsprechend dem minimalen Flächenbedarf jedes einzelnen Randkontaktes mini-

miert werden. Entsprechend ist es möglich, die Packungsdichte der Randkontaktflächen größer als die Packungsdichte der Zentralkontaktflächen zu gestalten. Ein weiterer Beitrag zur Minimierung von elektronischen Bauteilen mit Halbleiterchips wird somit erreicht.

Um den Volumenbedarf der auf den Halbleiterchippositionen gestapelten zweiten Halbleiterchips zu vermindern, können die Halbleiterchips in ihrer Dicke geringer als die Dicke des Halbleiterwafers ausgeführt sein. Da die zweiten Halbleiterchips auf einer planaren Oberseite eines Halbleiterwafers angeordnet sind, und über die Flip-Chip-Kontakte nicht nur elektrisch mit dem Zentralbereich in den Halbleiterchippositionen verbunden sind, sondern auch mechanisch äußerst stabil fixiert sind, besteht die Möglichkeit, zunächst Halbleiterchips aufzubringen, die eine normale Halbleiterchipdicke aufweisen und erst ein Dünnschleifen vorzunehmen, wenn diese zweiten Halbleiterchips in den Bauteilpositionen des Halbleiterwafers mechanisch ausgerichtet und fixiert sind. Die Ausschussrate dünngeschliffener Halbleiterchips wird dadurch minimiert, zumal nach dem Dünnschleifen diese Halbleiterchips in keiner Weise mehr gefahrlos zu handhaben, zu transportieren oder in anderer Weise zu bearbeiten sind. Die Kosten für elektronische Bauteile mit gestapelten dünngeschliffenen Halbleiterchips können somit vermindert werden.

Die Oberseite des Halbleiterwafers wird durch Aufsetzen und Anbringen der zweiten Halbleiterchips äußerst uneben und für weitere Bearbeitungsschritte unbrauchbar. Um eine ebene gleichmäßige Schicht für weitere Bearbeitungsschritte zur Verfügung zu stellen, weist deshalb der Halbleiterwafer eine Einebnungsschicht auf seiner Oberseite auf, in welche die zweiten Halbleiterchips eingebettet sind. Damit ist der Vor-

teil verbunden, dass auf dieser Einebnungsschicht weitere Schichten folgen können und außerdem Bearbeitungen auch photolithographisch möglich sind. So können in die Einebnungsschicht durch Photolithographie und durch Abscheiden von Metallen Durchkontakte eingebracht werden, die in ihrem Querschnitt den Randkontaktflächen entsprechen und deren Metallsäule von den Randkontaktflächen bis zur Oberseite der Einbettungsschicht reichen.

Darüber hinaus kann der Halbleiterwafer bereits eine mehrschichtige Umverdrahtungslage aufweisen, die auf der Einebnungsschicht aufgebracht ist und eine Umverdrahtungsstruktur aufweist, welche die Durchkontakte mit Außenkontaktflächen der Umverdrahtungsstruktur über Umverdrahtungsleitungen verbindet. Sofern die Fläche der Halbleiterchippositionen auf dem Halbleiterwafer ausreicht, um genügend Außenkontakte für ein elektronisches Bauteil darauf anzuordnen, hat das Anordnen von Durchkontakten sowie einer Umverdrahtungslage und von Außenkontakten direkt auf dem Halbleiterwafer den Vorteil, dass kostengünstig elektronische Bauteile mit gestapelten Halbleiterchips in Halbleiterchipgröße herstellbar werden. Weist der Halbleiterwafer bereits Außenkontakte auf, so ist dieser mit einem Trennschritt in fertige elektronische Bauteile.

Reicht jedoch die Halbleiterchipfläche in jeder Halbleiterchipposition des Halbleiterwafers nicht aus, um eine ausreichende Anzahl an Außenkontakten bereits auf dem Halbleiterwafer anzuordnen, so besteht die Möglichkeit, einen Nutzen zu schaffen, der eine beliebig große Fläche für Außenkontakte eines elektronischen Bauteils zur Verfügung stellt.

Im Gegensatz zum Halbleiterwafer weist ein derartiger Nutzen eine Oberseite auf, die in Zeilen und Spalten angeordnete Bauteilpositionen aufweist und nicht nur Halbleiterchippositionen. Innerhalb jeder Bauteilposition sind mindestens zwei
5 Halbleiterchips aufeinander gestapelt. Entsprechend aufgebauten Halbleiterwafer können zu derartigen Halbleiterchipstapeln getrennt werden noch bevor die Halbleiterwafer Durchkontakte, Umverdrahtungslagen und/oder Außenkontakte aufweisen, zumal diese Komponenten auf der Oberseite des Nutzens angeordnet sein können. Dazu sind in dem Nutzen die gestapelten
10 Halbleiterchips wenigstens mit ihren Randseiten in einer Kunststoffmasse zu einer Kunststoffverbundplatte eingebettet, wobei die gestapelten Halbleiterchips eine Einebnungsschicht aufweisen, in der der jeweilige zweite Halbleiterchip eingebettet ist.
15

Die Kunststoffmasse und die Oberseite der Einebnungsschichten der gestapelten Halbleiterchips bilden eine gemeinsame Fläche, auf der eine Umverdrahtungslage angeordnet ist. Diese
20 Umverdrahtungslage auf einem Nutzen ist großflächiger als die Umverdrahtungslage auf einem Halbleiterwafer, da sie sich über die Einebnungsschicht und über Bereiche der Kunststoffmasse erstrecken kann. Somit lassen sich mit dem Nutzen in vorteilhafter Weise wesentlich mehr Außenkontaktflächen in
25 der Umverdrahtungsstruktur und entsprechend auch mehr Außenkontakte des elektronischen Bauteils in jeder der Bauteilpositionen des Nutzens vorsehen.

Um sowohl die zweiten Kontaktflächen als auch die ersten
30 Zentralkontaktflächen mit den Außenkontakten des Nutzens in jeder Bauteilposition zu verbinden, sind neben der Umverdrahtungslage Durchkontakte zu den Randkontaktflächen auf der Oberseite des ersten Halbleiterchips vorgesehen. Die Außenkon-

takte können auf den Außenkontaktflächen der Umverdrahtungslage außerhalb des Bereichs der Einebnungsschicht des Halbleiterchipstapels angeordnet sein und somit auf der Kunststoffmasse des Nutzens liegen. Zusätzlich können sie auf der Einebnungsschicht des Halbleiterstapels angeordnet sein. Schließlich ist es möglich, die Außenkontakte gleichmäßig verteilt auf jeder Bauteilposition vorzusehen.

Bauteile, die aus einem entsprechend aufgebauten Halbleiterwafer oder einem entsprechend fertiggestellten Nutzen herausgetrennt werden, weisen einen ersten Halbleiterchip auf, der einen zentralen Bereich mit Zentralkontaktflächen und einen Randbereich mit Randkontaktflächen besitzt. Dabei sind die Zentralkontaktflächen mit den Randkontaktflächen über Leiterbahnen verbunden. Ferner weist das elektronische Bauteil einen zweiten Halbleiterchip auf, der zweiten Kontaktflächen besitzt. Der zweite Halbleiterchip ist auf dem zentralen Bereich des ersten Halbleiterchips angeordnet und die Zentralkontaktflächen stehen mit den zweiten Kontaktflächen elektrisch in Verbindung. Der zweite Halbleiterchip ist in eine Einebnungsschicht eingebettet, wobei die Einebnungsschicht Durchkontakte aufweist, die mit den Randkontaktflächen elektrisch in Verbindung stehen. Darüber hinaus weist das elektronische Bauteil eine mehrschichtige Umverdrahtungslage auf. Diese Umverdrahtungslage ist auf der Einebnungsschicht angeordnet und verbindet Außenkontakte des elektronischen Bauteils, die auf Außenkontaktflächen der Umverdrahtungsstruktur angeordnet sind, über Umverdrahtungsleitungen mit Durchkontakten, die ihrerseits mit den Randkontaktflächen verbunden sind.

Ein derartiges elektronisches Bauteil hat den Vorteil, dass es räumlich kompakt aufgebaut ist, eine minimale Anzahl von

Herstellungsschritten benötigt und damit kostengünstig herstellbar wird und kurze Verbindungen zwischen den Zentralkontaktflächen des ersten Halbleiterchips, den zweiten Kontaktflächen des zweiten Halbleiterchips und den Außenkontaktflächen ermöglicht. Der erste Halbleiterchip kann eine größere Oberseite und eine größere Dicke als der zweite Halbleiterchip aufweisen, wodurch die Kompaktheit des elektronischen Bauteils verbessert und der Raumbedarf des elektronischen Bauteils vermindert wird.

Die Verbindungen zwischen ersten Zentralkontaktflächen und zweiten Kontaktflächen können Flip-Chip-Kontakte aufweisen, deren Flächen größer sind als die Querschnittsflächen der Durchkontakte zu den Randkontaktflächen. Diese Querschnittsflächen können kreisförmig sein und durch säulenartige Durchkontakte verwirklicht werden. Ein Vorteil der kleineren Querschnittsflächen der Durchkontakte gegenüber den Querschnittsflächen von Flip-Chip-Kontakten liegt darin, dass in den Randbereichen des ersten Halbleiterchips eine höhere Packungsdichte der Durchkontakte erreicht werden kann als bei Flip-Chip-Kontakten in dem zentralen Bereich des ersten Halbleiterchips.

Die Einebnungsschicht, auf der die Umverdrahtungslage angeordnet ist, kann Polyimid aufweisen und eine Dicke besitzen, die geringfügig größer ist als die Dicke von dünn geschliffenen zweiten Halbleiterchips mit ihren Flip-Chip-Kontakten. So kann die Dicke einer derartigen Einebnungsschicht zwischen 80 und 120 μm liegen, wenn dünn geschliffene Halbleiterchips von 50 bis 70 μm als zweite Halbleiterchips in Flip-Chip-Technik auf dem ersten Halbleiterchip angeordnet sind. Die Höhe der Flip-Chip-Kontakte liegt dabei zwischen 15 und 30 μm . Die Durchmesser der Durchkontakte können demgegenüber bis auf

0,5 μm reduziert werden. Vorzugsweise liegen die Durchmesser der Durchkontakte in einem Bereich zwischen 2 und 10 μm .

Ein Verfahren zur Herstellung eines Halbleiterwafers mit mehreren Halbleiterchippositionen für mehrere elektronische Bauteile weist die nachfolgenden Verfahrensschritte auf. Zunächst wird ein Halbleiterwafer bereitgestellt, der in Zeilen und Spalten angeordnete Halbleiterchippositionen mit integrierten Schaltungen für erste Halbleiterchips aufweist. Dabei weisen die Halbleiterchippositionen jeweils einen zentralen Bereich mit Zentralkontaktflächen und einen Randbereich mit Randkontaktflächen auf. Die Zentralkontaktflächen sind mit den Randkontaktflächen über Leiterbahnen elektrisch verbunden.

Dieser Halbleiterwafer wird mit zweiten Halbleiterchips in den zentralen Bereichen der Halbleiterchippositionen unter Freilassen der Randkontaktflächen bestückt. Als nächstes folgt dann ein Dünnschleifen der zweiten Halbleiterchips, die auf dem Halbleiterwafer fixiert sind. Auf den Halbleiterwafer wird dann eine Einebnungsmasse aufgebracht, in die die zweiten Halbleiterchips eingebettet werden. Nach dem Aufbringen der Einebnungsmasse kann diese zu einer Einebnungsschicht bearbeitet werden.

Dieses Verfahren hat den Vorteil, dass es auf Waferebene durchgeführt wird und insbesondere das Dünnschleifen der zweiten Halbleiterchips auf Waferebene durchgeführt werden kann, so dass eine äußerst geringe Ausschussrate erreichbar ist. Die zweiten Halbleiterchips sind nämlich vor dem Dünnschleifen in ihrer vollen Dicke äußerst stabile Chips und werden durch die Flip-Chip-Kontakte auf dem zentralen Bereich

jeder Halbleiterchipposition fixiert, müssen nach dem Dünnschleifen nicht mehr von diesen Positionen entfernt werden.

Darüber hinaus hat das Verfahren den Vorteil, dass der abschließend hergestellte Halbleiterwafer eine ebene Oberfläche durch das Bearbeiten der Einebnungsmasse aufweist, auf der weitere Herstellungsschritte für alle Bauteilpositionen gleichzeitig durchführbar sind. So können vorzugsweise mittels Photolithographie Durchgangsöffnungen in die Einebnungsschicht eingebracht werden, die sich auf die Randbereiche der Bauteilpositionen mit ihren Randkontaktflächen beschränken. Diese Durchgangsöffnungen können anschließend durch Abscheiden von Metall oder Metall-Legierungen in den Durchgangsöffnungen unter Bilden von Durchkontakten zu den Randkontaktflächen metallisiert werden. Dabei bilden sich säulenförmige Durchkontakte, die nun auf der Oberseite der Einebnungsschicht mit entsprechenden Umverdrahtungsleitungen verbunden werden können.

Für elektronische Bauteile, welche die Flächengröße des ersten Halbleiterchips aufweisen sollen, kann der Wafer weiterhin mit einer Umverdrahtungslage versehen werden, in der eine Umverdrahtungsstruktur Umverdrahtungsleitungen aufweist, die von den Durchkontakten zu Außenkontaktflächen führen. Auf dieser Umverdrahtungslage mit einer Umverdrahtungsstruktur kann anschließend noch eine Lötstopplackschicht aufgebracht werden, die von der Umverdrahtungsstruktur nur die Außenkontaktflächen freilässt, auf die dann in einem letzten Verfahrensschritt für einen derartigen Wafer Außenkontakte aufgebracht werden. Ein derartiger Wafer kann dann in einzelne elektronische Bauteile mitgestapelten Halbleiterchips getrennt werden.

Reicht die Fläche einer Halbleiterchipposition nicht aus, um ausreichend und genügend viele Außenkontakte eines elektronischen Bauteils aufzubringen, wird vor dem Aufbringen einer Umverdrahtungslage ein Nutzen hergestellt. Dazu werden die
5 nachfolgenden Verfahrensschritte durchgeführt. Zunächst wird ein Halbleiterwafer mit gestapelten Halbleiterchips in einzelne Halbleiterchipstapel getrennt, wobei jeder dieser Chipstapel eine Einbettungsschicht aufweist, in der ein zweiter Halbleiterchip eingebettet ist, der mit Zentralkontakten eines
10 ersten Halbleiterchips verbunden ist.

Diese in der Weise vereinzelter Halbleiterstapel werden auf eine Trägerfolie aufgebracht, wobei die Einebnungsschichten auf die Trägerfolie geklebt werden. Die einzelnen Halbleiterchipstapel werden in Zeilen und Spalten für entsprechend vorgesehene Bauteilpositionen des Nutzens auf die Trägerfolie
15 aufgebracht. Anschließend werden die Halbleiterchipstapel in einer Kunststoffmasse unter Bilden einer Kunststoffverbundplatte eingebettet. Nach Aushärten des aufgetragenen Kunststoffes ist diese Kunststoffverbundplatte selbsttragend, so dass die Trägerfolie von der Kunststoffverbundplatte entfernt werden kann.

Mit Hilfe der Trägerfolie ist eine gemeinsame Oberseite aus
25 Kunststoff und Einbettschichten der einzelnen Halbleiterchipstapel entstanden. Nun werden Durchgangsöffnungen mittels Photolithographie zu den Randkontaktflächen des ersten Halbleiterchips in die Einebnungsschicht eingebracht. Wobei mit der Photolithographie lediglich die Strukturierung erfolgt
30 und mit Hilfe eines Lösungsmittels die Durchgangsöffnungen in die Einebnungsschicht hineingelöst werden.

Da die Durchgangsöffnungen bis zu dem Randkontaktflächen des ersten Halbleiterchips reichen, kann nun eine Verbindung in Form von Durchkontakten durch Auffüllen der Durchgangsöffnungen zu den Randkontaktflächen mittels chemischer oder galvanischer Abscheidung hergestellt werden. Anschließend wird eine Umverdrahtungslage mit Umverdrahtungsleitungen von den Durchkontakten zu Außenkontaktflächen der Umverdrahtungslage aufgebracht. Nach Aufbringen einer Lötstopplackschicht unter Freilassen der Außenkontaktflächen der Umverdrahtungslage werden Außenkontakte auf diese freigelassenen Außenkontaktflächen aufgebracht. Das Aufbringen kann durch Auflöten von Lotbällen oder Lothöckern erfolgen. Zur Herstellung der elektronischen Bauteile muss der Nutzen in einzelne elektronische Bauteile zersägt oder in anderer Weise getrennt werden.

Zusammenfassend ist festzustellen, dass die Kombination einer "fine pitch-fähigen Flip-Chip-Montagetechnologie" mit dem Prozessansatz des "universal package" hat der Entwickler die Möglichkeit, den Zugriff zu Kontakten des zweiten Halbleiterchips über Kontakte auf dem ersten Halbleiterchip zu verwirklichen. Dies hat den Vorteil kurzer Signalwege, die für einen schnellen Zugriff und für kurze Taktzeiten bei Halbleiterspeichern und Mikroprozessoren entscheidend sind. Darüber hinaus ergibt sich der Vorteil eines sehr dünnen Gehäuses bei hoher Leitungsdichte durch Dünnschleifen mindestens eines der gestapelten Halbleiterchips. Darüber hinaus besteht die Möglichkeit, einen Wafertest durchzuführen, sobald die beiden Halbleiterchips auf einem Halbleiterwafer miteinander verbunden sind, da die Randkontaktflächen im Randbereich vor dem Aufbringen einer Einebnungsmasse für Testspitzen zugänglich sind.

Die Erfindung wird nun anhand der beigefügten Figuren näher erläutert.

- 5 Figur 1 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil einer Ausführungsform der Erfindung,
- 10 Figur 2 zeigt einen schematischen Querschnitt durch einen Halbleiterwafer mit Halbleiterchippositionen, auf denen zweite Halbleiterchips angeordnet sind,
- 15 Figur 3 zeigt einen schematischen Querschnitt durch den Halbleiterwafer gemäß Figur 2 nach einem Dünnschleifen der zweiten Halbleiterchips,
- 20 Figur 4 zeigt einen schematischen Querschnitt durch einen Halbleiterwafer gemäß Figur 3 nach einem Aufbringen einer Einebnungsmasse auf die mit zweiten Halbleiterchips bestückte Oberseite des Halbleiterwafers,
- 25 Figur 5 zeigt einen schematischen Querschnitt durch den Halbleiterwafer gemäß Figur 4 nach einem Bearbeiten der Einebnungsmasse zu einer Einebnungsschicht,
- 30 Figur 6 zeigt einen schematischen Querschnitt durch einen Nutzen mit aus dem Halbleiterwafer gemäß Figur 5 getrennten, gestapelten Halbleiterchips auf einer Trägerfolie,
- 30 Figur 7 zeigt einen schematischen Querschnitt durch einen Nutzen nach Entfernen der in Figur 5 gezeigten Trägerfolie,

Figur 8 zeigt einen schematischen Querschnitt durch einen Nutzen gemäß Figur 7 mit aufgebrachter Umverdrahtungslage,

- 5 Figur 9 zeigt einen schematischen Querschnitt durch einen Nutzen gemäß Figur 8 mit aufgebrachten Außenkontakten.

Figur 1 zeigt einen schematischen Querschnitt durch ein elektronisches Bauteil 26 einer Ausführungsform der Erfindung. Das elektronische Bauteil 26 weist einen ersten Halbleiterchip 4 mit Randseiten 19 und einer Rückseite 35 auf. Die Oberseite 13 des ersten Halbleiterchips 4 weist in einem zentralen Bereich 5 Zentralkontaktflächen 6 und in ihrem Randbereich 7 Randkontaktflächen 8 auf. Auf dem zentralen Bereich 5 ist ein zweiter Halbleiterchip 10 angeordnet, der zweite Kontaktflächen 11 aufweist.

Zwischen den zweiten Kontaktflächen 11 und den Zentralkontaktflächen 6 sind Flip-Chip-Kontakte 14 angeordnet. Von den Zentralkontaktflächen 6 führen Leiterbahnen 9 zu den Randkontaktflächen 8. Die Zentralkontaktflächen 6 und damit auch jede zweite Kontaktfläche 11 ist über Leiterbahnen 9 mit einer der Randkontaktflächen 8 verbunden. Der zweite Halbleiterchip 10 mit seinen Flip-Chip-Kontakten 14 ist in eine Einebnungsschicht 12 eingebettet. Diese Einebnungsschicht 12 bedeckt sowohl die Rückseite 36 des zweiten Halbleiterchips 10 als auch die Randseiten 19 dieses Halbleiterchips 10 und füllt Zwischenräume zwischen den Flip-Chip-Kontakten 14 auf.

30

In den Randbereichen 7 erstrecken sich Durchkontakte 23 von den Randkontaktflächen 8 mindestens bis zur Oberseite 20 der Einebnungsschicht 12. Die Einebnungsschicht 12 mit ihrer O-

berseite 20 und die Kunststoffmasse 18, in die der Stapel aus zwei Halbleiterchips 4 und 10 eingebettet ist, bilden eine gemeinsame Fläche 21 aus, auf der eine Umverdrahtungslage 22 angeordnet ist. Diese Umverdrahtungslage 22 weist zwei

5 Schichten auf, eine Übergangsschicht 32, die aus Polyimid besteht, und eine Umverdrahtungsschicht 29, die Umverdrahtungsleitungen 27 aufweist, welche mit den Durchkontakten 23 verbunden sind. Darüber hinaus weist die Umverdrahtungsstruktur der Umverdrahtungsschicht 29 Außenkontaktflächen 24 auf, die
10 von Außenkontakten 25 belegt sind. Auf der Umverdrahtungsstruktur der Umverdrahtungsschicht 38 ist eine Lötstopp-schicht angeordnet, die lediglich die Außenkontaktflächen 24 freilässt, so dass beim Anschmelzen der Außenkontakte 25 kein Lot auf die Umverdrahtungsleitungen 27 gelangen kann.

15 Während der erste Halbleiterchip 4 eine Dicke D aufweist, die einem Standardhalbleiterwafer entspricht, ist der zweite Halbleiterchip 10 dünn geschliffen, so dass ein relativ kompaktes elektronisches Bauteil 26 herstellbar ist. Die Außen-
20 kontakte 25 sind in dieser Ausführungsform der Erfindung in zwei Reihen angeordnet, sie können aber auch auf der Oberseite 36 der Umverdrahtungslage 22 gleichmäßig verteilt angeordnet sein. Bei diesem elektronischen Bauteil 26 besteht kein direkter Zugriff zu den Flip-Chip-Kontakten 14 des zweiten
25 elektronischen Bauteils 10, jedoch wird durch die Randkontaktflächen 8 in Zusammenwirken mit den Durchkontakten 23 ein Zugriff auch zu den Flip-Chip-Kontakten 14 des zweiten Halbleiterchips möglich.

30 Die Figuren 2 bis 9 zeigen schematische Querschnitte durch Komponenten der Erfindung nach entsprechenden Herstellungsschritten. Komponenten mit den gleichen Funktionen wie in den

Figuren 2 bis 9 werden mit gleichen Bezugszeichen gekennzeichnet und größtenteils nur einmal erörtert.

Figur 2 zeigt einen schematischen Querschnitt durch einen Halbleiterwafer 1 mit Halbleiterchippositionen 3, auf denen zweite Halbleiterchips 10 angeordnet sind. Jede Bauteilposition 3 weist einen Zentralbereich 5 mit Zentralkontaktflächen 6 auf. Um den Zentralbereich 5 herum ist ein Randbereich 7 in jeder Bauteilposition angeordnet, der Randkontaktflächen 8 trägt. Auf dem zentralen Bereich 5 ist der zweite Halbleiterchip 10 derart angeordnet, dass seine zweiten Kontaktflächen mit den Zentralkontaktflächen in jeder Chipposition elektrisch in Verbindung stehen. Die Dicke d der zweiten Halbleiterchips 10 auf dem Halbleiterwafer 1 entspricht in etwa der Dicke D des Halbleiterwafers.

Figur 3 zeigt einen schematischen Querschnitt durch den Halbleiterwafer 1 gemäß Figur 2 nach einem Dünnschleifen der zweiten Halbleiterchips 10. Durch das Dünnschleifen der Halbleiterchips 10, die auf dem Halbleiterwafer 1 angeordnet sind, kann eine Dicke d von 50 bis 80 μm erreicht werden, gegenüber einer Dicke D des Halbleiterwafers 1 von 500 bis 750 μm . Das Dünnschleifen wird dadurch erleichtert, dass der Halbleiterwafer 1 bereits eine planare Oberseite 2 aufweist, auf die mit etwa 20 μm dicken Flip-Chip-Kontakten die zweiten Halbleiterchips 10 aufgebracht sind und über diese Flip-Chip-Kontakte während des Dünnschleifvorgangs zuverlässig fixiert sind.

Figur 4 zeigt einen schematischen Querschnitt durch den Halbleiterwafer 1 gemäß Figur 3 nach einem Aufbringen einer Einbettmasse 28 auf die mit Halbleiterchips 10 bestückte Oberseite 2 des Halbleiterwafers 1. Diese Einebnungsmasse bei-

spielsweise aus Polyimid wird zunächst dünnflüssig aufgetragen, wobei sich eine relativ unebene Oberfläche 37 ausbildet. Diese Oberfläche 37 kann bearbeitet werden, so dass, wie Figur 5 zeigt, die Einebnungsmasse 28 zu einer ebenen Einebnungsschicht 12 abgetragen ist. Ein wie in Figur 5 gezeigter Halbleiterwafer 1 ist bereits ein Handelsgut und kann kostengünstig verkauft werden, weil das Stapeln und Dünnschleifen von zweiten Halbleiterchips 10 auf dem Halbleiterwafer 1 ohne erheblichen Ausschuss hergestellt werden kann.

Figur 6 zeigt einen schematischen Querschnitt durch einen Nutzen 15 mit aus dem Halbleiterwafer 1 gemäß Figur 5 getrennten, gestapelten Halbleiterchips 4 und 10 auf einer Trägerfolie 31. Dafür wurde zunächst die Trägerfolie 31 bereitgestellt und die aus dem Halbleiterwafer 1 der Figur 5 gewonnenen gestapelten Halbleiterchips 4 und 10 mit ihren Einebnungsschichten 12 auf der Trägerfolie 31 angeordnet. Anschließend wurden die Zwischenräume zwischen den gestapelten Halbleiterchips 4 und 10 und die Rückseiten 35 der ersten Halbleiterchips 4 vollständig mit Kunststoff bedeckt. Durch die Trägerfolie 31 wird verhindert, dass auch die Oberseite 20 der Einebnungsschicht 12 mit Kunststoff bedeckt wird, so dass nach dem Aushärten der Kunststoffmasse 18 des Nutzens 15 die Folie 31 von den Bauteilpositionen 17 des Nutzens 15 abgezogen werden kann.

Figur 7 zeigt einen schematischen Querschnitt durch einen Nutzen 15 nach Entfernen der in Figur 5 gezeigten Trägerfolie 31. Die aus Kunststoffmasse 18 und Halbleiterchipstapeln 30 bestehende Kunststoffverbundplatte 33 ist selbsttragend und formstabil. Die Einebnungsschichten 12 mit ihren Oberseiten 20 bilden mit der dazwischen angeordneten Kunststoffmasse 18 eine gemeinsame Oberseite 21 aus. Diese gemeinsame Oberseite

21 ist eben beziehungsweise planar und somit können auf dieser ebenen Fläche weitere Strukturierungen zur Herstellung von elektronischen Bauteilen in den Bauteilpositionen des Nutzens 15 hergestellt werden. Zunächst werden Öffnungen mit Hilfe einer Photolithographie in die Einebnungsschichten bis hinunter zu den Randkontaktflächen eingearbeitet. Diese Durchgangsöffnungen werden anschließend mit einem Metall galvanisch zu einem Durchkontakt aufgefüllt. Nach dem Herstellen dieser Durchkontakte, deren Säulendurchmesser kleiner ist als der Durchmesser der Flip-Chip-Kontakte des zweiten elektronischen Bauteils 10 kann auf der ebenen Oberseite 21 eine Umverdrahtungslage aufgebracht werden. Obgleich die Anzahl der Durchkontakte der Anzahl der Flipchipkontakte entspricht, wie Anspruch in die Durchkontakte eine kleinere Fläche im Randbereich des ersten Halbleiterchips 4 als die Flipchip Kontakte dem zentralen Bereich des ersten Halbleiterchips 4.

Figur 8 zeigt einen schematischen Querschnitt durch einen Nutzen 15 gemäß Figur 7 mit aufgebrachter Umverdrahtungslage 22. Diese Umverdrahtungslage 22 weist drei Schichten auf, eine Übergangsschicht 32 aus Polyimid, die zum Ausgleich auf die gemeinsame Fläche 21 des Nutzens 15 unter Freilassung der Durchkontakte 23 aufgebracht ist, eine weitere Schicht 29, die eine Umverdrahtungsstruktur aufweist, welche Umverdrahtungsleitungen 27 und Außenkontaktflächen 24 aufweist, wobei die Umverdrahtungsleitungen 27 die Durchkontakte 23 mit den Außenkontaktflächen 24 verbinden.

Figur 9 zeigt einen schematischen Querschnitt durch einen Nutzen 15 gemäß Figur 8 mit aufgebrachten Außenkontakten 25. Damit ist in jeder Bauteilposition 17 des Nutzens 15 ein komplettes Bauteil mit gestapelten Halbleiterchips vollendet und der Nutzen 15 kann entlang der Trennlinien 39 zu einzelnen

Bauteilen aufgetrennt werden. Diese Schrittfolge des Verfahrens von einem Halbleiterwafer bis hin zu einem zu Bauteilen auftrennbaren Nutzen 15 wird dann eingesetzt, wenn die Fläche des ersten Halbleiterchips nicht ausreicht, um genügend Platz
5 für Außenkontakte 25 zu bieten. Reicht jedoch die Oberfläche des Halbleiterchips aus, um genügend Außenkontakte auf einer Umverdrahtungslage auf dem Halbleiterchip unmittelbar aufzubringen, so kann auf die Ausbildung eines Nutzens 15 verzichtet werden und sämtliche Schritte zur Herstellung eines e-
10 lektronischen Bauteils mit gestapelten Halbleiterchips unmittelbar auf einem Halbleiterwafer erfolgen.

Patentansprüche

1. Halbleiterwafer der folgende Merkmale aufweist:

- eine Oberseite (2), die in Zeilen und Spalten angeordnete Halbleiterchippositionen (3) mit integrierten Schaltungen für erste Halbleiterchips (4) aufweist, wobei die Halbleiterchippositionen (4) jeweils einen zentralen Bereich (5) mit Zentralkontaktflächen (6) und einen Randbereich (7) mit Randkontaktflächen (8) aufweisen, wobei die Zentralkontaktflächen (6) mit Randkontaktflächen (8) über Leiterbahnen (9) verbunden sind,
- zweite Halbleiterchips (10), die zweite Kontaktflächen (11) aufweisen, wobei die zweiten Halbleiterchips (10) auf den zentralen Bereichen (5) der ersten Halbleiterchippositionen (3) angebracht sind, und wobei die ersten Zentralkontaktflächen (6) mit den zweiten Kontaktflächen (11) elektrisch in Verbindung stehen,
- eine Einebnungsschicht (12) auf der Oberseite (2) des Halbleiterwafers (1), in welche die zweiten Halbleiterchips (10) eingebettet sind.

2. Halbleiterwafer nach Anspruch 1,

dadurch gekennzeichnet, dass die Randkontaktflächen (9) kleiner als die Zentralkontaktflächen (6) sind.

3. Halbleiterwafer nach Anspruch 1 oder Anspruch 2,

dadurch gekennzeichnet, dass die Packungsdichte der Randkontaktflächen (8) größer als die Packungsdichte der Zentralkontaktflächen (6) ist.

4. Halbleiterwafer nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass
die Dicke (d) der zweiten Halbleiterchips (10) geringer als die Dicke (D) des Halbleiterwafers (1) für die ersten Halbleiterchips (4) ist.
5. Halbleiterwafer nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass
der zweite Halbleiterchip (10) Flip-Chip-Kontakte (14) aufweist, die mit den Zentralkontaktflächen (6) elektrisch in Verbindung stehen und von der Einebnungsschicht (12) umgeben sind.
6. Nutzen der folgende Merkmale aufweist:
- eine Oberseite (16), die in Zeilen und Spalten angeordnete Bauteilpositionen (17) aufweist,
 - mindestens zwei aufeinander gestapelte Halbleiterchips (4, 10) in jeder Bauteilposition (17) mit
 - einem ersten Halbleiterchip (4), der einen zentralen Bereich (5) mit Zentralkontaktflächen (6) und einen Randbereich (7) mit Randkontaktflächen (8) aufweist, wobei die Zentralkontaktflächen (6) mit Randkontaktflächen (8) über Leiterbahnen (9) verbunden sind,
 - einem zweiten Halbleiterchip (10) mit zweiten Kontaktflächen (11), der auf dem zentralen Bereich (5) des ersten Halbleiterchips (4) angebracht ist, und wobei die ersten Zentralkontaktflächen (6) mit den zweiten Kontaktflächen (11) elektrisch leitend in Verbindung stehen,
 - eine Kunststoffmasse (18), in welche die gestapelten Halbleiterchips (4, 10) wenigstens mit ihren Randseiten (19) eingebettet sind,

- einer Einebnungsschicht (12) in die der zweite Halbleiterchip (10) eingebettet ist, wobei die Kunststoffmasse (18) und die Oberseiten (20) der Einebnungsschichten (12) der gestapelten Halbleiterchips (4,10) eine gemeinsame Fläche (21) ausbilden, auf der eine Umverdrahtungslage (22) angeordnet ist.

7. Nutzen nach Anspruch 6, dadurch gekennzeichnet, daß die Einebnungsschicht (12) Durchkontakte (23) zu den Randkontaktflächen (8) aufweist.

8. Nutzen nach Anspruch 6 oder Anspruch 7, dadurch gekennzeichnet, daß die Umverdrahtungslage (22) Außenkontaktflächen (24) aufweist, auf denen Außenkontakte (25) gleichmäßig verteilt auf jeder Bauteilposition (17) angeordnet sind.

9. Elektronisches Bauteil das folgende Merkmale aufweist:

- einen ersten Halbleiterchip (4), der einen zentralen Bereich (5) mit Zentralkontaktflächen (4) und einen Randbereich (7) mit Randkontaktflächen (8) aufweist, wobei die Zentralkontaktflächen (6) mit den Randkontaktflächen (8) über Leiterbahnen (9) verbunden sind,
- einen zweiten Halbleiterchip (10), der zweite Kontaktflächen (11) aufweist, wobei der zweite Halbleiterchip (10) auf dem zentralen Bereich (5) des ersten Halbleiterchips (4) angebracht ist, und wobei die ersten Zentralkontaktflächen (6) mit den zweiten Kontaktflächen (11) elektrisch in Verbindung stehen,

- eine Einebnungsschicht (12), in die der zweite Halbleiterchip (10) eingebettet ist, wobei die Einebnungsschicht (12) Durchkontakte (23) aufweist, die mit den Randkontaktflächen (8) elektrisch in Verbindung stehen,
- eine mehrschichtige Umverdrahtungslage (22), die auf der Einebnungsschicht (12) angeordnet ist und Außenkontakte (25) des elektronischen Bauteils (26) aufweist, welche mit den Durchkontakten (23) über Umverdrahtungsleitungen (27) elektrisch in Verbindung stehen.

10. Elektronisches Bauteil nach Anspruch 9, dadurch gekennzeichnet, dass die ersten Halbleiterchips (4) eine größere Oberseite (13) und eine größere Dicke (D) als die zweiten Halbleiterchips (10) aufweisen.
11. Elektronisches Bauteil nach Anspruch 9 oder Anspruch 10, dadurch gekennzeichnet, dass der zweite Halbleiterchip (10) Flip-Chip-Kontakte (14) aufweist, und die Querschnittsflächen der Flipchip Kontakte (14) größer als die Querschnittsflächen der Durchkontakte (23) sind.
12. Elektronisches Bauteil nach einem der Ansprüche 9 bis 11, dadurch gekennzeichnet, dass die Durchkontakte (23) säulenförmig sind.
13. Elektronisches Bauteil nach einem der Ansprüche 9 bis 12, dadurch gekennzeichnet, dass

die Durchkontakte (23) eine höhere Packungsdichte als die Flip-Chip-Kontakte (14) des zweiten Halbleiterchips (10) aufweisen.

- 5 14. Elektronisches Bauteil nach Anspruch 12, dadurch gekennzeichnet, dass die Schrittweite bzw. das Rastermaß zwischen Durchkontakten (23) kleiner ist als die Schrittweite bzw. das Rastermaß zwischen Flip-Chip-Kontakten (14).
- 10 15. Vorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Einebnungsschicht (12) Polyimid aufweist.
- 15 16. Verfahren zur Herstellung eines Halbleiterwafers (1) mit mehreren Halbleiterchippositionen (3) für mehrere elektronischen Bauteile (26), wobei das Verfahren folgende Verfahrensschritte aufweist:
- 20 - Bereitstellen eines Halbleiterwafers (1), der in Zeilen und Spalten angeordnete Halbleiterchippositionen (3) mit integrierten Schaltungen für erste Halbleiterchips (4) aufweist, wobei die Halbleiterchippositionen (3) jeweils einen zentralen Bereich (5) mit Zentralkontaktflächen (6) und einen Randbereich (7) mit Randkontaktflächen (8) aufweisen und
25 wobei die Zentralkontaktflächen (6) mit den Randkontaktflächen (8) über Leiterbahnen (9) elektrisch verbunden sind,
 - 30 - Bestücken des Halbleiterwafers (1) mit zweiten Halbleiterchips (10) in zentralen Bereichen (5) der Halbleiterchippositionen (3) unter Freilassen der Randkontaktflächen (8),

- Dünnschleifen der zweiten Halbleiterchips (10) auf dem Halbleiterwafer (1),
- Aufbringen einer Einebnungsmasse (18) auf den Halbleiterwafer (1) unter Einbetten der zweiten Halbleiterchips (10),
- Bearbeiten der Einebnungsmasse (18) zu einer Einebnungsschicht (12).

17. Verfahren nach Anspruch 16,

dadurch gekennzeichnet, dass
nach dem Herstellen der Einebnungsschicht (12) folgende Verfahrensschritte durchgeführt werden:

- Einbringen von Durchgangsöffnungen in die Einebnungsschicht (12) in den Randbereichen (7) der Bauteilpositionen (3) bis zu den Randkontaktflächen (8),
- Abscheiden von Metall oder Metalllegierungen in den Durchgangsöffnungen unter Bilden von Durchkontakten (23).

18. Verfahren zur Herstellung eines Nutzens (15) mit Halbleiterchipstapeln (30) nach Herstellung eines Halbleiterwafers (1) gemäß dem Verfahren nach Anspruch 17 oder Anspruch 18, das folgende Verfahrensschritte aufweist:

- Trennen eines Halbleiterwafers (1) mit gestapelten Halbleiterchips (4, 10) in einzelne Halbleiterchipstapel (30), die einen ersten und einen zweiten Halbleiterchip (4, 10) aufweisen, wobei der zweite Halbleiterchip (10) in eine Einebnungsschicht (12) eingebettet ist,
- Aufbringen der Halbleiterchipstapel (30) mit ihren Einebnungsschichten (12) auf eine Trägerfolie (31),

- Einbetten der Halbleiterchipstapel (30) in eine Kunststoffmasse (18) unter Bilden einer Kunststoffverbundplatte (33),
- Entfernen der Trägerfolie (31) von der Kunststoffverbundplatte (33),
- Einbringen von Durchgangsöffnungen zu den Randkontaktflächen (8) des ersten Halbleiterchips (4) in die Einebnungsschicht (12),
- Auffüllen der Durchgangsöffnungen mit Kupfer oder einer Kupferlegierung zu Durchkontakten (23),
- Aufbringen einer Umverdrahtungslage (22) mit Umverdrahtungsleitungen (27) von den Durchkontakten (23) zu Außenkontaktflächen (24) der Umverdrahtungslage (22),
- Aufbringen einer Lötstoppschicht (34) auf die Umverdrahtungslage (22) unter Freilassen der Außenkontaktflächen (24),
- Aufbringen von Außenkontakten (25) auf die Außenkontaktflächen (24).

19. Verfahren zur Herstellung eines elektronischen Bauteils (26) mit mehreren Halbleiterchips (4, 10), wobei das Verfahren folgende Verfahrensschritte aufweist:

- Bereitstellen eines Halbleiterwafers (1), der in Zeilen und Spalten angeordnete Halbleiterchippositionen (3) mit integrierten Schaltungen für erste Halbleiterchips (4) aufweist, wobei die Halbleiterchippositionen (3) jeweils einen zentralen Bereich (5) mit Zentralkontaktflächen (6) und einen Randbereich (7) mit Randkontaktflächen (8) aufweisen und wobei die Zentralkontaktflächen (6) mit den Randkontaktflächen (8) über Leiterbahnen (9) elektrisch verbunden sind,

- Bestücken des Halbleiterwafers (1) mit zweiten Halbleiterchips (10) in zentralen Bereichen (5) der Halbleiterchippositionen (3) unter Freilassen der Randkontaktflächen (8),
- 5 - Dünnschleifen der zweiten Halbleiterchips (10) auf dem Halbleiterwafer (1),
- Aufbringen einer Einebnungsmasse (28) auf den Halbleiterwafer (1) unter Einbetten der zweiten Halbleiterchips (10),
- 10 - Bearbeiten der Einebnungsmasse (28) zu einer Einebnungsschicht (12),
- Einbringen von Durchgangsöffnungen in die Einebnungsschicht (12) in den Randbereichen (7) der Bauteilpositionen (3) bis zu den Randkontaktflächen (8),
- 15 (8),
- Abscheiden von Metall oder Metalllegierungen in den Durchgangsöffnungen unter Bilden von Durchkontakten (23),
- Trennen eines Halbleiterwafers (1) mit gestapelten Halbleiterchips (4, 10) in einzelne Halbleiterchipstapel (30), die einen ersten und einen zweiten Halbleiterchip (4, 10) aufweisen, wobei der zweite Halbleiterchip (10) in eine Einebnungsschicht (12) eingebettet ist,
- 20
- 25 - Aufbringen einer Umverdrahtungslage (22) mit Umverdrahtungsleitungen (27) von den Durchkontakten (23) zu Außenkontaktflächen (24) der Umverdrahtungslage (22),
- Aufbringen einer Lötstoppschicht (34) auf die Umverdrahtungslage (22) des Halbleiterwafers (1) unter Freilassen der Außenkontaktflächen,
- 30
- Aufbringen von Außenkontakten (25) auf die Außenkontaktflächen (24),

- Auftrennen des Halbleiterwafers (1) in einzelne elektronische Bauteile (26).

20. Verfahren zur Herstellung eines elektronischen Bauteils
5 (26) mit folgenden Verfahrensschritten:

- Herstellen eines Halbleiterwafers (1) gemäß Anspruch 17,
- Herstellen eines Nutzens (15) gemäß Anspruch 19
- Trennen des Nutzens (15) in einzelne elektronische
10 Bauteile (26).

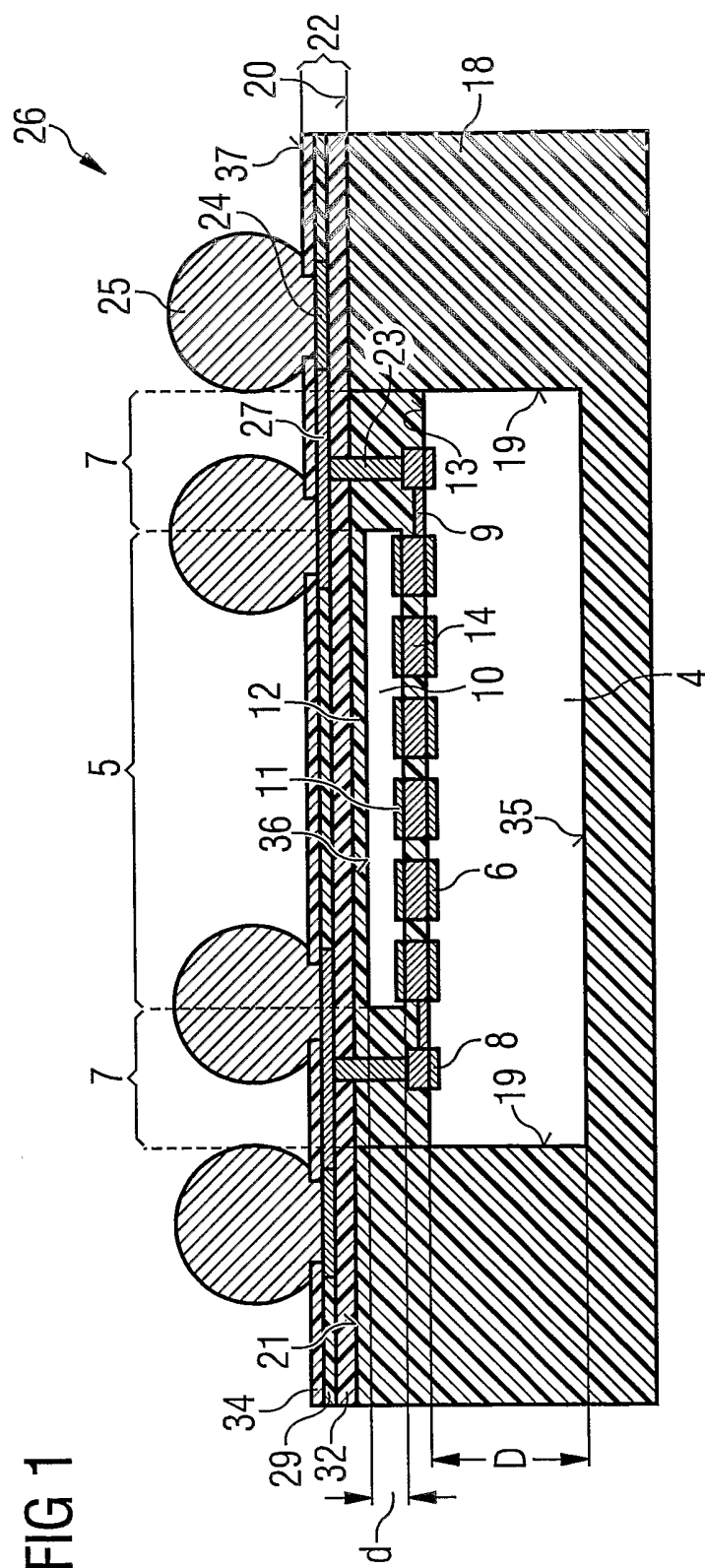


FIG 1

FIG 2

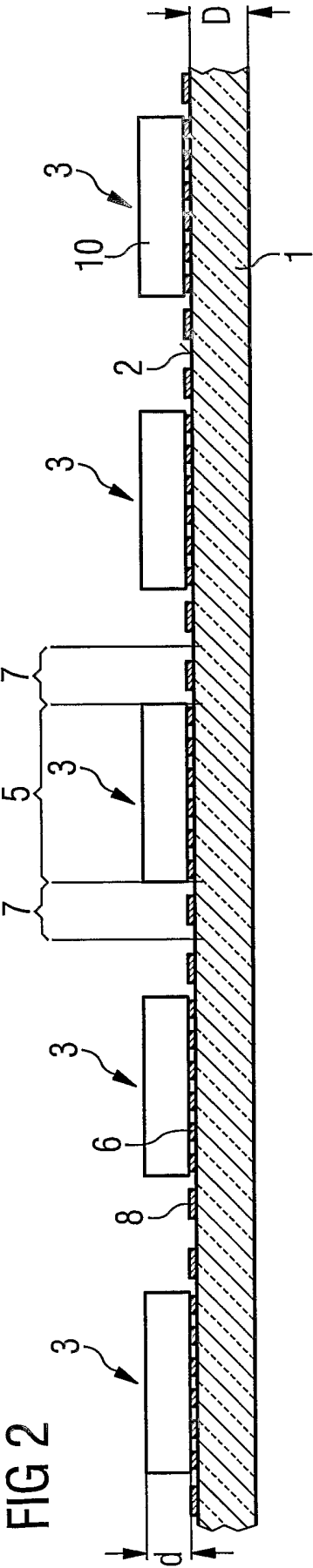


FIG 3

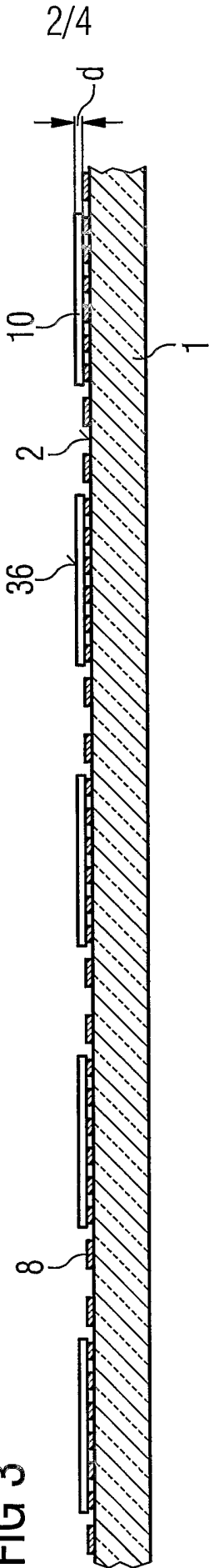


FIG 4

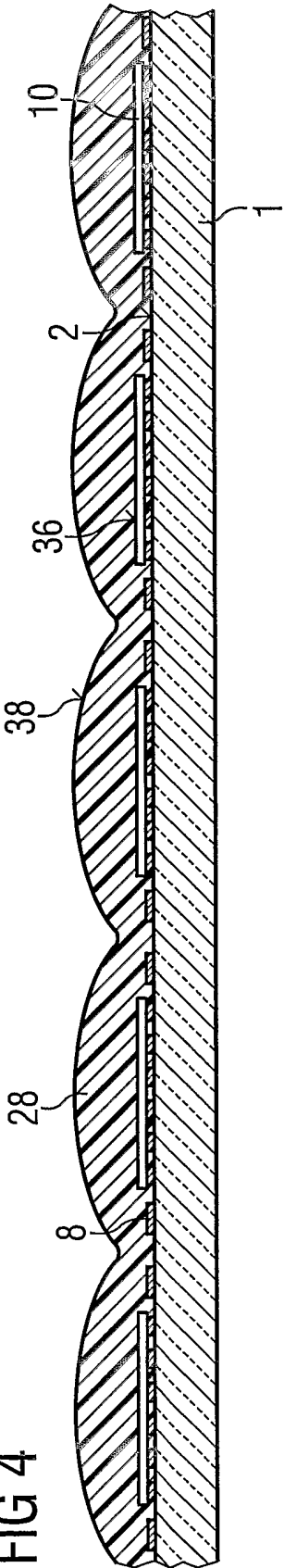


FIG 5

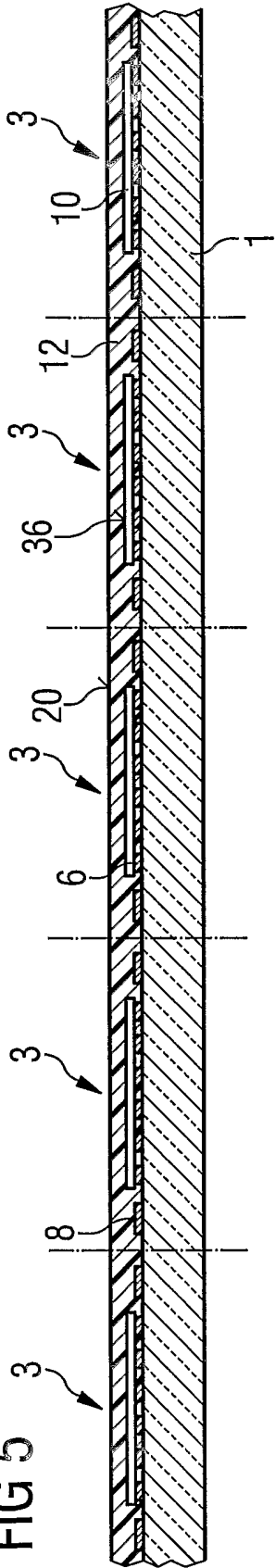


FIG 6

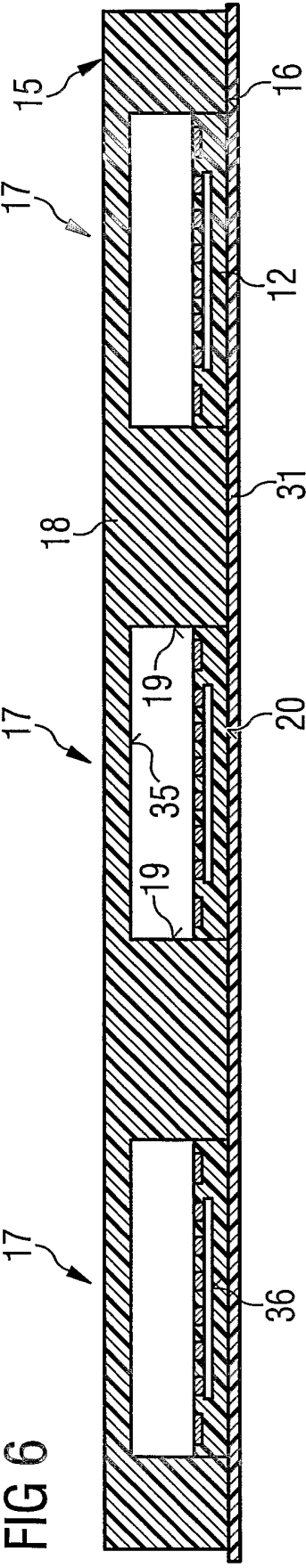


FIG 7

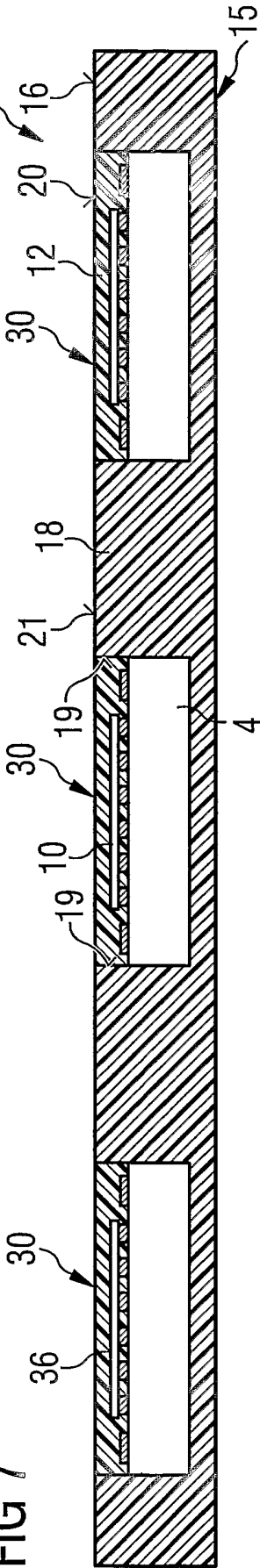


FIG 8

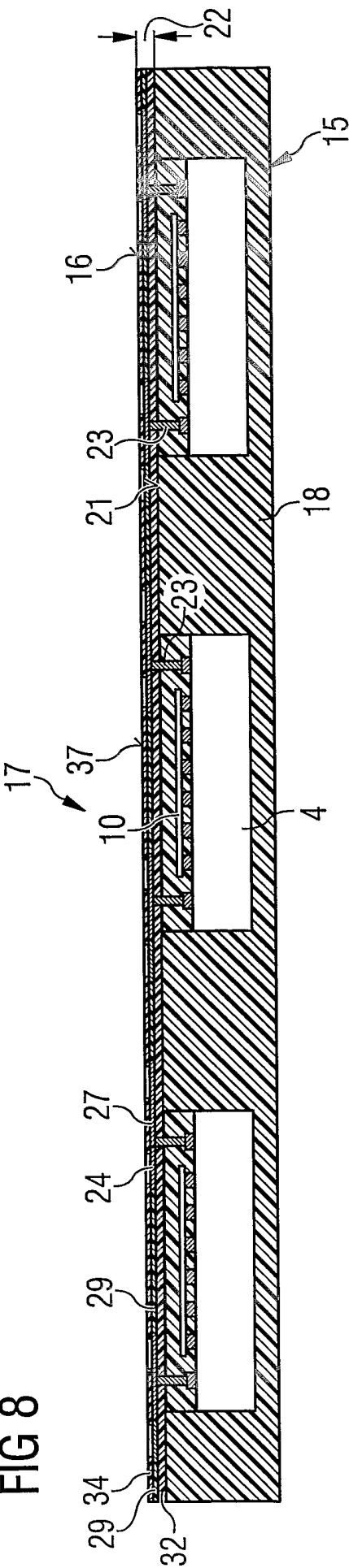


FIG 9

