



(12) 发明专利

(10) 授权公告号 CN 103107133 B

(45) 授权公告日 2015.04.22

(21) 申请号 201310002104.1

审查员 张虹

(22) 申请日 2013.01.04

(73) 专利权人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号  
专利权人 北京京东方显示技术有限公司

(72) 发明人 陈华斌 王琳琳 高英强 袁剑峰

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291  
代理人 黄志华

(51) Int. Cl.

H01L 21/77(2006.01)

G02F 1/136(2006.01)

G03F 7/00(2006.01)

(56) 对比文件

CN 101256984 A, 2008.09.03,

US 2009/0023254 A1, 2009.01.22,

CN 102148196 A, 2011.08.10,

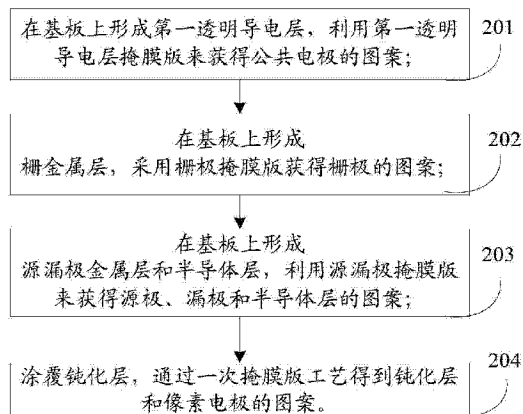
权利要求书1页 说明书6页 附图6页

(54) 发明名称

阵列基板及其制造方法和显示装置

(57) 摘要

本发明公开了一种阵列基板及其制造方法和显示装置,涉及通过 4 次 Mask 制作阵列基板的工艺方法。阵列基板制造方法,包括公共电极层、栅金属层、半导体层层、源漏电极层、钝化层及像素电极层的制作过程;其中,所述钝化层和所述像素电极层通过一次构图工艺制作。本发明提供的阵列基板制造方法,省略了一次掩膜版的使用,降低了生产成本。本发明适用于 ADS 模式阵列基板的制造。



1. 一种阵列基板制造方法,其特征在于,包括:

步骤 1、在基板上通过构图工艺形成公共电极的图案;

步骤 2、在经过所述步骤 1 的基板上通过构图工艺形成栅极的图案;

步骤 3、在经过所述步骤 2 所述的基板上通过构图工艺形成半导体层、源极和漏极的图案;

步骤 4、在所述步骤 3 制作的基板上形成钝化层;再在所述钝化层上涂覆第一光刻胶,并利用双色调掩模板对第一光刻胶进行曝光,其中,对应钝化层过孔处为第一光刻胶完全曝光区域,对应条状像素电极处为第一光刻胶半曝光区域,除所述第一光刻胶完全曝光区域和所述第一光刻胶半曝光区域以外的区域为第一光刻胶完全保留区域;对曝光后的基板进行显影,得到第一光刻胶的图案;对所述光刻胶完全去除区域进行刻蚀,形成钝化层过孔,并暴露出部分源漏电极层;利用灰化工艺对第一光刻胶进行灰化,去除所述半曝光区域的光刻胶,所述光刻胶完全保留区域呈狭缝状图案;形成第二透明导电层;在所述第二透明导电层上涂覆第二光刻胶,利用光刻胶的流动性使所述第二光刻胶平坦化,利用所述第一光刻胶的厚度,使所述第一光刻胶上方的第二光刻胶的厚度小于除第一光刻胶区域以外的第二光刻胶的厚度;对第二光刻胶进行灰化,去除所述保留第一光刻胶以外区域的第二光刻胶,并暴露出所述第二透明导电层;对所述暴露出的第二层透明导电层进行刻蚀,得到具有狭缝的像素电极;对残留的第一光刻胶和第二光刻胶进行剥离,形成所述钝化层和像素电极的图案。

2. 根据权利要求 1 所述的阵列基板制造方法,其特征在于,所述步骤 1 具体为:在基板上形成第一透明导电层,利用第一透明导电层掩膜版进行构图工艺以形成公共电极的图案。

3. 根据权利要求 2 所述的阵列基板制造方法,其特征在于,所述公共电极的图案为板状电极或者狭缝状电极。

4. 根据权利要求 1 所述的阵列基板制造方法,其特征在于,所述步骤 2 具体为:在基板上形成栅金属薄膜,采用栅极掩膜版进行构图工艺形成栅极的图案。

5. 根据权利要求 1 所述的阵列基板制造方法,其特征在于,所述步骤 3 具体为:在基板上形成半导体层和源漏金属层,利用源漏极掩膜版进行构图工艺以形成源极、漏极和半导体层的图案。

6. 根据权利要求 1 所述的阵列基板制造方法,其特征在于,半导体层与源漏电极层之间还设置有欧姆接触层。

7. 一种阵列基板,其特征在于,该阵列基板为采用权利要求 1-6 任一所述阵列基板制造方法制造的阵列基板。

8. 一种显示装置,其特征在于,该显示装置包含权利要求 7 所述的阵列基板。

## 阵列基板及其制造方法和显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及阵列基板及其制造方法和显示装置。

### 背景技术

[0002] 目前,显示产品在人们日常生活中越来越普及,相关的显示技术也越来越受到人们的关注。显示领域具有广阔的市场前景,并吸引了大量的企业、院所从事显示技术的研究和开发。

[0003] TFT-LCD (Thin Film Transistor-Liquid Crystal Display,薄膜晶体管液晶显示器)的工艺复杂、成本较高。其中,Mask (掩膜版)工艺过程十分考验设备和工艺的精度,多一次Mask工艺会使生产成本增加很多,故在不影响产品性能的基础上减少Mask的数量是非常必要的。自TFT-LCD发明以来人们一直致力于减少Mask工艺数量的工作。

[0004] 如图1所示,目前ADS (Advanced Super Dimension Switch,高级超维场转换技术)模式的阵列基板制作方法通常需要5次Mask,包括:步骤101中的第一层透明导电层掩膜版(由于透明导电层通常采用氧化铟锡ITO,因此第一层透明导电层掩膜版也可称为1st ITO Mask)、步骤102中的栅极掩膜版(Gate Mask)、步骤103中的源漏极掩膜版(SDT Mask)、步骤104中的过孔掩膜版(Via Hole Mask)、步骤105中的第二层透明导电层掩膜版(2nd ITO Mask)。由于现有ADS模式阵列基板的制作方法需要的Mask工艺次数比较多,使得基于ADS技术的液晶显示器的成本较高,且生产效率无法得到提升。

### 发明内容

[0005] 本发明的实施例提供一种阵列基板及其制造方法,以及使用该阵列基板的显示装置,用以降低阵列基板的生产成本并提高生产效率。

[0006] 为达到上述目的,本发明提供的技术方案如下:

[0007] 一种阵列基板制造方法,包括公共电极层、栅金属层、半导体层、源漏电极层、钝化层及像素电极层的制作过程;其中,

[0008] 所述钝化层和所述像素电极通过一次构图工艺形成。

[0009] 优选的,所述制造方法包括:

[0010] 步骤1、在基板上通过构图工艺形成公共电极的图案;

[0011] 步骤2、在经过所述步骤1的基板上通过构图工艺形成栅极的图案;

[0012] 步骤3、在经过所述步骤2所述的基板上通过构图工艺形成半导体层、源极和漏极的图案;

[0013] 步骤4、在经过所述步骤3所述的基板上采用一次构图工艺形成像素电极和钝化层的图案。

[0014] 优选的,所述步骤4具体包括:

[0015] 在所述步骤3制作的基板上形成钝化层;

[0016] 再在所述钝化层上涂覆第一光刻胶,并利用双色调掩模板对第一光刻胶进行曝

光,其中,对应钝化层过孔处为第一光刻胶完全曝光区域,对应条状像素电极处为第一光刻胶半曝光区域,对所述第一光刻胶完全曝光区域和所述第一光刻胶半曝光区域以外的区域为第一光刻胶完全保留区域;

[0017] 对曝光后的基板进行显影,得到第一光刻胶的图案;

[0018] 对所述光刻胶完全去除区域进行刻蚀,形成钝化层过孔,并暴露出部分源漏电极层;

[0019] 利用灰化工艺对第一光刻胶进行灰化,去除所述半曝光区域的光刻胶,所述光刻胶完全保留区域呈狭缝状图案;

[0020] 形成第二透明导电层;

[0021] 在所述第二透明导电层上涂覆第二光刻胶,利用光刻胶的流动性使所述第二光刻胶平坦化,利用所述第一光刻胶的厚度,使所述第一光刻胶上方的第二光刻胶的厚度小于其他区域,除保留第一光刻胶以外的区域;

[0022] 对第二光刻胶进行灰化,去除所述保留第一光刻胶以外区域的第二光刻胶,并暴露出所述第二透明导电层;;

[0023] 对所述暴露出的第二层透明导电层进行刻蚀,得到具有狭缝的像素电极;

[0024] 对残留的第一光刻胶和第二光刻胶进行剥离,形成所述钝化层和像素电极的图案。

[0025] 优选的,所述步骤4具体包括:

[0026] 在所述步骤3制作的基板上形成钝化层;

[0027] 再在所述钝化层上涂覆第一光刻胶,并利用双色调掩模板对第一光刻胶进行曝光,其中,对应钝化层过孔处为第一光刻胶完全曝光区域,对应条状像素电极处为第一光刻胶半曝光区域,对所述第一光刻胶完全曝光区域和所述第一光刻胶半曝光区域以外的区域为第一光刻胶完全保留区域;

[0028] 对曝光后的基板进行显影,得到第一光刻胶的图案;

[0029] 对所述光刻胶完全去除区域进行刻蚀,形成钝化层过孔,并暴露出部分源漏电极层;

[0030] 利用灰化工艺对第一光刻胶进行灰化,去除所述半曝光区域的光刻胶,所述光刻胶完全保留区域呈狭缝状图案;

[0031] 形成第二透明导电层;

[0032] 通过离地剥离工艺去除光刻胶完全保留区域的光刻胶,形成具有狭缝的像素电极。

[0033] 优选的,所述步骤1具体为:在基板上形成第一透明导电层,利用第一透明导电层掩模版进行构图工艺以形成公共电极的图案。

[0034] 优选的,所述公共电极的图案为板状电极或者狭缝状电极。

[0035] 优选的,所述步骤2具体为:在基板上形成栅金属薄膜,采用栅极掩模版进行构图工艺形成栅极的图案。8、根据权利要求2所述的阵列基板制造方法,其特征在于,所述步骤3具体为:在基板上形成半导体层和源漏金属层,利用源漏极掩模版进行构图工艺以形成源极、漏极和半导体层的图案。

[0036] 优选的,半导体层与源漏电极层之间还设置有欧姆接触层。

[0037] 为了实现上述目的,本发明还提供了一种阵列基板,该阵列基板采用上述阵列基板的制造方法制造。

[0038] 为了实现上述目的,本发明还提供了一种显示装置,该显示装置的结构包括上述阵列基板。

[0039] 本发明通过上面所述两种方法,仅通过一次掩膜版工艺即可得到过孔和像素电极结构,减少了一步 Mask 工艺过程,大大降低了成本。本发明适用于 ADS 模式阵列基板的制造。

## 附图说明

[0040] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0041] 图 1 为现有技术的阵列基板制作工艺流程示意图;

[0042] 图 2 为本发明的阵列基板制作工艺流程示意图;

[0043] 图 3 为本发明实施例所提供的阵列基板的平面示意图;

[0044] 图 4 为实施例 1 对阵列基板进行 Halftone 工艺前的图 3 中 A-B 处的截面图;

[0045] 图 5 为实施例 1 对阵列基板进行 Halftone 工艺后的图 3 中 A-B 处的截面图;

[0046] 图 6 为实施例 1 刻蚀钝化层后得到过孔的图 3 中 A-B 处的截面图;

[0047] 图 7 为实施例 1 对第一光刻胶灰化后的图 3 中 A-B 处的截面图;

[0048] 图 8 为实施例 1 形成第二透明导电层后的图 3 中 A-B 处的截面图;

[0049] 图 9 为实施例 1 涂覆第二光刻胶后的图 3 中 A-B 处的截面图;

[0050] 图 10 为实施例 1 灰化第二光刻胶后的图 3 中 A-B 处的截面图;

[0051] 图 11 为实施例 1 刻蚀第二透明导电层后的图 3 中 A-B 处的截面图;

[0052] 图 12 为实施例 1 剥离掉残留的光刻胶后的图 3 中 A-B 处的截面图;

[0053] 图 13 为实施例 2 对阵列基板进行 Halftone 工艺前的图 3 中 A-B 处的截面图;

[0054] 图 14 为实施例 2 对阵列基板进行 Halftone 工艺后的图 3 中 A-B 处的截面图;

[0055] 图 15 为实施例 2 刻蚀钝化层后得到过孔的图 3 中 A-B 处的截面图;

[0056] 图 16 为实施例 2 对光刻胶灰化后的图 3 中 A-B 处的截面图;

[0057] 图 17 为实施例 2 沉积第二透明导电层后的图 3 中 A-B 处的截面图;

[0058] 图 18 为实施例 2 剥离掉残留的光刻胶后的图 3 中 A-B 处的截面图。

[0059] 附图标记:301、401- 基板;302、402- 栅极;303、403- 公共电极;304、404- 栅绝缘层;305、405- 半导体层;306、406- 源电极;307、407- 沟道;308、408- 漏电极;309、409- 钝化层;310、3101- 第一光刻胶;410、4101- 光刻胶;311、411- 曝光版;312、412- 过孔;313、413、3131、4131- 像素电极;314、3141- 第二光刻胶。

## 具体实施方式

[0060] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于

本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0061] 如图 2 所示为本发明的四次构图工艺;本发明所提供的阵列基板的制作方法具体包括:

[0062] 步骤 201、在基板上形成第一透明导电层,利用第一透明导电层掩膜版来获得公共电极的图案;

[0063] 步骤 202、采用溅射或蒸镀的技术,在基板上形成栅金属层,采用栅极掩膜版来获得栅极的图案;

[0064] 步骤 203、采用溅射或蒸镀的技术,在基板上形成半导体层和源漏金属层,利用源漏极掩膜版来获得源极、漏极和有源层的图案;

[0065] 步骤 204、涂覆钝化层,通过一次掩膜版工艺得到钝化层和像素电极的图案。

[0066] 所述公共电极的图案为板状电极或者狭缝状电极。

[0067] 半导体层与源漏电极层之间还设置有欧姆接触层,降低半导体与源漏电极之间的接触电阻。

[0068] 下面结合附图对本发明实施例提供的技术方案进行详细描述。

[0069] 实施例 1

[0070] 结合图 4 至图 12 所示,本实施例中提供的阵列基板制造方法,包括以下步骤:

[0071] 步骤 F1、在基板 301 上沉积第一透明导电薄膜,通过构图工艺形成公共电极 303 的图案;

[0072] 在步骤 F1 中,上述基板 301 可以是玻璃基板、石英基板等基于无机材料的衬底基板,也可以是采用有机材料的衬底基板;

[0073] 上述第一层透明导电薄膜的材料可以是氧化铟锡(ITO)、氧化铟锌(IZO, Indium Zinc Oxide)等。

[0074] 步骤 F2、在形成上述图案的基板上形成栅金属薄膜,通过构图工艺形成栅电极 302 的图案;

[0075] 步骤 F3、在形成上述图案的基板上依次形成栅绝缘层薄膜、半导体层薄膜、和源漏金属薄膜,通过构图工艺形成包括半导体层 305、源电极 306 和漏电极 308 的图案;

[0076] 步骤 F41、在形成上述图案的基板上依次形成钝化层 309、第一光刻胶 310,如图 4 所示,通过双色调掩膜版 311 曝光,所述双色调掩模板包括:灰色调掩模板和半透膜掩模板,采用全曝光和半曝光技术将图案转印到所述第一光刻胶 310 上,具体为:对应钝化层 309 过孔 312 处为第一光刻胶 310 完全曝光区域,对应条状像素电极 313 处为第一光刻胶 310 半曝光区域,对所述第一光刻胶 310 完全曝光区域和所述第一光刻胶 310 半曝光区域以外的区域为第一光刻胶 310 完全保留区域,见图 5;

[0077] 步骤 F42、在形成上述图案的基板 301 上通过构图工艺去除过孔 312 处的钝化层 309,形成过孔 312 的图案,见图 6,所述过孔 312 形成于所述钝化层 309 上并使所述漏电极 308 暴露出来;

[0078] 步骤 F43、在形成上述图案的基板 301 上利用灰化技术将第一光刻胶 310 均匀打薄,不曝光区域的第一光刻胶 310 保留,保留的第一光刻胶 310 呈狭缝状图案,不用保留第一光刻胶 310 的区域刻蚀至钝化层 309,最终得到的图案,见图 7;

[0079] 步骤 F44、在形成上述图案的基板 301 上形成第二透明导电薄膜,具体可以采用溅射或蒸镀的方法形成,由于第一光刻胶 310 的图案形状使得像素电极 313 呈现狭缝状结构的图案,见图 8;

[0080] 步骤 F45、在形成上述图案的基板 301 上再进行第层光刻胶 314 涂覆,得到如图 9 所示的图案;然后对第二光刻胶 314 进行灰化工艺,使得第一光刻胶 310、3101 处上方的第二透明导电层 313 暴露出来,得到如图 10 所示图案;

[0081] 步骤 F46、对暴露出来的第二透明导电层 313 进行刻蚀,得到如图 11 所示图案;

[0082] 步骤 F47、最后对所有残留的第一光刻胶 310 和第二光刻胶 314 进行剥离,最终得到如图 12 所示的图案;其中,在像素电极区域形成条状图案。

[0083] 从图 3 可以看到所制作的阵列基板的平面示意图,其中 A-B 仅表示截面所截取的位置,不涉及具体的阵列基板结构。

[0084] 其中,在本实施例中涉及薄膜的形成包括:沉积、涂覆、溅射、打印等方法;所涉及的构图工艺包括:涂覆光刻胶、溅射、蒸镀、曝光显影、刻蚀、灰化和去除光刻胶等操作。

[0085] 实施例 2

[0086] 结合图 13 至图 18 所示,本实施例中提供的阵列基板制造方法,包括以下步骤:

[0087] 步骤 S1、在基板 401 上形成第一层透明导电薄膜,采用第一透明导电层掩膜版通过构图工艺形成公共电极 403 的图案;

[0088] 在步骤 S1 中,上述基板 301 可以是玻璃基板、石英基板等基于无机材料的衬底基板,也可以是采用有机材料的衬底基板;

[0089] 上述第一透明导电薄膜的材料可以是氧化铟锡(ITO)、氧化铟锌(IZO, Indium Zinc Oxide)等。

[0090] 步骤 S2、在形成上述图案的基板 401 上形成栅金属薄膜,采用栅极掩膜版通过构图工艺形成栅电极 402 的图案;

[0091] 步骤 S3、在形成上述图案的基板 401 上依次形成栅绝缘层薄膜、半导体层薄膜和源漏金属薄膜,采用源漏极掩膜版通过构图工艺形成包括半导体层 405、源电极 406 和漏电极 408 的图案;

[0092] 步骤 S41、在形成上述图案的基板 401 上依次形成钝化层 409、光刻胶层 410,如图 13 所示,通过双色调掩膜版 411 曝光,所述双色调掩模板包括:灰色调掩模板和半透膜掩模板,采用全曝光和半曝光技术将图案转印到所述光刻胶层 410 上,具体为:对应钝化层 309 过孔 312 处为第一光刻胶 310 完全曝光区域,对应条状像素电极 313 处为第一光刻胶 310 半曝光区域,对所述第一光刻胶 310 完全曝光区域和所述第一光刻胶 310 半曝光区域以外的区域为第一光刻胶 310 完全保留区域,见图 14;

[0093] 步骤 S42、在形成上述图案的基板 401 上通过构图工艺去除过孔 412 处的钝化层 409,形成过孔 412 的图案,见图 15,所述过孔 412 形成于所述钝化层 409 上并使所述漏电极 408 暴露出来;

[0094] 步骤 S43、在形成上述图案的基板 401 上利用灰化技术将光刻胶 410 均匀打薄,不曝光区域的光刻胶 410 保留,保留的光刻胶 410 呈条状图案,不用保留光刻胶 410 的区域刻蚀至钝化层 409,最终得到的图案,见图 16;

[0095] 步骤 S44、在形成上述图案的基板 401 上形成第二层透明导电薄膜,具体可以采用

溅射或蒸镀的方法形成,由于光刻胶 410 的图案形状使得像素电极 413 呈现狭缝状的图案,见图 17;

[0096] 步骤 S45、在形成上述图案的基板 401 上直接对残留的光刻胶 410、4101 进行离地剥离,同时去掉残留的光刻胶 410、4101 和其上面的第二透明导电薄膜,最终得到如图 18 所示的图案;其中,像素电极区域形成狭缝状结构。

[0097] 从图 3 可以看到所制作的阵列基板的平面示意图,其中 A-B 仅表示截面所截取的位置,不涉及具体的阵列基板结构。

[0098] 其中,在本实施例中涉及的薄膜的形成包括:沉积、涂覆、溅射、打印等方法;所涉及的构图工艺包括:涂覆光刻胶、溅射、蒸镀、曝光显影、刻蚀、灰化和去除光刻胶等操作。

[0099] 实施例 3

[0100] 本实施例介绍了一种阵列基板,该阵列基板利用实施例 1 或 2 中阵列基板的制造方法制造。

[0101] 实施例 4

[0102] 本实施例介绍了一种显示装置,该显示装置包括实施例 3 中制造的阵列基板的显示装置。

[0103] 所述显示装置可以为:液晶面板、电子纸、OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0104] 例如,对于液晶显示装置而言,需要先将所述阵列基板与彩膜基板对盒,再增加周边的电路和边框得到显示模组,再与背光模组和控制电路系统组装,最后添加外壳和底座,得到最终的完整的液晶显示装置。

[0105] 本领域技术人员应该可以理解,像素电极可以为板状或者狭缝状,公共电极也是如此,像素电极和公共电极的上下顺序可颠倒,但是在上的电极必须是狭缝状的,在下的电极可以是板状的,或者狭缝状的。

[0106] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以权利要求的保护范围为准。



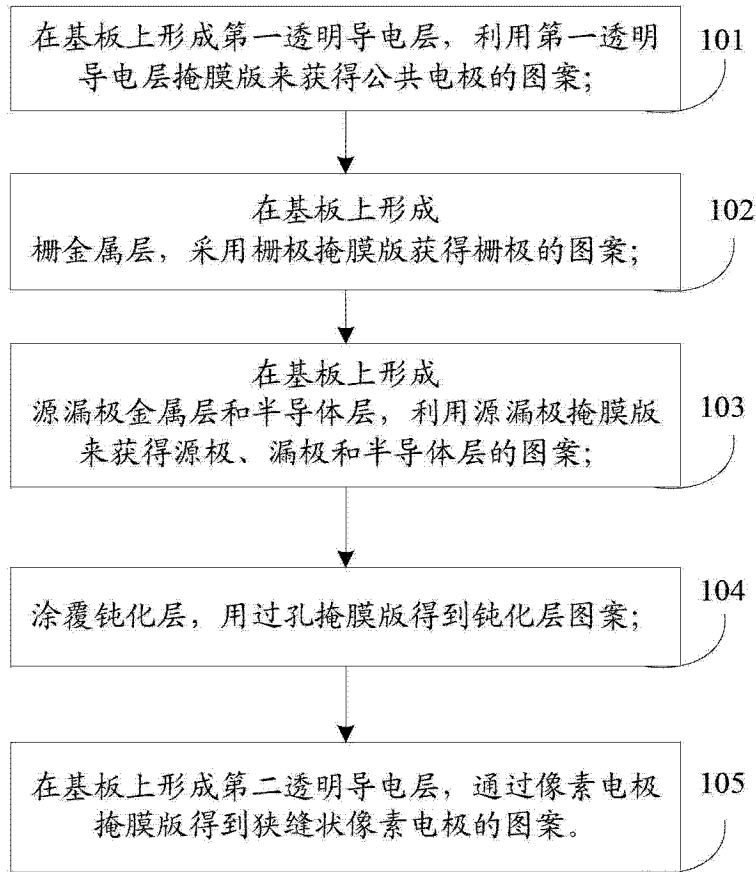


图 1

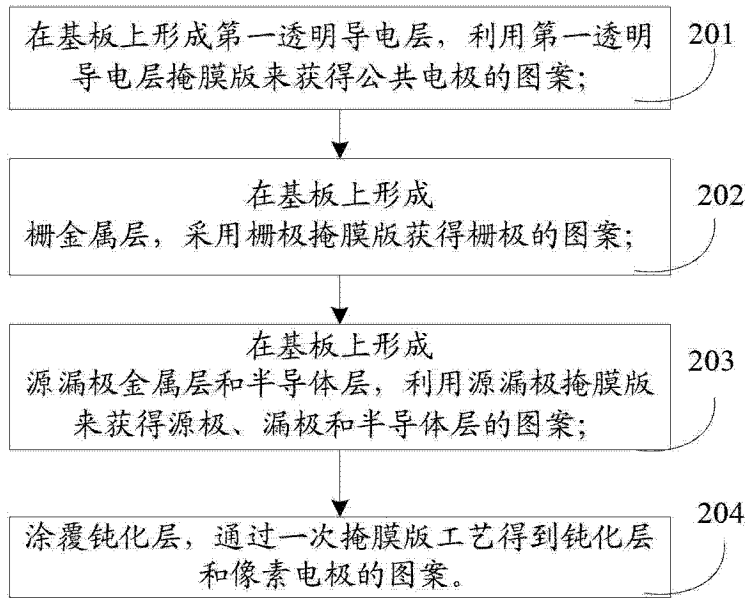


图 2

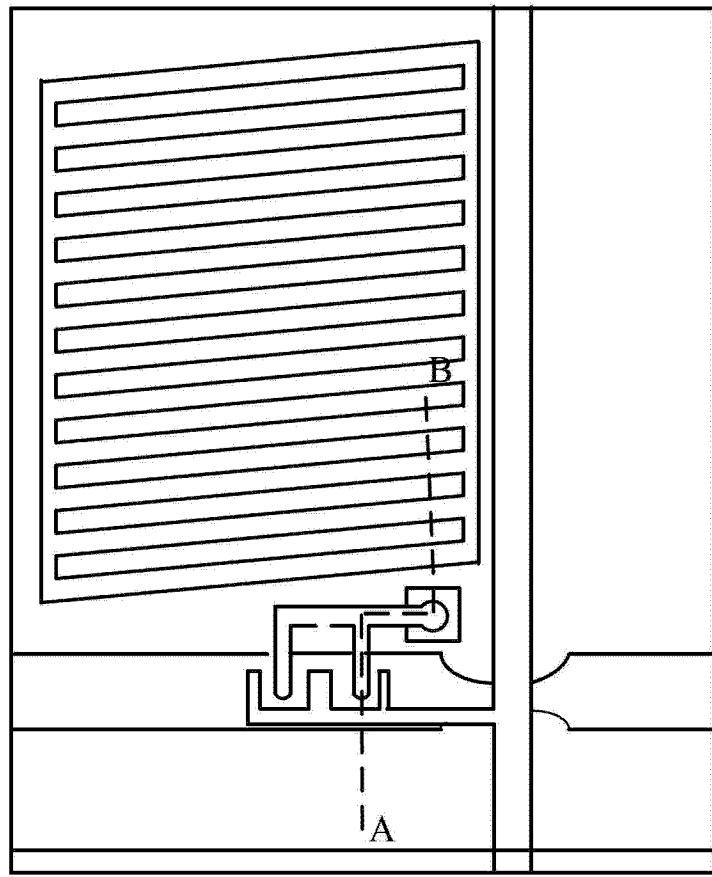


图 3

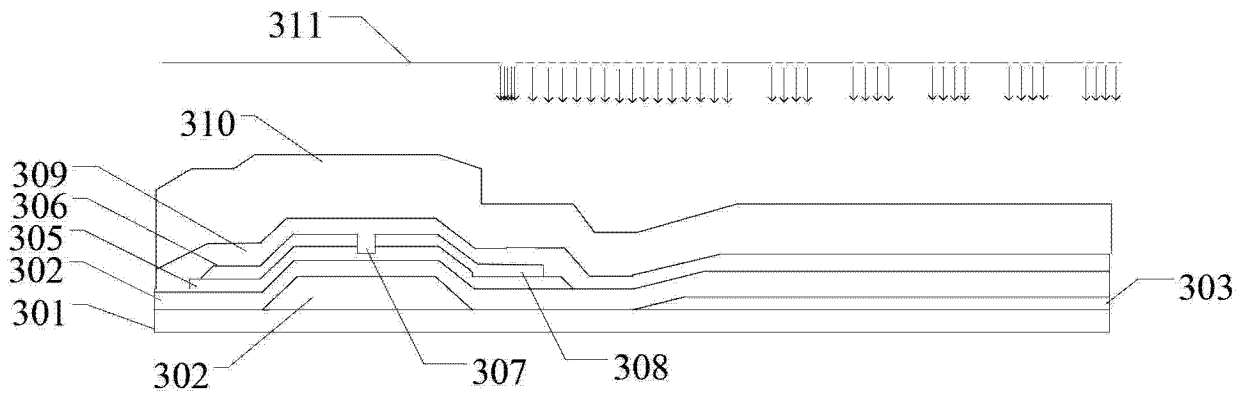


图 4

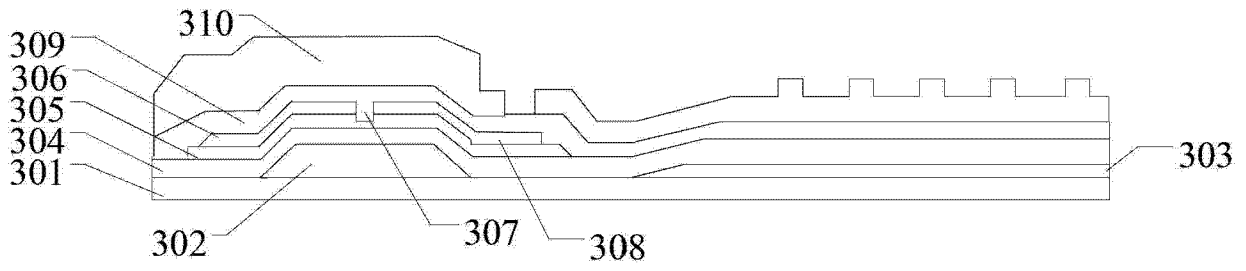


图 5

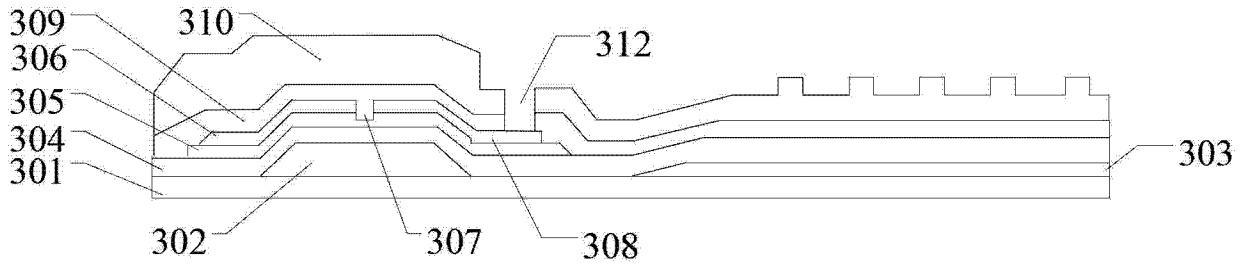


图 6

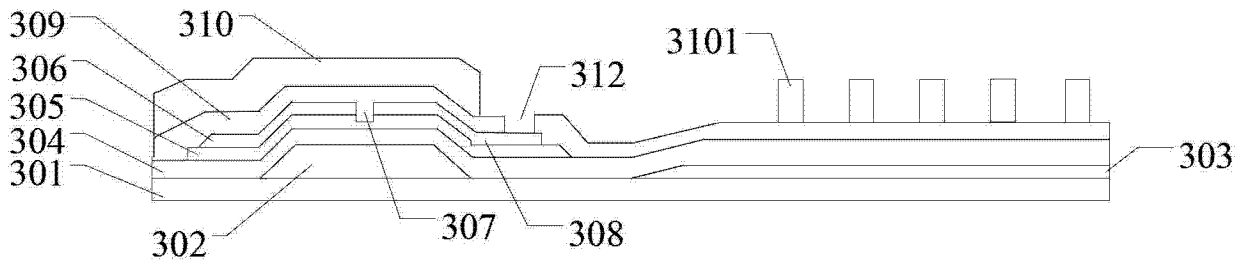


图 7

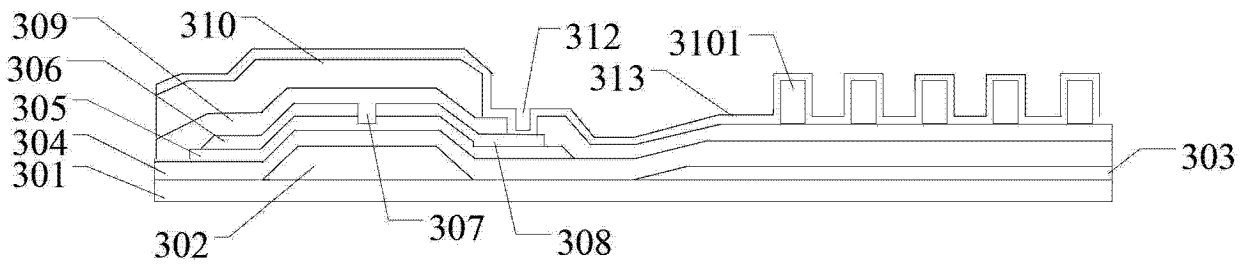


图 8

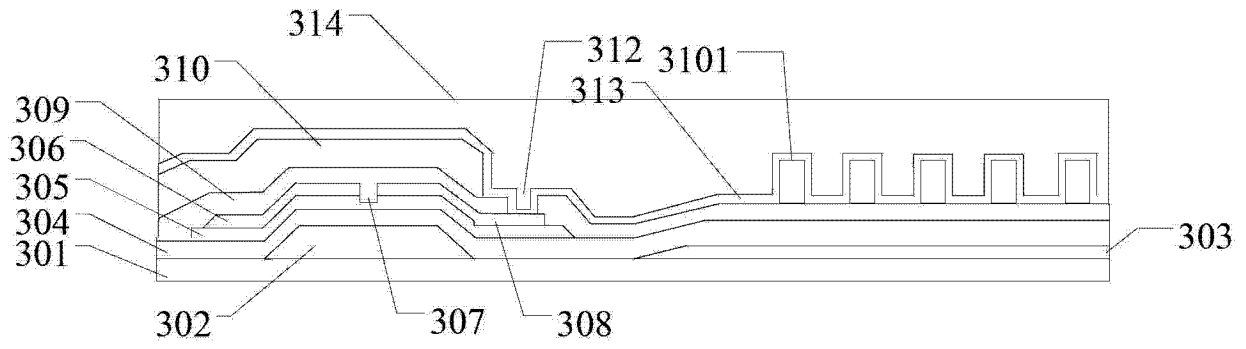


图 9

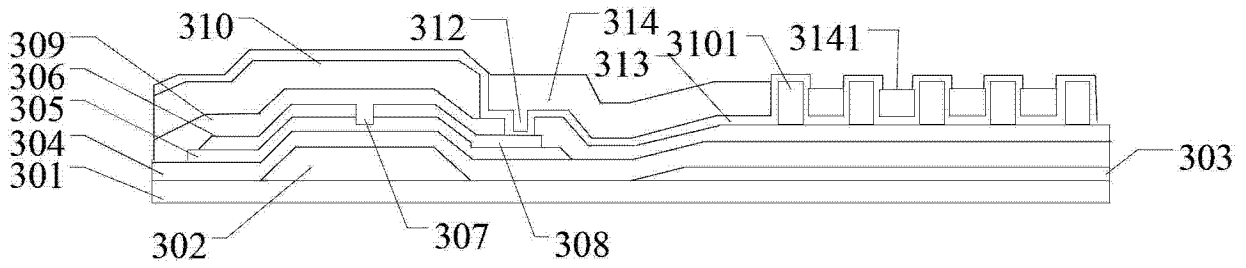


图 10

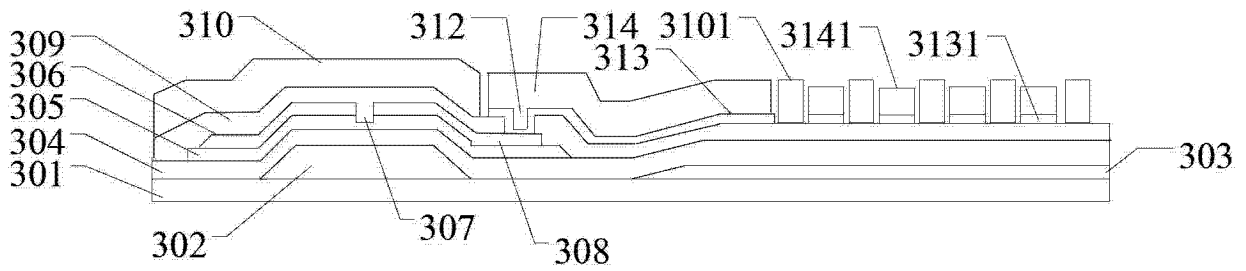


图 11

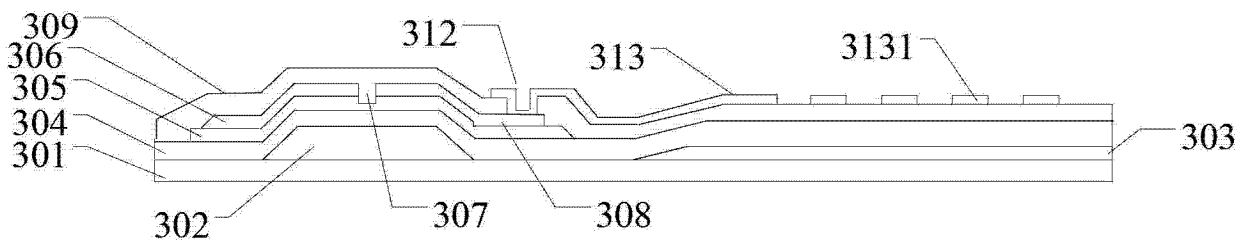


图 12

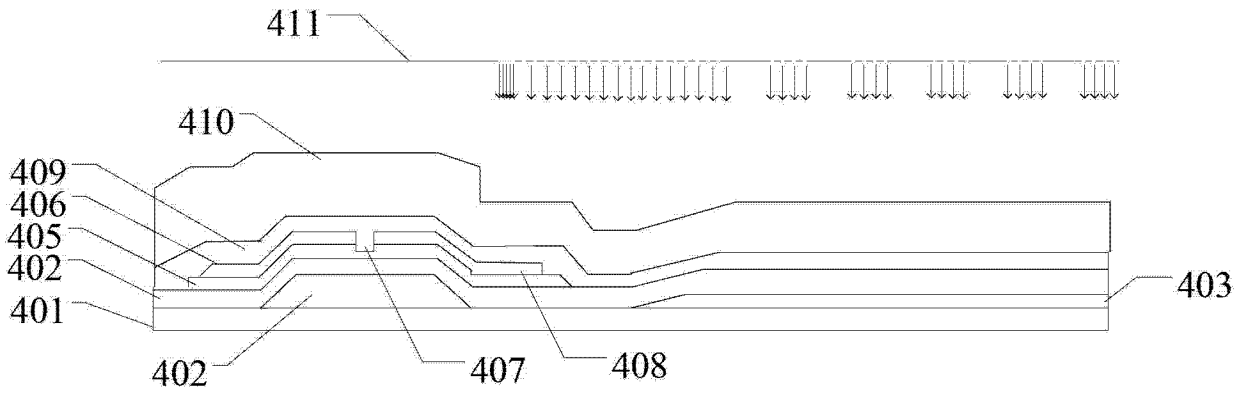


图 13

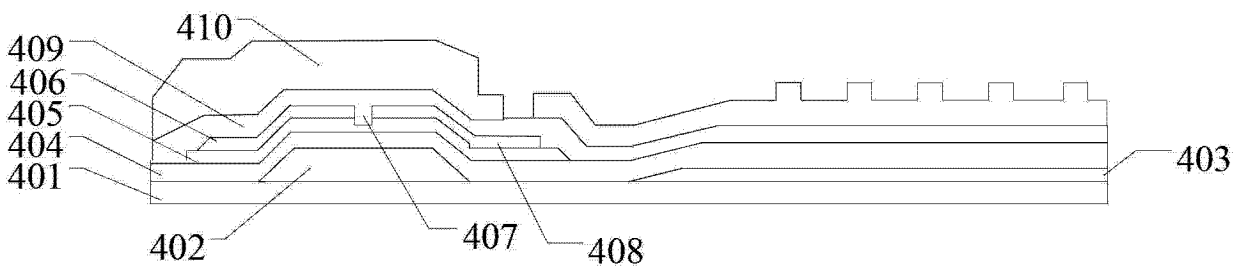


图 14

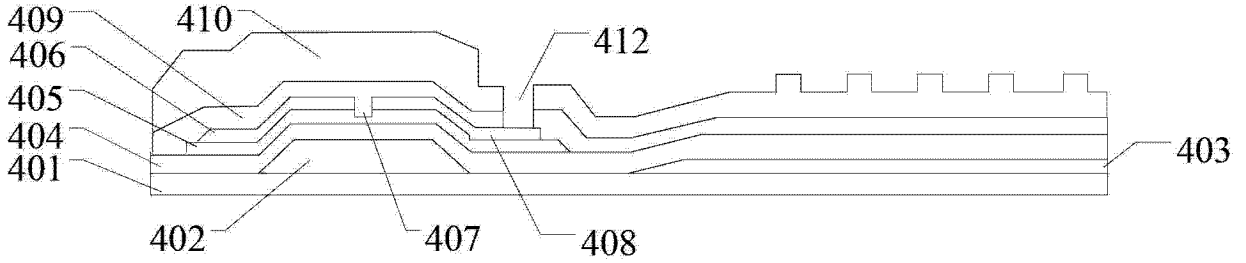


图 15

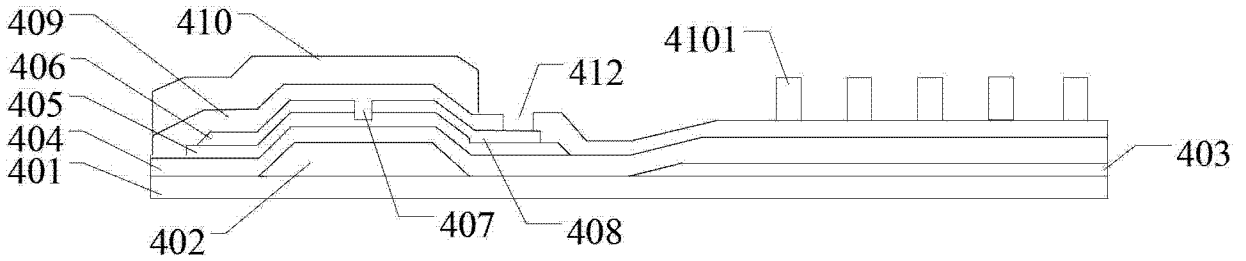


图 16

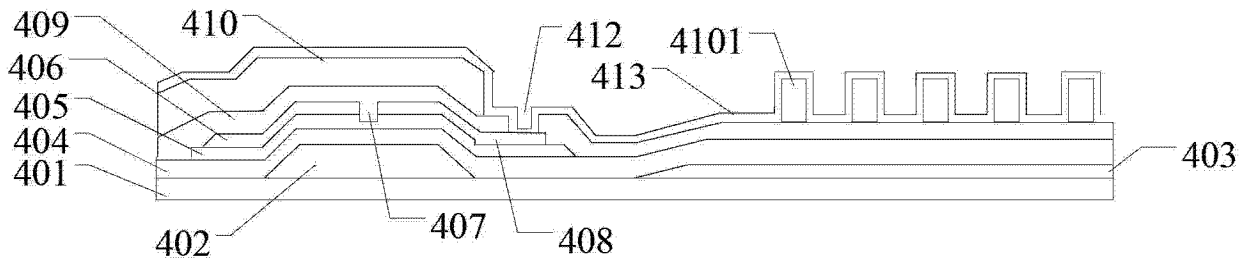


图 17

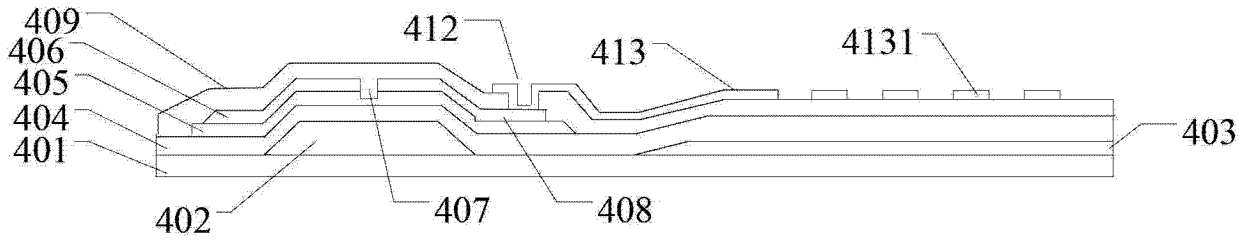


图 18