(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 577 331**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **85 16325**

(51) Int Cl⁴ : G 06 F 12/02; G 11 C 29/00.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 28 octobre 1985.

(30) **Priorité :** US, 29 octobre 1984, n° 665,990.

(43) **Date de la mise à disposition du public de la demande :** BOPI « Brevets » n° 33 du 14 août 1986.

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *Société dite : THESYS Memory Products, Corp.* — US.

(72) **Inventeur(s) :** Wendell B. Sander.

(73) **Titulaire(s) :**

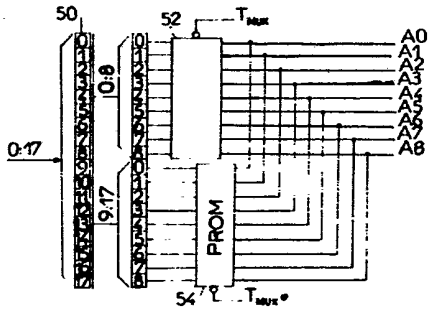
(74) **Mandataire(s) :** Jean Maisonnier.

(54) Appareil et procédé pour éviter les défauts dans les mémoires à semi-conducteurs.

(57) Appareil et procédé pour éviter les cellules défectueuses dans des mémoires à semi-conducteurs.

On utilise des lignes partagées d'entrée de rangées et de colonnes et les mémoires fonctionnent à vitesse normale et sans pertes de retard malgré la présence de cellules de mémoire et d'amplificateurs sélecteurs; le circuit reçoit d'un ordinateur des adresses de rangées et de colonnes, sépare et transmet les adresses de rangée RAD à travers un tampon de déclenchement 52 à des lignes partagées de sortie de la mémoire « partielle » ayant certaines cellules défectueuses, pendant un premier état d'un signal de déclenchement, afin de les inclure dans cette mémoire pendant l'application d'un signal d'autorisation de rangée. Une mémoire PROM 54 est programmée pour éviter les adresses de colonnes ayant des cellules ou des amplificateurs sélecteurs défectueux et diriger les adresses vers les colonnes non défectueuses. La mémoire PROM 54 complète sa traduction d'adresses pendant le premier état du signal de déclenchement et transfère les adresses corrigées de colonnes vers les lignes partagées d'entrée de la mémoire partielle pendant le second état du signal de déclenchement pour les inclure dans la mémoire partielle pendant l'application d'un signal d'autorisation de colonne.

Application aux systèmes d'informatique en général.



FR 2 577 331 - A1

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

L'invention a trait en général aux matrices de mémoires vives à semiconducteurs pour ordinateurs, et plus particulièrement à un agencement nouveau de circuits qui permet d'utiliser des dispositifs à mémoire comportant des emplacements de bits défectueux, ce qui devrait normalement entraîner leur rejet et leur mise au rebut par le fabricant.

Dans la fabrication de puces de circuits à semiconducteurs on constate qu'il existe sur une même galette beaucoup de "bonnes" puces et beaucoup de "mauvaises" puces. Un pourcentage élevé de ce qu'on appelle les mauvaises puces n'ont cependant qu'un seul ou un nombre très réduit de composants défectueux, et ces puces "partielles" peuvent être achetées chez le fabricant à un prix extrêmement bas en vue de leur utilisation dans certains circuits qui ne nécessitent pas le composant qui est défectueux dans la puce considérée. Dans des puces à mémoire vive ayant une capacité dynamique élevée (DRAM), comme par exemple le circuit intégré Western Electric WCM41256-17 ayant une capacité de mémoire de 2^{18} bits, un seul bit défectueux dans le total de 262 144 bits rend la totalité de la puce inutilisable, ce qui, à moins de mettre au point des circuits capables d'utiliser ces puces "partielles", conduit à la mise au rebut de la totalité de la puce à mémoires.

Dans les dernières années 60 le Demandeur a mis au point une technique permettant d'utiliser des puces dites partielles (puces à mémoires partiellement défectueuses) dans un système ou grille de mémoire. Cette technique a été mise en oeuvre et démontrée sur le système principal de mémoire ILLIAC IV et elle consistait à vérifier, trier et classer les puces dites partielles en seize groupes où l'on concentrait les positions des bits défectueux dans un groupe particulier compris dans un seizième déterminé de l'espace d'adressage. Une plaque à circuit imprimé a été conçue de façon qu'elle comporte seize emplacements, à raison d'un emplacement pour chacune des classifications considérées, ainsi qu'un dix-septième emplacement où l'on utilisait toutes les puces valables. Le système d'adressage de l'équipement informatique était conçu de façon à court-circuiter ou contourner les adresses des emplacements défectueux dans les groupes partiels et de substituer les emplacements corrects équivalents à la même adresse de puce dans le dix-septième groupe. Depuis cette première mémoire utilisant des puces de circuits à semiconducteurs défectueux, d'autres ont été conçus d'après la même technique de base. Certaines "sautent" la moitié de la puce, d'autres sautent un quart ou un huitième, et d'autres encore un seizième.

Suivant une technique différente visant à utiliser des puces par-

tielles dans un ensemble de mémoires, les puces du progiciel ont été introduites au hasard dans une plaque à circuit imprimé; ensuite, on soumettait la plaque à un essai et l'on dressait une "carte" afin d'enregistrer l'emplacement des bits et zones défectueux. Cette carte était transposée en éléments logiques dans le système d'adresses, après quoi, lorsque l'ordinateur associé envoyait une adresse à la mémoire, cette adresse était envoyée à la carte en tant qu'adresse de carte. Dans cet emplacement de la carte on stockait l'adresse d'un bit ou cellule de mémoire connu, et l'on avait accès et l'usage de cette adresse de carte en tant qu'adresse de substitution ou de remplacement de celle appelée par l'ordinateur.

Une variante de cette technique particulière d'adressage sur carte consiste à stocker une carte concernant une partie de l'emplacement des adresses de la mémoire dans une mémoire permanente et à ajouter à l'adresse originale de l'ordinateur la valeur de la donnée contenue dans l'emplacement de la carte. Le groupe de données ainsi obtenu sert alors d'adresse à un bit ou emplacement correct ou non-défectueux. Cette méthode technique implique l'usage d'une unité arithmétique ou d'un microprocesseur en plus de la mémoire permanente. Si l'on stocke un zéro dans la carte, la mémoire est adressée à son bon emplacement original. Si ce n'est pas un zéro, la quantité incrémentielle stockée dans la carte est ajoutée à l'adresse afin de la convertir à l'emplacement d'un bit ou emplacement correct.

La Figure 1 du dessin annexé montre le schéma synoptique de cette méthode technique de l'art antérieur pour passer d'un emplacement de mémoire défectueux à un emplacement correct. Les adresses transmises à partir d'un microprocesseur extérieur sont reçues et envoyées tant à une unité arithmétique qu'à une mémoire morte programmable (PROM) qui était précédemment programmée pour stocker les quantités incrémentielles nécessaires pour transférer l'adresse d'une position de bit défectueux dans la grille de mémoire à l'emplacement d'un bit ou cellule correct. Les adresses envoyées au PROM produisent ainsi un accès et la valeur stockée à cet emplacement dans le PROM est envoyée à l'unité logique arithmétique (ALU). On remarquera sur cette Figure 1 qu'il est nécessaire de retarder la synchronisation aussi bien des signaux de "déclanchement d'adresses de rangée NON" (RAS^* = row address strobe) et des signaux de "déclanchement d'adresses de colonne NON" (CAS^* = column address strobe) pour compenser la perte de temps dans les différentes portes de l'ALU (unité logique arithmétique). Il convient également de noter que, pour

simplifier l'impression, on a fait figurer le symbole "NON-" dans la description et le dessin non pas sous forme du trait supérieur habituel mais sous forme d'un simple astérisque.

L'invention décrite ici constitue un perfectionnement apporté à la technique évoquée ci-dessus. Plusieurs puces partielles à semiconducteurs de mémoires vives sont réunies dans le désordre sur des plaques de circuits imprimés, puis soumises à l'essai, après quoi on établit une sorte de carte des zones défectueuses de chaque puce pour transformer cette carte en composant de mémoire permanente, soit une PROM, laquelle contient alors des configurations telles que la carte induit le système à contourner les cellules défectueuses de la mémoire RAM pour passer par des emplacements contenant des bits ou zones corrects.

Certains types de composants de mémoires utilisent les mêmes lignes d'entrée pour adresser aussi bien les rangées que les colonnes de la mémoire. Le dispositif d'entrée, par exemple un ordinateur, peut d'abord appliquer une adresse de rangée que l'on enregistre dans la mémoire lorsque se produit un signal de déclanchement ou d'autorisation d'adresse de rangée (RAS), puis, après un court laps de temps, appliquer aux mêmes lignes partagées d'entrée une adresse de colonne qui est enregistrée dans la mémoire lorsque se produit un signal de déclanchement ou d'autorisation d'adresse de colonne (CAS).

La technique particulière mise en œuvre suivant la présente invention tire parti de deux caractéristiques des dispositifs à semiconducteurs. En premier lieu, on dispose d'un certain temps entre l'application desdits signaux respectifs de déclanchement de rangée et de colonne (RAS et CAS) à la mémoire vive à grande capacité dynamique (DRAM), ce qui est plutôt favorable à la conversion d'une adresse de colonne en une nouvelle adresse de carte, grâce à des mémoires PROM à grande vitesse, sans retarder ni affecter d'une manière quelconque le signal de déclanchement CAS au moment opportun. En second lieu, on dispose de mémoires PROM particulièrement rapides à grande capacité et ayant une sortie à huit bits. La grande vitesse de ces PROM supprime la nécessité d'utiliser une unité arithmétique ainsi que des circuits de retard ou à action différée comme ceux utilisés dans l'art antérieur que montre la Figure 1. La grande capacité, les possibilités de grande vitesse des mémoires PROM couramment disponibles pour traduire des adresses afin qu'elles soient transférées entre des emplacements de colonnes défectueuses et des emplacements de colonnes correctes pendant le court laps de temps qui s'écoule entre les applications d'adresses de rangées et d'adresses de colonnes, conjointe-

ment à l'élimination de la sujétion antérieure aux circuits arithmétiques et à action différée, permettent par conséquent de réaliser un système à semiconducteurs exempt de défauts, qui fonctionne à grande vitesse tout en corrigeant les adresses en les transférant des cellules défectueuses aux cellules correctes dans la mémoire.

On décrira maintenant un mode préféré de réalisation de la présente invention en se référant au dessin annexé, sur lequel:

La FIGURE 1 est un schéma synoptique montrant un système suivant l'art antérieur conçu pour éviter les défauts;

La FIGURE 2 est un schéma synoptique montrant une mémoire vive à haute capacité (DRAM), à semiconducteurs, du type disponible dans le commerce, telle qu'on l'utilise dans la mise en oeuvre de la présente invention;

La FIGURE 3 est un diagramme chronologique ou de synchronisation relatif à une mémoire DRAM, par exemple du type représenté Figure 2;

La FIGURE 4 est un schéma synoptique montrant le circuit pour éviter les défauts, en adressant et corrigeant les adresses de colonnes de la mémoire vive DRAM de la Figure 3;

La FIGURE 5 représente en vue partielle un fragment de la mémoire vive DRAM de la Figure 2, afin d'illustrer le transfert entre une position de bit défectueux et une position de bit correct;

La FIGURE 6 est un schéma synoptique montrant deux groupes de puces à mémoires formant une grande matrice de mémoires avec une sortie de 8-bits plus un bit de parité, et

La FIGURE 7 est un schéma synoptique montrant le circuit destiné à éviter les défauts dans la sélection du groupe DRAM et adresser et corriger des adresses dans la matrice DRAM de la Figure 6.

On a vu plus haut que la Figure 1 représente un schéma synoptique du circuit selon l'art antérieur, conçu pour éviter des zones défectueuses et atteindre des zones correctes dans une mémoire dynamique partielle, l'une de ces zones comportant des emplacements à bits défectueux. Dans cette disposition, des adresses de mémoires provenant d'un ordinateur associé sont dirigées à la fois vers une unité ALU 10 et vers une mémoire programmable PROM 12 qui a été programmée de façon à rectifier des adresses afin de les transférer entre des emplacements défectueux connus et des emplacements corrects dans la matrice 14 de mémoires y associée. Comme on l'a indiqué plus haut, le temps perdu dans les portes de l'unité ALU exige une compensation en retardant les signaux d'entrée de déclanchement d'adresses de rangée RAS , et les signaux d'entrée de déclanchement

d'adresses de colonnes CAS , dans les circuits de retard ou à action différée respectifs 16 et 18. Bien que les retards nécessaires puissent être seulement de l'ordre de 80 à 120 nanosecondes, ils ralentissent sensiblement le temps d'accès aux mémoires et réduisent les avantages qui découlent de l'utilisation de puces dites partielles et des circuits de traduction pour transférer une adresse entre des zones ou cellules défectueuses et des zones ou cellules correctes dans une puce de mémoire. La présente invention supprime les circuits de retard et rectifie les adresses de mémoire dans les délais normaux d'accès, de façon que la mémoire puisse fonctionner à sa vitesse maximale tout en corrigeant les adresses.

Ainsi qu'il a été mentionné plus haut, certains types de composants de mémoires utilisent des techniques d'adressage qui partagent les mêmes lignes d'entrée pour adresser aussi bien les rangées que les colonnes de la mémoire. La mémoire représentée dans le schéma synoptique de la Figure 2 utilise une telle entrée partagée et constitue une mémoire vive dynamique DRAM disponible dans le commerce, d'une capacité de 262 144 bits, fabriquée par la Western Electric sous la référence 41256-17. La puce de circuit de cette mémoire DRAM est divisée en quatre groupes de matrices de bits, ces groupes étant désignés respectivement par les chiffres de référence 20, 21, 22 et 23. Sept lignes de rangées d'adresses, RADD-1:7, sont utilisées pour adresser l'un des 128 emplacements de cellules dans chaque colonne de ces quatre groupes, tandis que huit lignes de colonnes d'adresses, CADD-0:7, adressent l'un des 256 emplacements de cellules dans chaque rangée horizontale dans ces quatre groupes. Chaque groupe de mémoire contient 256 cellules par rangée et 256 amplificateurs selecteurs reliés aux 256 lignes de colonne de chaque groupe. Ainsi qu'il apparaît plus clairement dans le groupe 22, chacun de ces 256 amplificateurs sélecteurs est associé à deux lignes de colonne 24, 25. Des signaux de lecture/écriture venant de et allant vers la mémoire sont transmis par l'intermédiaire du système de circuits de sélection qui comprend l'un de deux circuits 26 lequel, autorisé par un signal d'adresse de rangée RADD-0 ou RADD-0*, effectue la sélection de la ligne droite ou gauche dans chacun des quatre groupes. Les quatre lignes partant du circuit 26 aboutissent ensuite à un circuit parmi quatre circuits sélecteurs 27, lequel, autorisé par l'un des quatre états possibles des signaux RADD-8 et CADD-8, sélectionne l'un des quatre groupes pour assurer la connexion avec les circuits de lecture/écriture désignés respectivement en 28 et 29.

La Figure 3 montre à titre d'exemple des signaux de synchronisation qui sont nécessaires pour assurer le fonctionnement d'une mémoire

DRAM du type décrit ci-dessus. La ligne de synchronisation 30 (Adresse) indique le temps prévu pour une adresse dans une rangée de neuf bits . RADD-0:8, qu'il faut envoyer par l'intermédiaire des lignes d'adresses partagées à la mémoire pendant l'application d'un signal de déclenchement d'adresse de rangée RAS*, 31, comme le montre la ligne 32. Une seconde adresse de colonne à neuf bits, CADD-0:8, est envoyée par les mêmes lignes à l'instant CAS* 33 par la ligne 34 afin de compléter l'adresse à dix-huit bits nécessaire pour adresser un dispositif de mémoire à 256K. On remarquera que l'astérisque (*) qui suit RAS et CAS indique une fonction NON, comme on l'a signalé plus haut, et que les signaux ne sont actifs que lorsqu'ils sont dans leur état bas.

Pendant la partie RAS d'un cycle d'adresse, le dispositif à mémoires verrouille les signaux d'adresse de façon que les mêmes lignes puissent être ultérieurement utilisées pour l'adresse de colonne. A un moment suivant et déterminé d'avance, un signal d'adresse de colonne CAS*, 33, est envoyé sur une autre ligne de signaux afin d'indiquer que les signaux transmis sur les lignes d'adresses partagées sont maintenant destinés à des adresses de colonne. Le dispositif à mémoire peut dès lors accepter l'adresse de colonne, puis poursuivre le cycle pour déterminer l'emplacement du bit sélectionné à la jonction de l'adresse de rangée et de colonne, afin d'assurer la fonction de lecture ou d'écriture à cet emplacement conformément à l'état d'un signal d'écriture appliqué (W* ou W), comme l'indique la ligne de synchronisation 36, ce signal étant appliqué respectivement aux circuits de lecture 28 ou d'écriture 29, du dispositif à mémoire. On utilise normalement un signal de multiplexage en aval de la mémoire dynamique afin de diriger les groupes de signaux d'adressage de rangées et de colonnes vers les lignes communes partagées d'entrée d'adresses. Dans ces conditions, un cycle commence avec une adresse de rangée RADD et un signal de déclanchement d'adresse de rangée RAS , suivis après un laps de temps prédéterminé, d'une adresse de colonne CADD, et d'un signal de déclanchement d'adresse de colonne CAS*, les deux adresses de rangée et de colonne étant normalement multiplexées vers la mémoire dynamique en passant par le même jeu commun de lignes en fonction de l'état d'un signal de multiplexage T_{MUX}*.

Dans la présente invention, le laps de temps qui s'écoule entre le début de l'adresse de rangée RADD-0:8, 38, et qui comprend un temps normal 40 d'amorçage du circuit, et l'adresse de colonne CADD-0:8, 41 sur la ligne 30, est utilisé par une mémoire morte programmable PROM à grande vitesse pour d'adressage, afin de traduire les adresses de celles

parmi les colonnes DRAM qui contiennent des cellules de mémoire défectueuses ou des amplificateurs sélecteurs inopérants en colonnes contenant des cellules de mémoire utilisables. La ligne 42 du système de la Figure 3 illustre la synchronisation de cette période 44 de traduction, suivie de la période de temps normalement nécessaire pour appliquer l'adresse corrigée ou traduite CADD-O:8, 46. Dans le système de circuits destiné à éviter les défauts et qui sera décrit plus loin, cette période 44 de traduction d'adresse peut être de l'ordre de 70 nanosecondes et cela convient parfaitement pour une mémoire morte programmable PROM, par exemple du type 74S5472, pour effectuer les corrections d'adresses de colonne et permettre ainsi à la mémoire vive RAM de fonctionner à sa vitesse normale.

La Figure 4 est un schéma synoptique montrant le système de circuit suivant l'invention pour adresser une mémoire "partielle" DRAM. Un ordinateur associé utilisant le système de mémoires fournit une adresse de 18 bits, O-17, à un registre d'adresses 50 du système où les adresses sont séparées en adresses de rangées et adresses de colonnes. Comme on le voit sur cette Figure, les neuf adresses O:8 du registre 50 sont appliquées à un tampon déclanché 52 afin d'être transmises à partir de ce tampon par un signal de multiplexage, T_{MUX}, à un dispositif à mémoires y associé en passant par les neuf lignes de sortie AO:A8, pour être utilisées en tant qu'adresses de rangée, RADD, lorsque cela est autorisé par un signal de déclanchement d'adresses RAS. Les neuf adresses 9:17 qui se trouvent dans ce registre sont appliquées en tant qu'adresses de colonne CADD à une mémoire morte programmable PROM 54 préalablement programmée de façon à traduire l'adresse de colonnes défectueuses dans le dispositif à mémoires associé en adresses correctes d'emplacements ou de cellules de mémoire. Les adresses de colonnes ainsi traduites sont déclanchées par la mémoire morte PROM 54 en passant par les mêmes neuf lignes de sortie, AO:A8, grâce à un signal multiplexeur T_{MUX}^{*}, et reçues dans le dispositif à mémoires pendant la période de temps CAS. Il convient là encore de noter que l'astérisque (*) correspond à une expression "NON-" semblable à la barre supérieure classique.

L'usage du tampon déclanché 52 et de la mémoire programmable PROM 54 assure la fonction d'entrée qui consiste à appliquer seulement une charge aux lignes d'adresse, ainsi que la fonction d'avoir des sorties à trois états, de manière qu'elles multiplexent les adresses RADD et CADD sans qu'il soit nécessaire de recourir à d'autres multiplexeurs.

Dans la pratique, on procède d'abord à l'essai du dispositif à

mémoire dynamique ou DRAM afin de déterminer si ce dispositif satisfait aux critères spécifiés pour une puce "partielle" utilisable dans le système. La mémoire peut présenter un seul bit défectueux ou de multiples bits erronés, dans une seule colonne, par exemple par suite d'un défaut de l'amplificateur de détection, ce qui, dans le cas de la mémoire représentée Figure 2, peut intéresser 256 cellules ou bits. Durant l'essai, tout défaut jusqu'à et y compris un quart de colonne est traité comme une panne de quart entier de colonne, et des pannes plus importantes sont traitées en tant que pannes de quart multiples de colonne et peuvent équivaloir des pannes de demi-colonnes ou de colonnes entières. Des puces de mémoire ne comportant pas plus de six pannes par quart de colonne sont considérées comme ayant satisfait à l'essai et sont ensuite assemblées au hasard sur une plaque de circuit, puis soumises de nouveau à l'essai pour repérer l'emplacement des colonnes comportant des cellules défectueuses, après quoi la carte ainsi établie est transformée en tableau que l'on transfère enfin à la mémoire programmable PROM. Ce tableau permet d'éviter les colonnes contenant une ou plusieurs cellules à mémoire défectueuse ou un amplificateur de sélection défectueux, et transfère l'adresse de cette colonne défectueuse à une colonne ne comportant que de "bonnes" cellules.

On notera que la programmation de la mémoire PROM 54 doit correspondre à l'agencement particulier du dispositif à mémoire. Si la mémoire doit être ultérieurement remplacée en service, la fonction nécessaire peut être assurée en remplaçant la mémoire DRAM défectueuse par une mémoire DRAM totalement satisfaisante ou, alternativement, en créant une nouvelle mémoire programmable qui aura été programmée de façon à correspondre à la nouvelle disposition défectueuse.

La Figure 5 montre une partie d'un dispositif à mémoire qui correspond à un quart de cercle de la mémoire dynamique que montre la Figure 3. Si, par exemple, il existe un bit défectueux dans la colonne 56, ou si la totalité de la colonne du secteur est défectueuse du fait de la présence d'un amplificateur de sélection défectueux 58, la carte de la mémoire préprogrammée PROM remplacera l'adresse d'une nouvelle colonne 60 où le bit correspondant de la même rangée sera bon. Ensuite, toujours d'après la Figure 5, on pourra faire en sorte qu'un bit défectueux se trouvant dans la quatrième colonne 56 soit adressé de nouveau par la mémoire PROM afin d'éviter la colonne DRAM 60. Normalement, seulement 512 bits sont évités par chaque remplacement d'adresse dans un DRAM de 256K.

La description qui précède a été limitée à l'adressage d'une seule

mémoire dynamique DRAM. Dans des systèmes de mémoires utiles pour ordinateurs on relie souvent de nombreuses puces DRAM pour former une matrice de manière à obtenir une plus grande capacité d'adressage ainsi que de multiples courants d'entrée et de sortie d'octets multi-bits ou mots d'ordinateur. La Figure 6 montre une telle matrice de mémoires à courant multi-bits, laquelle comprend deux groupes 62, 64 de dispositifs DRAM, chaque groupe comportant neuf DRAM du type représenté Figure 2 et fournissant huit bits plus un bit de parité pour des opérations d'entrée et de sortie de données.

Sur la Figure 6, les adresses A0:A8 de toutes les mémoires DRAM sont reliées entre elles et fournissent aux moments adéquats des adresses de rangées 0:8 et des adresses de colonnes 0:8 à tous les DRAM dans un groupe sélectionné. La ligne d'entrée de données est partagée avec une ligne de sortie de donnée dans chaque DRAM individuelle; les huit lignes communes ou partagées D0:D8, plus une ligne de parité, DP, assurent la transmission de signaux d'entrée/sortie à partir et en direction d'un bus de données de 9 bits. Un groupe désiré parmi les groupes de mémoires 62, 64 est adressé par l'un des deux signaux appliqués, désignés ici par le sigle CAS-0* ou CAS-1* , et dont l'origine sera décrite plus loin, conjointement à un signal de déclanchement d'une rangée commune, RAS , et à un second signal de lecture/écriture par un signal RAS* , conjointement à un signal CAS-0* pour sélectionner le groupe 62 et à un signal CAS-1* pour sélectionner le groupe 64. Si on le désire, on peut activer les groupes avec un signal CAS* et sélectionner une colonne particulière par l'application d'un signal RAS-0* ou RAS-1* . La formation de ces signaux de déclanchement sera décrite plus loin.

La Figure 7 est un schéma synoptique montrant le système de circuits pour éviter les défauts, sélectionner un groupe de mémoire , traduire des adresses de colonnes et fournir les signaux corrects de synchronisation à la matrice DRAM de la Figure 6.

Etant donné que les puces DRAM utilisées dans le mode préféré de réalisation de l'invention nécessitent neuf rangées et neuf colonnes d'adresses sur des lignes d'entrées partagées, le circuit de correction de la Figure 7 exige 19 lignes d'entrée d'adresses, désignées de 0 à 18, qui partent de l'ordinateur y associé, soit neuf lignes d'adresses par rangées, neuf lignes d'adresses par colonnes, et une ligne supplémentaire pour la génération des signaux de déclanchement CAS-0* et CAS-1* , que l'on utilise pour la sélection du groupe DRAM 62 ou 64 de la Figure 6. Sur la Figure 7, les 19 lignes d'entrée d'adresses provenant de l'ordi-

nateur aboutissent à un registre d'entrée d'adresses 66 du système. On a supposé arbitrairement qu'une puce partielle DRAM aura la plupart des cellules de mémoire défectueuses concentrées dans quelques colonnes, en raison de la possibilité de la présence d'amplificateurs de déclanchement défectueux pour les colonnes, et que par conséquent le circuit pour éviter les défauts suivant la Figure 7 doit traduire seulement les adresses de colonnes. Eventuellement, les imputations d'entrée peuvent être inversées et l'on peut traduire les adresses de rangées en zones non-défectueuses de la puce à mémoire.

Ainsi qu'on l'a décrit en se référant à la Figure 4, les neuf lignes d'entrée d'adresses 0:8 du registre 66 sont reliées à un tampon à trois états 68 afin de brancher le groupe DRAM sélectionné à l'instant T_{MUX}. Dans le mode préféré de réalisation, on utilise un tampon du type 74LS244 à trois états et 8 bits pour faire passer les huit adresses de rangées 1:8 entre le registre 66 et les huit sorties d'adresses de rangées A1:A8. La neuvième adresse de rangée A0 s'obtient en branchant le bit de registre d'adresses d'entrée de l'ordre le plus bas, ou zéro, à travers la section d'un tampon quadruple distinct 70 à trois états du type 74LS125. Il est préférable d'utiliser le bit du registre d'entrée 0 pour fournir l'adresse de rangée A0, afin d'assurer la regénération de la puce DRAM, ce qui se produit sur les adresses de rangée RADD-0:7 pendant la période RAS*.

Le dixième bit, dans la position 9 du registre d'entrée 66, est relié à une entrée de la porte OU 72, et aussi, à travers un inverseur 74, à une entrée d'une seconde porte OU 76. Les secondes entrées de ces deux portes 72, 76 sont reliées à une minuterie 78 du système et en reçoivent le signal de déclanchement CAS*. La porte OU 76 génère le signal de sélection du groupe DRAM, CAS-0*, et la porte 72 génère le signal de sélection CAS-1*, ces deux signaux ayant déjà été expliqués plus haut en se référant à la Figure 6. Ainsi, lorsque le bit du registre d'entrée en position 9 est haut, le signal CAS-1* est autorisé et active le groupe DRAM 64 de la Figure 6; lorsque le bit 9 du registre d'entrée 9 devient bas, le signal CAS-0* est autorisé et active le groupe DRAM 62. Il convient de souligner le fait que le système exécute son cycle à travers toutes les adresses de rangée, d'abord dans le groupe 62 et ensuite dans le groupe 64, avant d'avancer vers les adresses de la colonne suivante qui sont présentes sur les neuf emplacements 10:18 du registre d'entrée.

Le dispositif à mémoire PROM 79 utilisé dans le mode préféré de réalisation pour la traduction des adresses de colonnes est une mémoire

PROM à grande vitesse, de 512 mots de 8 bits, type LS472, comportant huit lignes de sortie et branchée pour pouvoir recevoir des emplacements du registre d'entrée 66, désignés par les chiffres 10:18, les neuf bits binaires d'entrée nécessaires pour traduire 512 mots à huit bits. Les neuf bits binaires de la colonne d'adresses introduits dans le PROM 79 par le registre d'entrée sont introduits dans les huit emplacements parmi les emplacements ou cellules de bits corrects de la colonne d'adresses dans les DRAM suivantes, et branchés sur les huit bornes d'adresse A1:A8 par l'application d'un signal T_{MUX}* , et dans les entrées CADD des DRAM à l'instant CAS*.

Le neuvième bit de la colonne d'adresses DRAM AO s'obtient en branchant le bit sur la position 10 du registre d'entrée à travers une section d'un tampon quadruple 80 à trois états du type 74LS125, par l'application du signal T_{MUX}*. Le signal appliqué à cette position du registre d'entrée est le bit de l'ordre le plus bas de l'adresse de colonne et est utilisé comme adresse AO de la puce DRAM afin d'assurer la meilleure répartition au hasard des défauts de la puce, attendu que la possibilité de défauts adjacents localisés est plus grande que la possibilité de défauts dans différents quarts des puces DRAM.

Dans un système à ordinateur il est normalement prévu plusieurs plaques de circuits à mémoire, ce qui implique la nécessité de prévoir des signaux afin que chaque plaque puisse être mise sélectivement en service lorsque cela est nécessaire. Le mode préféré de réalisation de l'invention comprend par conséquent un circuit de synchronisation 78 contrôlé par l'horloge du système et par un signal de sélection de synchronisation SEL, de manière à produire des signaux de déclanchement de sortie correctement synchronisés, RAS* et CAS*, qui s'appliquent aux puces DRAM associées, ainsi que le signal de pultiplexage T_{MUX}* qui transfère alternativement le contenu du tampon de rangée et traduit la mémoire PROM pour les bornes d'adressage des puces AO:A8. Le circuit reçoit également de l'ordinateur y associé un signal de lecture/écriture qui s'applique directement à travers un tampon 82 de manière à produire des signaux de lecture et d'écriture W et W* pour les puces DRAM.

REVENDICATIONS

1. Appareil pour éviter des cellules défectueuses dans une matrice de mémoires, caractérisé par le fait qu'il comprend:

a) des moyens d'adressage conçus pour appliquer une première partie d'un groupe de signaux d'adresses à cette matrice (66) pendant un premier temps, et appliquer une seconde partie de ce groupe de signaux d'adresses pendant un second temps, et

b) un dispositif traducteur pour fournir une seconde partie destinée à adresser une section de la matrice comportant des mémoires fonctionnelles en réponse à une seconde partie pour adresser une section de la matrice qui comporte des mémoires défectueuses.

2. Appareil selon la Revendication 1, caractérisé par le fait que le dispositif traducteur comprend une mémoire (54) pour constituer ladite seconde zone fonctionnelle en réponse à ladite seconde partie défectueuse.

3. Appareil selon la Revendication 1, caractérisé par le fait que ladite matrice de mémoires (14) se compose d'éléments de mémoires dynamiques à accès aléatoire (DRAM).

4. Appareil selon la Revendication 1, caractérisé par le fait que ladite matrice de mémoires comprend un module de mémoire constitué par:

a) un ensemble d'éléments de mémoire;

b) un moyen (50) pour recevoir ledit groupe de signaux d'adressage;

c) dans ledit moyen d'adressage, des moyens pour appliquer ladite première partie du groupe de signaux d'adressage à ladite matrice d'éléments de mémoire pendant ledit premier temps;

d) dans ledit dispositif traducteur, un moyen conçu pour appliquer ladite seconde partie dudit groupe de signaux d'adressage à ladite matrice d'éléments de mémoire pendant ledit second temps, et

e) un moyen pour substituer une troisième partie à ladite seconde partie, afin de l'appliquer à ladite matrice de mémoires pendant ledit premier temps lorsque ladite seconde partie adresse une section de ladite matrice de mémoires qui comporte au moins un élément défectueux.

5. Appareil selon la Revendication 4, caractérisé par le fait que lesdits éléments de mémoire sont constitués par des mémoires dynamiques à accès aléatoire (DRAM).

6. Appareil selon la Revendication 4, caractérisé par le fait que ladite première partie (50) adresse des rangées présélectionnées (0 à 8) de ladite matrice de mémoire (66) et que les seconde et troisième parties

adressent des colonnes prédéterminées (9 à 17) de la matrice de mémoires.

7. Appareil selon la Revendication 4, caractérisé par le fait que ladite matrice d'éléments de mémoires (66) est constituée par plusieurs éléments de mémoire (0 à 17).

8. Appareil selon la Revendication 1, caractérisé par le fait que ladite matrice de mémoires (66) est du type à semiconducteurs ayant un composant partiellement défectueux et comprend des lignes partagées d'entrée (0-18) pour introduire des adresses dans les rangées et colonnes de la mémoire, grâce à l'application alternée de signaux d'autorisation de rangée et de colonne, et un circuit destiné à éviter les erreurs, interposé entre un dispositif d'entrée y associé et ladite matrice de mémoires, ce circuit d'évitement d'erreurs comprenant:

a) un premier moyen (68) pour d'une part recevoir du dispositif d'entrée d'adresses y associé ladite première partie d'un groupe de signaux d'adresses de mémoire qui représente un groupe de signaux d'adresses de rangées, et d'autre part transmettre ce groupe d'adresses de rangées aux lignes d'entrée partagées de ladite matrice de mémoires pendant le premier temps commencé par l'application d'un premier état d'un signal de multiplexage (T_{MUX}*) ayant un premier et un second état;

b) un moyen programmable (79) pour recevoir dudit dispositif d'entrée d'adressage y associé, pendant ledit premier temps, ladite seconde partie d'un groupe de signaux d'adresses de mémoires qui représente un groupe de signaux d'adresses par colonne , ce moyen programmable (79) étant dûment programmé au préalable, après essai des puces défectueuses de la mémoire, afin de convertir les groupes de signaux d'adresses d'entrée des colonnes contenant une cellule de mémoire défectueuse en adresses de sortie en forme de carte de colonnes dans ladite mémoire partiellement défectueuse contenant des cellules fonctionnelles, ledit dispositif programmable (79) transmettant les adresses sous forme de carte auxdites lignes d'entrée partagées (AO:A8) pendant ledit second temps commencé par le second état dudit signal de multiplexage (T_{MUX}*).

9. Appareil selon la Revendication 8, caractérisé par le fait que ledit premier moyen est constitué par un circuit tampon à déclanchement (68) comportant plusieurs étages tampons correspondant au nombre de bits de signaux que comporte ledit groupe de signaux d'adresses par rangées (66), et que ledit dispositif programmable (79) est une mémoire morte programmable (PROM) programmée afin de convertir des adresses d'entrée de colonnes en adresses de carte de colonnes dans la matrice de mémoires qui contiennent un amplificateur sélecteur fonctionnel et des cellules

fonctionnelles de mémoire.

10. Appareil selon la Revendication 8, caractérisé par le fait qu'il comprend un circuit de synchronisation (78) sensible à un signal d'horloge du système pour engendrer ledit signal de multiplexage (T_{MUX}*), un signal d'autorisation de rangée, et un signal d'autorisation de colonne pour ladite matrice de mémoires et ledit circuit d'évitement.

11. Appareil selon la Revendication 10, caractérisé par le fait que ladite matrice de mémoires est l'une parmi plusieurs matrices qui constituent au moins deux groupes de matrices de mémoires afin de délivrer des signaux parallèles de sortie à bits multiples, ledit circuit, destiné à éviter les erreurs, comprenant un moyen propre à autoriser un groupe sélectionné parmi ces groupes multiples, ce moyen d'autorisation comprenant d'une part une première porte (76) sensible à un signal sélectionneur produit à une borne de sélection de groupe dudit dispositif d'entrée d'adressage ainsi qu'à un signal d'autorisation de colonne dudit circuit de synchronisation (78) afin de générer un signal de sortie propre à autoriser un premier groupe parmi les groupes précités, et d'autre part une seconde porte (72) sensible à l'état inversé dudit signal de sélection et audit signal d'autorisation de colonne afin de générer un signal de sortie propre à autoriser un second groupe de matrices.

12. Appareil selon la Revendication 9, caractérisé par le fait que ladite mémoire programmable (79) reçoit des adresses de rangées provenant du dispositif d'adressage y associé et que cette mémoire est programmée de façon à éviter ou contourner les adresses de rangées qui contiennent des cellules de mémoire défectueuses afin de les transférer aux adresses de rangées contenant des cellules de mémoire fonctionnelles, et transmet les adresses de carte de ces rangées aux lignes d'entrée partagées pour qu'elles soient introduites dans cette matrice de mémoires lors de l'application dudit signal d'autorisation de rangée, afin que ledit circuit tampon de déclanchement (68) reçoive des adresses de colonnes et les transmette auxdites lignes d'entrée partagées afin de les introduire dans la matrice de mémoires lors de l'application dudit signal d'autorisation de colonne.

13. Procédé d'adressage d'une matrice de mémoires selon la Revendication 1, caractérisé par le fait qu'il comprend les phases qui consistent à :

a) identifier les sections de la matrice où se trouvent des composants défectueux par rapport à ladite seconde partie dudit groupe de signaux d'adresses, et

b) modifier ladite seconde partie dudit groupe de signaux d'adresses pendant ledit premier temps afin d'adresser des sections de la matrice qui comportent des composants fonctionnels.

14. Procédé selon la Revendication 13, caractérisé par le fait que la première phase relative à l'identification de composants défectueux de mémoires comprend le stockage de sections de composants fonctionnels de matrice de mémoires dans une unité de mémoire adressée par des groupes de signaux d'adresses de la première partie de composants défectueux de la matrice de mémoires, et que la seconde phase consiste à appliquer ledit groupe de signaux d'adresses de la première partie de composants défectueux de la matrice de mémoires à ladite unité de mémoires.

15. Procédé selon la Revendication 13, caractérisé par le fait que l'on transfère les adresses entre des emplacements de cellules défectueuses de mémoires et des emplacements de bits fonctionnels dans une matrice partiellement défectueuse comprenant une mémoire à semiconducteurs ayant des lignes d'entrée de rangées et des lignes d'entrée de colonnes, suivant les phases qui consistent à :

a) soumettre à l'essai la mémoire à semiconducteurs partiellement défectueuse afin de déterminer l'emplacement des cellules défectueuses qu'elle contient:

b) mettre sous forme de tableau lesdits emplacements déterminés de cellules défectueuses pour former une carte qui traduit une adresse de chaque colonne contenant une cellule défectueuse en une adresse de carte d'une colonne contenant des cellules correctes;

c) stocker ladite carte dans un dispositif à mémoire non-volatile qui reçoit à son entrée des signaux d'adresses de colonnes provenant du dispositif d'entrée y associé et qui traduit cette adresse de carte aux lignes d'entrée de colonnes de ladite mémoire partiellement défectueuse lors de l'application du premier état d'un signal de déclanchement ayant un premier état et un second état, et

d) prévoir un registre tampon à déclanchement périodique pour recevoir des signaux d'adresses de rangée provenant dudit dispositif d'entrée y associé et transférer ces signaux d'adresses de rangées aux lignes d'entrée d'adresses de rangées de ladite mémoire partiellement défectueuse lors de l'application du second état dudit signal de déclanchement.

16. Procédé selon la Revendication 15, caractérisé par le fait que ladite mémoire partiellement défectueuse utilise des lignes partagées

d'entrée de rangées et de colonnes et reçoit dans la mémoire, en provenance desdites lignes partagées d'entrée, lesdits signaux d'adresses de rangées pendant l'application d'un signal d'autorisation de rangées et lesdits signaux d'adresses de colonnes pendant l'application d'un signal d'autorisation de colonne, lesdits signaux d'autorisation de rangées et de colonnes étant appliqués à tour de rôle pendant un cycle de fonctionnement de ladite mémoire partiellement défectueuse.

17. Procédé pour éviter des parties défectueuses de la matrice d'éléments de mémoire selon la Revendication 1, caractérisé par la phase qui consiste à substituer lesdits éléments fonctionnels de la matrice de mémoire qui adressent les secondes parties d'adresses aux éléments défectueux de la matrice de mémoire qui adressent lesdites secondes parties d'adresses, avant ledit second temps.

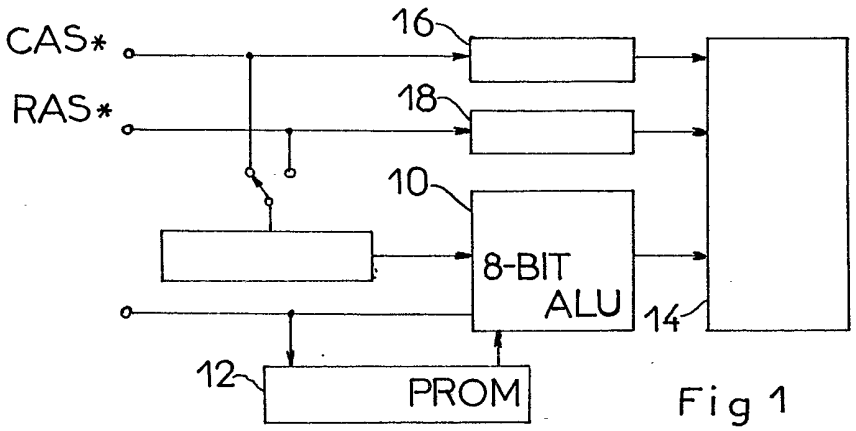

CAS*
RAS*
16
18
10
8-BIT
ALU
14
12
PROM

Fig 1

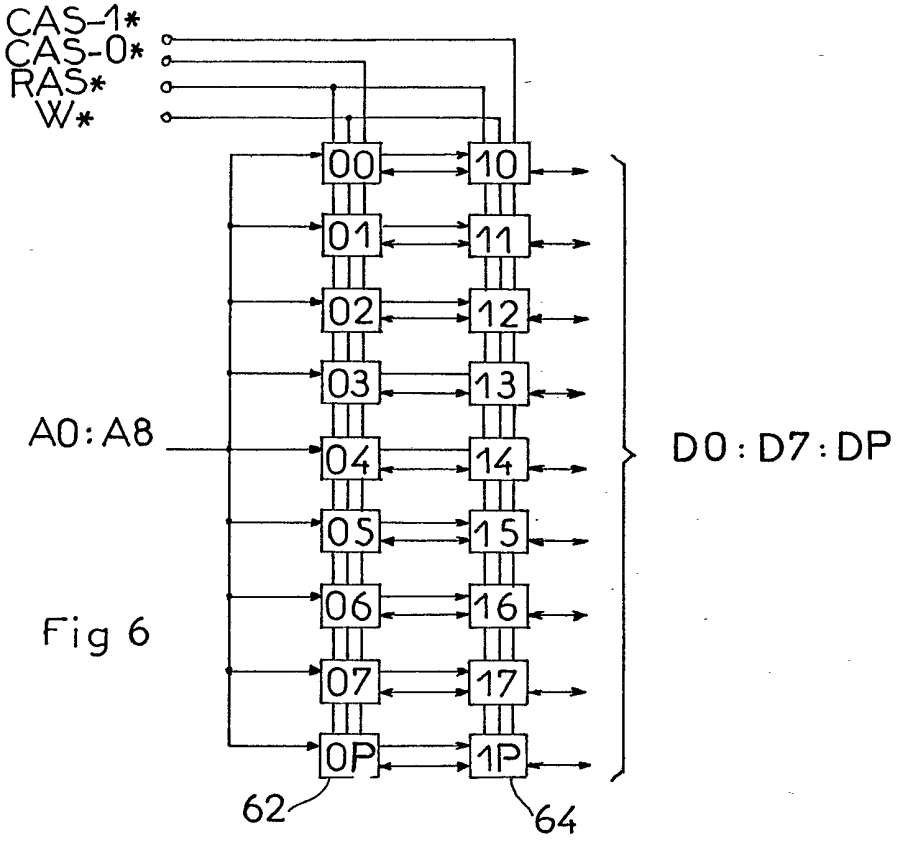

CAS-1*
CAS-0*
RAS*
W*
A0:A8
00
01
02
03
04
05
06
07
0P
10
11
12
13
14
15
16
17
1P
D0:D7:DP
62
64

Fig 6

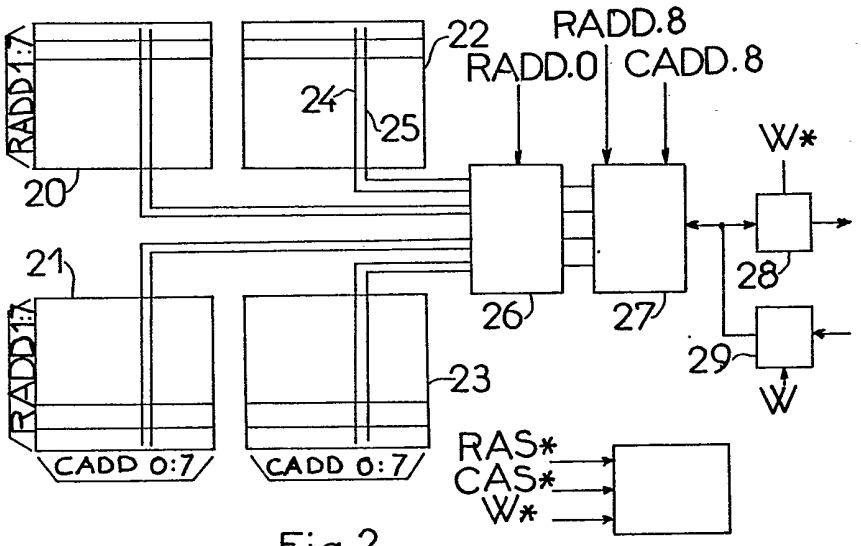

RADD 1:7
20
21
RADD 1:7
CADD 0:7
CADD 0:7
22
24
25
23
RADD.8
RADD.0
CADD.8
26
27
W*
28
29
W
RAS*
CAS*
W*

Fig 2

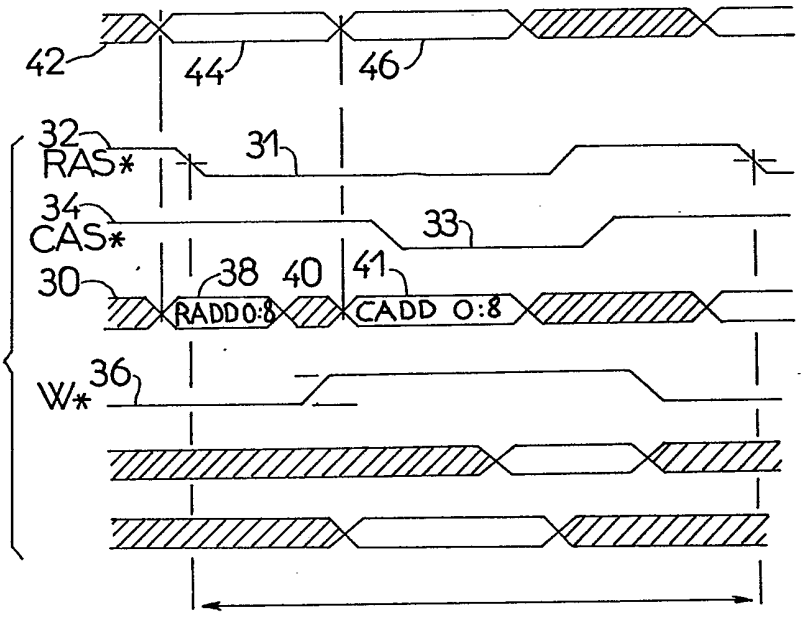

42
44
46
32
RAS*
31
34
CAS*
33
30
38
40
41
RADD 0:8
CADD 0:8
W*
36

Fig 3

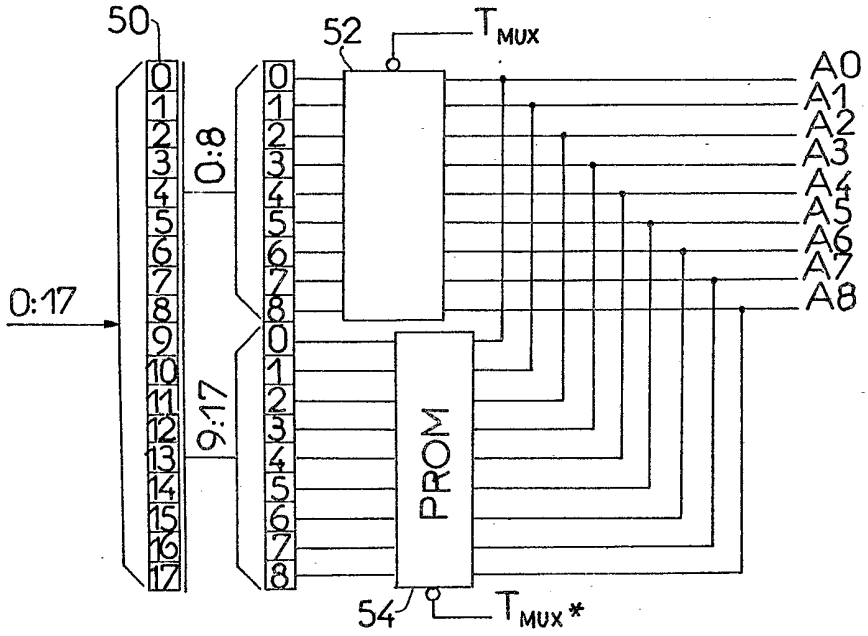

50
52
T_{MUX}
0:17
0:8
9:17
PROM
A0
A1
A2
A3
A4
A5
A6
A7
A8
54
T_{MUX}*

Fig 4

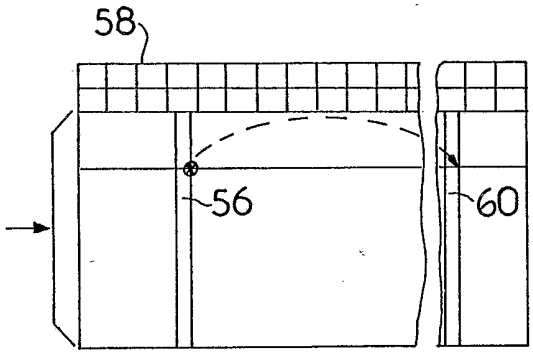

58
56
60

Fig 5

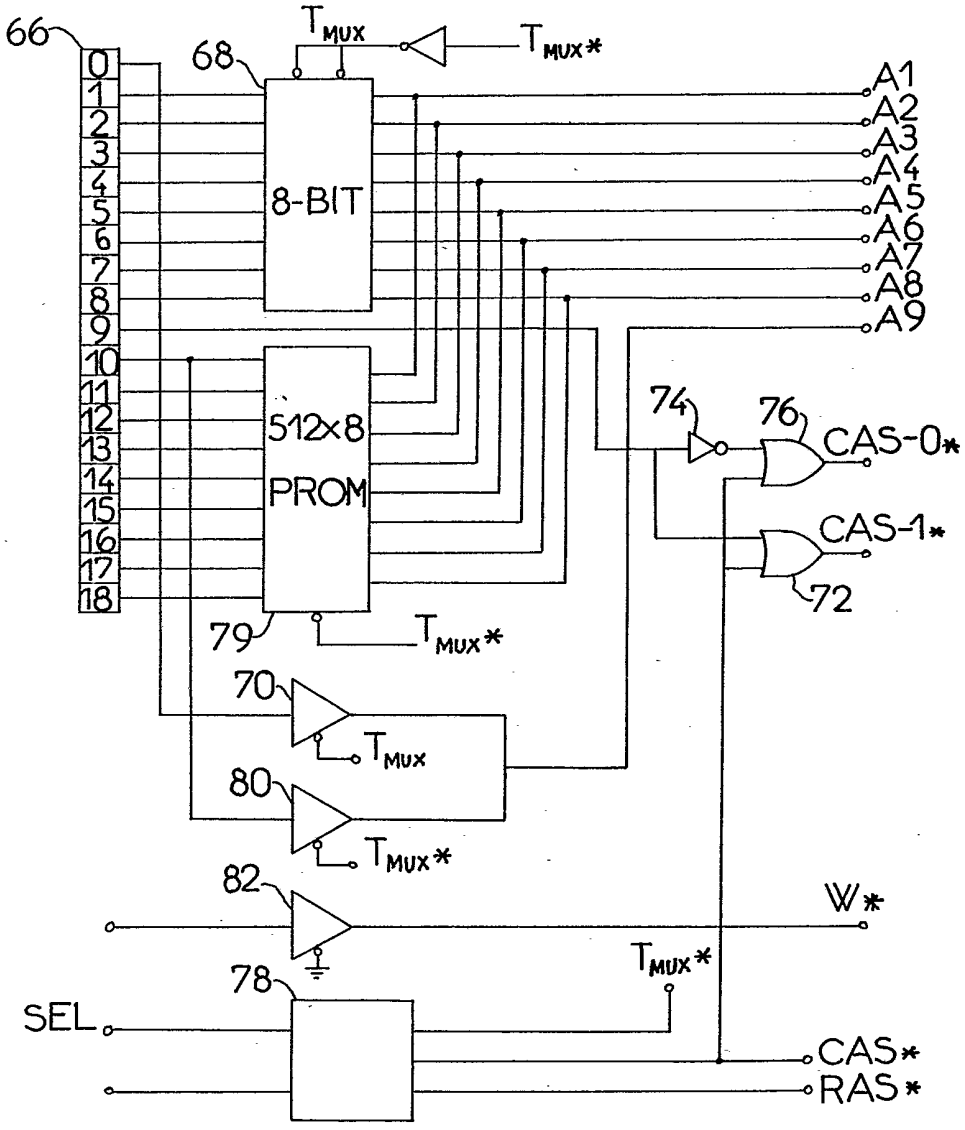

66
0
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
68
T_{MUX}
$T_{MUX}*$
8-BIT
512×8
PROM
79
$T_{MUX}*$
A1
A2
A3
A4
A5
A6
A7
A8
A9
74
76
CAS-0*
CAS-1*
72
70
T_{MUX}
80
$T_{MUX}*$
82
W*
$T_{MUX}*$
78
SEL
CAS*
RAS*

Fig 7