



(12) 发明专利

(10) 授权公告号 CN 112997319 B

(45) 授权公告日 2024. 05. 03

(21) 申请号 201980072358.6

(22) 申请日 2019.10.08

(65) 同一申请的已公布的文献号
申请公布号 CN 112997319 A

(43) 申请公布日 2021.06.18

(30) 优先权数据
62/743,114 2018.10.09 US

(85) PCT国际申请进入国家阶段日
2021.04.30

(86) PCT国际申请的申请数据
PCT/US2019/055113 2019.10.08

(87) PCT国际申请的公布数据
W02020/076766 EN 2020.04.16

(73) 专利权人 美光科技公司
地址 美国爱达荷州

(72) 发明人 D·V·N·拉马斯瓦米

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

专利代理师 彭晓文

(51) Int.Cl.
H01L 29/78 (2006.01)
H01L 29/66 (2006.01)
H01L 29/49 (2006.01)
H01L 21/768 (2006.01)
H01L 21/28 (2006.01)
H01L 21/02 (2006.01)

(56) 对比文件
US 9698272 B1, 2017.07.04
US 2013069052 A1, 2013.03.21
US 2016049406 A1, 2016.02.18
CN 103456639 A, 2013.12.18

审查员 张玉萍

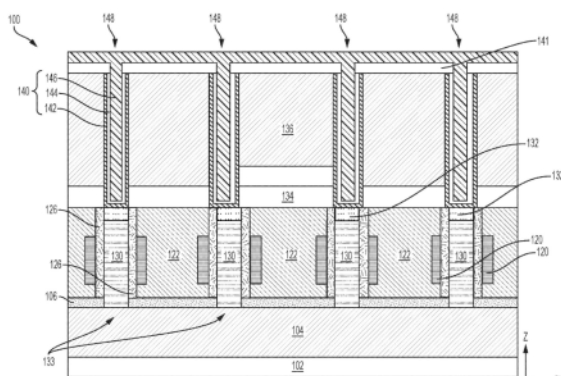
权利要求书3页 说明书18页 附图16页

(54) 发明名称

形成装置的方法以及相关装置及电子系统

(57) 摘要

本申请案涉及形成装置的方法以及相关装置及电子系统。一种形成装置的方法包括在上覆于大体上不透氢气的势垒结构的导电结构上方形成牺牲支柱结构。所述牺牲支柱结构通过在正交于所述导电结构线性延伸的第二横向方向的第一横向方向上线性延伸的沟槽彼此分离。形成在所述沟槽内且横向邻近所述牺牲支柱结构的侧壁的栅极电极。移除所述牺牲支柱结构以在所述栅极电极之间形成开口。形成在所述开口内且横向邻近所述栅极电极的侧壁的电介质衬里结构。在形成所述电介质衬里结构之后在所述开口内形成沟道结构。所述沟道结构包括具有大于多晶硅的带隙的带隙的半导体材料。在所述沟道结构上形成导电接触件。还描述一种装置、一种存储器装置及一种电子系统。



1. 一种形成存储器装置的方法,其包括:

在上覆于大体上不透氢气的势垒结构的导电结构上方形成牺牲支柱结构,所述牺牲支柱结构通过在正交于所述导电结构线性延伸的第二横向方向的第一横向方向上线性延伸的沟槽彼此分离;

形成在所述沟槽内且横向邻近所述牺牲支柱结构的侧壁的栅极电极;

移除所述牺牲支柱结构以在所述栅极电极之间形成开口;

形成在所述开口内且横向邻近所述栅极电极的侧壁的电介质衬里结构;

在形成所述电介质衬里结构之后在所述开口内形成沟道结构,所述沟道结构包括具有大于多晶硅的带隙的带隙的半导体材料;及

在所述沟道结构上形成导电接触件。

2. 根据权利要求1所述的方法,其进一步包括在所述导电接触件、所述电介质衬里结构及所述栅极电极上方形成大体上不透氢气的另一势垒结构。

3. 根据权利要求2所述的方法,其进一步包括:

在所述另一势垒结构上方形成电介质材料;

移除所述电介质材料及所述另一势垒结构的部分以形成从所述电介质材料的上表面垂直延伸到所述导电接触件的上表面的孔隙;及

形成在所述孔隙内且与所述导电接触件接触的电容器。

4. 根据权利要求3所述的方法,其中在所述孔隙内形成电容器包括在所述孔隙内形成铁电电容器,所述铁电电容器中的每一者包括第一电极、第二电极及在所述第一电极与所述第二电极之间的电介质结构。

5. 根据权利要求3所述的方法,其进一步包括在所述电容器及所述电介质材料上方形成大体上不透氢气的额外势垒结构。

6. 根据权利要求1所述的方法,其进一步包括在所述沟槽内形成栅极电极之后形成电介质隔离结构以大体上填充所述沟槽的剩余部分。

7. 根据权利要求1所述的方法,其中在上覆于势垒结构的导电结构上方形成牺牲支柱结构包括:

在所述导电结构上方形成线性牺牲结构,所述线性牺牲结构通过在所述第二横向方向上线性延伸的额外沟槽在所述第一横向方向上彼此分离;

形成在所述额外沟槽内且大体上填充所述额外沟槽的线性电介质结构;及

在所述线性牺牲结构及所述线性电介质结构内形成所述沟槽以形成所述牺牲支柱结构及电介质支柱结构。

8. 根据权利要求1所述的方法,其中在上覆于势垒结构的导电结构上方形成牺牲支柱结构包括形成所述牺牲支柱结构以包括多晶硅。

9. 根据权利要求1所述的方法,其进一步包括在所述牺牲支柱结构与所述导电结构之间形成额外导电结构。

10. 根据权利要求9所述的方法,其进一步包括在形成所述电介质衬里结构之后且在形成所述沟道结构之前使所述开口垂直延伸通过所述额外导电结构而到所述导电接触件的上表面。

11. 根据权利要求1所述的方法,其中在所述开口内形成沟道结构包括:

在所述开口内部及外部非保形地沉积所述半导体材料;及
移除所述半导体材料的超出所述开口的垂直边界的部分。

12. 根据权利要求1所述的方法,其中在所述开口内形成沟道结构包括形成所述沟道结构以包括氧化物半导体材料。

13. 根据权利要求1所述的方法,其中在所述开口内形成沟道结构包括形成所述沟道结构以包括 Zn_xSn_yO 、 In_xZn_yO 、 Zn_xO 、 $In_xGa_yZn_zO$ 、 $In_xGa_ySi_zO_a$ 、 In_xW_yO 、 In_xO 、 Sn_xO 、 Ti_xO 、 Zn_xON_z 、 Mg_xZn_yO 、 In_xZn_yO 、 $In_xGa_yZn_zO$ 、 $Zr_xIn_yZn_zO$ 、 $Hf_xIn_yZn_zO$ 、 $Sn_xIn_yZn_zO$ 、 $Al_xSn_yIn_zZn_aO$ 、 $Si_xIn_yZn_zO$ 、 Zn_xSn_yO 、 $Al_xZn_ySn_zO$ 、 $Ga_xZn_ySn_zO$ 、 $Zr_xZn_ySn_zO$ 及 $In_xGa_ySi_zO$ 中的一或多个者。

14. 根据权利要求1所述的方法,其中在所述开口内形成沟道结构包括使所述沟道结构中的每一者形成为大体上非均质。

15. 根据权利要求1所述的方法,其中在所述沟道结构上形成导电接触件包括:
移除所述沟道结构的上部分以形成上覆于所述沟道结构的剩余部分的凹部;
在所述凹部内部及外部沉积导电材料;及
移除所述导电材料的超出所述凹部的边界的部分。

16. 一种存储器装置,其包括:

第一势垒结构,其大体上不透氢气;

导电线结构,其上覆于所述第一势垒结构且在第一方向上横向延伸;

沟道支柱,其上覆于所述导电线结构且各自包括具有大于多晶硅的带隙的带隙的半导体材料;

电介质衬里结构,其大体上横向围绕所述沟道支柱的侧壁;

栅极电极,其横向邻近所述电介质衬里结构的外侧壁且在大体上垂直于所述第一方向的第二方向上横向延伸;

导电接触件,其上覆于所述沟道支柱;

第二势垒结构,其大体上不透氢气而上覆于所述电介质衬里结构及所述栅极电极的上表面且跨所述上表面横向延伸;

电介质材料,其上覆于所述第二势垒结构的上表面;及

电容器,其在延伸通过所述电介质材料及所述第二势垒结构到所述导电接触件的上表面的经填充孔隙内。

17. 根据权利要求16所述的存储器装置,其进一步包括上覆于所述电容器及所述电介质材料的部分的大体上不透氢气的第三势垒结构。

18. 根据权利要求16所述的存储器装置,其进一步包括在所述导电线结构上且横向邻近所述沟道支柱的导电结构。

19. 根据权利要求16所述的存储器装置,其中:

所述导电线结构包括Ru、Mo及TiN中的一或多个者;

所述第一势垒结构及所述第二势垒结构各自个别包括 AlO_x 、 AlO_xN_y 、 $AlSi_xN_y$ 及 $AlSi_xO_yN_z$ 中的一或多个者;且

所述沟道支柱包括 Zn_xSn_yO 、 In_xZn_yO 、 Zn_xO 、 $In_xGa_yZn_zO$ 、 $In_xGa_ySi_zO_a$ 、 In_xW_yO 、 In_xO 、 Sn_xO 、 Ti_xO 、 Zn_xON_z 、 Mg_xZn_yO 、 In_xZn_yO 、 $In_xGa_yZn_zO$ 、 $Zr_xIn_yZn_zO$ 、 $Hf_xIn_yZn_zO$ 、 $Sn_xIn_yZn_zO$ 、 $Al_xSn_yIn_zZn_aO$ 、 $Si_xIn_yZn_zO$ 、 Zn_xSn_yO 、 $Al_xZn_ySn_zO$ 、 $Ga_xZn_ySn_zO$ 、 $Zr_xZn_ySn_zO$ 及 $In_xGa_ySi_zO$ 中的一

或多者。

20. 根据权利要求16所述的存储器装置,其进一步包括:
额外导电线结构,其电耦合到所述栅极电极;
电容器,其电耦合到所述导电接触件;及
第三势垒结构,其大体上不透氢气而上覆于所述电容器。

21. 一种电子系统,其包括:

输入装置;

输出装置;

处理器装置,其可操作地耦合到所述输入装置及所述输出装置;及

根据权利要求16所述的存储器装置,其可操作地耦合到所述处理器装置。

形成装置的方法以及相关装置及电子系统

[0001] 优先权主张

[0002] 本申请案主张在2018年10月9日针对“形成半导体装置的方法及相关半导体装置、存储器装置及电子系统(Methods Of Forming a Semiconductor Device, And Related Semiconductor Devices, Memory Devices, and Electronic Systems)”申请的序列号为62/743,114号美国临时专利申请案的申请日期的权益。

技术领域

[0003] 本发明的实施例涉及半导体装置设计及制造的领域。更明确来说,本发明的实施例涉及形成半导体装置的方法,及相关半导体装置、存储器装置及电子系统。

背景技术

[0004] 半导体装置设计者通常希望通过减小个别特征的尺寸及通过减小相邻特征之间的分离距离来提高半导体装置内的特征的集成或密度水平。另外,半导体装置设计者通常希望设计不仅紧凑而且提供性能优点以及简化设计的架构。

[0005] 半导体装置的实例是存储器装置。存储器装置通常是提供为计算机或其它电子装置中的内部集成电路。存在许多种类的存储器,包含(但不限于):随机存取存储器(RAM)、只读存储器(ROM)、动态随机存取存储器(DRAM)、同步动态随机存取存储器(SDRAM)、铁电随机存取存储器(FeRAM)、快闪存储器及电阻可变存储器。电阻可变存储器的非限制性实例包含电阻性随机存取存储器(ReRAM)、导电桥随机存取存储器(导电桥RAM)、磁性随机存取存储器(MRAM)、相变材料(PCM)存储器、相变随机存取存储器(PCRAM)、旋转力矩转移随机存取存储器(STTRAM)、基于氧空位的存储器及可编程导体存储器。

[0006] 存储器装置的典型存储器单元包含存取装置(例如,晶体管)及存储器存储结构(例如,电容器)。所述存取装置通常包含介于一对源极/漏极区域之间的沟道区域,及经配置以通过所述沟道区域使所述源极/漏极区域彼此电连接的栅极。存取装置可包括平面存取装置或垂直存取装置。平面存取装置可基于在其源极区域与漏极区域之间的电流流动方向而区别于垂直存取装置。在垂直存取装置的源极区域与漏极区域之间的电流流动主要大体上正交(例如,垂直)于衬底或所述衬底下面的基底结构的主要(例如,主)表面,且在平面存取装置的源极区域与漏极区域之间的电流流动主要平行于衬底或衬底下面的基底的主要表面。

[0007] 许多常规存取装置将例如单晶硅及多晶硅的半导电材料用于其沟道。然而,使用此类材料可导致存取装置中的一些较不期望的电性质(例如,高截止电流(I_{off})、低电子载子迁移率、在栅极氧化物材料与沟道之间的界面处的散射)。另外,此类材料的相对较小带隙可阻碍(或甚至阻止)对存取装置的其它电性质(例如,较高接通电流(I_{on})、较快切换速度、较低操作电压、减少的电流泄漏)的改进。已研究其它半导电材料(例如氧化物半导体材料)作为单晶硅及多晶硅的替代材料用于存取装置的沟道。此类材料可具有大于单晶硅及多晶硅的带隙,且采用此类材料可促进存取装置中的改进电性质(例如,较低 I_{off})。然而,由

氧化物半导体材料形成沟道的常规方法可对包含所述沟道的存取装置的电性质产生负面影响。举例来说,蚀刻大量氧化物半导体材料以形成用于垂直存取装置的垂直定向沟道(例如,包含氧化物半导体材料的沟道支柱)的常规方法可使氧化物半导体材料暴露到可能对流动通过所述垂直定向沟道的电流产生负面影响的蚀刻化学物质(例如,含氢等离子体),从而限制垂直存取装置及采用垂直存取装置的半导体装置(例如,存储器装置)的性能。

[0008] 因此,需要用于形成半导体装置的新方法,以及新半导体装置及电子系统。

发明内容

[0009] 在一些实施例中,一种形成装置的方法包括在上覆于大体上不透氢气的势垒结构的导电结构上方形成牺牲支柱结构。所述牺牲支柱结构通过在正交于所述导电结构线性延伸的第二横向方向的第一横向方向上线性延伸的沟槽彼此分离。形成在所述沟槽内且横向邻近所述牺牲支柱结构的侧壁的栅极电极。移除所述牺牲支柱结构以在所述栅极电极之间形成开口。形成在所述开口内且横向邻近所述栅极电极的侧壁的电介质衬里结构。在形成所述电介质衬里结构之后在所述开口内形成沟道结构。所述沟道结构包括具有大于多晶硅的带隙的带隙的半导体材料。在所述沟道结构上形成导电接触件。

[0010] 在额外实施例中,一种装置包括第一势垒结构、导电线结构、沟道支柱、电介质衬里结构、栅极电极、导电接触件及第二势垒结构。所述第一势垒结构大体上不透氢气。所述导电线结构上覆于所述第一势垒结构且在第一方向上横向延伸。所述沟道支柱上覆于所述导电线结构且各自包括具有大于多晶硅的带隙的带隙的半导体材料。所述电介质衬里结构大体上横向围绕所述沟道支柱的侧壁。所述栅极电极是横向邻近所述电介质衬里结构的外侧壁且在大体上垂直于所述第一方向的第二方向上横向延伸。所述导电接触件上覆于所述沟道支柱。所述第二势垒结构大体上不透氢气且上覆于所述电介质衬里结构及所述栅极电极的上表面且跨所述上表面横向延伸。

[0011] 在进一步实施例中,一种存储器装置包括:字线;数字线;势垒结构,其大体上不透氢气而上覆于所述数字线;存储器单元,其上覆于所述势垒结构且电耦合到所述字线及所述数字线;及另一势垒结构,其大体上不透氢气而上覆于所述存储器单元。每一存储器单元包括电耦合到所述字线中的至少一者的垂直晶体管,及电耦合到所述垂直晶体管的电容器。所述垂直晶体管包括:沟道支柱,其在所述数字线中的一者上方且包括具有大于多晶硅的带隙的至少一个半导体材料;至少一个栅极电极,其横向邻近所述沟道支柱;及电介质衬里结构,其介于所述沟道支柱与所述至少一个栅极电极之间。

[0012] 在又进一步实施例中,一种电子系统包括:输入装置;输出装置;处理器装置,其可操作地耦合到所述输入装置及所述输出装置;及半导体装置,其可操作地耦合到所述处理器装置。所述半导体装置包括第一势垒结构、垂直晶体管及第二势垒结构。所述第一势垒结构大体上不透氢气。所述垂直晶体管上覆于所述第一势垒结构且包括:沟道结构,其包括具有大于多晶硅的带隙的至少一个半导体材料;栅极电介质材料,其横向围绕所述沟道结构;及栅极电极,其横向邻近所述栅极电介质材料。所述第二势垒结构大体上不透氢气且上覆于所述垂直晶体管的所述栅极电介质材料及所述栅极电极。

附图说明

[0013] 图1到13是说明根据本发明的实施例的形成半导体装置结构的方法的实施例的简化透视图(即,图1到4)及简化部分横截面视图(即,图5到7、8A、8B及9到13)。

[0014] 图14是根据本发明的实施例的存储器装置的功能框图。

[0015] 图15是根据本发明的实施例的电子系统的示意性框图。

具体实施方式

[0016] 描述形成半导体装置的方法,同样地,描述相关半导体装置、存储器装置及电子系统。本发明的方法及结构可促进相较于常规装置(例如,常规存取装置、常规半导体装置、常规存储器装置)及常规系统(例如,常规电子系统)具有增加的性能、减小的截止状态电流、增加的效率、增加的可靠性及增加的耐久性中的一或多者的装置(例如,晶体管、半导体装置、存储器装置)及系统(例如,电子系统)的形成。

[0017] 以下描述提供特定细节(例如材料种类、材料厚度及处理条件)以便提供本发明的实施例的透彻描述。然而,所属领域的一般技术人员将理解,可在不采用这些特定细节的情况下实践本发明的实施例。实际上,可结合行业中所采用的常规制造技术实践本发明的实施例。另外,下文提供的描述并未形成用于制造半导体装置(例如,存储器装置)的完整工艺流程。下文描述的半导体装置结构并未形成完整半导体装置。下文仅详细描述理解本发明的实施例所需的所述工艺动作及结构。由半导体装置结构形成完整半导体装置的额外动作可通过常规制造技术来执行。又应注意,伴随申请案的任何图式仅用于阐释性目的,且因此并不按比例绘制。此外,图中共有的元件可保持相同数字标识。

[0018] 如本文中所以使用,术语“衬底”意味着及包含其上形成额外材料的基底材料或构造。所述衬底可为半导体衬底、支撑结构上的基底半导体层、金属电极或其上形成有一或多个层、结构或区域的半导体衬底。所述衬底可为常规硅衬底或包括半导电材料层的其它块体衬底。如本文中所以使用,术语“块体衬底”不仅意味着及包含硅晶片,而且意味着及包含绝缘体上硅(SOI)衬底(例如蓝宝石上硅(SOS)衬底及玻璃上硅(SOG)衬底)、基底半导体基座上的硅的外延层及其它半导体或光电子材料(例如硅锗、锗、砷化镓、氮化镓及磷化铟)。衬底可经掺杂或未掺杂。通过非限制性实例,衬底可包括以下中的至少一者:硅、二氧化硅、具有原生氧化物的硅、氮化硅、含碳氮化硅、玻璃、半导体、金属氧化物、金属、氮化钛、含碳氮化钛、钽、氮化钽、含碳氮化钽、铌、氮化铌、含碳氮化铌、钼、氮化钼、含碳氮化钼、钨、氮化钨、含碳氮化钨、铜、钴、镍、铁、铝及贵金属。

[0019] 如本文中所以使用,术语“经配置”是指至少一个结构及至少一个设备中的一或多者的以预定方式促进所述结构及所述设备中的一或多者的操作的尺寸、形状、材料组合物、材料分布、定向及布置。

[0020] 如本文中所以使用,除非上下文另有清楚指示,否则单数形式“一(a)”、“一(an)”及“所述”希望也包含复数形式。

[0021] 如本文中所以使用,“及/或”包含相关联列举项目中的一或多者的任一组合及全部组合。

[0022] 如本文中所以使用,术语“纵向”、“垂直”、“横向”及“水平”涉及在其中或其上形成一或多个结构及/或特征的衬底(例如,基底材料、基底结构、基底构造等)的主平面且并不一

定通过地球引力场予以定义。“横向”或“水平”方向是大体上平行于所述衬底的主平面的方向,而“纵向”或“垂直”方向是大体上垂直于所述衬底的主平面的方向。衬底的主平面通过衬底的相较于衬底的其它表面具有相对较大面积的表面予以界定。

[0023] 如本文中所使用,“垂直邻近”或“纵向邻近”特征(例如,结构、装置)意味着及包含定位成彼此最垂直接近(例如,最垂直靠近)的特征。另外,如本文中所使用,“水平邻近”或“横向邻近”特征(例如,结构、装置)意味着及包含定位成彼此最水平接近(例如,最水平靠近)的特征。

[0024] 如本文中所使用,空间关系术语(例如“在…下面”、“在…下方”、“下”、“底部”、“上方”、“上”、“顶部”、“前”、“后”、“左”、“右”及类似者)可为易于描述而用于描述如图中所说明的元件或特征与另一(些)元件或特征的关系。除非另有指定,否则所述空间关系术语希望涵盖除如图中所描绘的定向之外的不同材料定向。举例来说,如果将图中的材料反转,那么描述为在其它元件或特征“下方”或“下面”或“的下”或“底部上”的元件将接着定向于其它元件或特征的“上方”或“顶部上”。因此,取决于使用术语的背景内容,术语“下方”可涵盖上方及下方两种定向,这对于所属领域的一般技术人员是显而易见的。材料可以其它方式定向(例如,旋转90度、反转、翻转等)且相应地解释本文中所使用的空间关系描述符。

[0025] 如本文中所使用,关于给定参数、性质或条件的术语“大体上”意味着及包含达到所属领域的一般技术人员将理解所述给定参数、性质或条件符合差异度(例如在可接受公差内)的程度。通过实例,取决于大体上满足的特定参数、性质或条件,所述参数、性质或条件可满足至少90.0%、满足至少95.0%、满足至少99.0%、满足至少99.9%或甚至满足100.0%。

[0026] 如本文中所使用,关于特定参数的数值的“大约”或“近似”包含所述数值及所属领域的一般技术人员将理解的在所述特定参数的可接受公差内的与所述数值的差异度。举例来说,关于数值的“大约”或“近似”可包含在所述数值的90.0%到110.0%的范围内的额外数值,例如在数值的95.0%到105.0%的范围内、在数值的97.5%到102.5%的范围内、在数值的99.0%到101.0%的范围内、在数值的99.5%到100.5%的范围内或在数值的99.9%到100.1%的范围内。

[0027] 除非上下文另有指示,否则本文中所描述的材料可通过任何合适工艺形成,包含(但不限于):旋涂、毯覆式涂布、化学气相沉积(“CVD”)、原子层沉积(“ALD”)、等离子体增强型ALD、物理气相沉积(“PVD”) (包含溅镀、蒸镀、离子化PVD及/或等离子体增强型CVD),及/或外延生长。取决于待形成的特定材料,可由所属领域的一般技术人员来选择用于沉积或生长材料的技术。另外,除非上下文另有指示,否则可通过任何合适工艺来完成本文中所描述的材料移除,所述工艺包含(但不限于):蚀刻(例如,干式蚀刻、湿式蚀刻、气相蚀刻)、离子铣削、研磨平坦化(例如,化学机械平坦化(“CMP”))及/或其它已知方法。

[0028] 图1到13是说明形成用于半导体装置(例如,存储器装置,例如FeRAM装置、DRAM装置、RRAM装置、导电桥RAM装置、MRAM装置、PCM装置、PCRAM装置、STTRAM装置、基于氧空位的存储器装置、可编程导体存储器装置)的半导体装置结构(例如,存储器结构)的方法的实施例的简化透视图(即,图1到4)及简化部分横截面视图(即,图5到7、8A、8B及9到13)。通过下文所提供的描述,所属领域的一般技术人员将易于明白本文中所描述的方法可用于各种装置中。换句话说,每当期望形成半导体装置时可使用本发明的方法。

[0029] 参考图1,形成半导体装置结构100以包含第一势垒结构102。第一势垒结构102是由大体上不透氢气的至少一种电介质材料形成且包含所述至少一种电介质材料。第一势垒结构102可(例如,例如)在半导体装置结构100的后续氢退火期间大体上阻碍(例如,阻止)氢通过其扩散。通过非限制性实例,第一势垒结构102可包括以下中的一或多个者:氧化铝(AlO_x)、氮氧化铝(AlO_xN_y)、氮化硅铝(AlSi_xN_y)、氮氧化硅铝($\text{AlSi}_x\text{O}_y\text{N}_z$)、氮化硼(BN_x)、氮化硼碳(BC_xN_y)、碳化硅(SiC_x)、氮化硅碳(SiC_xN_y)及氮化硅(SiN_x)。包含以上“x”、“y”及“z”中的一或多个者的式(例如, AlO_x 、 AlO_xN_y 、 AlSi_xN_y 、 $\text{AlSi}_x\text{O}_y\text{N}_z$ 、 BN_x 、 BC_xN_y 、 SiC_x 、 SiC_xN_y 、 SiN_x)表示复合材料,所述复合材料贯穿其一或多个区域针对铝(Al)、硼(B)或硅(Si)的每一个原子含有一个元素的“x”个原子、另一元素(如果有)的“y”个原子及额外元素(如果有)的“z”个原子的平均比率。在式表示相对原子比而非严格化学结构时,第一势垒结构102可包括贯穿其不同区域的一或多个化学计量化合物及/或一或多个非化学计量化合物,且“x”、“y”及/或“z”的值贯穿第一势垒结构102的不同区域可为整数或可为非整数。如本文中所使用,术语“非化学计量化合物”意味着及包含具有不能通过明确定义的自然数的比率表示且违反定比定律的元素成分的化学化合物。在一些实施例中,第一势垒结构102包括 AlO_x 。第一势垒结构102可形成于基底结构(例如,衬底)上或上方。

[0030] 接着参考图1,可在第一势垒结构102上或上方形成线性导电结构104,且可在线性导电结构104上或上方形成线性牺牲结构108。另外,任选地且如图2中所展示,一或多个额外线性导电结构106可垂直地形成于线性导电结构104与线性牺牲结构108之间。线性导电结构104、线性牺牲结构108及额外线性导电结构106(如果有)可在大体上彼此相同的方向(例如,X方向)上横向延伸,且可展现大体上彼此类似的横向尺寸(例如,长度、宽度)。沟槽110可横向(例如,在Y方向上)介于横向邻近的线性导电结构104、横向邻近的线性牺牲结构108及横向邻近的额外线性导电结构106(如果有)之间且分离横向邻近的线性导电结构104、横向邻近的线性牺牲结构108及横向邻近的额外线性导电结构106(如果有)。沟槽110可从线性牺牲结构108的上表面垂直(例如,在Z方向上)延伸到第一势垒结构102的上表面。

[0031] 线性导电结构104可由至少一种导电材料形成且包含至少一种导电材料,所述至少一种导电材料例如金属、合金、导电金属氧化物、导电金属氮化物、导电金属硅化物及导电掺杂半导体材料中的一或多个者。通过非限制性实例,线性导电结构104可由以下中的一或多个者形成且包含以下中的一或多个者:钌(Ru)、钨(W)、氮化钨(WN)、镍(Ni)、钽(Ta)、氮化钽(TaN)、硅化钽(TaSi)、铂(Pt)、铜(Cu)、银(Ag)、金(Au)、铝(Al)、钼(Mo)、钛(Ti)、氮化钛(TiN)、硅化钛(TiSi)、氮化硅钛(TiSiN)、氮化铝钛(TiAlN)、氮化钼(MoN)、铱(Ir)、氧化铱(IrO_x)、氧化钌(RuO_x)、氮化钌钛(RuTiN)及导电掺杂硅。在一些实施例中,线性导电结构104是由Ru形成且包含Ru。线性导电结构104可用作数字线(例如,数据线、位线),如下文进一步详细描述。

[0032] 线性牺牲结构108可由能够相对于线性导电结构104、额外线性导电结构106(如果有)及一或多个随后形成的材料(例如,电介质材料)选择性地移除的至少一个材料形成且包含所述至少一个材料。后续选择性移除线性牺牲结构108的材料可促进(例如,通过镶嵌工艺)形成用于半导体装置结构100的沟道结构(例如,垂直沟道结构),而无需使所述沟道结构的材料经受原本可能会对沟道结构的所要特性(例如,电流特性)产生负面影响的一或多个减材移除(例如,蚀刻)工艺,如下文进一步详细描述。通过非限制性实例,线性牺牲结

构108可由以下每一者形成且包含以下每一者:硅(例如,单晶硅、多晶硅)、氮化硅、含碳材料(例如, SiOCN)、碳、光致抗蚀剂材料或另一材料。在一些实施例中,线性牺牲结构108是由多晶硅形成且包含多晶硅。

[0033] 额外线性导电结构106(如果有)可由不同于线性导电结构104的导电材料的至少一种导电材料(例如,金属、合金、导电金属氧化物、导电金属氮化物、导电金属硅化物及导电掺杂半导体材料中的一或多者)形成且包含所述至少一种导电材料。通过非限制性实例,额外线性导电结构106可由以下中的一或多者形成且包含以下中的一或多者: W 、 WN 、 Ni 、 Ta 、 TaN 、 TaSi 、 Pt 、 Cu 、 Ag 、 Au 、 Al 、 Mo 、 Ti 、 TiN 、 TiSi 、 TiSiN 、 TiAlN 、 MoN 、 Ir 、 IrO_x 、 Ru 、 RuO_x 、 RuTiN 及导电掺杂硅。在一些实施例中,额外线性导电结构106是由 TiN 形成且包含 TiN 。

[0034] 线性导电结构104、线性牺牲结构108、额外线性导电结构106(如果有)及沟槽110可各自经个别形成以展现任何所要尺寸及间隔。可至少部分基于半导体装置结构100的所要功能及基于随后形成的半导体装置结构100的额外组件(例如,额外结构、额外材料)的尺寸及所要间隔来选择线性导电结构104、线性牺牲结构108、额外线性导电结构106(如果有)及沟槽110的尺寸及间隔,如下文进一步详细描述。如图2中所展示,如果经形成,那么额外线性导电结构106可展现相对于线性导电结构104减小的厚度。

[0035] 线性导电结构104、线性牺牲结构108、额外线性导电结构106(如果有)及沟槽110可使用本文中未详细描述的常规工艺(例如,常规沉积工艺,例如原地生长、旋转涂布、毯覆式涂布、CVD、PECVD、ALD及PVD中的一或多者;常规材料移除工艺,例如常规光刻工艺及常规蚀刻工艺)形成。

[0036] 接着参考图3,可在半导体装置结构100的沟槽110(图2)内形成线性电介质结构112。线性电介质结构112可大体上填充沟槽110,且可大体上局限于沟槽110的边界(例如,垂直边界、横向边界)内。如图3中所展示,线性电介质结构112的上表面可大体上与线性牺牲结构108的上表面共面。

[0037] 线性电介质结构112可由至少一种电介质材料形成且包含至少一种电介质材料,例如以下中的一或多者:电介质氧化物材料(例如,氧化硅,例如二氧化硅(SiO_2);磷硅酸盐玻璃;硼硅酸盐玻璃;硼磷硅酸盐玻璃;氟硅酸盐玻璃;氧化铝;高k氧化物,例如氧化铪(HfO_x);其组合)、电介质氮化物材料(例如, SiN)、电介质氮氧化物材料(例如, SiON)、电介质碳氮化物材料(例如, SiCN)及电介质碳氮氧化物材料(例如, SiOCN)及非晶碳。在一些实施例中,线性电介质结构112包括 SiO_2 。

[0038] 线性电介质结构112可使用本文中未详细描述的常规工艺及常规处理装置来形成。通过非限制性实例,电介质材料可非保形地形成(例如,沉积)于线性导电结构104、线性牺牲结构108、额外线性导电结构106(如果有)及第一势垒结构102的在沟槽110(图2)内部及外部的经暴露表面上方,且可通过至少一个平坦化工艺(例如常规CMP工艺)移除在沟槽110外部的电介质材料的部分。

[0039] 接着参考图4,可移除线性牺牲结构108(图3)及线性电介质结构112(图3)的部分以形成在垂直于线性导电结构104延伸的方向的方向(例如,Y方向)上横向延伸的牺牲支柱结构116、电介质支柱结构114及额外沟槽118;且线性栅极电极120(例如,栅极电极)可形成于额外沟槽118内。线性栅极电极120可用作字线(例如,存取线),如下文进一步详细描述。如图4中所展示,额外沟槽118横向(例如,在X方向上)介于横向邻近的牺牲支柱结构116与

横向邻近的电介质支柱结构114之间且分离横向邻近的牺牲支柱结构116与横向邻近的电介质支柱结构114。牺牲支柱结构116的侧壁(例如,侧表面)可大体上与电介质支柱结构114的侧壁共面。

[0040] 可通过使半导体装置结构100经受至少一个材料移除工艺(例如,至少一个蚀刻工艺)来形成牺牲支柱结构116、电介质支柱结构114及额外沟槽118。所述材料移除工艺可移除线性牺牲结构108(图3)及线性电介质结构112(图3)的经暴露部分,同时使第一势垒结构102、线性导电结构104及额外线性导电结构106(如果有)保持大体上完整(例如,未经移除、未经蚀刻)。在所属领域中已知且在本文中未详细描述合适选择性材料移除工艺(例如,掩蔽及蚀刻工艺)。

[0041] 线性栅极电极120可经形成横向邻近在额外沟槽118内的牺牲支柱结构116及电介质支柱结构114的经暴露侧壁。线性栅极电极120可在垂直于线性导电结构104延伸的方向(例如,Y方向)上横向延伸。如图4中所展示,在一些实施例中,横向介于横向邻近的牺牲支柱结构116与横向邻近的电介质支柱结构114之间的额外沟槽118中的每一者在其中包含线性栅极电极120结构的两者(2)。因此,线性栅极电极120的配置可促进后续形成个别地包含横向邻近沟道结构的两个(2)相对侧的线性栅极电极120的两者(2)的“双栅极式”晶体管,如下文进一步详细描述。在额外实施例中,横向介于横向邻近的牺牲支柱结构116与横向邻近的电介质支柱结构114之间的一些额外沟槽118在其中包含少于两个(2)的线性栅极电极120结构。举例来说,一些额外沟槽118在其中可包含单个(例如,唯一)线性栅极电极120,或在其中可不包含线性栅极电极120(例如,如果横向邻近的额外沟槽118在其中仍包含两个(2)线性栅极电极120)以促进后续形成个别地包含横向邻近沟道结构的一侧的线性栅极电极120中的一者(1)但不包含横向邻近所述沟道结构的相对侧的线性栅极电极120中的另一者(1)的“单栅极式”晶体管。

[0042] 线性栅极电极120可由至少一种导电材料形成且包含至少一种导电材料,所述至少一种导电材料例如金属、金属合金、导电金属氧化物、导电金属氮化物、导电金属硅化物及导电掺杂半导体材料中的一或多者。举例来说,线性栅极电极120可由以下中的一或多者形成且包含以下中的一或多者:W、WN、Ni、Ta、TaN、TaSi、Pt、Cu、Ag、Au、Al、Mo、Ti、TiN、TiSi、TiSiN、TiAlN、MoN、Ir、IrO_x、Ru、RuO_x、RuTiN及导电掺杂硅。线性栅极电极120的材料组合物可与线性导电结构104及额外线性导电结构106(如果有)中的一或多者的材料组合物相同或可不同于线性导电结构104及额外线性导电结构106(如果有)中的一或多者的材料组合物。在至少一些实施例中,线性栅极电极120是由TiN形成且包含TiN。

[0043] 线性栅极电极120可各自以任何合适横向尺寸(例如,在X方向及Y方向上的横向尺寸)形成。通过非限制性实例,线性栅极电极120中的每一者可经形成以具有在从约5纳米(nm)到约15nm(例如从约5nm到约10nm或从约10nm到约15nm)的范围内的在X方向上的宽度。在一些实施例中,线性栅极电极120中的每一者经形成以具有在从约5nm到约10nm的范围内的宽度。

[0044] 线性栅极电极120可使用本文中未详细描述的常规工艺及常规处理装置形成于额外沟槽118内。通过非限制性实例,导电材料可保形地形成(例如,通过PVD工艺、CVD工艺、ALD工艺及旋涂工艺中的一或多者沉积)于半导体装置结构100的在额外沟槽118内部及外部的经暴露表面上方,且接着可执行蚀刻工艺以从半导体装置结构100的在额外沟槽118外

部的表面及从额外沟槽118的底面(例如,额外线性导电结构106(如果存在)的上表面、线性导电结构104的上表面)移除所述导电材料,同时至少部分维持在额外沟槽118内的牺牲支柱结构116及电介质支柱结构114的侧壁上的导电材料以形成线性栅极电极120。

[0045] 接着参考图5,图5是在除了参考图4所描述的处理外的半导体装置结构100的额外处理之后的关于图4中所展示的线A-A的半导体装置结构100的一部分横截面视图,隔离结构122可形成于半导体装置结构100的额外沟槽118(图4)内。隔离结构122可大体上填充额外沟槽118的剩余部分(例如,未通过线性栅极电极120占据的额外沟槽118的体积),且可大体上局限于额外沟槽118的边界(例如,垂直边界、横向边界)内。如图5中所展示,隔离结构122的上表面可大体上与牺牲支柱结构116的上表面及电介质支柱结构114的上表面共面。

[0046] 隔离结构122可由至少一种电介质材料形成且包含至少一种电介质材料,例如以下中的一或多个:电介质氧化物材料(例如,氧化硅,例如 SiO_2 ;磷硅酸盐玻璃;硼硅酸盐玻璃;硼磷硅酸盐玻璃;氟硅酸盐玻璃;氧化铝;高电介质常数氧化物,例如 HfO_x ;其组合)、电介质氮化物材料(例如, SiN)、电介质氮氧化物材料(例如, SiON)、电介质碳氮化物材料(例如, SiCN)及电介质碳氮氧化物材料(例如, SiOCN)及非晶碳。在一些实施例中,隔离结构122包括 SiO_2 。

[0047] 隔离结构122可使用本文中未详细描述常规工艺及常规处理装置来形成。通过非限制性实例,电介质材料可非保形地形成(例如,沉积)于半导体装置结构100的在额外沟槽118(图4)内部及外部的经暴露表面上方,且接着可通过至少一个平坦化工艺(例如常规CMP工艺)移除在额外沟槽118外部的电介质材料的部分。

[0048] 接着参考图6,选择性地移除牺牲支柱结构116(图5)以形成开口124(例如,孔隙、通孔)。如图6中所展示,开口124可定位成横向邻近线性栅极电极120。开口124的几何配置(例如,形状、尺寸)可大体上对应于牺牲支柱结构116(图5)的几何配置(例如,与牺牲支柱结构116(图5)的几何配置大体上相同)。开口124的横向边界可至少部分通过线性栅极电极120、隔离结构122及电介质支柱结构114(图4)的侧表面界定;且开口124的下垂直边界可至少部分通过额外线性导电结构106(如果存在)的上表面或线性导电结构104的上表面界定。

[0049] 可使用本文中未详细描述常规材料移除工艺(例如,常规蚀刻工艺,例如常规湿式蚀刻工艺及常规干式蚀刻工艺中的一或多个)相对于半导体装置结构100的其它组件(例如,电介质支柱结构114、线性栅极电极120、隔离结构122、线性导电结构104、额外线性导电结构106(如果有)、第一势垒结构102)选择性地移除牺牲支柱结构116(图5)。

[0050] 接着参考图7,在开口124内形成电介质衬里结构126(例如,栅极电介质结构)。如图7中所展示,电介质衬里结构126部分填充开口124。在开口124内,电介质衬里结构126是定位成横向邻近线性栅极电极120、隔离结构122及电介质支柱结构114(图4)的侧表面。开口124的底面的中心部分可不含有电介质衬里结构126。另外,如果存在,那么可选择性地移除下伏于沟槽且未通过电介质衬里结构126覆盖的额外线性导电结构106的部分以暴露线性导电结构104的上表面。

[0051] 电介质衬里结构126可由至少一种电介质材料(例如,至少一个电介质氧化物材料)形成且包含所述至少一种电介质材料,例如以下中的一或多个: SiO_2 、磷硅酸盐玻璃、硼硅酸盐玻璃、硼磷硅酸盐玻璃、氟硅酸盐玻璃、氧化铝及高电介质常数氧化物(例如,氧化铪(HfO_x)、氧化铌(NbO_x)、氧化钛(TiO_x))。在一些实施例中,电介质衬里结构126是由 SiO_2 形成

且包含SiO₂。

[0052] 可选择电介质衬里结构126的尺寸(及因此,开口124的剩余部分的尺寸)以对待形成于开口124的剩余部分中的额外结构提供所要尺寸及间隔。电介质衬里结构126可(例如)经横向设置大小(例如,在X方向上)以促进展现所要横向尺寸及所要横向间隔的沟道结构的形成,如下文进一步详细描述。通过非限制性实例,电介质衬里结构126中的每一者可经形成以具有其电介质材料的横向宽度,所述横向宽度小于或等于约20nm,例如小于或等于约10nm或小于或等于约5nm。在一些实施例中,电介质衬里结构126中的每一者经形成以具有其电介质材料的在从约5nm到约10nm的范围内的横向宽度。

[0053] 电介质衬里结构126可使用本文中未详细描述之常规工艺及常规处理装置来形成。通过非限制性实例,电介质材料(例如,电介质氧化物材料)可保形地形成(例如,通过PVD工艺、CVD工艺、ALD工艺及旋涂工艺中的一或多者沉积)于半导体装置结构100的在开口124内部及外部的经暴露表面上方,且接着可执行各向异性蚀刻工艺以从半导体装置结构100的在开口124外部的表面及从下伏于开口124的中心部分的额外线性导电结构106(如果存在)或线性导电结构104(例如,如果额外线性导电结构106不存在)的上表面的部分移除所述电介质材料,同时维持在线性栅极电极120、隔离结构122及电介质支柱结构114(图4)的侧表面上的电介质材料以形成电介质衬里结构126。另外,如果存在额外线性导电结构106,那么可(例如,通过至少一个额外材料移除工艺)选择性地移除其未由电介质衬里结构126覆盖的剩余部分以使开口124垂直延伸且暴露线性导电结构104的上表面。

[0054] 接着参考图8A,可在半导体装置结构100的在开口124(图7)内部及外部的表面上方形成沟道材料128。沟道材料128可大体上填充开口124(图7)的剩余(例如,未填充)部分。如图8A中所展示,在先前通过开口124(图7)占据的边界(例如,垂直边界、横向边界)内,沟道材料128可定位成横向邻近电介质衬里结构126及额外线性导电结构106(如果存在),且可定位于线性导电结构104上或上方。

[0055] 沟道材料128可由包含具有大于多晶硅的带隙的带隙(例如大于1.65电子伏特(eV)的带隙)的至少一个区域的至少一种半导体材料形成且包含所述至少一种半导体材料。举例来说,沟道材料128可包括包含以下中之一或多者(例如,一者、两者或两者以上、三者或三者以上)的氧化物半导体材料:氧化锌锡(Zn_xSn_yO ,通常被称为“ZTO”)、氧化铟锌(In_xZn_yO ,通常被称为“IZO”)、氧化锌(Zn_xO)、铟镓锌氧化物($In_xGa_yZn_zO$,通常被称为“IGZO”)、铟镓硅氧化物($In_xGa_ySi_zO_a$,通常被称为“IGSO”)、氧化铟钨(In_xW_yO ,通常被称为“IWO”)、氧化铟(In_xO)、氧化锡(Sn_xO)、氧化钛(Ti_xO)、氮氧化锌(Zn_xON_z)、氧化镁锌(Mg_xZn_yO)、锆铟锌氧化物($Zr_xIn_yZn_zO$)、铪铟锌氧化物($Hf_xIn_yZn_zO$)、锡铟锌氧化物($Sn_xIn_yZn_zO$)、铝锡铟锌氧化物($Al_xSn_yIn_zZn_aO$)、硅铟锌氧化物($Si_xIn_yZn_zO$)、铝铟锡氧化物($Al_xIn_ySn_zO$)、镓铟锡氧化物($Ga_xIn_ySn_zO$)、锆铟锡氧化物($Zr_xIn_ySn_zO$)及其它类似材料。包含以上“x”、“y”、“z”及“a”中的至少一者的式(例如, Zn_xSn_yO 、 In_xZn_yO 、 $In_xGa_yZn_zO$ 、 In_xW_yO 、 $In_xGa_ySi_zO$ 、 $Al_xSn_yIn_zZn_aO$)表示复合材料,所述复合材料贯穿其一或多个区域针对每一个氧(O)原子含有一个元素的“x”个原子、另一元素(如果有)的“y”个原子、额外元素(如果有)的“z”个原子及另一元素(如果有)的“d”个原子的平均比率。在所述式表示相对原子比而非严格化学结构时,沟道材料128可包括贯穿其不同区域之一或多个化学计量化合物及/或一或多个非化学计量化合物,且“x”、“y”、“z”及“a”的值贯穿沟道材料128的不同区域可为整

数或可为非整数。如本文中所使用,术语“非化学计量化合物”意味着及包含具有不能通过明确定义的自然数的比率表示且违反定比定律的元素成分的化学化合物。

[0056] 沟道材料128可为大体上均质或可为非均质。在一些实施例中,沟道材料128是大体上均质,使得沟道材料128展现其元素的大体上均匀(例如,均等、不可变)分布。举例来说,包含于沟道材料128中的各元素(例如,一或多种金属、一或多种类金属、氧)的量(例如,原子浓度)贯穿沟道材料128的尺寸(例如,横向尺寸、垂直尺寸)不改变。在额外实施例中,沟道材料128是大体上非均质的,使得沟道材料128展现其元素中的一或多者的大体上非均匀(例如,非均等、可变)分布。举例来说,包含于沟道材料128中的一或多种元素(例如,一或多种金属、一或多种类金属、氧)的量(例如,原子浓度)可贯穿沟道材料128的尺寸改变。

[0057] 图8B说明沟道材料128的非均质形式的非限制性实例。如图8B中所展示,沟道材料128可包含具有第一材料组合物及第一材料分布的第一区域128A,及具有不同于第一区域128A的材料组合物及材料分布中的一或多者的第二区域128B。第一区域128A可上覆于第二区域128B,且第二区域可上覆于线性导电结构104、额外线性导电结构106(如果有)、电介质衬里结构126、隔离结构122及电介质支柱结构114(图4)的表面(例如,上表面、侧表面)。第一区域128A及第二区域128B可包含大体上彼此相同的元素,或可包含彼此不同的一或多种元素。在一些实施例中,沟道材料128的第一区域128A及第二区域128B包含大体上彼此相同的元素,但第一区域128A及第二区域128B包含元素中的一或多者的彼此不同的原子浓度。举例来说,沟道材料128可包括单一(例如,唯一)氧化物半导体材料(例如, Zn_xSn_yO 、 In_xZn_yO 、 Zn_xO 、 $In_xGa_yZn_zO$ 、 $In_xGa_ySi_zO_a$ 、 In_xW_yO 、 In_xO 、 Sn_xO 、 Ti_xO 、 Zn_xON_z 、 Mg_xZn_yO 、 In_xZn_yO 、 $In_xGa_yZn_zO$ 、 $Zr_xIn_yZn_zO$ 、 $Hf_xIn_yZn_zO$ 、 $Sn_xIn_yZn_zO$ 、 $Al_xSn_yIn_zZn_aO$ 、 $Si_xIn_yZn_zO$ 、 Zn_xSn_yO 、 $Al_xZn_ySn_zO$ 、 $Ga_xZn_ySn_zO$ 、 $Zr_xZn_ySn_zO$ 及 $In_xGa_ySi_zO$ 中的仅一者)的非均质形式,但所述单一氧化物半导体材料的一或多种元素的原子浓度(及因此,所述单一氧化物半导体材料的式的相对原子比)在第一区域128A及第二区域128B中可不同。在额外实施例中,沟道材料128的第一区域128A及第二区域128B包含彼此不同的一或多种元素。举例来说,第一区域128A及第二区域128B可包括彼此不同的氧化物半导体材料(例如,选自 Zn_xSn_yO 、 In_xZn_yO 、 Zn_xO 、 $In_xGa_yZn_zO$ 、 $In_xGa_ySi_zO_a$ 、 In_xO 、 Sn_xO 、 In_xW_yO 、 Ti_xO 、 Zn_xON_z 、 Mg_xZn_yO 、 In_xZn_yO 、 $In_xGa_yZn_zO$ 、 $Zr_xIn_yZn_zO$ 、 $Hf_xIn_yZn_zO$ 、 $Sn_xIn_yZn_zO$ 、 $Al_xSn_yIn_zZn_aO$ 、 $Si_xIn_yZn_zO$ 、 Zn_xSn_yO 、 $Al_xZn_ySn_zO$ 、 $Ga_xZn_ySn_zO$ 、 $Zr_xZn_ySn_zO$ 及 $In_xGa_ySi_zO$ 的不同氧化物半导体材料)。

[0058] 再次参考图8A,沟道材料128可使用本文中未详细描述的常规工艺(例如,常规沉积工艺、常规材料移除工艺)来形成。通过非限制性实例,沟道材料128可(例如,通过ALD工艺、CVD工艺、PECVD工艺、PVD工艺及旋涂工艺中的一或多者)沉积于线性导电结构104、额外线性导电结构106(如果有)、电介质衬里结构126、隔离结构122及电介质支柱结构114(图4)的经暴露表面上方。

[0059] 接着参考图9,可移除沟道材料128(图8A)的上部分以形成沟道结构130(例如,垂直沟道结构、沟道支柱)。可移除沟道材料128(图8A)的在开口124(图7)的边界(例如,垂直边界、横向边界)外部的部分。通过非限制性实例,可通过平坦化工艺(例如,CMP工艺)及毯覆式干式蚀刻工艺中的一或多者移除沟道材料128(图8A)的上部分。沟道结构130可在材料移除工艺之后在大于或等于约200°C的温度下退火。沟道结构130的最上表面(例如,在Z方向上)可大体上与电介质衬里结构126、隔离结构122及电介质支柱结构114(图4)的最上表

面共面。

[0060] 接着参考图10,可使沟道结构130垂直凹入(例如,可移除沟道结构130的上部分)且接着可在沟道结构130的剩余部分上形成导电接触件132。如图10中所展示,导电接触件132可定位成横向邻近电介质衬里结构126。另外,导电接触件132的最上表面(例如,在Z方向上)可大体上与电介质衬里结构126、隔离结构122及电介质支柱结构114(图4)的最上表面共面。

[0061] 导电接触件132可由至少一种导电材料形成且包含至少一种导电材料,例如W、WN、Ni、Ta、TaN、TaSi、Pt、Cu、Ag、Au、Al、Mo、Ti、TiN、TiSi、TiSiN、TiAlN、MoN、Ir、IrO_x、Ru、RuO_x、RuTiN及导电掺杂硅中的一或多者。导电接触件132的材料组合物可与线性导电结构104、额外线性导电结构106(如果有)及线性栅极电极120中的一或多者的材料组合物相同或可不同于线性导电结构104、额外线性导电结构106(如果有)及线性栅极电极120中的一或多者的材料组合物。在一些实施例中,导电接触件132是由Ru形成且包含Ru。在额外实施例中,导电接触件132是由Mo形成且包含Mo。

[0062] 沟道结构130可垂直凹入且导电接触件132可使用本文中未详细描述의常规工艺形成于所得凹部中。通过非限制性实例,沟道结构130可暴露到湿式蚀刻剂(例如,HCl)以移除其上部分以形成至少部分通过电介质衬里结构126的侧表面界定的凹部。此后,导电材料可(例如,通过一或多个常规沉积工艺,例如ALD工艺、CVD工艺、PECVD工艺、PVD工艺及旋涂工艺中的一或多者)形成于半导体装置结构100的在凹部内部及外部的表面上或上方。接着可(例如,通过至少一个平坦化工艺,例如CMP工艺)移除所述导电材料在凹部外的部分以形成导电接触件132。

[0063] 继续参考图10,在图10中所描绘的处理阶段的半导体装置结构100包含多个垂直晶体管133(例如,垂直薄膜晶体管(TFT))。垂直晶体管133各个别包含沟道结构130中的一者、导电接触件132中的一者、在沟道结构130的横向侧面的线性栅极电极120的两者,及横向介于沟道结构130与两个线性栅极电极120中的每一者之间的电介质衬里结构126的部分。因此,每一垂直晶体管133可被视为“双栅极式”,因为线性栅极电极120中的两者横向邻近垂直晶体管133的沟道结构130的两个相对侧。如先前所论述,根据本发明的额外实施例,垂直晶体管133可经形成以展现不同配置(例如,除“双栅极式”配置以外的配置)。作为非限制性实例,垂直晶体管133可经形成以展现“单栅极式”配置,其中每一垂直晶体管133个别地包含横向邻近沟道结构130的一侧的线性栅极电极120中的一者,但不包含横向邻近沟道结构130的相对侧的线性栅极电极120中的一者。举例来说,隔离结构122中的一者可代替第二线性栅极电极120横向邻近沟道结构130的相对侧。

[0064] 因此,根据本发明的实施例,一种形成半导体装置的方法包括在上覆于大体上不透氢气的势垒结构的导电结构上方形成牺牲支柱结构。所述牺牲支柱结构通过在正交于所述导电结构线性延伸所沿着的第二横向方向的第一横向方向上线性延伸的沟槽彼此分离。形成在所述沟槽内且横向邻近所述牺牲支柱结构的侧壁的栅极电极。移除所述牺牲支柱结构以在所述栅极电极之间形成开口。形成在所述开口内且横向邻近所述栅极电极的侧壁的电介质衬里结构。在形成所述电介质衬里结构之后在所述开口内形成沟道结构。所述沟道结构包括具有大于多晶硅的带隙的带隙的半导体材料。在所述沟道结构上形成导电接触件。

[0065] 接着参考图11,可在电介质衬里结构126、导电接触件132、隔离结构122及电介质支柱结构114(图4)的上表面上或上方形成第二势垒结构134。第二势垒结构134可由大体上不透氢气的至少一种电介质材料形成且包含所述至少一种电介质材料。第二势垒结构134可(例如,例如)在半导体装置结构100的后续氢退火期间大体上阻碍(例如,阻止)氢通过其扩散。通过非限制性实例,第二势垒结构134可包括以下中的一或多者: AlO_x 、 AlO_xN_y 、 AlSi_xN_y 、 $\text{AlSi}_x\text{O}_y\text{N}_z$ 、 BN_x 、 BC_xN_y 、 SiC_x 、 SiC_xN_y 及 SiN_x 。第二势垒结构134的材料组合物可与第一势垒结构102的材料组合物大体上相同或可不同于第一势垒结构102的材料组合物。在一些实施例中,第二势垒结构134包括 AlO_x 。

[0066] 因此,根据本发明的实施例,一种半导体装置包括第一势垒结构、导电线结构、沟道支柱、电介质衬里结构、栅极电极、导电接触件及第二势垒结构。所述第一势垒结构大体上不透氢气。所述导电线结构上覆于所述第一势垒结构且在第一方向上横向延伸。所述沟道支柱上覆于所述导电线结构且各自包括具有大于多晶硅的带隙的带隙的半导体材料。所述电介质衬里结构大体上横向围绕所述沟道支柱的侧壁。所述栅极电极是横向邻近所述电介质衬里结构的外侧壁且在大体上垂直于所述第一方向的第二方向上横向延伸。所述导电接触件上覆于所述沟道支柱。所述第二势垒结构大体上不透氢气且上覆于所述电介质衬里结构及所述栅极电极的上表面且跨所述上表面横向延伸。

[0067] 接着参考图12,可在第二势垒结构134上或上方形成电介质材料136,且接着可在电介质材料136中形成孔隙138。如图12中所展示,孔隙138可从电介质材料136的上表面垂直延伸到第二势垒结构134的上表面。另外,孔隙138可大体上与其下方的垂直晶体管133的导电接触件132及沟道结构130横向对准。在一些实施例中,孔隙138的横向尺寸与导电接触件132及沟道结构130的横向尺寸大体上相同。在额外实施例中,孔隙138的横向尺寸不同于(例如,大于、小于)导电接触件132及沟道结构130的横向尺寸。

[0068] 电介质材料136可包括以下中的一或多者:电介质氧化物材料(例如,氧化硅,例如 SiO_2 ;磷硅酸盐玻璃;硼硅酸盐玻璃;硼磷硅酸盐玻璃;氟硅酸盐玻璃;氧化铝;高电介质常数氧化物,例如 HfO_x ;其组合)、电介质氮化物材料(例如, SiN)、电介质氮氧化物材料(例如, SiON)、电介质碳氮化物材料(例如, SiCN)及电介质碳氮氧化物材料(例如, SiOCN)及非晶碳。在一些实施例中,电介质材料136包括 SiO_2 。电介质材料136可使用本文中未详细描述常规工艺(例如,常规沉积工艺)来形成。通过非限制性实例,电介质材料136可(例如,通过ALD工艺、CVD工艺、PECVD工艺、PVD工艺及旋涂工艺中的一或多者)沉积于第二势垒结构134的上表面上或上方。

[0069] 另外,孔隙138可使用本文中还未详细描述的常规工艺(例如,常规掩蔽及图案化工艺、常规材料移除工艺)形成于电介质材料中。举例来说,可将具有待转印到电介质材料136中的所要图案的掩模结构设置于电介质材料136上方,且接着可执行至少一个各向异性蚀刻工艺(例如,各向异性干式蚀刻工艺,例如反应离子蚀刻(RIE)、深度RIE、等离子体蚀刻、反应离子束蚀刻、化学辅助离子束蚀刻中的一或多者;各向异性湿式蚀刻工艺,例如氢氟酸(HF)蚀刻、缓冲HF蚀刻及缓冲氧化物蚀刻中的一或多者)以形成孔隙138。

[0070] 接着参考图13,使孔隙138(图12)垂直(例如,在Z方向上)延伸通过第二势垒结构134以暴露导电接触件132的上表面,且接着将电容器140形成于孔隙138(图12)内且与导电接触件132接触。另外,可在电介质材料136及电容器140的部分上或上方形成第三势垒结构

141。电容器140及其下方的垂直晶体管133形成半导体装置结构100的存储器单元148(例如,FeRAM单元、DRAM单元)。

[0071] 孔隙138(图12)可使用本文中未详细描述常规材料移除工艺垂直延伸通过第二势垒结构134。通过非限制性实例,孔隙138(图12)可通过各向异性干式蚀刻工艺(例如,RIE、深度RIE、等离子体蚀刻、反应离子束蚀刻、化学辅助离子束蚀刻)及各向异性湿式蚀刻工艺(例如,HF蚀刻、缓冲HF蚀刻及缓冲氧化物蚀刻)中的一或多个垂直延伸通过第二势垒结构134。

[0072] 电容器140可包括能够存储表示可编程逻辑状态的电荷的任何结构。通过非限制性实例,如图13中所展示,电容器140可包括包含第一电极142(例如,下电极)、第二电极146(例如,上电极)及介于第一电极142与第二电极146之间的电介质结构144的铁电电容器。第一电极142及第二电极146可各自个别包括至少一种导电材料(例如,W、WN、Ni、Ta、TaN、TaSi、Pt、Cu、Ag、Au、Al、Mo、Ti、TiN、TiSi、TiSiN、TiAlN、MoN、Ir、IrO_x、Ru、RuO_x、RuTiN及导电掺杂硅中的一或多个)。电介质结构144可(例如)包括高电介质常数(HDC)电介质材料(例如,具有大于或等于约20的电介质常数的电介质材料),例如钛酸锶钡(BST)、锆钛酸铅(PZT)、锆钛酸镧铅(PLZT)、钽酸铌铅(PST)、钽酸锶铋(SBT)、钽酸钡铋(BBT)、钛酸钡(BT)、钛酸锶(ST)及五氧化二钽(Ta₂O₅)中的一或多个。

[0073] 第三势垒结构141可由大体上不透氢气的至少一种电介质材料形成且包含所述至少一种电介质材料。第三势垒结构141可(例如,例如)在半导体装置结构100的后续氢退火期间大体上阻碍(例如,阻止)氢通过其扩散。通过非限制性实例,第三势垒结构141可包括以下中的一或多个:AlO_x、AlO_xN_y、AlSi_xN_y、AlSi_xO_yN_z、BN_x、BC_xN_y、SiC_x、SiC_xN_y及SiN_x。第三势垒结构141的材料组合物可与第一势垒结构102及第二势垒结构134中的一或多个(例如,每一者)的材料组合物大体上相同或可不同于第一势垒结构102及第二势垒结构134中的一或多个(例如,每一者)的材料组合物。在一些实施例中,第三势垒结构141包括AlO_x。

[0074] 电容器140及第三势垒结构141可使用本文中未详细描述常规工艺(例如,常规沉积工艺、常规材料移除工艺)来形成。通过非限制性实例,如果电容器140在孔隙138(图12)垂直延伸之后包括铁电电容器,那么第一导电材料可保形地形成(例如,通过PVD工艺、CVD工艺、PECVD工艺、ALD工艺及旋涂工艺中的一或多个保形地沉积)于半导体装置结构100的在孔隙138(图12)内部及外部的经暴露表面上方,且电介质材料可形成(例如,非保形地形成,例如非保形地沉积)于所述第一导电材料的在孔隙138(图12)的剩余部分内部及外部的表面上或上方。第一导电材料及所述电介质材料可大体上填充孔隙138(图12)。接着可(例如,使用至少一个平坦化工艺,例如至少一个CMP工艺)移除第一导电材料及电介质材料的在孔隙(图12)外部的部分以形成第一电极142。此后,另一电介质材料可形成(例如,通过ALD工艺、CVD工艺、PECVD工艺、PVD工艺及旋涂工艺中的一或多个沉积)于半导体装置结构100的经暴露表面上或上方以形成第三势垒结构141。接着可移除(例如,使用掩模各向异性地蚀刻)第三势垒结构141及其下方的电介质材料的部分以形成额外孔隙及电介质结构144。第二导电材料接着可形成(例如,非保形地形成,例如非保形地沉积)于半导体装置结构100的在额外孔隙内部及外部的表面上或上方以形成第二电极146。所述第二导电材料可大体上填充额外孔隙。

[0075] 图14说明根据本发明的实施例的存储器装置200的功能框图。存储器装置200可包

含(例如)本文中先前所描述的半导体装置结构100的实施例。如图14中所展示,存储器装置200可包含存储器单元202(例如,存储器单元148(图13))、数字线204(例如,线性导电结构104(图13))、字线206(例如,线性栅极电极120(图13))、行解码器208、列解码器210、存储器控制器212、感测装置214及输入/输出装置216。

[0076] 存储器装置200的存储器单元202可编程到至少两个不同逻辑状态(例如,逻辑0及逻辑1)。每一存储器单元202可个别包含电容器(例如,电容器140(图13)中的一者)及晶体管(例如,垂直晶体管133(图13)中的一者)。所述电容器存储表示存储器单元202的可编程逻辑状态的电荷(例如,带电电容器可表示第一逻辑状态,例如逻辑1;且不带电电容器可表示第二逻辑状态,例如逻辑0)。所述晶体管在(例如,通过字线206中的一者)将最小阈值电压施加到其半导体沟道之后授予对电容器的存取以对电容器进行操作(例如,读取、写入、重写)。

[0077] 数字线204通过存储器单元202的晶体管连接到存储器单元202的电容器。字线206垂直于数字线204延伸,且连接到存储器单元202的晶体管的栅极。可通过激活适当数字线204及字线206来对存储器单元202执行操作。激活数字线204或字线206可包含将电压电势施加到数字线204或字线206。存储器单元202的每一列可个别地连接到数字线204中的一者,且存储器单元202的每一行可个别地连接到字线206中的一者。可通过数字线204与字线206的相交点(例如,交叉点)寻址及存取个别存储器单元202。

[0078] 存储器控制器212可通过各种组件(包含行解码器208、列解码器210及感测装置214)控制存储器单元202的操作。存储器控制器212可产生经引导到行解码器208以激活预定字线206(例如,将电压电势施加到预定字线206)的行地址信号,且可产生经引导到列解码器210以激活预定数字线204(例如,将电压电势施加到预定数字线204)的列地址信号。存储器控制器212还可产生并控制在存储器装置200的操作期间所采用的各种电压电势。一般来说,所施加电压的振幅、形状及/或持续时间可经调整(例如,改变),且可针对存储器装置200的各种操作而不同。

[0079] 在存储器装置200的使用及操作期间,在经存取之后,存储器单元202可通过感测装置214读取(例如,感测)。感测装置214可比较适当数字线204的信号(例如,电压)与参考信号以便确定存储器单元202的逻辑状态。举例来说,如果数字线204具有高于参考电压的电压,那么感测装置214可确定存储器单元202的经存储逻辑状态是逻辑1,且反之亦然。感测装置214可包含检测及放大信号差(在所属领域中通常被称为“锁存”)的晶体管及放大器。可通过列解码器210将存储器单元202的经检测逻辑状态输出到输入/输出装置216。另外,可通过类似地激活存储器装置200的适当字线206及适当数字线204来设置(例如,写入)存储器单元202。通过在激活字线206时控制数字线204,可设置存储器单元202(例如,可将逻辑值存储于存储器单元202中)。列解码器210可从输入/输出装置216接受数据以写入到存储器单元202。此外,还可通过读取存储器单元202而刷新存储器单元202(例如,对存储器单元202再充电)。所述读取操作将存储器单元202的内容放置于适当数字线204上,接着通过感测装置214将存储器单元202上拉到全电平(例如,完全充电或放电)。当撤销激活与存储器单元202相关联的字线206时,与字线206相关联的行中的所有存储器单元202恢复到完全充电或放电。

[0080] 因此,根据本发明的实施例,一种存储器装置包括:字线;数字线;势垒结构,其大

体上不透氢气而上覆于所述数字线;存储器单元,其上覆于所述势垒结构且电耦合到所述字线及所述数字线;及另一势垒结构,其大体上不透氢气而上覆于所述存储器单元。每一存储器单元包括电耦合到所述字线中的至少一者的垂直晶体管,及电耦合到所述垂直晶体管的电容器。所述垂直晶体管包括:沟道支柱,其在所述数字线中的一者上方且包括具有大于多晶硅的带隙的至少一个半导体材料;至少一个栅极电极,其横向邻近所述沟道支柱;及电介质衬里结构,其介于所述沟道支柱与所述至少一个栅极电极之间。

[0081] 根据本发明的实施例的半导体装置结构(例如,半导体装置结构100(图13))及半导体装置(例如,存储器装置200(图14))可用于本发明的电子系统的实施例中。举例来说,图15是根据本发明的实施例的阐释性电子系统300的框图。电子系统300可包括(例如)计算机或计算机硬件组件、服务器或其它网络链接硬件组件、蜂窝式电话、数码相机、个人数字助理(PDA)、便携式媒体(例如,音乐)播放器、Wi-Fi或具蜂窝式功能的平板计算机(例如,例如iPad®或SURFACE®平板计算机)、电子书、导航装置等。电子系统300包含至少一个存储器装置302。存储器装置302可包括(例如)本文中先前所描述的半导体装置结构(例如,半导体装置结构100(图13))及半导体装置(例如,存储器装置200(图14))中的一或多者的实施例。电子系统300可进一步包含至少一个电子信号处理器装置304(通常被称为“微处理器”)。电子信号处理器装置304可任选地包含本文中先前所描述的半导体装置结构(例如,半导体装置结构100(图13))及半导体装置(例如,存储器装置200(图14))的实施例。电子系统300可进一步包含用于由用户将信息输入到电子系统300中的一或多个输入装置306,举例来说,例如鼠标或其它指向装置、键盘、触控垫、按钮或控制面板。电子系统300可进一步包含用于向用户输出信息(例如,视觉或音频输出)的一或多个输出装置308,举例来说,例如监视器、显示器、打印机、音频输出插孔及/或扬声器。在一些实施例中,输入装置306及输出装置308可包括既可用于将信息输入到电子系统300还可向用户输出视觉信息的单个触摸屏装置。输入装置306及输出装置308可与存储器装置302及电子信号处理器装置304中的一或多者电通信。

[0082] 因此,根据本发明的实施例,一种电子系统包括:输入装置;输出装置;处理器装置,其可操作地耦合到所述输入装置及所述输出装置;及半导体装置,其可操作地耦合到所述处理器装置。所述半导体装置包括第一势垒结构、垂直晶体管及第二势垒结构。所述第一势垒结构大体上不透氢气。所述垂直晶体管上覆于所述第一势垒结构且包括:沟道结构,其包括具有大于多晶硅的带隙的至少一个半导体材料;栅极电介质材料,其横向围绕所述沟道结构;及栅极电极,其横向邻近所述栅极电介质材料。所述第二势垒结构大体上不透氢气且上覆于所述垂直晶体管的所述栅极电介质材料及所述栅极电极。

[0083] 本发明的方法可促进相较于常规装置(例如,常规存取装置、常规半导体装置、常规存储器装置)及常规系统(例如,常规电子系统)具有增加的性能、增加的效率、增加的可靠性及增加的耐久性中的一或多者的装置(例如,晶体管、半导体装置、存储器装置)及系统(例如,电子系统)的形成。举例来说,本发明的方法可促进相较于通过常规工艺形成的常规沟道支柱(例如,通过使用一或多个常规蚀刻化学物质,例如常规含氢等离子体化学物质,垂直蚀刻大量半导体材料而形成的常规沟道支柱)改进通过本发明的方法形成的沟道结构(例如,沟道结构130)中的电流性质,以促进改进包含本发明的沟道结构的装置(例如,存取装置、半导体装置、存储器装置)及系统(例如,电子系统)的性能及可靠性。

[0084] 下文描述本发明的额外非限制实例性实施例。

[0085] 实施例1:一种形成半导体装置的方法,其包括:在上覆于大体上不透氢气的势垒结构的导电结构上方形成牺牲支柱结构,所述牺牲支柱结构通过在正交于所述导电结构线性延伸所沿着的第二横向方向的第一横向方向上线性延伸的沟槽彼此分离;形成在所述沟槽内且横向邻近所述牺牲支柱结构的侧壁的栅极电极;移除所述牺牲支柱结构以在所述栅极电极之间形成开口;形成在所述开口内且横向邻近所述栅极电极的侧壁的电介质衬里结构;在形成所述电介质衬里结构之后在所述开口内形成沟道结构,所述沟道结构包括具有大于多晶硅的带隙的带隙的半导体材料;及在所述沟道结构上形成导电接触件。

[0086] 实施例2:根据实施例1所述的方法,其进一步包括在所述导电接触件、所述电介质衬里结构及所述栅极电极上方形成大体上不透氢气的另一势垒结构。

[0087] 实施例3:根据实施例2所述的方法,其进一步包括:在所述另一势垒结构上方形成电介质材料;移除所述电介质材料及所述另一势垒结构的部分以形成从所述电介质材料的上表面垂直延伸到所述导电接触件的上表面的孔隙;及形成在所述孔隙内且与所述导电接触件接触的电容器。

[0088] 实施例4:根据实施例3所述的方法,其中在所述孔隙内形成电容器包括在所述孔隙内形成铁电电容器,所述铁电电容器中的每一者包括第一电极、第二电极及在所述第一电极与所述第二电极之间的电介质结构。

[0089] 实施例5:根据实施例3所述的方法,其进一步包括在所述电容器及所述电介质材料上方形成大体上不透氢气的额外势垒结构。

[0090] 实施例6:根据实施例1到5中任一实施例所述的方法,其进一步包括在所述沟槽内形成栅极电极之后形成电介质隔离结构以大体上填充所述沟槽的剩余部分。

[0091] 实施例7:根据实施例1到6中任一实施例所述的方法,其中在上覆于势垒结构的导电结构上方形成牺牲支柱结构包括:在所述导电结构上方形成线性牺牲结构,所述线性牺牲结构通过在所述第二横向方向上线性延伸的额外沟槽在所述第一横向方向上彼此分离;形成在所述额外沟槽内且大体上填充所述额外沟槽的线性电介质结构;及在所述线性牺牲结构及所述线性电介质结构内形成所述沟槽以形成所述牺牲支柱结构及电介质支柱结构。

[0092] 实施例8:根据实施例1到7中任一实施例所述的方法,其中在上覆于势垒结构的导电结构上方形成牺牲支柱结构包括形成所述牺牲支柱结构以包括多晶硅。

[0093] 实施例9:根据实施例1到8中任一实施例所述的方法,其进一步包括在所述牺牲支柱结构与所述导电结构之间形成额外导电结构。

[0094] 实施例10:根据实施例9所述的方法,其进一步包括在形成所述电介质衬里结构之后且在形成所述沟道结构之前使所述开口垂直延伸通过所述额外导电结构而到所述导电接触件的上表面。

[0095] 实施例11:根据实施例1到10中任一实施例所述的方法,其中在所述开口内形成沟道结构包括:在所述开口内部及外部非保形地沉积所述半导体材料;及移除所述半导体材料的超出所述开口的垂直边界的部分。

[0096] 实施例12:根据实施例1到11中任一实施例所述的方法,其中在所述开口内形成沟道结构包括形成所述沟道结构以包括氧化物半导体材料。

[0097] 实施例13:根据实施例1到11中任一实施例所述的方法,其中在所述开口内形成沟

道结构包括形成所述沟道结构以包括 Zn_xSn_yO 、 In_xZn_yO 、 Zn_xO 、 $In_xGa_yZn_zO$ 、 $In_xGa_ySi_zO_a$ 、 In_xW_yO 、 In_xO 、 Sn_xO 、 Ti_xO 、 Zn_xON_z 、 Mg_xZn_yO 、 In_xZn_yO 、 $In_xGa_yZn_zO$ 、 $Zr_xIn_yZn_zO$ 、 $Hf_xIn_yZn_zO$ 、 $Sn_xIn_yZn_zO$ 、 $Al_xSn_yIn_zZn_aO$ 、 $Si_xIn_yZn_zO$ 、 Zn_xSn_yO 、 $Al_xZn_ySn_zO$ 、 $Ga_xZn_ySn_zO$ 、 $Zr_xZn_ySn_zO$ 及 $In_xGa_ySi_zO$ 中的一或多个者。

[0098] 实施例14:根据实施例1到13中任一实施例所述的方法,其中在所述开口内形成沟道结构包括使所述沟道结构中的每一者形成为大体上非均质。

[0099] 实施例15:根据实施例1到14中任一实施例所述的方法,其中在所述沟道结构上形成导电接触件包括:移除所述沟道结构的上部分以形成上覆于所述沟道结构的剩余部分的凹部;在所述凹部内部及外部沉积导电材料;及移除所述导电材料的超出所述凹部的边界的部分。

[0100] 实施例16:一种半导体装置,其包括:第一势垒结构,其大体上不透氢气;导线线结构,其上覆于所述第一势垒结构且在第一方向上横向延伸;沟道支柱,其上覆于所述导线线结构且各自包括具有大于多晶硅的带隙的带隙的半导体材料;电介质衬里结构,其大体上横向围绕所述沟道支柱的侧壁;栅极电极,其横向邻近所述电介质衬里结构的外侧壁且在大体上垂直于所述第一方向的第二方向上横向延伸;导电接触件,其上覆于所述沟道支柱;及第二势垒结构,其大体上不透氢气而上覆于所述电介质衬里结构及所述栅极电极的上表面且跨所述上表面横向延伸。

[0101] 实施例17:根据实施例16的半导体装置,其进一步包括:电介质材料,其上覆于所述第二势垒结构的上表面;及电容器,其在延伸通过所述电介质材料及所述第二势垒结构到所述导电接触件的上表面的经填充孔隙内。

[0102] 实施例18:根据实施例17的半导体装置,其进一步包括上覆于所述电容器及所述电介质材料的部分的大体上不透氢气的第三势垒结构。

[0103] 实施例19:根据实施例16到18中任一实施例所述的半导体装置,其进一步包括在所述导线线结构上且横向邻近所述沟道支柱的导电结构。

[0104] 实施例20:根据实施例16到18中任一实施例所述的半导体装置,其中所述导线线结构包括 Ru 、 Mo 及 TiN 中的一或多个者;所述第一势垒结构及所述第二势垒结构各自个别包括 AlO_x 、 AlO_xN_y 、 $AlSi_xN_y$ 及 $AlSi_xO_yN_z$ 中的一或多个者;且所述沟道支柱包括 Zn_xSn_yO 、 In_xZn_yO 、 Zn_xO 、 $In_xGa_yZn_zO$ 、 $In_xGa_ySi_zO_a$ 、 In_xW_yO 、 In_xO 、 Sn_xO 、 Ti_xO 、 Zn_xON_z 、 Mg_xZn_yO 、 In_xZn_yO 、 $In_xGa_yZn_zO$ 、 $Zr_xIn_yZn_zO$ 、 $Hf_xIn_yZn_zO$ 、 $Sn_xIn_yZn_zO$ 、 $Al_xSn_yIn_zZn_aO$ 、 $Si_xIn_yZn_zO$ 、 Zn_xSn_yO 、 $Al_xZn_ySn_zO$ 、 $Ga_xZn_ySn_zO$ 、 $Zr_xZn_ySn_zO$ 及 $In_xGa_ySi_zO$ 中的一或多个者。

[0105] 实施例21:一种存储器装置,其包括:字线;数字线;势垒结构,其大体上不透氢气,上覆于所述数字线;存储器单元,其上覆于所述势垒结构且电耦合到所述字线及所述数字线,每一存储器单元包括:垂直晶体管,其电耦合到所述字线中的至少一者,所述垂直晶体管包括:沟道支柱,其在所述数字线中的一者上方且包括具有大于多晶硅的带隙的至少一个半导体材料;至少一个栅极电极,其横向邻近所述沟道支柱;电介质衬里结构,其在所述沟道支柱与所述至少一个栅极电极之间;及电容器,其电耦合到所述垂直晶体管;及另一势垒结构,其大体上不透氢气而上覆于所述存储器单元。

[0106] 实施例22:根据实施例21所述的存储器装置,其进一步包括上覆于所述存储器单元中的每一者的所述至少一个栅极电极及所述电介质衬里结构且定位成横向邻近所述存

储器单元中的每一者的所述电容器的下部分的额外势垒结构。

[0107] 实施例23:根据实施例21及22中任一实施例所述的存储器装置,其中所述存储器单元中的每一者的所述沟道支柱包括氧化物半导体材料。

[0108] 实施例24:一种电子系统,其包括:输入装置;输出装置;处理器装置,其可操作地耦合到所述输入装置及所述输出装置;及半导体装置,其可操作地耦合到所述处理器装置且包括:第一势垒结构,其大体上不透氢气;垂直晶体管,其上覆于所述第一势垒结构且包括:沟道结构,其包括具有大于多晶硅的带隙的至少一个半导体材料;及栅极电介质材料,其横向围绕所述沟道结构;及栅极电极,其横向邻近所述栅极电介质材料;及第二势垒结构,其大体上不透氢气而上覆于所述垂直晶体管的所述栅极电介质材料及所述栅极电极。

[0109] 虽然本发明易于以各种修改及替代形式呈现,但已在图式中通过实例展示且已在本文中详细描述特定实施例。然而,本发明并非希望限于所揭示的特定形式。而是,本发明涵盖落在以下所附权利要求书及其合法等效物的范围内的全部修改、等效物及替代物。

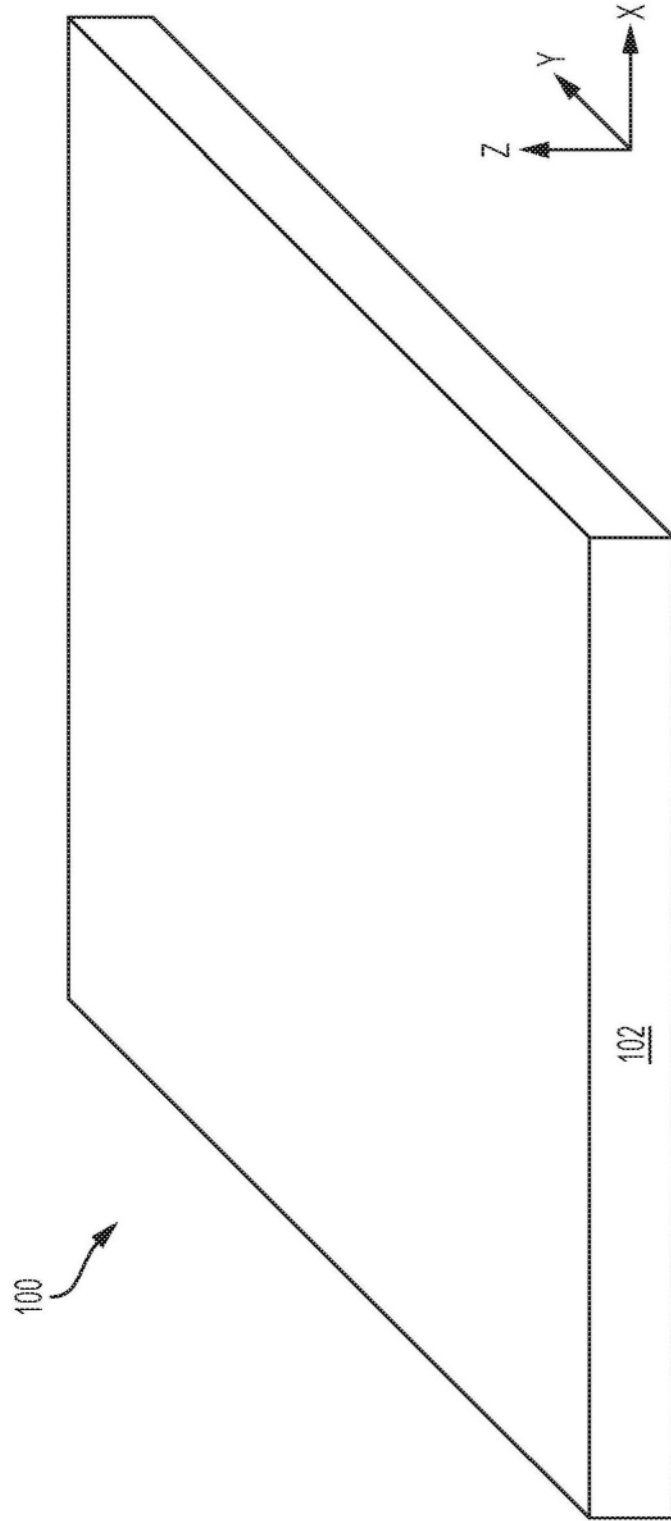


图1

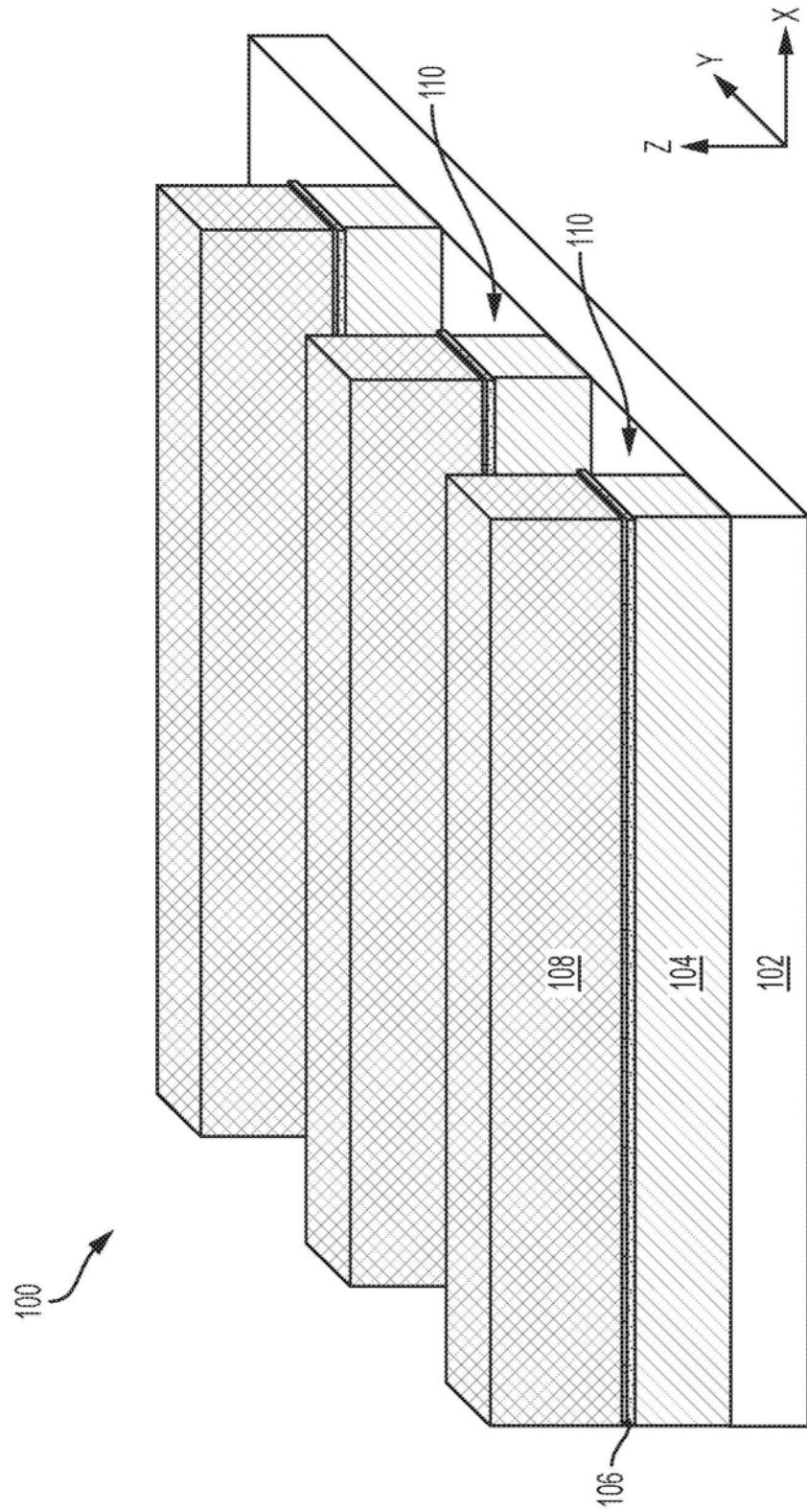


图2

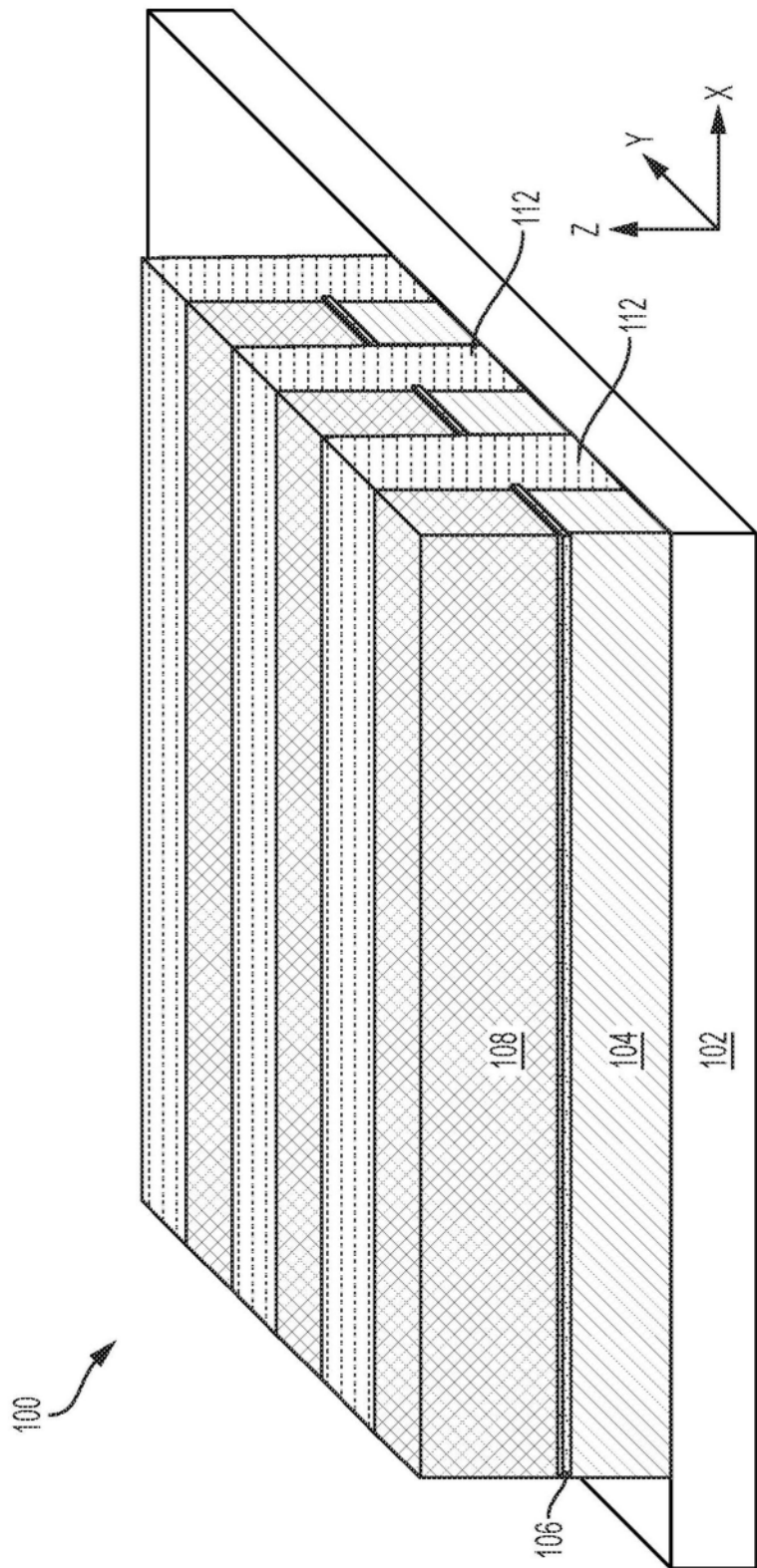


图3

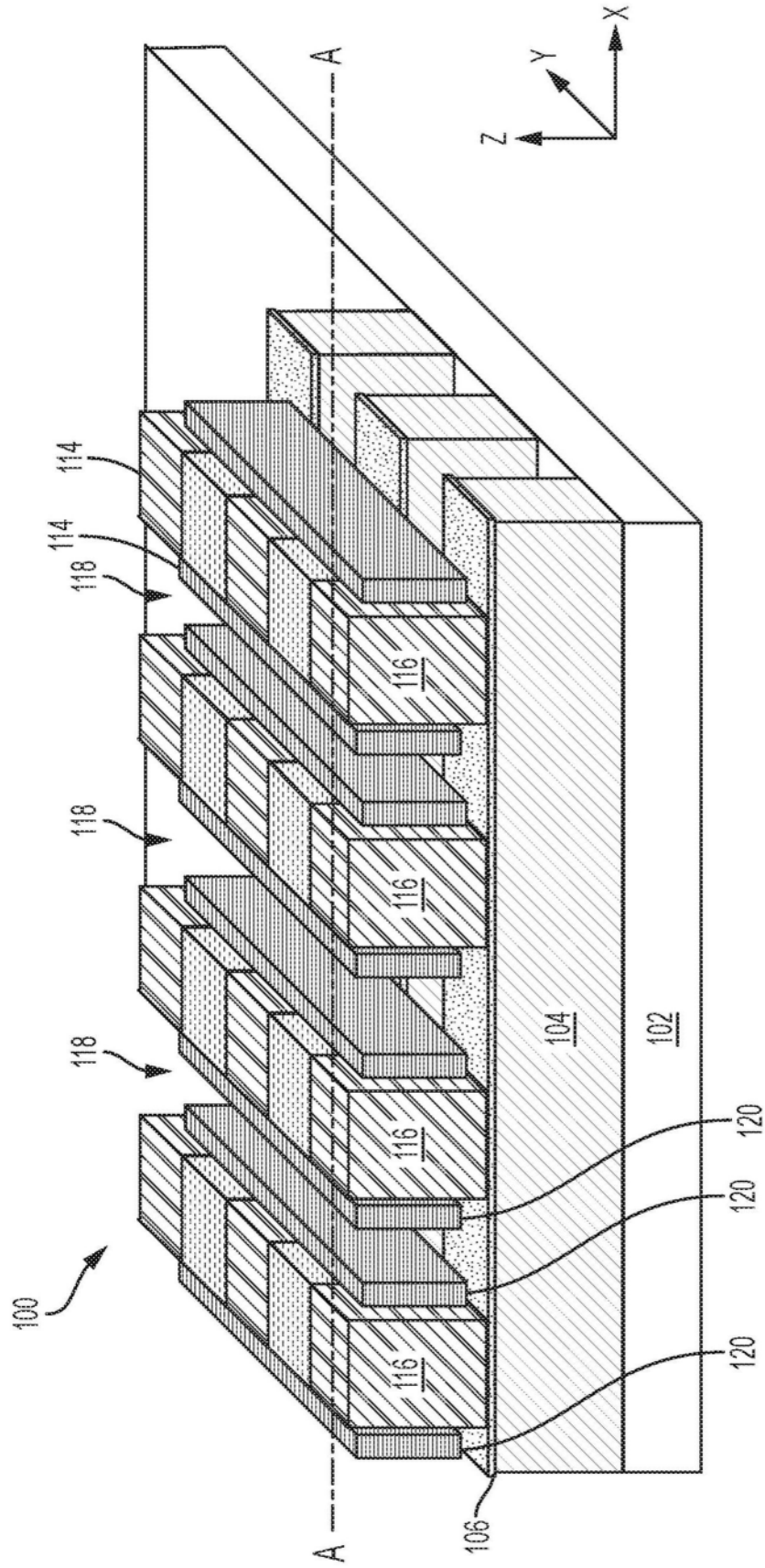


图4

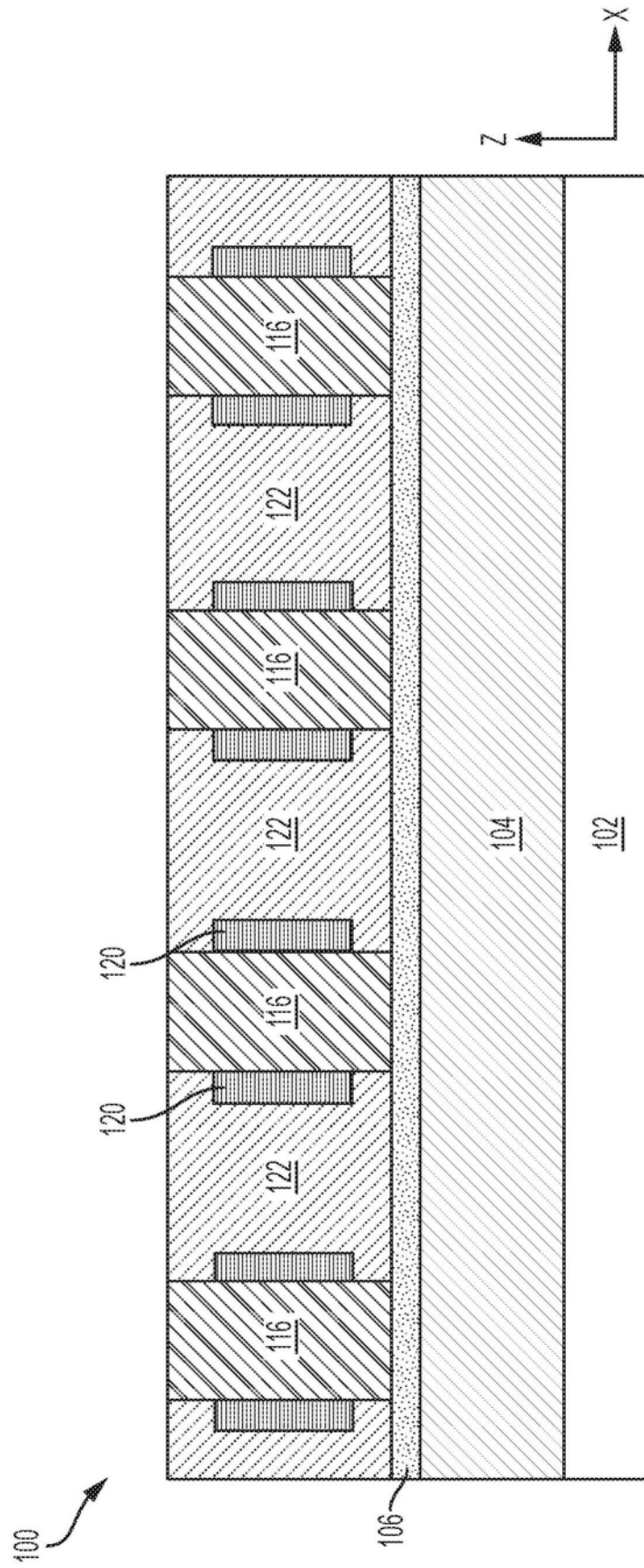


图5

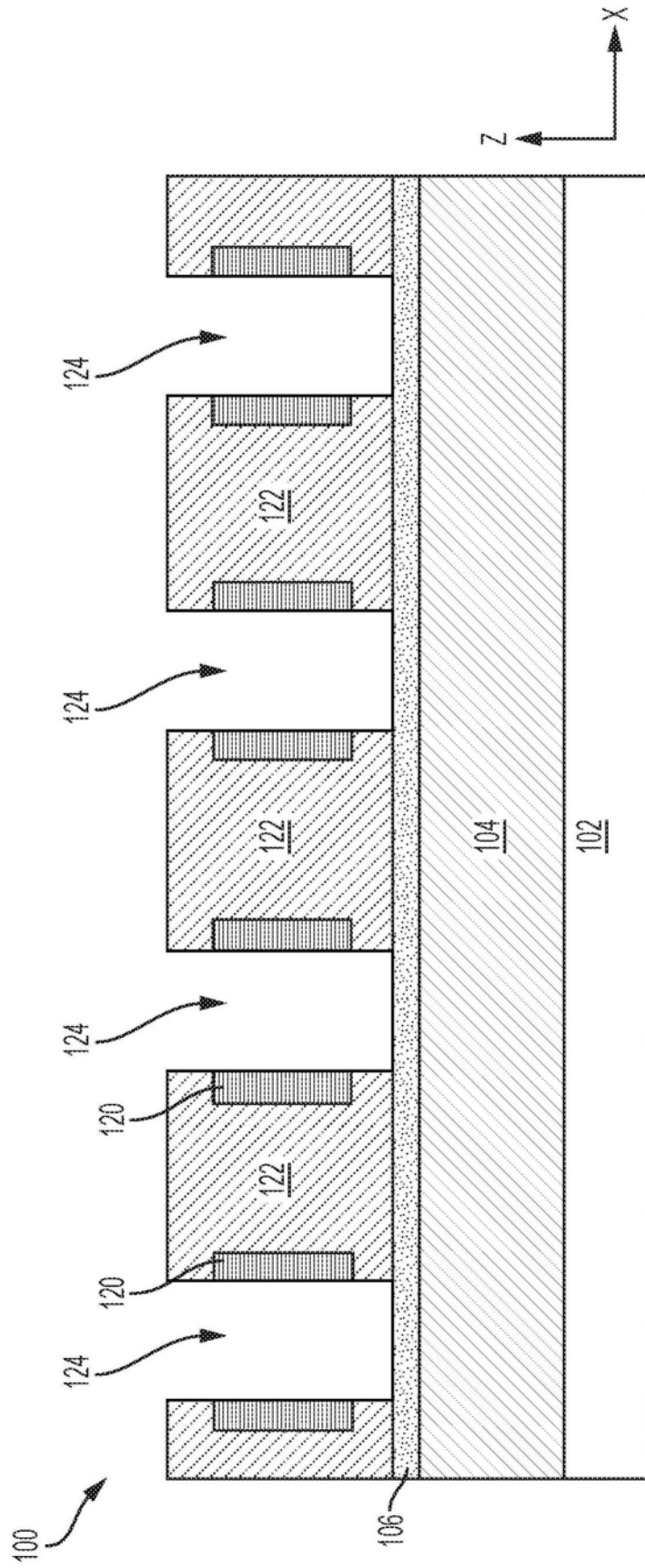


图6

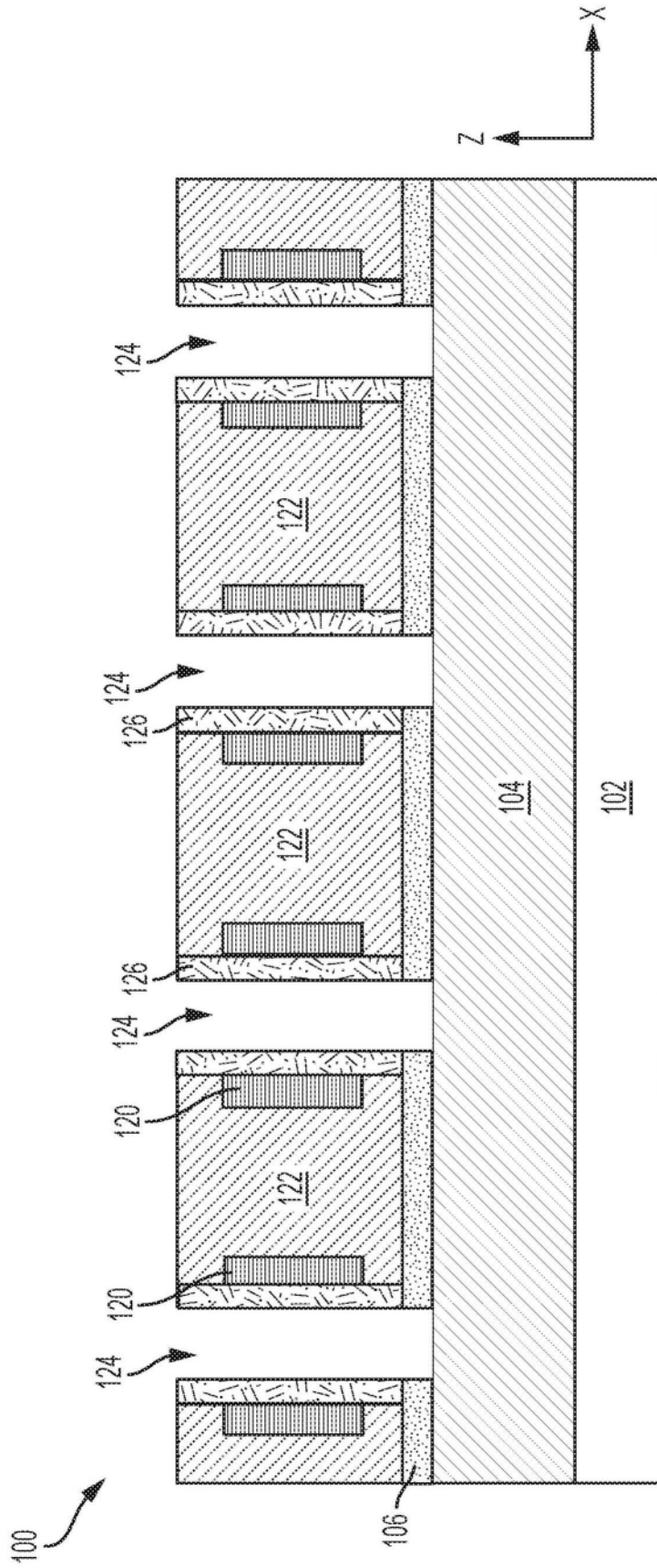


图7

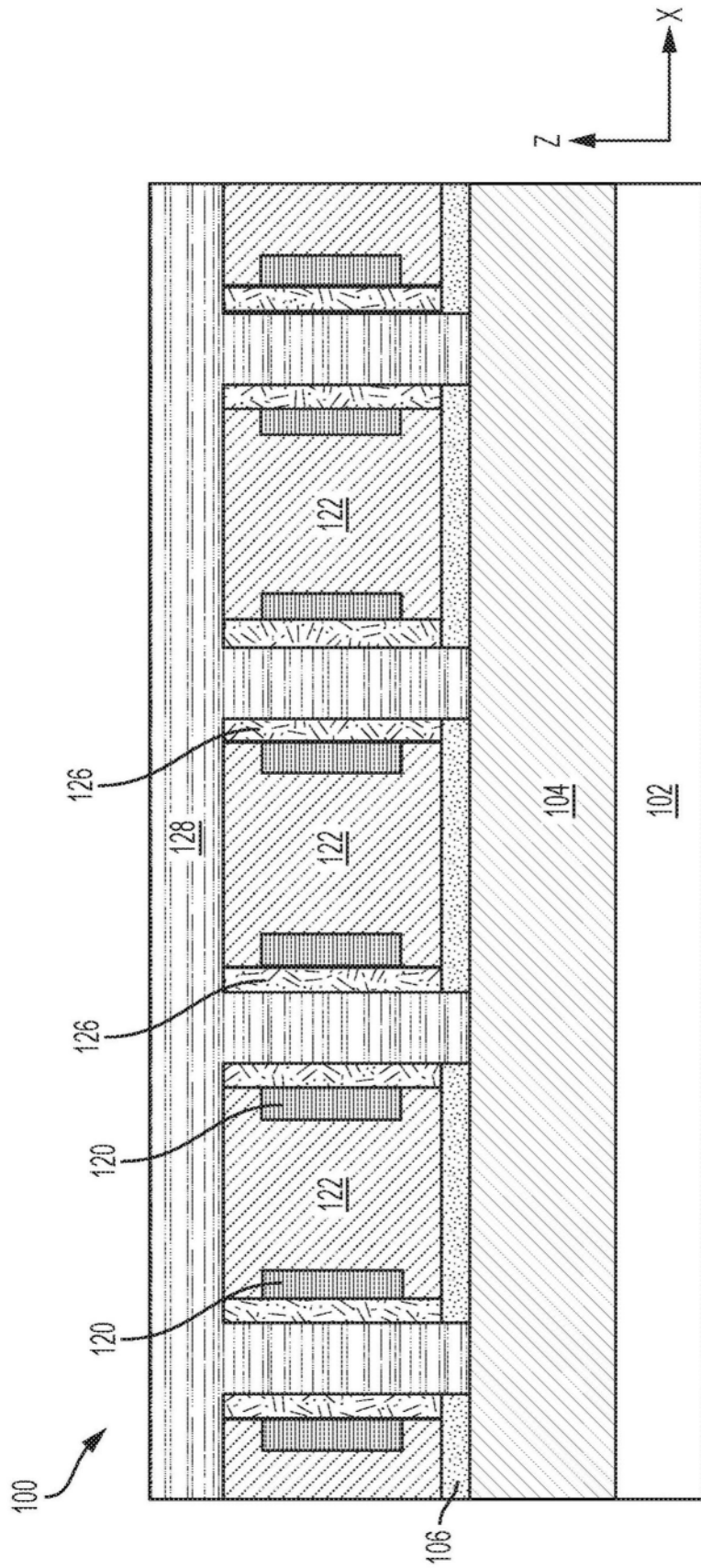


图8A

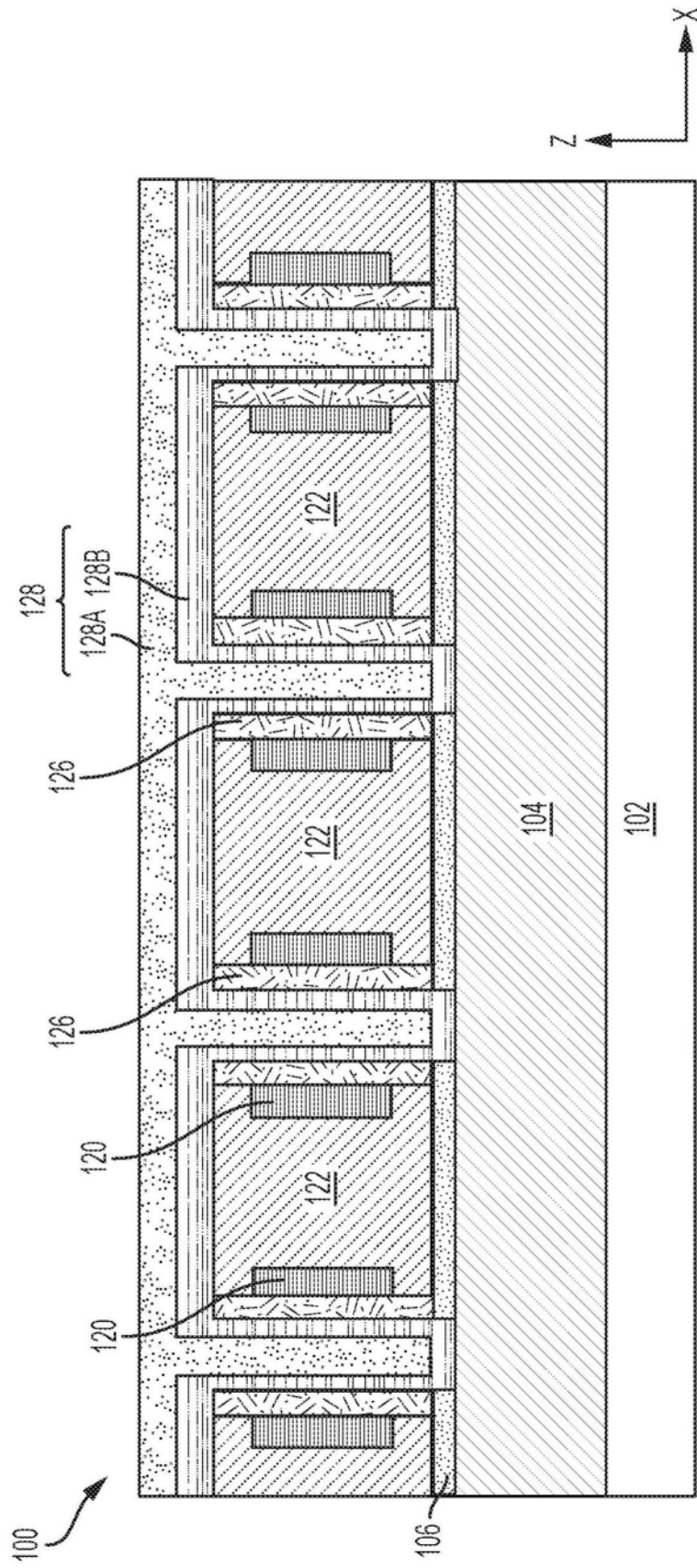


图8B

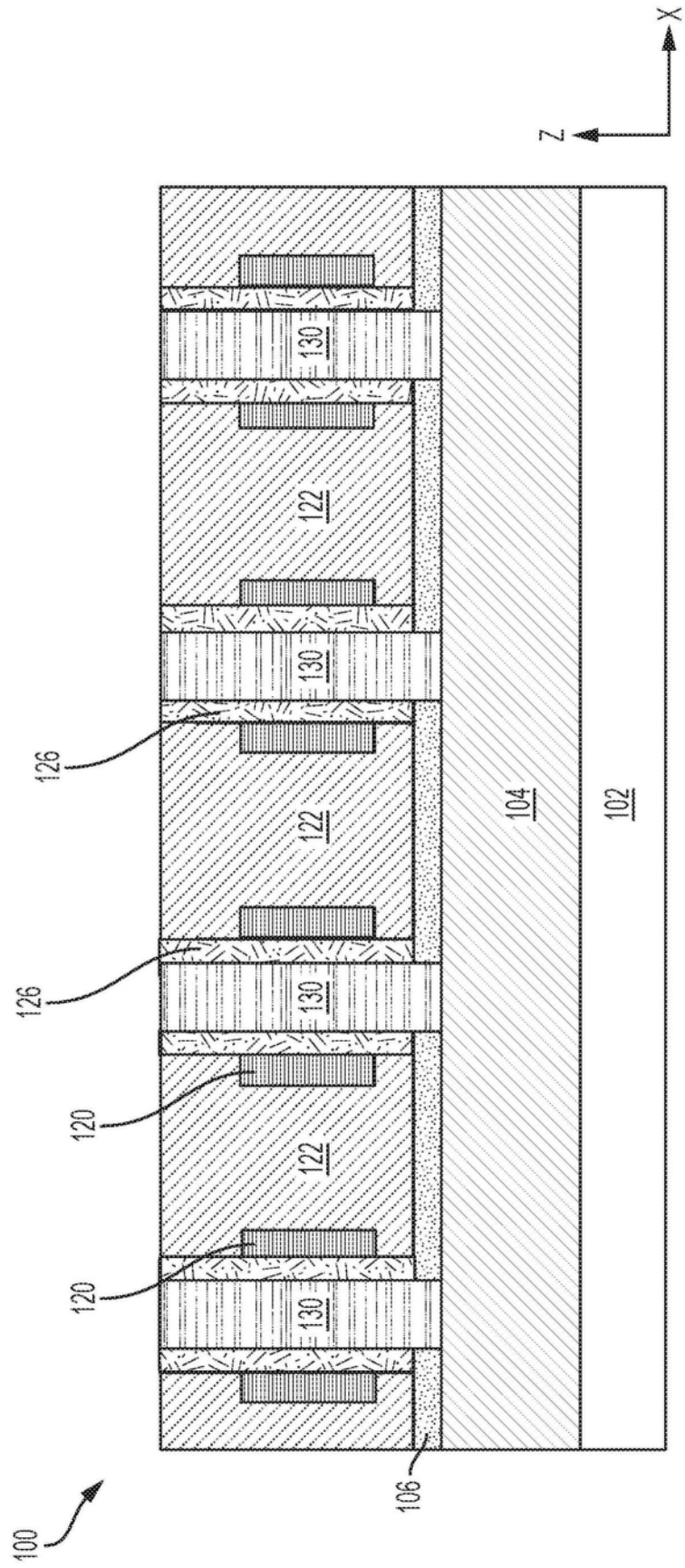


图9

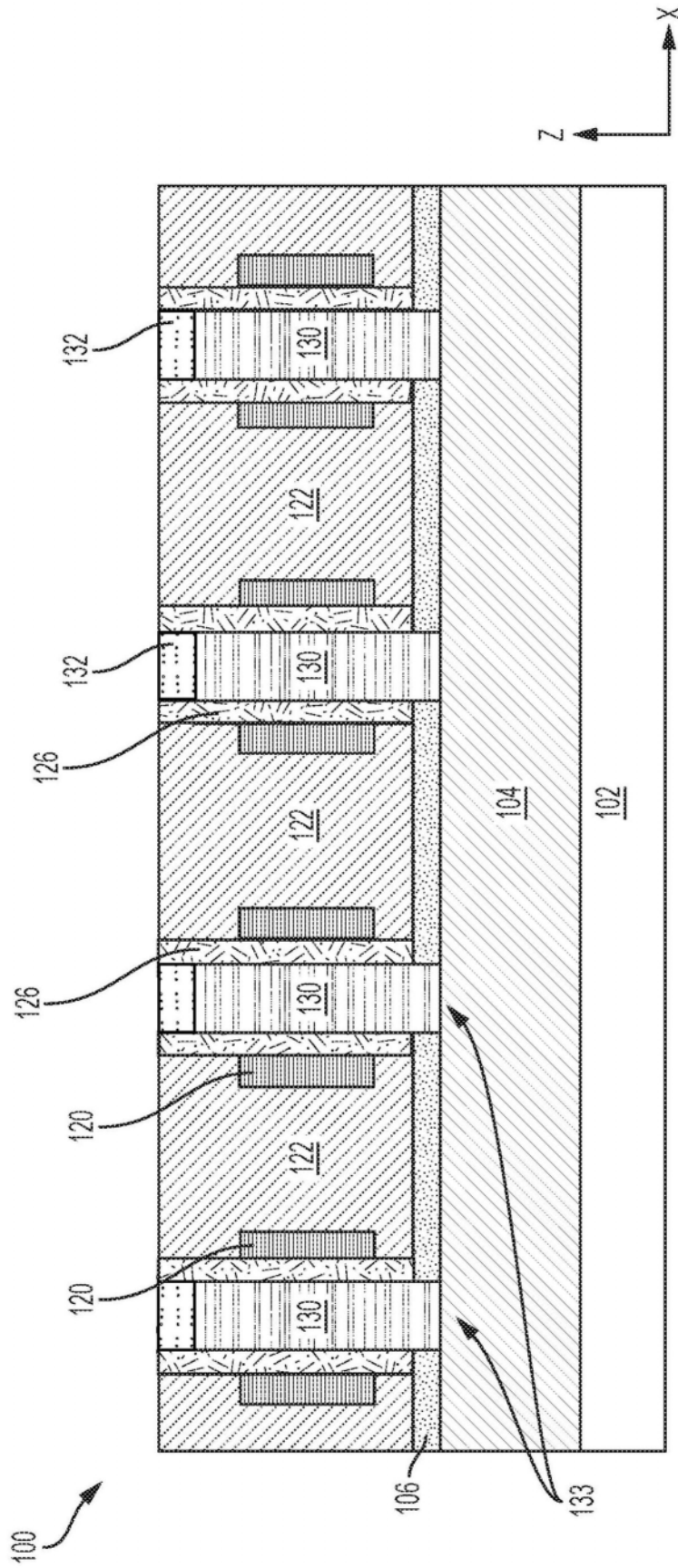


图10

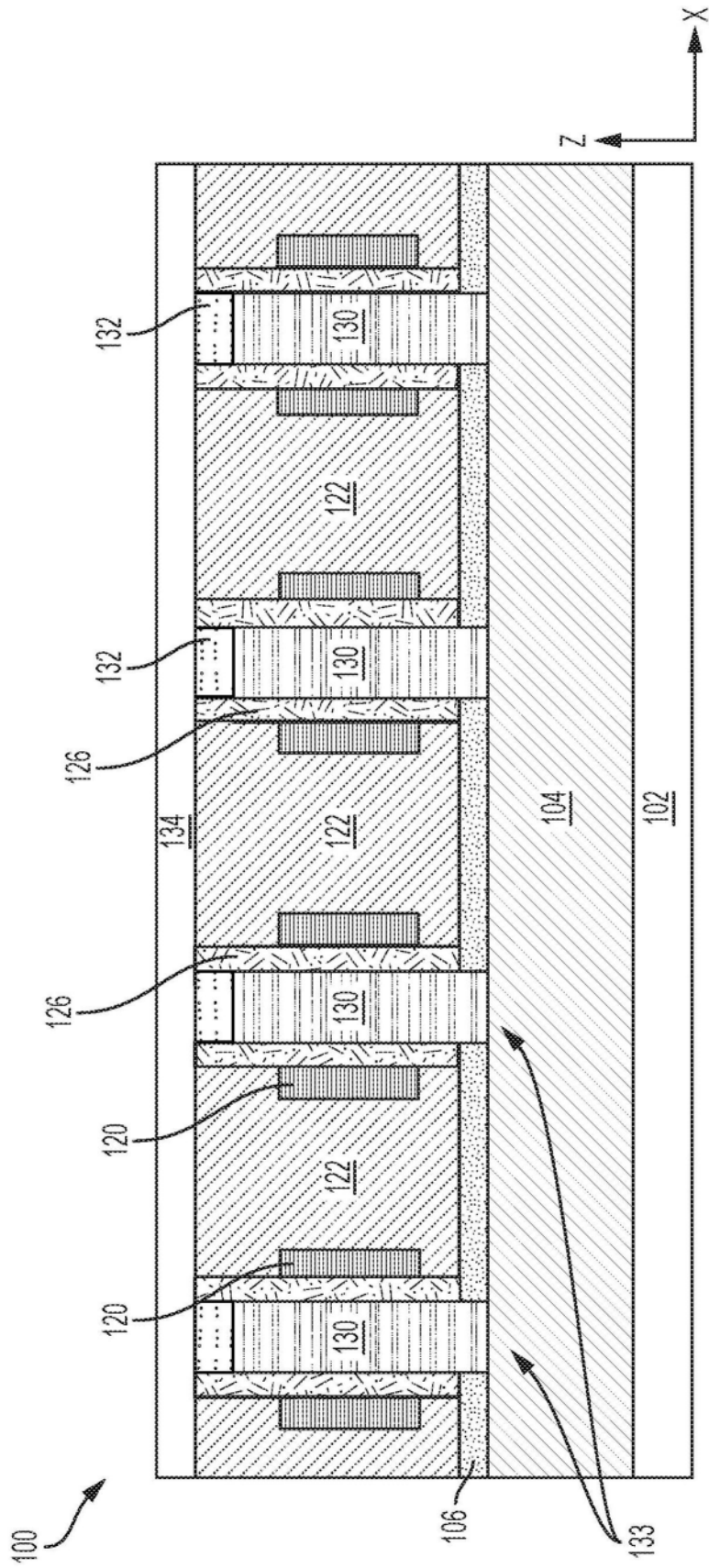


图11

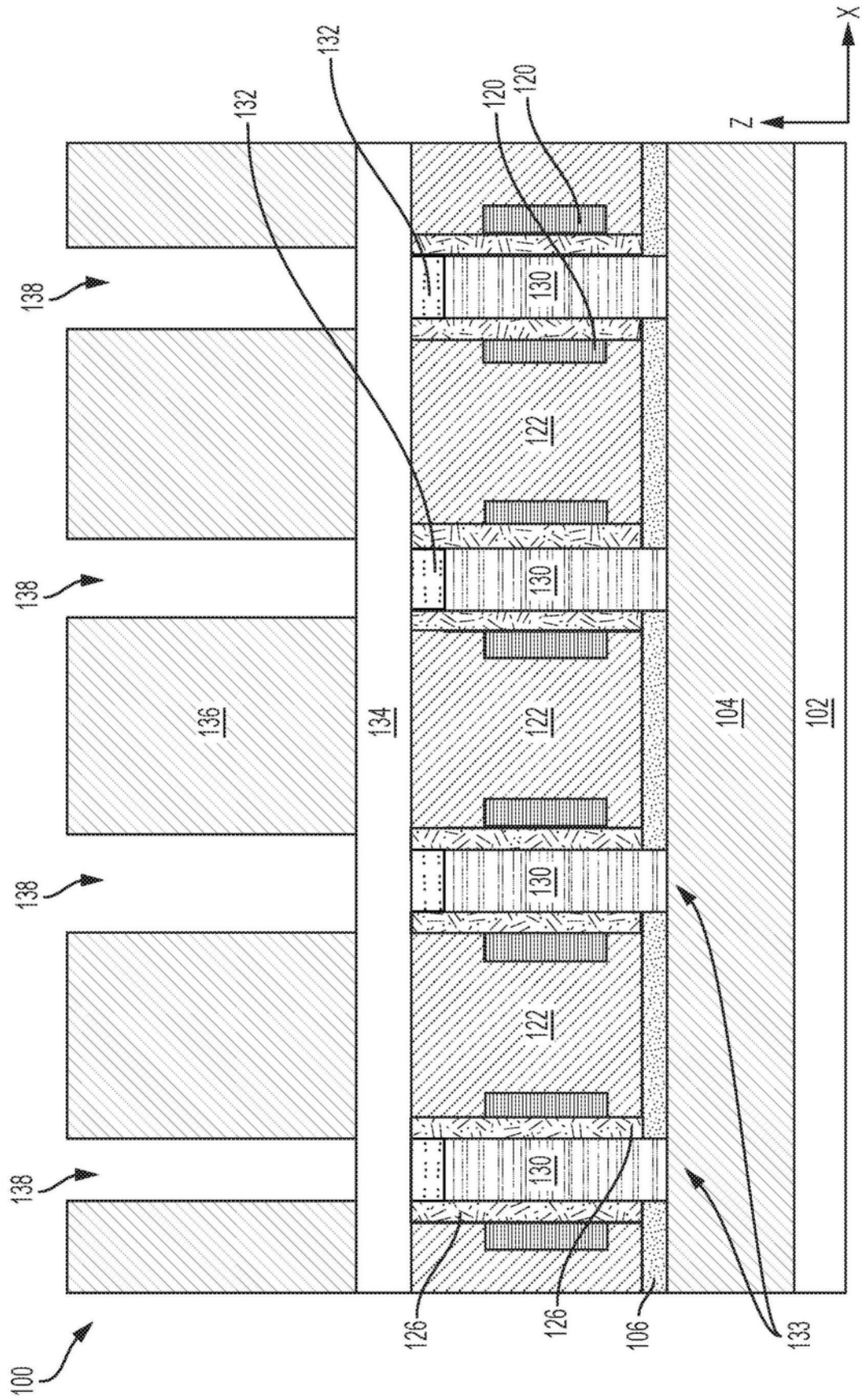


图12

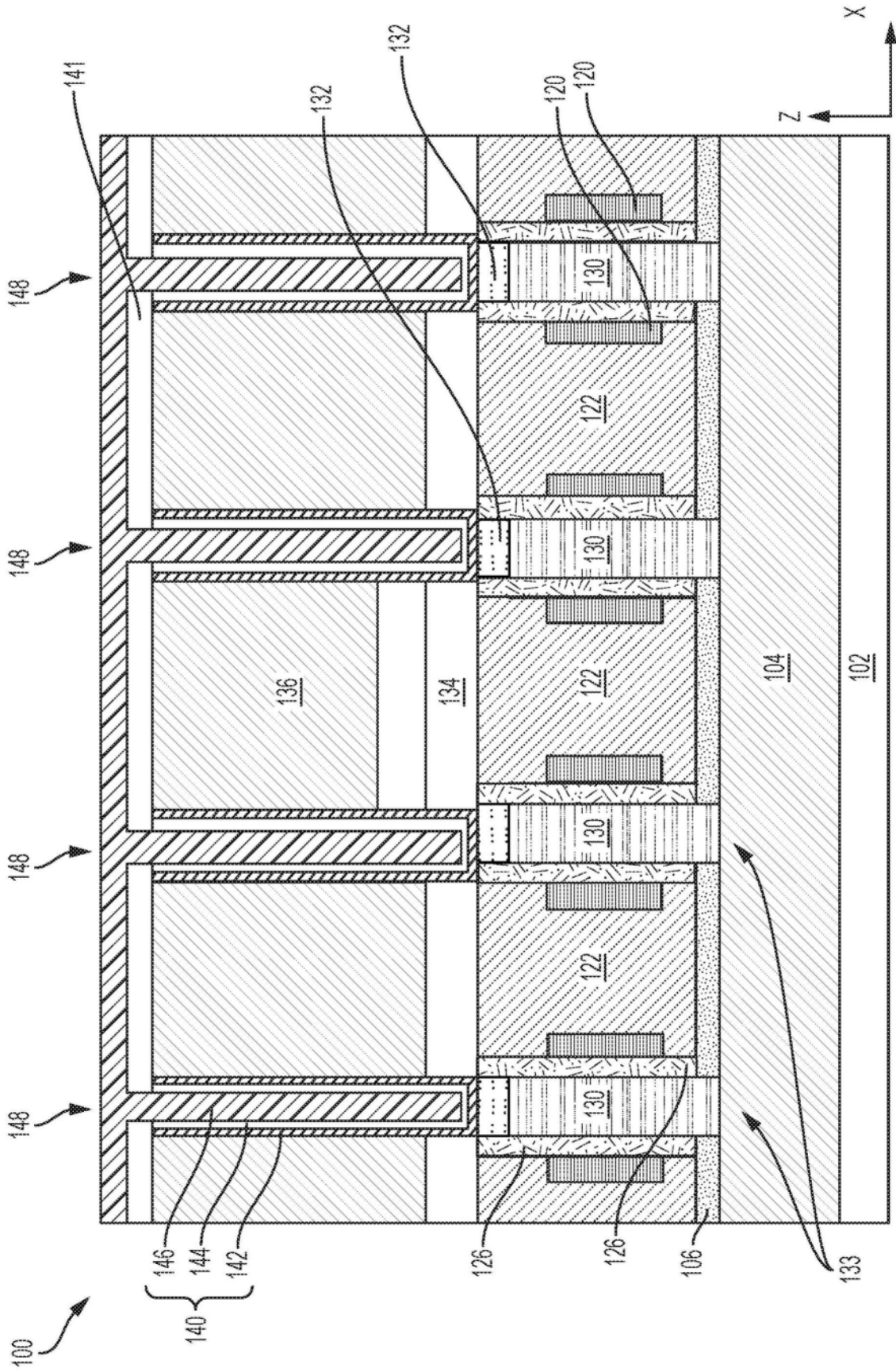


图13

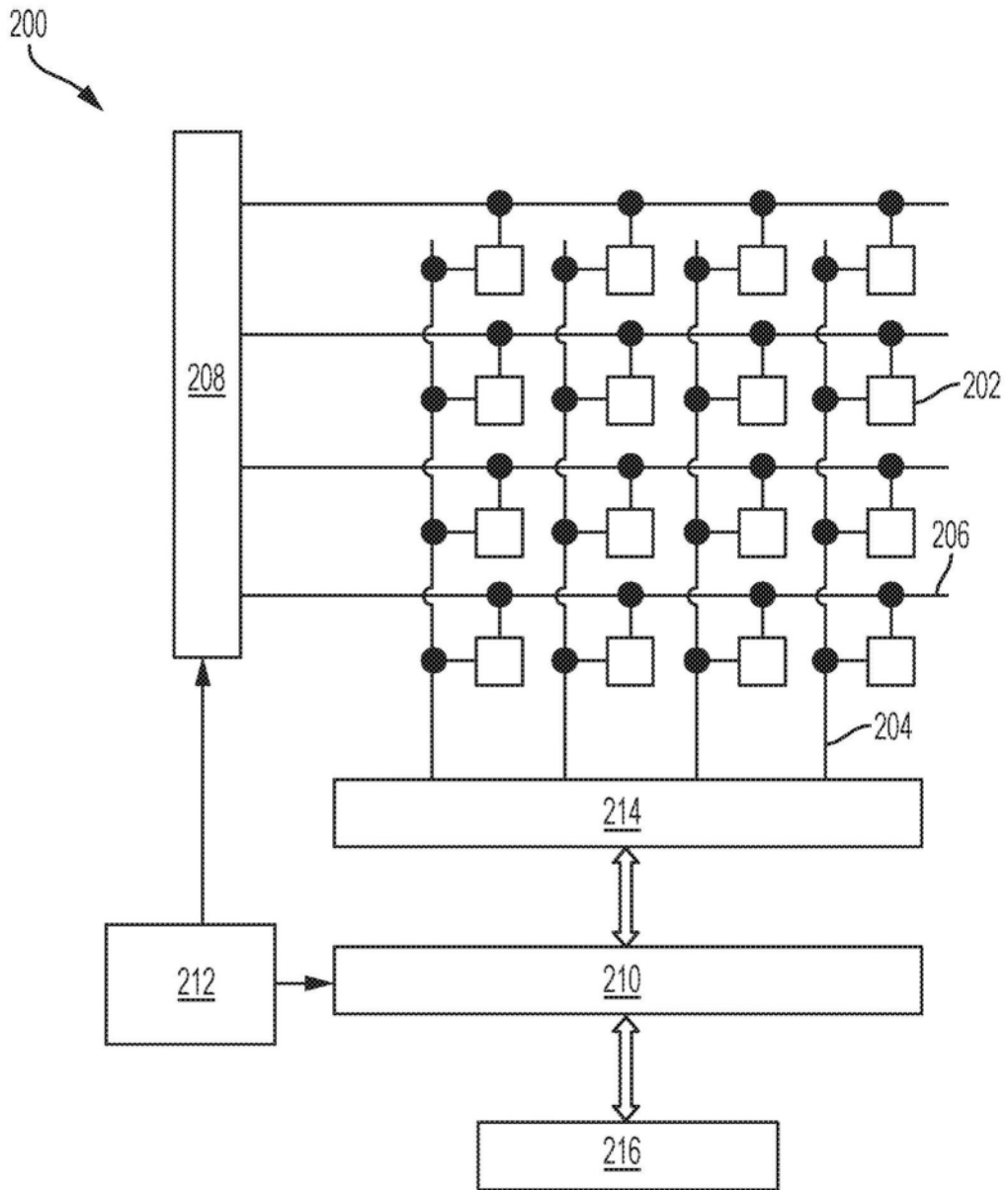


图14

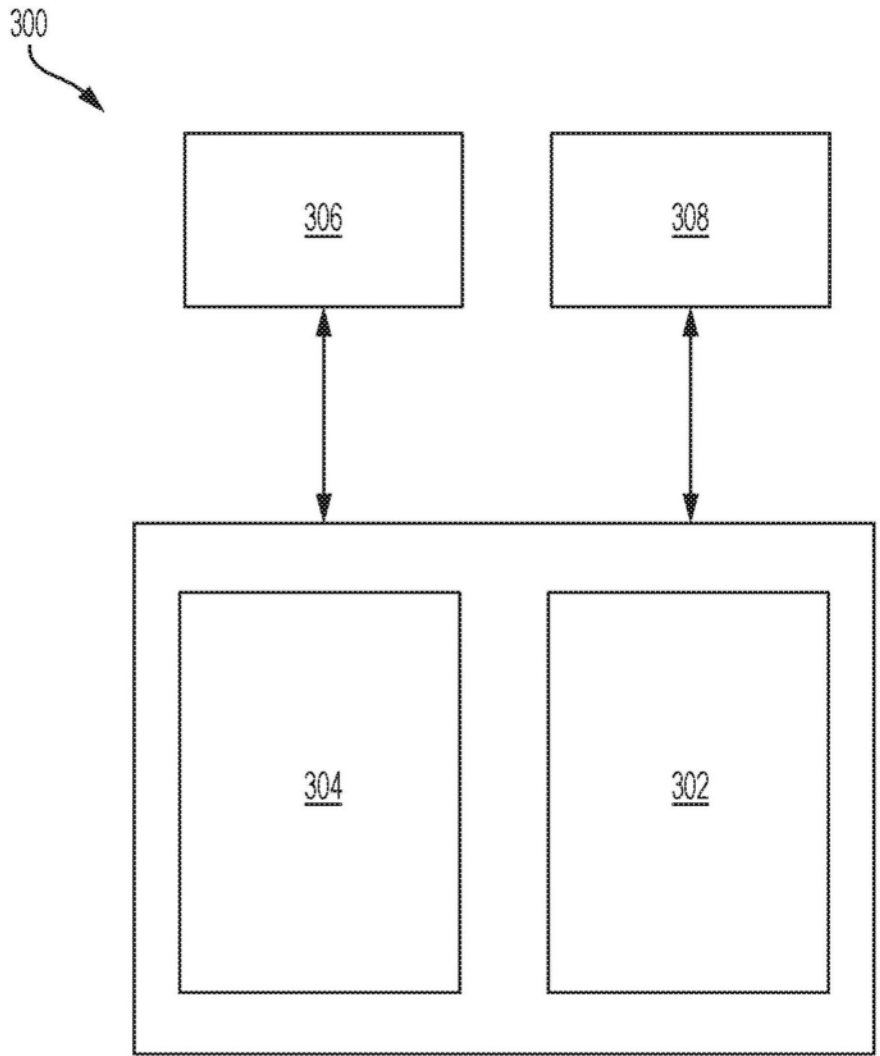


图15