(19)日本国特許庁(JP)　(12)特　許　公　報(B1)　(11)特許番号

特許第6274380号
(P6274380)

(45)発行日　平成30年2月7日(2018.2.7)　(24)登録日　平成30年1月19日(2018.1.19)

(51)Int.Cl.		F I		
H01L 25/07	(2006.01)	H01L	25/04	C
H01L 25/18	(2006.01)	H01L	23/48	G
H01L 23/48	(2006.01)	H02M	7/48	Z
H02M 7/48	(2007.01)			

請求項の数 4　(全 17 頁)

(21)出願番号　特願2017-558040 (P2017-558040)
(86)(22)出願日　平成29年8月7日(2017.8.7)
(86)国際出願番号　PCT/JP2017/028626
審査請求日　平成29年11月6日(2017.11.6)
(31)優先権主張番号　特願2016-227744 (P2016-227744)
(32)優先日　平成28年11月24日(2016.11.24)
(33)優先権主張国　日本国(JP)

早期審査対象出願

(73)特許権者　000002130
住友電気工業株式会社
大阪府大阪市中央区北浜四丁目５番３３号
(74)代理人　100107766
弁理士　伊東　忠重
(74)代理人　100070150
弁理士　伊東　忠彦
(72)発明者　大森　弘貴
大阪府大阪市此花区島屋一丁目１番３号
住友電気工業株式会社大阪製作所内

審査官　多賀　和宏

最終頁に続く

(54)【発明の名称】半導体モジュール

(57)【特許請求の範囲】
【請求項１】
絶縁基板と、前記絶縁基板の表面上に形成された第１入力用配線パターン、第２入力用配線パターン、第１制御用配線パターン及び第２制御用配線パターンとを有する回路基板と、
第１主電極パッド、第２主電極パッド及び第１ゲート電極パッドを有する第１縦型トランジスタであって、前記第２主電極パッド及び前記第１ゲート電極パッドは前記第１主電極パッドと反対側に形成されており、前記第１主電極パッドが前記第１入力用配線パターンと対向し且つ前記第１入力用配線パターンに電気的に接続された状態で前記回路基板に搭載され、前記第１ゲート電極パッドは前記第１制御用配線パターンに電気的に接続される前記第１縦型トランジスタと、
第３主電極パッド、第４主電極パッド及び第２ゲート電極パッドを有する第２縦型トランジスタであって、前記第４主電極パッド及び前記第２ゲート電極パッドは前記第３主電極パッドと反対側に形成されており、前記第４主電極パッドが前記第２入力用配線パターンと対向し且つ前記第２入力用配線パターンに電気的に接続されるとともに、前記第２ゲート電極パッドが前記第２制御用配線パターンと対向し且つ前記第２制御用配線パターンに電気的に接続された状態で前記回路基板に搭載される前記第２縦型トランジスタと、
前記第１入力用配線パターンと前記第２入力用配線パターンとの間を接続しておりサージ電圧を吸収するサージ電圧吸収素子と、
前記第１縦型トランジスタ及び前記第２縦型トランジスタ上に配置されており、裏面側

導電領域を有する板状部材と、を備え、
前記第２主電極パッドと前記第３主電極パッドとは、前記板状部材の前記裏面側導電領域によって互いに電気的に接続され、
前記板状部材は、前記板状部材を貫通する貫通孔を有し、
前記サージ電圧吸収素子は、前記貫通孔内に配置されている、
半導体モジュール。
【請求項２】
前記板状部材は、切欠き部を有し、
前記板状部材は、前記切欠き部から前記第１ゲート電極パッドを露出するように、前記第１縦型トランジスタ上に配置されている、請求項１に記載の半導体モジュール。
【請求項３】
前記第１入力用配線パターンにおける前記第１縦型トランジスタが搭載される第１トランジスタ搭載領域と、前記第２入力用配線パターンにおける前記第２縦型トランジスタが搭載される第２トランジスタ搭載領域とは対向配置されており、
前記第１トランジスタ搭載領域と前記第２トランジスタ搭載領域の互いに対向する対向縁部は平行であり、
前記サージ電圧吸収素子は、前記第１トランジスタ搭載領域と前記第２トランジスタ搭載領域それぞれの前記対向縁部の間を接続している、請求項１または請求項２に記載の半導体モジュール。
【請求項４】
前記回路基板は、前記絶縁基板上に出力用配線パターンを有し、
前記出力用配線パターンは、前記板状部材の前記裏面側導電領域と電気的に接続されている、請求項１から請求項３のいずれか１項に記載の半導体モジュール。
【発明の詳細な説明】
【技術分野】
【０００１】
本開示は半導体モジュールに関する。
【０００２】
本出願は、2016年11月24日出願の日本出願第2016-227744号に基づく優先権を主張し、前記日本出願に記載された全ての記載内容を援用するものである。
【背景技術】
【０００３】
インバータ回路といった電力変換回路を含む半導体モジュールでは、上アーム及び下アームを構成するスイッチング素子であるトランジスタをターンオン又はターンオフした直後に、電力変換回路の正側入力端子と負側入力端子の間にサージ電圧が発生することが知られている。上記サージ電圧を抑制するために、特許文献１では、サージ電圧吸収素子としてのスナバコンデンサを、正側入力端子と負側入力端子との間に接続している。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２０１５－１３５８９５号公報
【特許文献２】特開２０１４－１８７８７４号公報
【発明の概要】
【０００５】
本開示の一側面に係る半導体モジュールは、（Ａ）絶縁基板と、上記絶縁基板の表面上に形成された第１入力用配線パターン、第２入力用配線パターン、第１制御用配線パターン及び第２制御用配線パターンとを有する回路基板と、（Ｂ）第１主電極パッド、第２主電極パッド及び第１ゲート電極パッドを有する第１縦型トランジスタであって、上記第２主電極パッド及び上記第１ゲート電極パッドは上記第１主電極パッドと反対側に形成されており、上記第１主電極パッドが上記第１入力

用配線パターンに電気的に接続された状態で上記回路基板に搭載され、上記第１ゲート電極パッドは上記第１制御用配線パターンに電気的に接続される上記第１縦型トランジスタと、（Ｃ）第３主電極パッド、第４主電極パッド及び第２ゲート電極パッドを有する第２縦型トランジスタであって、上記第４主電極パッド及び上記第２ゲート電極パッドは上記第３主電極パッドと反対側に形成されており、上記第４主電極パッドが上記第２入力用配線パターンと対向し且つ上記第２入力用配線パターンに電気的に接続されるとともに、上記第２ゲート電極パッドが上記第２制御用配線パターンと対向し且つ上記第２制御用配線パターンに電気的に接続された状態で上記回路基板に搭載される上記第２縦型トランジスタと、（Ｄ）上記第１入力用配線パターンと上記第２入力用配線パターンとの間を接続しておりサージ電圧を吸収するサージ電圧吸収素子と、（Ｅ）上記第１縦型トランジスタ及び上記第２縦型トランジスタ上に配置されており、裏面側導電領域を有する板状部材と、を備え、上記第２主電極パッドと上記第３主電極パッドとは、上記板状部材の上記裏面側導電領域によって互いに電気的に接続される。

【図面の簡単な説明】

【０００６】

【図１】図１は、一実施形態に係る半導体モジュールの概略構成を示す平面図である。

【図２】図２は、図１のII－II線に沿った断面を矢印方向に見た場合において、回路基板上の主な構成を示す模式図である。

【図３】図３は、図１に示した半導体モジュールにおいて、導電板を取り除いた場合の回路基板上の構成を示す模式図である。

【図４】図４は、図１に示した半導体モジュールの等価回路を示す図面である。

【図５】図５は、半導体モジュールの変形例の概略構成を示す平面図である。

【図６】図６は、図５に示した半導体モジュールの等価回路を示す図面である。

【発明を実施するための形態】

【０００７】

特許文献１に記載の技術では、スナバコンデンサ（サージ電圧吸収素子）の熱による劣化を防止するために、スイッチング素子であるトランジスタなどを実装する基板上において、トランジスタを実装する部分と、スナバコンデンサを実装する部分とを別々に形成し、それらを熱的に分離している。この場合、トランジスタと、スナバコンデンサとの距離が長くなる傾向にあるため、サージ電圧を十分に抑制できないおそれがある。

【０００８】

そこで、サージ電圧をより確実に抑制可能な半導体モジュールを提供することを本開示の目的の１つとする。

【０００９】

以下、図面を参照して本開示の技術の実施形態について説明する。図面の説明において、同一要素には同一符号を付し、重複する説明を省略する。

［実施形態の説明］

最初に、本開示の技術の実施形態の内容を列記して説明する。

【００１０】

本開示の一側面に係る半導体モジュールは、（Ａ）絶縁基板と、上記絶縁基板の表面上に形成された第１入力用配線パターン、第２入力用配線パターン、第１制御用配線パターン及び第２制御用配線パターンとを有する回路基板と、（Ｂ）第１主電極パッド、第２主電極パッド及び第１ゲート電極パッドを有する第１縦型トランジスタであって、上記第２主電極パッド及び上記第１ゲート電極パッドは上記第１主電極パッドと反対側に形成されており、上記第１主電極パッドが上記第１入力用配線パターンと対向し且つ上記第１入力用配線パターンに電気的に接続された状態で上記回路基板に搭載され、上記第１ゲート電極パッドは上記第１制御用配線パターンに電気的に接続される上記第１縦型トランジスタと、（Ｃ）第３主電極パッド、第４主電極パッド及び第２ゲート電極パッドを有する第２縦型トランジスタであって、上記第４主電極パッド及び上記第２ゲート電極パッドは上記第３主電極パッドと反対側に形成されており、上記第４主電極パッドが上記第２入力用配

線パターンと対向し且つ上記第２入力用配線パターンに電気的に接続されるとともに、上記第２ゲート電極パッドが上記第２制御用配線パターンと対向し且つ上記第２制御用配線パターンに電気的に接続された状態で上記回路基板に搭載される上記第２縦型トランジスタと、（Ｄ）上記第１入力用配線パターンと上記第２入力用配線パターンとの間を接続しておりサージ電圧を吸収するサージ電圧吸収素子と、（Ｅ）上記第１縦型トランジスタ及び上記第２縦型トランジスタ上に配置されており、裏面側導電領域を有する板状部材と、を備え、上記第２主電極パッドと上記第３主電極パッドとは、上記板状部材の上記裏面側導電領域によって互いに電気的に接続される。

【００１１】

上記構成では、第１縦型トランジスタの第２主電極パッドと第２縦型トランジスタの第３主電極パッドとが板状部材の裏面側導電領域を介して電気的に接続されていることから、第１縦型トランジスタ及び第２縦型トランジスタは直列接続されている。第１縦型トランジスタの第１主電極パッドが第１入力用配線パターンに電気的に接続されており、第２縦型トランジスタの第４主電極パッドが第２入力用配線パターに接続されている。よって、第１縦型トランジスタ及び第２縦型トランジスタの直列回路に対して、第１入力用配線パターンを介して、第１縦型トランジスタに正電圧を供給し、第２入力用配線パターンを介して第２縦型トランジスタに負電圧を供給できる。このように、第１縦型トランジスタに正電圧を供給し、第２縦型トランジスタに負電圧を供給した状態で、第１制御用配線パターン及び第２制御用配線パターンを介して第１縦型トランジスタの第１ゲート電極パッド及び第２縦型トランジスタの第２ゲート電極パッドに制御信号を入力することで、半導体モジュールは電力変換回路として機能する。半導体モジュールでは、第１入力用配線パターン及び第２入力用配線パターンがサージ電圧吸収素子で接続されていることから、半導体モジュールの動作時に生じるサージ電圧を吸収できる。第１縦型トランジスタは、第１主電極が第１入力用配線パターンと対向し且つ第１入力用配線パターンに電気的に接続された状態で回路基板に搭載されており、第２縦型トランジスタは、第４主電極パッドが第２入力用配線パターンと対向し且つ第２入力用配線パターンに電気的に接続された状態で回路基板に搭載されている。そのため、第１縦型トランジスタ及び第２縦型トランジスタからサージ電圧吸収素子までの電流経路を短縮できるので、インダクタンスを低減できる。その結果、半導体モジュールの動作時に生じるサージ電圧をより確実に抑制可能である。

【００１２】

上記板状部材は、切欠き部を有し、上記板状部材は、上記切欠き部から上記第１ゲート電極パッドを露出するように、上記第１縦型トランジスタ上に配置されていてもよい。これにより、板状部材を、第１縦型トランジスタ及び第２縦型トランジスタからみて回路基板と反対側に配置しても、第１縦型トランジスタの第１ゲート電極パッドと、第１制御用配線パターンとを容易に接続できる。

【００１３】

上記板状部材は、上記板状部材を貫通する貫通孔を有し、上記サージ電圧吸収素子は、上記貫通孔内に配置されていてもよい。これにより、サージ電圧吸収素子と板状部材との干渉を防止できる。

【００１４】

上記第１入力用配線パターンにおける上記第１縦型トランジスタが搭載される第１トランジスタ搭載領域と、上記第２入力用配線パターンにおける上記第２縦型トランジスタが搭載される第２トランジスタ搭載領域とは対向配置されており、上記第１トランジスタ搭載領域と上記第２トランジスタ搭載領域の互いに対向する対向縁部は平行であり、上記サージ電圧吸収素子は、上記第１トランジスタ搭載領域と上記第２トランジスタ搭載領域それぞれの上記対向縁部の間を接続していてもよい。

【００１５】

これにより、対向縁部の延在方向と直交する方向において、第１縦型トランジスタと第２縦型トランジスタとの間にサージ電圧吸収素子を配置可能である。そのため、第１縦型

トランジスタ及び第２縦型トランジスタからサージ電圧吸収素子までの電流経路をより短くできる。その結果、半導体モジュールの動作時に生じるサージ電圧を、一層効率的に抑制可能である。

【００１６】

上記回路基板は、上記絶縁基板上に出力用配線パターンを有し、上記出力用配線パターンは、上記板状部材の上記裏面側導電領域と電気的に接続されていてもよい。この場合、出力用配線パターンを介して、出力電力を取り出し得る。

【００１７】

本開示の更なる一側面に係る半導体モジュールは、上面に第１入力用配線パターン及び第２入力用配線パターンを有する回路基板と、前記回路基板の上側に配置され前記回路基板に対向する下面に裏面側導電領域を有する板状部材と、下面に第１主電極パッド、上面に第２主電極パッド及び第１ゲート電極パッドを有し、前記第１主電極パッドが前記第１入力用配線パターンと電気的に接続され且つ前記第２主電極パッドが前記裏面側導電領域と電気的に接続されるように前記回路基板と前記板状部材との間に挟まれて配置される第１縦型トランジスタと、上面に第３主電極パッド、下面に第４主電極パッド及び第２ゲート電極パッドを有し、前記第４主電極パッドが前記第２入力用配線パターンと電気的に接続され且つ前記第３主電極パッドが前記裏面側導電領域と電気的に接続されるように前記回路基板と前記板状部材との間に挟まれて配置される第２縦型トランジスタと、前記第１入力用配線パターンと前記第２入力用配線パターンとの間を接続する容量性素子と、前記第１ゲート電極パッドに電気的に接続される第１制御端子と、前記第２ゲート電極パッドに電気的に接続される第２制御端子と、前記裏面側導電領域に電気的に接続される出力端子とを含む。

【００１８】

上記半導体モジュールでは、第１入力用配線パターン及び第２入力用配線パターンが容量性素子で接続されていることから、半導体モジュールの動作時に生じるサージ電圧を吸収できる。第１縦型トランジスタは、第１主電極が第１入力用配線パターンと電気的に接続されるよう回路基板と板状部材との間に挟まれて配置され、第２縦型トランジスタは、第４主電極パッドが第２入力用配線パターンと電気的に接続されるように回路基板と板状部材との間に挟まれて配置される。そのため、第１縦型トランジスタ及び第２縦型トランジスタから容量性素子までの電流経路を短縮できるので、インダクタンスを低減できる。その結果、半導体モジュールの動作時に生じるサージ電圧をより確実に抑制可能である。

［実施形態の詳細］

本開示の技術の実施形態の具体例を、以下に図面を参照しつつ説明する。本発明はこれらの例示に限定されるものではなく、請求の範囲によって示され、請求の範囲内と均等の範囲内とでのすべての変更が含まれることが意図される。図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。

【００１９】

図１及び図２に示した半導体モジュール１は、インバータ装置といった電力変換装置として機能する。半導体モジュール１は、回路基板１０と、第１トランジスタＴｒ１と、第２トランジスタＴｒ２と、少なくとも一つのサージ電圧吸収素子２０と、導電板（板状部材）３０とを備える。図２は、図１のII－II線に沿った断面を矢印方向に見た場合において、回路基板上の主な構成を示す模式図である。図２では、図１に示した第２導線Ｗ２及びケースＣ等を省略している。

【００２０】

半導体モジュール１は、第１ダイオードＤｉ１と第２ダイオードＤｉ２とを有してもよい。更に、半導体モジュール１は、回路基板１０及び回路基板１０上に実装される第１トランジスタＴｒ１、第２トランジスタＴｒ２などを収容するケースＣを備えてもよい。

【００２１】

図１では、ケースＣを一点鎖線で模式的に示している。ケースＣは、例えば樹脂で構成されてもよい。ケースＣは、回路基板１０が搭載される放熱板を底板とし、その底板と、

回路基板１０等を覆う樹脂性のカバーとから構成されてもよい。ケースＣ内に収容された回路基板１０上の構造（第１トランジスタＴｒ１、第２トランジスタＴｒ２など）は、例えばシリコーンゲルで埋設されている。

【００２２】

以下では、断らない限り、半導体モジュール１が、第１ダイオードＤｉ１、第２ダイオードＤｉ２及びケースＣを備えるとともに、３つのサージ電圧吸収素子２０を備えた形態について説明する。

【００２３】

図３は、図１に示した半導体モジュールにおいて、導電板を取り除いた場合の回路基板上の構成を示す模式図である。図１及び図３に示したように、回路基板１０は、絶縁基板１１を有し、絶縁基板１１の表面１１ａ上には、Ｐパッド１２、Ｎパッド１３、Ｏパッド１４、第１制御信号用パッド１５及び第２制御信号用パッド１６が形成されている。表面１１ａ上には、補助パッド１７が形成されていてもよい。断らない限り、補助パッド１７が形成された形態を説明する。

【００２４】

絶縁基板１１は例えばセラミックス基板である。絶縁基板１１の材料の例は、ＡｌＮ、ＳｉＮ及びＡｌ２Ｏ３を含む。絶縁基板１１の厚さ方向に見た形状（即ち例えば上方から見た平面形状）は限定されないが、例えば矩形及び正方形が挙げられる。絶縁基板１１の裏面（第１トランジスタＴｒ１、第２トランジスタＴｒ２などが搭載される面と反対側）には、銅などからなる放熱層が形成されてもよい。

【００２５】

Ｐパッド（第１入力用配線パターン）１２は、第１トランジスタ搭載領域１２１と、外部接続領域１２２とを有する導電層であり、例えば銅からなる。第１トランジスタ搭載領域１２１は、第１トランジスタＴｒ１が搭載される領域である。第１トランジスタ搭載領域１２１には、第１ダイオードＤｉ１も搭載される。外部接続領域１２２は、第１トランジスタ搭載領域１２１から継ぎ目無く続いており、正電圧用端子４１の一端が接続される領域である。正電圧用端子４１の他端は、ケースＣ外部に引き出されている。

【００２６】

Ｎパッド（第２入力用配線パターン）１３は、第２トランジスタ搭載領域１３１と、第１外部接続領域１３２と、第２外部接続領域１３３とを有する導電層であり、例えば銅からなる。第２トランジスタ搭載領域１３１は、第２トランジスタＴｒ２が搭載される領域である。第２トランジスタ搭載領域１３１には、第２ダイオードＤｉ２も搭載される。第１外部接続領域１３２は、第２トランジスタ搭載領域１３１から継ぎ目無く続いており、負電圧用端子４２の一端が接続される領域である。第２外部接続領域１３３は、第２トランジスタ搭載領域１３１から継ぎ目無く続いており、第２補助端子４３の一端が接続される領域である。本実施形態において、第２外部接続領域１３３は、第２トランジスタ搭載領域１３１に対して第１外部接続領域１３２と反対側に配置されている。負電圧用端子４２及び第２補助端子４３の他端は、ケースＣ外部に引き出されている。

【００２７】

Ｎパッド１３は、Ｐパッド１２と対向配置されている。具体的には、Ｎパッド１３は、Ｎパッド１３の縁部（対向縁部）１３ａが、Ｐパッド１２の縁部（対向縁部）１２ａと対向し且つ平行の状態で配置されている。

【００２８】

Ｏパッド（出力用配線パターン）１４は、出力端子４４の一端が接続される導電層であり、例えば銅からなる。本実施形態において、Ｏパッド１４は、第１トランジスタ搭載領域１２１に対して外部接続領域１２２と反対側でＰパッド１２から離れて形成され、且つ第２外部接続領域１３３の側方に配置されている。出力端子４４の他端は、ケースＣ外部に引き出されている。

【００２９】

第１制御信号用パッド（第１制御用配線パターン）１５は、第１制御端子４５の一端が

接続される導電層であり、例えば銅からなる。本実施形態において、第１制御信号用パッド１５は、外部接続領域１２２の側方に配置されている。第１制御端子４５の他端は、ケースＣ外部に引き出されている。

【００３０】

第２制御信号用パッド（第２制御用配線パターン）１６は、第２制御端子４６の一端が接続される導電層であり、例えば銅からなる。本実施形態において、第２制御信号用パッド１６は、第２外部接続領域１３３に対してＯパッド１４と反対側において、第２外部接続領域１３３の側方に配置されている。第２制御端子４６の他端は、ケースＣ外部に引き出されている。

【００３１】

補助パッド１７は、第１補助端子４７の一端が接続される導電層であり、例えば銅からなる。本実施形態において、補助パッド１７は、第１制御信号用パッド１５と外部接続領域１２２の間に配置されている。第１補助端子４７の他端は、ケースＣ外部に引き出されている。

【００３２】

絶縁基板１１の表面１１ａ上に形成されている上述したパッド（Ｐパッド１２、Ｎパッド１３、Ｏパッド１４など）の形状及び配置は、図１及び図３に例示した形態に限定されず、第１トランジスタＴｒ１、第２トランジスタＴｒ２、第１ダイオードＤｉ１、第２ダイオードＤｉ２などの搭載容易性及び配線容易性などを考慮して適宜設定されていればよい。

【００３３】

第１トランジスタＴｒ１及び第２トランジスタＴｒ２は、縦型トランジスタであり、チップ状を呈する。第１トランジスタＴｒ１及び第２トランジスタＴｒ２の材料の例は、ＳｉＣ、ＧａＮ等のワイドバンドギャップ半導体及びＳｉを含む。第１トランジスタＴｒ１及び第２トランジスタＴｒ２は、ＭＯＳＦＥＴ（Ｍｅｔａｌ－Ｏｘｉｄｅ－Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ－Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）でもよいし、絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ：Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｂｉｐｏｌａｒ　Ｔｒａｎｓｉｓｔｏｒ）でもよい。以下、断らない限り、第１トランジスタＴｒ１及び第２トランジスタＴｒ２はＭＯＳＦＥＴであり、互いに同じ構成を有する。

【００３４】

第１トランジスタＴｒ１は、ソース電極パッドＳＰと、ゲート電極パッドＧＰと、ドレイン電極パッドＤＰとを有する。ソース電極パッドＳＰとゲート電極パッドＧＰとは、第１トランジスタＴｒ１の厚さ方向（絶縁基板１１の厚さ方向）において、ドレイン電極パッドＤＰと反対側の第１トランジスタＴｒ１の面に配置されている。図３では、図示の都合上、第１トランジスタ搭載領域１２１と対向配置されているドレイン電極パッドＤＰを、第１トランジスタＴｒ１の外形より若干内側に破線で示しているが、ドレイン電極パッドＤＰは、第１トランジスタＴｒ１においてソース電極パッドＳＰとゲート電極パッドＧＰと反対側の全面に形成され得る。第１トランジスタＴｒ１では、ゲート電極パッドＧＰに印加される制御信号に応じてソース電極パッドＳＰ及びドレイン電極パッドＤＰ間の導通状態が制御される。これにより、第１トランジスタＴｒ１は、スイッチング素子として機能する。

【００３５】

本実施形態において、第１トランジスタＴｒ１のドレイン電極パッドＤＰ、ソース電極パッドＳＰ及びゲート電極パッドＧＰは、第１トランジスタＴｒ１の第１主電極パッド、第２主電極パッド及び第１ゲート電極パッドである。

【００３６】

第１トランジスタＴｒ１は、ドレイン電極パッドＤＰが、Ｐパッド１２の第１トランジスタ搭載領域１２１と対向し且つ第１トランジスタ搭載領域１２１に電気的に接続されるように、回路基板１０上に搭載されている。ドレイン電極パッドＤＰは、例えば半田、焼結材など介して、第１トランジスタ搭載領域１２１に固定され得る。この構成では、第１

トランジスタＴｒ１のソース電極パッドＳＰ及びゲート電極パッドＧＰは、回路基板１０と反対側の第１トランジスタＴｒ１の面に配置される。第１トランジスタＴｒ１のゲート電極パッドＧＰは、第１導線（第１接続部）Ｗ１により第１制御信号用パッド１５と接続される。第１導線Ｗ１としては、例えばワイヤ、リボンなどが挙げられる。

【００３７】

第１トランジスタＴｒ１のドレイン電極パッドＤＰが、Ｐパッド１２と電気的に接続されているので、正電圧用端子４１を介して、第１トランジスタＴｒ１のドレイン電極パッドＤＰに正電圧が入力され得る。第１トランジスタＴｒ１のゲート電極パッドＧＰが、第１導線Ｗ１を介して第１制御信号用パッド１５と電気的に接続されているので、第１制御端子４５を介して、第１トランジスタＴｒ１に制御信号が入力され得る。

【００３８】

第２トランジスタＴｒ２は、ソース電極パッドＳＰと、ゲート電極パッドＧＰと、ドレイン電極パッドＤＰとを有する。ソース電極パッドＳＰとゲート電極パッドＧＰとは、第２トランジスタＴｒ２の厚さ方向（絶縁基板１１の厚さ方向）において、ドレイン電極パッドＤＰと反対側の第２トランジスタＴｒ２の面に配置されている。第２トランジスタＴｒ２では、ゲート電極パッドＧＰに印加される制御信号に応じてソース電極パッドＳＰ及びドレイン電極パッドＤＰ間の導通状態が制御される。これにより、第２トランジスタＴｒ２は、スイッチング素子として機能する。

【００３９】

本実施形態において、第２トランジスタＴｒ２のドレイン電極パッドＤＰ、ソース電極パッドＳＰ及びゲート電極パッドＧＰは、第２トランジスタＴｒ２の第３主電極パッド、第４主電極パッド及び第２ゲート電極パッドである。

【００４０】

第２トランジスタＴｒ２は、ソース電極パッドＳＰ及びゲート電極パッドＧＰが回路基板１０と対向するように、回路基板１０に搭載されている。具体的には、第２トランジスタＴｒ２は、そのソース電極パッドＳＰが、Ｎパッド１３の第２トランジスタ搭載領域１３１と対向し且つ第２トランジスタ搭載領域１３１に電気的に接続されるとともに、第２トランジスタＴｒ２のゲート電極パッドＧＰが、第２制御信号用パッド１６と対向し且つ第２制御信号用パッド１６に電気的に接続されるように、回路基板１０に搭載されている。第２トランジスタＴｒ２のソース電極パッドＳＰ及びゲート電極パッドＧＰと、第２トランジスタ搭載領域１３１及び第２制御信号用パッド１６とは、例えば半田、焼結材などを介して固定され得る。このような第２トランジスタＴｒ２の搭載状態では、ドレイン電極パッドＤＰは、回路基板１０と反対側の第２トランジスタＴｒ２の面に位置する。

【００４１】

第２トランジスタＴｒ２のソース電極パッドＳＰが、Ｎパッド１３と電気的に接続されているので、負電圧用端子４２を介して、第２トランジスタＴｒ２のソース電極パッドＳＰに負電圧が入力され得るとともに、第２補助端子４３を介して第２トランジスタＴｒ２のソース電極パッドＳＰの電位を半導体モジュール１の外部に取り出し得る。第２補助端子４３を介して取り出された第２トランジスタＴｒ２のソース電極パッドＳＰの電位は、例えば第２トランジスタＴｒ２の制御信号の生成に利用され得る。第２トランジスタＴｒ２のゲート電極パッドＧＰと第２制御信号用パッド１６とが電気的に接続されているので、第２制御端子４６を介して第２トランジスタＴｒ２に制御信号が入力され得る。

【００４２】

第１ダイオードＤｉ１及び第２ダイオードＤｉ２のそれぞれは、第１トランジスタＴｒ１及び第２トランジスタＴｒ２に対する還流ダイオードである。第１ダイオードＤｉ１及び第２ダイオードＤｉ２は互いに同じ構成を有する。

【００４３】

第１ダイオードＤｉ１は、カソードＣＰが第１トランジスタ搭載領域１２１と対向し且つ第１トランジスタ搭載領域１２１に電気的に接続されるように、回路基板１０上に搭載されている。図３では、図示の都合上、第１トランジスタ搭載領域１２１と対向配置され

ているカソードＣＰを、第１ダイオードＤｉ１の外形より若干内側に破線で示しているが、カソードＣＰは、第１ダイオードＤｉ１においてアノードＡＰと反対側の全面に形成され得る。第１ダイオードＤｉ１のカソードＣＰは、例えば半田、焼結材などを介して、第１トランジスタ搭載領域１２１に固定され得る。これにより、第１ダイオードＤｉのカソードＣＰと第１トランジスタＴｒ１のドレイン電極パッドＤＰとは第１トランジスタ搭載領域１２１を介して電気的に接続され、正電圧用端子４１から供給される正電圧は、第１ダイオードＤｉ１のカソードＣＰにも供給され得る。上記構成では、第１ダイオードＤｉ１のアノードＡＰは、回路基板１０と反対側の第１ダイオードＤｉ１の面に位置する。

【００４４】

第２ダイオードＤｉ２は、アノードＡＰが第２トランジスタ搭載領域１３１と対向し且つ第２トランジスタ搭載領域１３１に電気的に接続されるように、回路基板１０上に搭載されている。図３では、図示の都合上、第２トランジスタ搭載領域１３１と対向配置されているアノードＡＰを、第２ダイオードＤｉ２の外形より若干内側に破線で示しているが、アノードＡＰは、第２ダイオードＤｉ２においてカソードＣＰと反対側の全面に形成され得る。第２ダイオードＤｉ２のアノードＡＰは、例えば半田、焼結材などを介して、第２トランジスタ搭載領域１３１に固定され得る。これにより、第２ダイオードＤｉ２のアノードＡＰと第２トランジスタＴｒ２のソース電極パッドＳＰとは第２トランジスタ搭載領域１３１を介して電気的に接続され、負電圧用端子４２から第２トランジスタＴｒ２に供給される負電圧は、第２ダイオードＤｉ２のアノードＡＰにも供給され得る。上記構成では、第２ダイオードＤｉ２のカソードＣＰは、回路基板１０と反対側の第２ダイオードＤｉ２の面に位置する。

【００４５】

サージ電圧吸収素子２０は、サージ電圧を吸収するための素子である。サージ電圧吸収素子２０の例はコンデンサであり、このサージ電圧吸収用コンデンサの例はセラミックコンデンサである。サージ吸収用コンデンサの容量は、想定されるサージ電圧を吸収可能な容量であればよい。

【００４６】

図１～図３に示したように、サージ電圧吸収素子２０は、Ｐパッド１２の縁部１２ａとＮパッド１３の縁部１３ａとの間を接続している。具体的には、サージ電圧吸収素子２０の一端は、縁部１２ａのうち第１トランジスタ搭載領域１２１の部分に接続され、他端は、縁部１３ａのうち第２トランジスタ搭載領域１３１の部分に接続されている。複数のサージ電圧吸収素子２０は、縁部１２ａ（縁部１３ａ）の延在方向において互いに離間して配置されている。

【００４７】

導電板３０は、回路基板１０と導電板３０とにより、第１トランジスタＴｒ１、第１ダイオードＤｉ１、第２トランジスタＴｒ２及び第２ダイオードＤｉ２を挟むように、第１トランジスタＴｒ１、第１ダイオードＤｉ１、第２トランジスタＴｒ２及び第２ダイオードＤｉ２上に設けられている。導電板３０は、導電材料からなる板状部材であればよく、例えば金属板である。導電板３０の材料としては、例えば銅またはアルミが挙げられる。導電板３０の厚さは、例えば０．３ｍｍ程度である。導電板３０は、導電材料からなるため、導電板３０の表面３０ａは導電領域（表面側導電領域）であり、裏面３０ｂも導電領域(裏面側導電領域)であり、導電領域である表面３０ａ及び裏面３０ｂは電気的に互いに接続されている。

【００４８】

図１に示したように、導電板３０は、その厚さ方向に見て（即ち平面視で）、略矩形又は略正方形を呈し、第１トランジスタＴｒ１のゲート電極パッドＧＰに対向する部分に切欠き部３１を有する。導電板３０は、切欠き部３１から第１トランジスタＴｒ１のゲート電極パッドＧＰが露出するように、第１トランジスタＴｒ１、第１ダイオードＤｉ１、第２トランジスタＴｒ２及び第２ダイオードＤｉ２上に配置されている。導電板３０は、第１トランジスタＴｒ１のソース電極パッドＳＰ、第１ダイオードＤｉ１のアノードＡＰ、

第２トランジスタＴｒ２のドレイン電極パッドＤＰ及び第２ダイオードＤｉ２のカソードＣＰと例えば半田、焼結材などで固定され、電気的に接続されている。換言すれば、第１トランジスタＴｒ１のソース電極パッドＳＰ、第１ダイオードＤｉ１のアノードＡＰ、第２トランジスタＴｒ２のドレイン電極パッドＤＰ及び第２ダイオードＤｉ２のカソードＣＰは、導電板３０を介して互いに電気的に接続されている。

【００４９】

導電板３０は、サージ電圧吸収素子２０の位置に対応する部分に、貫通孔３２を有する。貫通孔３２は、サージ電圧吸収素子２０を通すための孔部であり、サージ電圧吸収素子２０と貫通孔３２とが接触しない程度の大きさを有し得る。これにより、導電板３０を、回路基板１０と対向配置しても、導電板３０とサージ電圧吸収素子２０との干渉が確実に防止されている。

【００５０】

導電板３０は、第２導線Ｗ２により、Ｏパッド１４に接続されている。第２導線Ｗ２としては、例えばワイヤ、リボンなどが挙げられる。導電板３０とＯパッド１４間には、大きな電流が流れやすいので、第２導線Ｗ２が例えばワイヤである場合、複数本のワイヤで導電板３０とＯパッド１４とが接続されていてもよい。導電板３０は、第３導線Ｗ３により、補助パッド１７に接続されている。第３導線Ｗ３としては、例えばワイヤ、リボンなどが挙げられる。

【００５１】

上記構成では、第１トランジスタＴｒ１及び第１ダイオードＤｉ１は、電気的に逆並列接続されており、第２トランジスタＴｒ２及び第２ダイオードＤｉ２は、電気的に逆並列接続されており、第１トランジスタＴｒ１及び第２トランジスタＴｒ２は、電気的に直列接続されている。したがって、半導体モジュール１は、図４に示した半導体モジュール１の等価回路のように電力変換回路２として機能する。図４に示した電力変換回路２は、単相インバータ回路であり、この場合、半導体モジュール１は、例えば２ｉｎ１タイプの半導体モジュールである。図４では、半導体モジュール１の要素と対応する回路要素には同じ符号を付している。半導体モジュール１が備える第１トランジスタＴｒ１及び第２トランジスタＴｒ２は、電力変換回路２において、それぞれ上アーム及び下アームを構成する。

【００５２】

導電板３０は、第２導線Ｗ２により、Ｏパッド１４に接続されていることから、電力変換回路２の出力電圧は、出力端子４４を介して半導体モジュール１の外部に取り出され得る。導電板３０は、第３導線Ｗ３により、補助パッド１７に接続されていることから、第１トランジスタＴｒ１のソース電極パッドＳＰの電位を、第１補助端子４７を介して半導体モジュール１の外部に取り出し得る。第１補助端子４７を介して取り出された第１トランジスタＴｒ１のソース電極パッドＳＰの電位は、例えば第１トランジスタＴｒ１の制御信号の生成に利用され得る。

【００５３】

半導体モジュール１では、第１トランジスタＴｒ１のドレイン電極パッドＤＰは、Ｐパッド１２に電気的に接続され、第２トランジスタＴｒ２のソース電極パッドＳＰは、Ｎパッド１３に電気的に接続されている。したがって、正電圧用端子４１及び負電圧用端子４２により、正電圧用端子４１及び負電圧用端子４２間に電気的に直列接続された第１トランジスタＴｒ１及び第２トランジスタＴｒ２に電力を供給可能である。

【００５４】

更に、第１トランジスタＴｒ１のゲート電極パッドＧＰ及び第２トランジスタＴｒ２のゲート電極パッドＧＰはそれぞれ第１制御端子４５及び第２制御端子４６に電気的に接続されている。したがって、第１制御端子４５及び第２制御端子４６を介して第１トランジスタＴｒ１及び第２トランジスタＴｒ２に制御信号を供給できる。

【００５５】

よって、半導体モジュール１では、第１トランジスタＴｒ１及び第２トランジスタＴｒ

２を交互にオン／オフ動作させることで、正電圧用端子４１及び負電圧用端子４２の間に印加される直流電圧を、交流電圧に変換して、出力端子４４から交流電圧を出力し得る。

【００５６】

正電圧用端子４１及び負電圧用端子４２間に、直列接続された第１トランジスタＴｒ１及び第２トランジスタＴｒ２を含む電力変換回路２では、第１トランジスタＴｒ１及び第２トランジスタＴｒ２のそれぞれをターンオン又はターンオフしたときに、サージ電圧が生じる。

【００５７】

半導体モジュール１では、Ｐパッド１２の第１トランジスタ搭載領域１２１及びＮパッド１３の第２トランジスタ搭載領域１３１が，サージ電圧吸収素子２０で互いに接続されている。したがって、サージ電圧吸収素子２０は、図４に示したように、正電圧用端子４１と負電圧用端子４２との間に電気的に直列接続されている第１トランジスタＴｒ１と第２トランジスタＴｒ２に対して電気的に並列接続されている。そのため、半導体モジュール１の構成では、サージ電圧吸収素子２０によって、上記サージ電圧を吸収できる。

【００５８】

サージ電圧の大きさは、電流をｉとし、インダクタンスをＬとしたとき、Ｌ×ｄｉ／ｄｔで定まる。サージ電圧の大きさを規定するインダクタンスには、電流ｉが流れる経路の配線インダクタンスも含まれる。ｄｉ／ｄｔは、第１トランジスタＴｒ１及び第２トランジスタＴｒ２のスイッチング速度に依存する。スイッチング速度は高速化が図られてきているので、ｄｉ／ｄｔは大きくなる傾向にある。特に、第１トランジスタＴｒ１及び第２トランジスタＴｒ２の材料にワイドバンドギャップ半導体を使用している場合、スイッチング速度がＳｉの場合に比べて速いことから、ｄｉ／ｄｔが大きくなりやすい。よって、サージ電圧を効果的に抑制するには、サージ電圧吸収素子２０を、第１トランジスタＴｒ１及び第２トランジスタＴｒ２に対し、物理的（電気配線の長さ的）に近くに配置して、インダクタンスＬに含まれるケースＣ内部の配線インダクタンスの寄与分を抑えることが重要である。

【００５９】

第２トランジスタＴｒ２の回路基板１０への搭載形態としては、例えば特許文献１のように、ドレイン電極パッドＤＰが回路基板１０に対向するように、第２トランジスタＴｒ２を回路基板１０に搭載することも考えられる。しかしながら、このような搭載形態において、サージ電圧を吸収するためにＰパッド１２とＮパッド１３とをサージ電圧吸収素子２０で互いに接続する場合には、第２トランジスタＴｒ２を、例えばＯパッド１４に搭載し、第２トランジスタＴｒ２と、Ｎパッド１３とを導線を介して接続しなければならない。この場合、サージ電圧吸収素子２０と、第２トランジスタＴｒ２との間の電流経路（電気配線）が長くなる。

【００６０】

半導体モジュール１では、下アーム側の第２トランジスタＴｒ２を、上アーム側の第１トランジスタＴｒ１に対して上下反転させて回路基板１０に搭載している。そのため、第１トランジスタＴｒ１をＰパッド１２上に搭載するとともに、第２トランジスタＴｒ２をＮパッド１３上に搭載しながら、導電板３０を介して第２トランジスタＴｒ２のドレイン電極パッドＤＰと、第１トランジスタＴｒ１のソース電極パッドＳＰとを互いに電気的に接続することで、第１トランジスタＴｒ１と第２トランジスタＴｒ２とを直列接続している。

【００６１】

このように、半導体モジュール１の構成では、サージ電圧吸収素子２０がその間を接続するＰパッド１２及びＮパッド１３に、第１トランジスタＴｒ１及び第２トランジスタＴｒ２をそれぞれ搭載できている。そのため、第１トランジスタＴｒ１及び第２トランジスタＴｒ２を、サージ電圧吸収素子２０に対して近くに配置できるので、サージ電圧吸収素子２０と、第１トランジスタＴｒ１及び第２トランジスタＴｒ２との間の電流経路の配線インダクタンスを低減可能である。その結果、サージ電圧が効率的に抑制されるので、第

１トランジスタＴｒ１及び第２トランジスタＴｒ２の直列回路において、第１トランジスタＴｒ１のドレイン電極パッドＤＰと第２トランジスタＴｒ２のソース電極パッドＳＰとに印加される電圧を安定化可能である。

【００６２】

半導体モジュール１では、回路基板１０に対して第１トランジスタＴｒ１及び第２トランジスタＴｒ２を挟むように配置された導電板３０を介して第１トランジスタＴｒ１及び第２トランジスタＴｒ２を直列接続している。そのため、絶縁基板１１上のパッド（例えばＰパッド１２、Ｎパッド１３及びＯパッド１４）の形状、配置などの設計自由度が向上する。

【００６３】

例えば、図１及び図３に示したように、Ｐパッド１２及びＮパッド１３を、少なくともＰパッド１２の第１トランジスタ搭載領域１２１とＮパッド１３の第２トランジスタ搭載領域１３１とが対向し、対向する縁部１２ａ及び縁部１３ａが平行になるように形成できる。この場合、縁部１２ａと縁部１３ｂとを互いに接続するようにサージ電圧吸収素子２０を配置できる。その結果、縁部１２ａ（又は縁部１３ｂ）の延在方向に直交する方向において、第１トランジスタＴｒ１と第２トランジスタＴｒ２との間にサージ電圧吸収素子２０による電流経路が形成されるので、サージ電圧吸収素子２０と、第１トランジスタＴｒ１及び第２トランジスタＴｒ２との間の電流経路がより短くなり、インダクタンスの影響を一層低減できる。更に、Ｐパッド１２及びＮパッド１３を近づけて配置できるので、半導体モジュール１を小型化可能である。

【００６４】

絶縁基板１１上の例えばＰパッド１２、Ｎパッド１３及びＯパッド１４の設計自由度が向上することで、例えば、Ｏパッド１４の配置の自由度も向上する。よって、半導体モジュール１の設計が容易である。

【００６５】

半導体モジュール１では、第２トランジスタＴｒ２及び第２ダイオードＤｉ２を、第１トランジスタＴｒ１及び第１ダイオードＤｉ１に対して、上下反転させて回路基板１０に搭載している。そのため、回路基板１０に対して対向配置された一枚の導電板３０によって、第１トランジスタＴｒ１のソース電極パッドＳＰ、第１ダイオードＤｉ１のアノードＡＰ、第２トランジスタＴｒ２のドレイン電極パッドＤＰ及び第２ダイオードＤｉ２のカソードＣＰの間の電気的な接続が可能である。したがって、Ｐパッド１２とＮパッド１３とをサージ電圧吸収素子２０で接続してサージ電圧が抑制された半導体モジュール１を低コストで製造可能である。

【００６６】

導電板３０は、第１トランジスタＴｒ１のゲート電極パッドＧＰと対向する部分に切欠き部３１を有する。そのため、回路基板１０と、導電板３０とで第１トランジスタＴｒ１、第２トランジスタＴｒ２を挟むように、導電板３０を配置しても、第１トランジスタＴｒ１のゲート電極パッドＧＰが導電板３０から確実に露出するので、ゲート電極パッドＧＰと、第１制御信号用パッド１５とを第１導線Ｗ１で容易に接続可能である。

【００６７】

通常、サージ電圧吸収素子２０の厚さ（又は高さ）は、第１トランジスタＴｒ１及び第２トランジスタＴｒ２の厚さより厚い傾向にある。半導体モジュール１が備える導電板３０は、サージ電圧吸収素子２０を通すための貫通孔３２を有する。そのため、Ｐパッド１２とＮパッド１３とをサージ電圧吸収素子２０で互いに接続していても、導電板３０の貫通孔３２にサージ電圧吸収素子２０を通すことで、導電板３０と、サージ電圧吸収素子２０との間の物理的な干渉を防止できる。そのため、回路基板１０と、導電板３０とで第１トランジスタＴｒ１、第２トランジスタＴｒ２を挟むように、導電板３０を配置可能である。

【００６８】

上記のように切欠き部３１及び貫通孔３２を形成しておけば、導電板３０は、その厚さ

方向にみて（即ち平面視で）、例えば第１トランジスタ搭載領域１２１及び第２トランジスタ搭載領域１３１をカバーするような板状部材として製造できる。したがって、導電板３０の製造も容易であり、この観点からも半導体モジュール１の製造コストを低減可能である。

【００６９】

本開示によれば、サージ電圧をより確実に抑制可能である。

【００７０】

以上、本開示の技術の実施形態及びその変形例について説明したが、本発明は、これまで説明した種々の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。

【００７１】

例えば、サージ電圧吸収素子として、コンデンサを例示した。しかしながら、サージ電圧吸収素子は、サージ電圧を吸収可能な素子であればよい。例えば、コンデンサと抵抗とが組み合されたＲＣ回路（又はＲＣスナバ素子）でもよい。

【００７２】

図１では、Ｐパッドに１つの第１トランジスタ及びＮパッドに１つの第２トランジスタが搭載された形態を例示した。しかしながら、第１トランジスタの数は複数でもよく、第２トランジスタの数も複数でもよい。

【００７３】

図５では、３つの第１トランジスタＴｒ１及び３つの第２トランジスタＴｒ２を備えた半導体モジュールの例を示している。図６は、図５に示した半導体モジュール１Ａの等価回路である電力変換回路２Ａを示している。図５に示した半導体モジュール１Ａでは、３つの第１トランジスタＴｒ１に対応して３つの第１ダイオードＤｉ１を有し、３つの第２トランジスタＴｒ２に対応して３つの第２ダイオードＤｉ２を例示しているが、ダイオードの数は、トランジスタの数と異なっていてもよい。

【００７４】

半導体モジュール１Ａにおける第１トランジスタＴｒ１、第１ダイオードＤｉ１、第２トランジスタＴｒ２及び第２ダイオードＤｉ２の回路基板１０への搭載状態は、半導体モジュール１の場合と同様である。

【００７５】

半導体モジュール１Ａが第１トランジスタＴｒ１を３つ有することにより、導電板３０は、各第１トランジスタＴｒ１のゲート電極パッドＧＰを露出するように、各第１トランジスタＴｒ１のゲート電極パッドＧＰに対応した切欠き部３１を有すればよい。第２制御信号用パッド１６及びＮパッド１３は、３つの第２トランジスタＴｒ２がそれぞれ上記実施形態で説明した第２制御信号用パッド１６及びＮパッド１３との接続関係を実現可能に形成されていればよい。

【００７６】

半導体モジュール１Ａでは、半導体モジュール１Ａの等価回路である電力変換回路２Ａのように、複数の第１トランジスタＴｒ１は並列接続され、複数の第２トランジスタＴｒ２も並列接続されている。したがって、半導体モジュール１Ａには、大電流を流すことが可能である。

【００７７】

半導体モジュールは、単相インバータ回路といった単相の電力変換回路の構成に限定されず、二相又は三相の電力変換回路の構成を有してもよい。トランジスタの数及びサージ電圧吸収素子の数の例、更に、入力端子（正電圧用端子及び負電圧用端子）、出力端子、及び制御端子の数などの例は、図面に示されている数に限定されない。半導体モジュールは、第１トランジスタ及び第２トランジスタをそれぞれ少なくとも一つずつ備えていればよい。同様に、半導体モジュールは、サージ電圧吸収素子を、少なくとも一つ備えていればよい。

【００７８】

第１トランジスタ及び第２トランジスタの配置状態及び第１トランジスタ及び第２トランジスタと種々のパッド（Ｐパッド、Ｎパッド、Ｏパッドなど）との配線構造などは、例示したものに限定されないが、サージ電圧を低減する観点から配線インダクタンスを最小にするように最適化されていることが好ましい。

【００７９】

回路基板は、出力用配線パターンを有しなくてもよい。この場合、例えば、導電板に出力端子の一端を直接接続すればよい、或いは、導電板に一体的に設けられた出力端子を用いればよい。

【００８０】

半導体モジュールが有する板状部材の例も導電板に限らない。回路基板上に配置される第１縦型トランジスタ及び第２縦型トランジスタの第２主電極パッドと第３主電極パッドとを電気的に接続可能なように、裏面側導電領域を有する板状部材であればよい。例えば、板状部材は、絶縁基板の裏面（回路基板側の面）に導電層（裏面側導電領域）が形成された構成を有してもよい。板状部材は、裏面側導電領域と電気的に接続された表面側導電領域を有する部材であってもよい。例えば、板状部材は、絶縁基板の裏面（回路基板側の面）に導電層（裏面側導電領域）が形成されるとともに、上記絶縁基板の表面に導電層（表面側導電領域）が形成されており、絶縁基板の表面及び裏面の上記導電層が互いに電気的に接続された構成を有してもよい。板状部材が上記のように、裏面側導電領域と表面側導電領域とを有し、回路基板が出力用配線パターンを有する形態では、例えば表面側導電領域と出力用配線パターンとを互いに電気的に接続することによって、裏面側導電領域と出力用配線パターンとを互いに電気的に接続し得る。板状部材が上記のように、裏面側導電領域と表面側導電領域とを有し、回路基板が出力用配線パターンを有しない形態では、例えば表面側導電領域に出力端子の一端を直接接続することによって、裏面側導電領域と出力端子とを互いに電気的に接続してもよい。

【符号の説明】

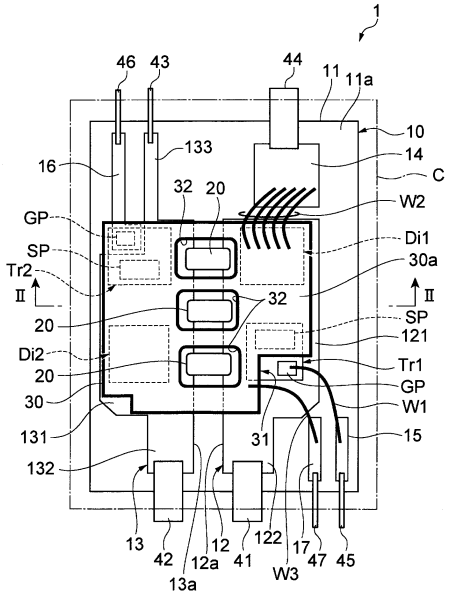
【００８１】

１，１Ａ…半導体モジュール、１０…回路基板、１１…絶縁基板、１２…Ｐパッド（第１入力用配線パターン）、１２ａ…縁部（対向縁部）、１３…Ｎパッド（第２入力用配線パターン）、１３ａ…縁部（対向縁部）、１４…Ｏパッド（出力用配線パターン）、１５…第１制御信号用パッド（第１制御用配線パターン）、１６…第２制御信号用パッド（第２制御用配線パターン）、２０…サージ電圧吸収素子、ＤＰ…ドレイン電極パッド（第１主電極パッド、第３主電極パッド）、ＧＰ…ゲート電極パッド（第１ゲート電極パッド、第２ゲート電極パッド）、ＳＰ…ソース電極パッド（第２主電極パッド、第４主電極パッド）、Ｔｒ１…第１トランジスタ（第１縦型トランジスタ）、Ｔｒ２…第２トランジスタ（第２縦型トランジスタ）。

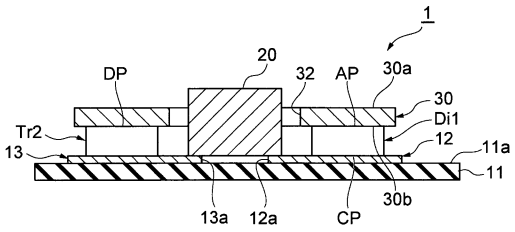
【要約】

一形態に係る半導体モジュールは、回路基板と、第１主電極パッドが回路基板の第１入力用配線パターンに対向し且つ接続され、第１ゲート電極パッドが回路基板の第１制御配線用パターンに接続される第１縦型トランジスタと、第４主電極パッドが回路基板の第２入力用配線パターンに対向し且つ接続されるとともに、第２ゲート電極パッドが回路基板の第２制御用配線パターンに対向し且つ接続された第２縦型トランジスタと、第１及び第２入力用配線パターンを接続しておりサージ電圧を吸収するサージ電圧吸収素子と、第１縦型トランジスタの第２主電極パッドと第２縦型トランジスタの第３主電極パッドとを接続する板状部材とを備える。

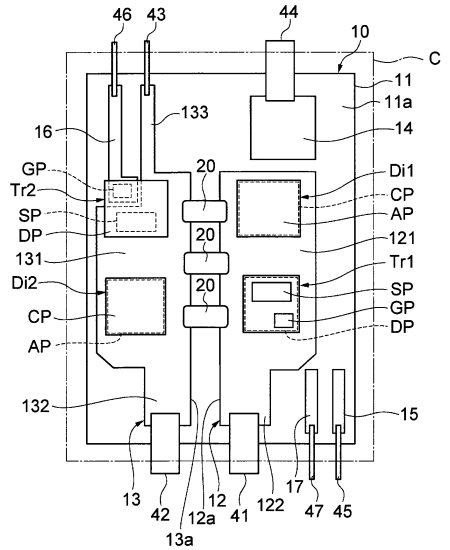
【図１】


1
46
43
44
11
11a
10
C
16
133
14
32
20
W2
GP
Di1
SP
30a
Tr2
II
II
32
SP
20
121
Di2
Tr1
20
GP
30
W1
131
31
15
132
13
42
12a
41
12
122
17
47
45
13a
W3

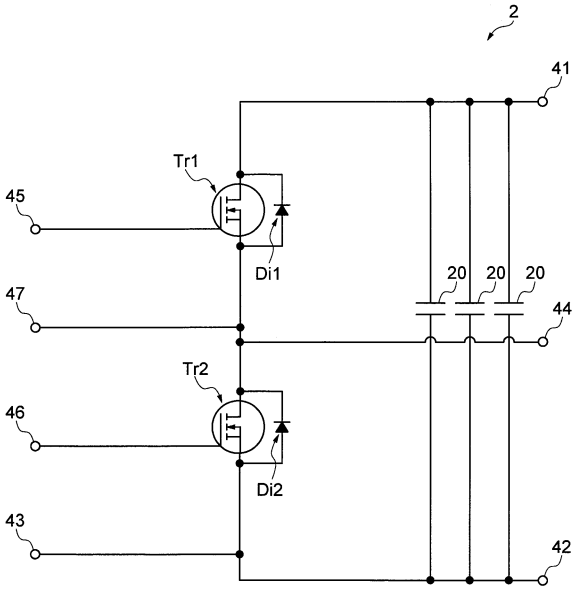
【図２】


1
20
DP
32
AP
30a
30
Di1
Tr2
12
11a
13
11
30b
13a
12a
CP

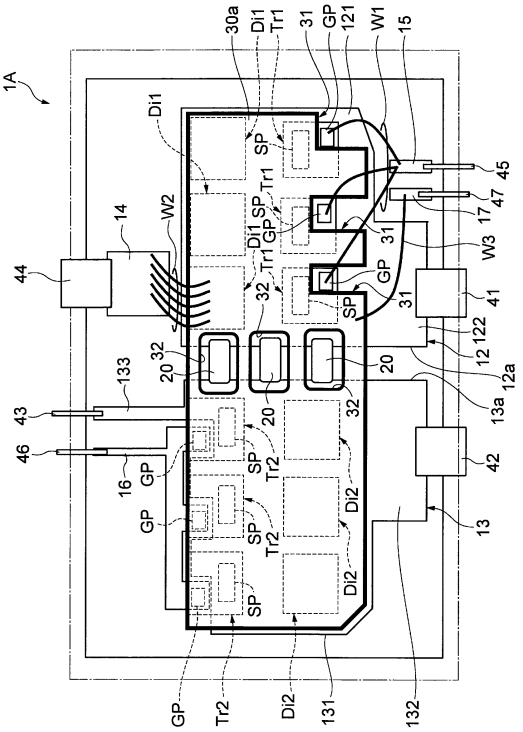
【図３】


46
43
44
10
C
11
11a
16
133
14
GP
20
Di1
Tr2
CP
SP
AP
DP
20
121
131
Tr1
Di2
20
SP
GP
CP
DP
AP
132
15
13
42
12a
41
12
122
17
47
45
13a

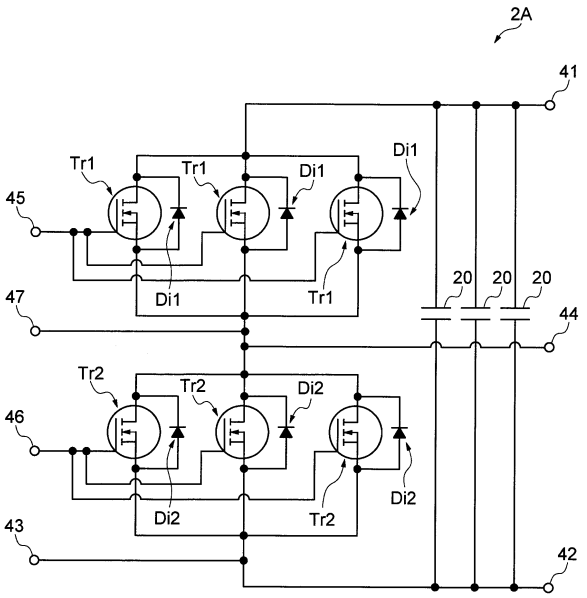
【図４】


2
41
Tr1
45
Di1
20
20
20
47
44
Tr2
46
Di2
43
42

【図５】


1A
30a
Di1
Tr1
31
GP
121
W1
15
45
47
17
W3
31
41
122
12
12a
13a
42
13
132
131
Di2
Tr2
GP
16
133
14
W2
44
43
46
SP
20
32

【図６】


2A
41
45
47
44
43
46
42
Tr1
Di1
Tr2
Di2
20

フロントページの続き

(56)参考文献 特開２０１４－１８７８７４（ＪＰ，Ａ）
特開２０１１－３６０１６（ＪＰ，Ａ）
特開２０１６－２６４６６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２３／２９
Ｈ０１Ｌ　２３／３４－２３／３６
Ｈ０１Ｌ　２３／３７３－２３／４２７
Ｈ０１Ｌ　２３／４４
Ｈ０１Ｌ　２３／４６７－２３／４８
Ｈ０１Ｌ　２５／００－２５／０７
Ｈ０１Ｌ　２５／１０－２５／１１
Ｈ０１Ｌ　２５／１６－２５／１８
Ｈ０２Ｍ　７／４２－７／９８