(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3576763号
(P3576763)
(45)発行日　平成16年10月13日(2004.10.13)　(24)登録日　平成16年7月16日(2004.7.16)

(51)Int.Cl.[7]　F I
G11C 16/02　G11C 17/00　612D
G11C 16/04　G11C 17/00　622E

請求項の数 5　(全 24 頁)

(21)出願番号　特願平9-224922
(22)出願日　平成9年8月21日(1997.8.21)
(65)公開番号　特開平11-66871
(43)公開日　平成11年3月9日(1999.3.9)
審査請求日　平成13年6月11日(2001.6.11)

前置審査

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100058479
弁理士　鈴江　武彦
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100084618
弁理士　村松　貞男
(74)代理人　100092196
弁理士　橋本　良郎

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
制御ゲートを有し、電気的に書き替え可能な不揮発性半導体メモリセルと、
前記メモリセルの一端に接続されるビット線と、
前記メモリセルの他端に接続されるソース線と、
前記ビット線に接続されるセンスアンプと、
前記メモリセルのデータを消去するための消去回路と、
前記消去回路による消去後、前記メモリセルの状態を前記ビット線を介して前記センスアンプで読み出す消去ベリファイ回路と、
前記センスアンプで読み出したメモリセルの消去後の状態に応じて前記ビット線の電圧を制御して、消去後のメモリセルに対してソフト書き込みを行うソフト書き込み回路と、
を備え、
前記メモリセルは他の不揮発性半導体メモリセルと直列接続されＮＡＮＤ型メモリセルを構成し、
前記ＮＡＮＤ型メモリセルの一端が前記ビット線に接続され、他端が前記ソース線に接続され、
前記消去ベリファイ回路は前記直列接続された複数のセル毎に制御ゲートに選択電圧を印加し、選択されたセルの状態を前記ビット線を介して前記センスアンプで読み出す動作を繰返し、
前記ソフト書き込み回路のソフト書込み動作は、前記直列接続された複数のセルの全ての

制御ゲートの電圧を所定のソフト書込み電圧に設定して行われる半導体記憶装置。
【請求項２】
半導体層上に形成され制御ゲート、ソース、ドレイン、電荷蓄積層を有するＭＯＳ型の電気的に書き替え可能な不揮発性半導体メモリセルと、
前記メモリセルの一端に接続されるビット線と、
前記メモリセルの他端に接続されるソース線と、
前記ビット線に接続されるセンスアンプと、
前記メモリセルのデータを消去するため前記半導体層に消去電圧を印加する消去回路と、
前記消去回路による消去後、前記メモリセルの状態を前記ビット線を介して前記センスアンプで読み出す消去ベリファイ回路と、
前記センスアンプで読み出したメモリセルの消去後の状態に応じて前記ビット線の電圧を制御して前記制御ゲートにソフト書き込み電圧を印加し、消去後のメモリセルに対してソフト書き込みを行うソフト書き込み回路と、
を備え、
前記メモリセルは他の不揮発性半導体メモリセルと直列接続されＮＡＮＤ型メモリセルを構成し、
前記ＮＡＮＤ型メモリセルの一端が前記ビット線に接続され、他端が前記ソース線に接続され、
前記消去ベリファイ回路は前記直列接続された複数のセル毎に制御ゲートに選択電圧を印加し、選択されたセルの状態を前記ビット線を介して前記センスアンプで読み出す動作を繰返し、
前記ソフト書き込み回路のソフト書込み動作は、前記直列接続された複数のセルの全ての制御ゲートの電圧を所定のソフト書込み電圧に設定して行われる半導体記憶装置。
【請求項３】
前記消去回路による消去動作は、前記直列接続された複数のセルの単位で行われる請求項１または請求項２記載の半導体記憶装置。
【請求項４】
前記消去ベリファイ回路は、ソース線に基準電位を印加しメモリセルを介して前記ビット線を充電し、そのビット線電位を前記センスアンプで読み出すことでメモリセルの消去後の状態を前記ビット線を介して前記センスアンプで読み出すことを特徴とする請求項１または請求項２に記載の半導体記憶装置。
【請求項５】
前記ソフト書き込み回路のソフト書込み動作は、前記直列接続された複数のセルの全てが所定の消去状態になるまで行なわれることを特徴とする請求項１または請求項２に記載の半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、電気的に書き換え可能な半導体記憶装置に係わり、特に、ＥＥＰＲＯＭ（Ｅｌｅｃｔｒｉｃａｌｌｙ　Ｅｒａｓａｂｌｅ　Ｐｒｏｇｒａｍｍａｂｌｅ　ＲＯＭ）などの不揮発性半導体記憶装置に関する。
【０００２】
【従来の技術】
近年、電気的書換え可能とした不揮発性半導体記憶装置の１つとしてＮＡＮＤセル型ＥＥＰＲＯＭが開発されている。このＮＡＮＤセル型ＥＥＰＲＯＭは、複数のメモリセルのソース、ドレインを隣接するもの同士で直列接続し、これを１単位としてビット線に接続するものであり、各メモリセルは、電荷蓄積層としての浮遊ゲートと、制御ゲートが積層されたｎチャネルＭＯＳＦＥＴ構造とされている。
【０００３】
図４は、このようなＮＡＮＤセルがマトリクス状に配列されたメモリセルアレイの等価回

路を示している。ＮＡＮＤ型ＥＥＰＲＯＭの動作は次の通りである。誤書き込みを防止する信頼性の高い書き込み方法として、ｌｏｃａｌ　ｓｅｌｆ　ｂｏｏｓｔが提案されている（公知例ＩＥＥＥ　Ｊｏｕｒｎａｌ　ｏｆ　Ｓｏｌｉｄ－Ｓｔａｔｅ　Ｃｉｒｃｕｉｔｓ．　Ｖｏｌ．３１，　Ｎｏ．１１，　Ｎｏｖｅｍｂｅｒ　１９９６　ｐｐ．１５７５－１５８２　）。この書き込み方法において、データの書き込みは、ビット線から離れた方のメモリセルから順に行う。ビット線にはデータに応じて０Ｖ又は電源電圧Ｖｃｃを印加する。すなわち、データ“０”を書き込む場合、ビット線に０Ｖを印加し、データ“１”を書き込む場合、ビット線に電源電圧Ｖｃｃを印加する。

【０００４】

ビット線に接続される選択ゲートは電源電圧Ｖｃｃ、ソース線に接続される選択ゲートは０Ｖである。選択されたメモリセルの制御ゲートには昇圧された書き込み電圧Ｖｐｇｍ（＝２０Ｖ程度）を印加し、選択された制御ゲートの両隣の制御ゲートを０Ｖにする。その他の非選択メモリセルの制御ゲートには中間電位Ｖｐａｓｓ（＝１０Ｖ程度）を印加する。また、書き込み前の各メモリセルはブロック単位に一括消去され、閾値電圧が負とされている。

【０００５】

例えば図４のメモリセルＭＣ１にデータを書き込む場合、ワード線ＷＬ７を書き込み電圧Ｖｐｇｍ　、ＷＬ６、ＷＬ８を０Ｖ、ＷＬ１、ＷＬ２…ＷＬ５を中間電位Ｖｐａｓｓとする。データ“０”を書き込む時、ＷＬ６をゲート電極とするメモリセルＭＣ２は消去状態なので閾値が負であり、ビット線電位の０ＶがＭＣ１のチャネルに転送される。その結果、ＭＣ１のチャネル電位が０Ｖであるため、選択メモリセルの浮遊ゲートと基板間に高電圧がかかり、基板から浮遊ゲートに電子がトンネル電流により注入され、閾値電圧が正方向に移動する。

【０００６】

また、メモリセルＭＣ１にデータ“１”を書き込む場合、ビット線ＢＬＥはＶｃｃ（例えば３．３Ｖ）であり、メモリセルＭＣ３の閾値電圧が例えば－１ＶであればＭＣ３はオフし、メモリセルＭＣ１のチャネルはフローティングになる。フローティングのチャネルは制御ゲートとの間の容量結合で８Ｖ程度になり、電子注入が起こらないため“１”状態を保持する。

【０００７】

データの消去は、ブロック単位でほぼ同時に行われる。すなわち消去するブロックの全ての制御ゲート、選択ゲートを０Ｖとし、ｐ型ウエル及びｎ型基板に昇圧された昇圧電位ＶｐｐＥ　（２０Ｖ程度）を印加する。消去しないブロックの制御ゲート、選択ゲートにもＶｐｐＥ　を印加する。これにより消去するブロックのメモリセルにおいて浮遊ゲートの電子がウエルに放出され、閾値電圧が負方向に移動する。消去動作は２ｍｓ程度の消去パルスを印加し、消去しやすいメモリセルも消去しにくいメモリセルも同じ消去パルスで消去する。したがって、消去状態（“１”状態）のメモリセルの閾値分布は－１Ｖ程度から－５Ｖ程度の範囲に分布する。

【０００８】

データの読み出し動作は、ビット線をプリチャージした後フローティングとし、選択されたメモリセルの制御ゲートを０Ｖ、それ以外のメモリセルの制御ゲート、及び選択ゲートを電源電圧Ｖｃｃ（例えば３Ｖ）、ソース線を０Ｖとする。この状態で、選択されたメモリセルに電流が流れるか否かをビット線の電位を検出することによりデータが読み出される。すなわち、メモリセルに書き込まれたデータが“０”（メモリセルの閾値Ｖｔｈ＞０）である場合、メモリセルはオフしているため、ビット線はプリチャージ電位を保つ。一方、メモリセルに書き込まれたデータが“１”（メモリセルの閾値Ｖｔｈ＜０）である場合、メモリセルはオンしてビット線はプリチャージ電位からΔＶだけ下がる。これらのビット線電位をセンスアンプで検出することによって、メモリセルのデータが読み出される。

【０００９】

【発明が解決しようとする課題】
ところで、データの書き込み時に、メモリセルＭＣ１にデータ“１”を書き込む場合を考える。例えば図４に示すメモリセルＭＣ１にデータを書き込む場合、メモリセルＭＣ３のゲートを０Ｖにする。ＭＣ３の閾値電圧が例えば－５Ｖの場合、ＭＣ３はワード線ＷＬ１からＷＬ５、ＷＬ７が例えば電源電圧Ｖｃｃ、ＷＬ６が０Ｖ、ビット線ＢＬＥがＶｃｃではオフしない。したがって、ワード線ＷＬ７を０Ｖから電圧Ｖｐｇｍ　まで昇圧する際に、データ“１”が書き込まれるＭＣ１のチャネルは確実にフローティングとならない。このため、メモリセルＭＣ１のチャネルは８Ｖまで昇圧されず、例えば５Ｖまでしか昇圧されない。この場合、メモリセルＭＣ１のチャネルが５Ｖ、ゲートが２０Ｖであるため電子が注入されて誤書き込みされるという問題がある。

【００１０】
すなわち、従来は、データを消去する際、閾値電圧が例えば０Ｖ以下になるように、その上限値だけを制御していたが、消去後の各メモリセルの閾値電圧は、例えば－１Ｖ～－５Ｖの範囲に分布するため、データの書き込み時に誤書き込みが発生することがあった。

【００１１】
この発明は、上記課題を解決するためになされたものであり、その目的とするところは、消去後のメモリセルの閾値電圧が所定の電圧以下に低下しないように制御することにより、誤書き込みを防止可能な半導体記憶装置を提供しようとするものである。

【００１２】
【課題を解決するための手段】
本発明の一態様の半導体記憶装置は、制御ゲートを有し、電気的に書き替え可能な不揮発性半導体メモリセルと、前記メモリセルの一端に接続されるビット線と、前記メモリセルの他端に接続されるソース線と、前記ビット線に接続されるセンスアンプと、前記メモリセルのデータを消去するための消去回路と、前記消去回路による消去後、前記メモリセルの状態を前記ビット線を介して前記センスアンプで読み出す消去ベリファイ回路と、前記センスアンプで読み出したメモリセルの消去後の状態に応じて前記ビット線の電圧を制御して、消去後のメモリセルに対してソフト書き込みを行うソフト書き込み回路と、を備え、前記メモリセルは他の不揮発性半導体メモリセルと直列接続されＮＡＮＤ型メモリセルを構成し、前記ＮＡＮＤ型メモリセルの一端が前記ビット線に接続され、他端が前記ソース線に接続され、前記消去ベリファイ回路は前記直列接続された複数のセル毎に制御ゲートに選択電圧を印加し、選択されたセルの状態を前記ビット線を介して前記センスアンプで読み出す動作を繰返し、前記ソフト書き込み回路のソフト書込み動作は、前記直列接続された複数のセルの全ての制御ゲートの電圧を所定のソフト書込み電圧に設定して行われる。
本発明の他の態様の半導体記憶装置は、半導体層上に形成され制御ゲート、ソース、ドレイン、電荷蓄積層を有するＭＯＳ型の電気的に書き替え可能な不揮発性半導体メモリセルと、前記メモリセルの一端に接続されるビット線と、前記メモリセルの他端に接続されるソース線と、前記ビット線に接続されるセンスアンプと、前記メモリセルのデータを消去するため前記半導体層に消去電圧を印加する消去回路と、前記消去回路による消去後、前記メモリセルの状態を前記ビット線を介して前記センスアンプで読み出す消去ベリファイ回路と、前記センスアンプで読み出したメモリセルの消去後の状態に応じて前記ビット線の電圧を制御して前記制御ゲートにソフト書き込み電圧を印加し、消去後のメモリセルに対してソフト書き込みを行うソフト書き込み回路と、を備え、前記メモリセルは他の不揮発性半導体メモリセルと直列接続されＮＡＮＤ型メモリセルを構成し、前記ＮＡＮＤ型メモリセルの一端が前記ビット線に接続され、他端が前記ソース線に接続され、前記消去ベリファイ回路は前記直列接続された複数のセル毎に制御ゲートに選択電圧を印加し、選択されたセルの状態を前記ビット線を介して前記センスアンプで読み出す動作を繰返し、前記ソフト書き込み回路のソフト書込み動作は、前記直列接続された複数のセルの全ての制御ゲートの電圧を所定のソフト書込み電圧に設定して行われる。

【００２４】

【発明の実施の形態】
以下、本発明の実施の形態について図面を参照して説明する。
【００２５】
従来は消去状態が例えば０Ｖ以下になるように制御していたが、閾値電圧が所定の電圧以下にならないようには制御していない。本発明では、消去動作時に、消去状態の閾値分布を０Ｖ以下であり、かつ所定の電圧、例えば－３Ｖ以上であるように制御する。このように消去電圧を所定の電圧以上に制御することにより、書き込み時の誤書き込みを防止できる。
【００２６】
以下では多値ＮＡＮＤセル型ＥＥＰＲＯＭを例として本発明を説明する。消去動作は多値メモリセルの場合も２値メモリセルの場合でも同様である。
【００２７】
図２（ａ）（ｂ）はメモリセルアレイの１つのＮＡＮＤセル部分の平面図と等価回路図である。図３（ａ）は図２（ａ）に示す３ａ－３ａ線に沿った断面図であり、図３（ｂ）は図２（ａ）に示す３ｂ－３ｂ線に沿った断面図である。
【００２８】
素子分離酸化膜１２ａで囲まれたｐ型シリコン基板（又はｐ型ウエル）１１ａには、複数のＮＡＮＤセルからなるメモリセルアレイが形成されている。この実施の形態において、１つのＮＡＮＤセルは、直列接続された８個のメモリセルＭ１～Ｍ８により構成されている。各メモリセルにおいて、浮遊ゲート１４（１４１　、１４２　…１４８　）は基板１１ａ上にゲート絶縁膜１３を介在して形成されている。これらのメモリセルのソース、ドレインとしてのｎ型拡散層１９は、隣接するもの同士が直列接続されている。
【００２９】
ＮＡＮＤセルのドレイン側、ソース側には第１の選択ゲート１４９　、１６９　及び第２の選択ゲート１４１０、１６１０が設けられている。第１の選択ゲート１４９　、１６９　及び第２の選択ゲート１４１０、１６１０はメモリセルの浮遊ゲート１４（１４１　…１４８　）、制御ゲート１６（１６１　…１６８　）と同時に形成される。なお、第１の選択ゲート１４９　、１６９　及び第２の選択ゲート１４１０、１６１０はともに、図示せぬ所望の部分で１層目と２層目が導通接続されている。素子が形成された基板はＣＶＤ酸化膜１７により覆われ、この上にビット線１８が配設される。ＮＡＮＤセルの制御ゲート１６１　、１６２　…１６８　（ＣＧ１　、ＣＧ２　…ＣＧ８　）は、ワード線とされ、選択ゲート１４９　、１６９　及び１４１０、１６１０（ＳＧ１　、ＳＧ２　）はそれぞれ行方向に配置され、選択ゲート線とされる。
【００３０】
図４は、このようなＮＡＮＤセルがマトリクス状に配列されたメモリセルアレイの等価回路を示している。ソース線ＳＬは例えば６４本のビット線毎につき１箇所、図示せぬコンタクトを介してアルミニウム（Ａｌ）、ポリシリコン（ｐｏｌｙ－Ｓｉ）などからなる基準電位配線に接続される。この基準電位配線は周辺回路に接続される。
【００３１】
メモリセルの制御ゲート及び第１、第２の選択ゲートは、行方向に配設される。通常、１本の制御ゲートに接続されるメモリセルの集合を１ページと呼び、１組のドレイン側（第１の選択ゲート）及びソース側（第２の選択ゲート）の選択ゲートによって挟まれたページの集合を１ＮＡＮＤブロック又は単に１ブロックと呼ぶ。１ページは例えば２５６バイト（２５６×８）個のメモリセルから構成される。１ページ分のメモリセルはほぼ同時に書き込みが行われる。１ブロックは例えば２０４８バイト（２０４８×８）個のメモリセルから構成される。１ブロック分のメモリセルはほぼ同時に消去される。
【００３２】
図５は、本発明が適用される半導体記憶装置の構成を示すブロック図である。この半導体記憶装置１は、メモリセルアレイ２、ローデコーダ３、センスアンプ兼ラッチ回路４、ワード線／ビット線制御信号発生回路５、ウェル電圧制御回路６、アドレスバッファ７、Ｉ

Ｏバッファ８、コマンドバッファ９、カラムデコーダ１０、制御部１１、プリチャージ回路１２等から構成されている。

【００３３】

前記メモリセルアレイ２は、図４に示すように、ワード線とビット線によって選択されるマトリクス状に配置された複数のメモリセルによって構成されている。アドレスバッファ７は、入力アドレス又はコマンドバッファ９から供給されたコマンドに応じてカラムアドレス信号とローアドレス信号を発生する。前記ローデコーダ３はアドレスバッファ７から供給されるローアドレス信号に応じてワード線を選択し、所定の電圧をメモリセルに印加する。カラムデコーダ１０は、アドレスバッファ７から供給されるカラムアドレス信号に応じてセンスアンプ兼ラッチ回路４を選択し、ビット線に接続する。前記センスアンプ兼ラッチ回路４は、メモリセルのデータを読み出す時、読み出されたデータに応じたビット線の電圧をセンスし、メモリセルにデータを書き込む時、書き込みデータに応じた電圧をビット線に印加する。ワード線／ビット線制御信号発生回路５は、ワード線及びビット線に制御信号を供給する。前記プリチャージ回路１２は、メモリセルにデータを書き込む時、センスアンプ兼ラッチ回路４に接続されないビット線に対して、メモリセルのデータを変更しない電圧を供給する。前記ＩＯバッファ８は、メモリセルに書き込む入力データとメモリセルから読み出す出力データを半導体記憶装置１の外部とやり取りする。コマンドバッファ９は、書き込みや読み出し等のコマンドを発生する。ウェル電圧制御回路６は、メモリセルのウェルに所定の電圧を印加する。制御部１１は、前記コマンドバッファ９やウエル電圧制御回路６、図示せぬ電圧発生回路等に接続され、半導体記憶装置の書き込み、読み出し、消去、ベリファイ等の動作を制御するとともに、後述する過消去検知リードやソフト書き込みのシーケンスを制御する。

【００３４】

図１は、図５に示す半導体記憶装置のカラムデコーダ１０、センスアンプ兼ラッチ回路４、プリチャージ回路１２、ビット線、及びＩＯ線の接続関係を示している。本実施の形態では、３値のＮＡＮＤ型フラッシュメモリセルを用いた半導体記憶装置の場合について説明する。

【００３５】

３値のセンスアンプ兼ラッチ回路４は、例えば高耐圧のＮチャネルＭＯＳトランジスタ（以下、ＮＭＯＳトランジスタと称す）ＱＮＨ３，ＱＮＨ４によって２本のビット線ＢＬＥ、ＢＬＯに選択的に接続される。これらＮＭＯＳトランジスタＱＮＨ３，ＱＮＨ４のゲートにはそれぞれ信号　ＢＬＳＨＦＥ、ＢＬＳＨＦＯ　が供給されている。ビット線ＢＬＥとＢＬＯにはそれぞれプリチャージ回路１２が接続されている。

【００３６】

ビット線ＢＬＥに接続されたプリチャージ回路１２は、例えば高耐圧のＮＭＯＳトランジスタＱＮＨ１により構成されている。このＮＭＯＳトランジスタＱＮＨ１の電流通路の一端は、ビット線ＢＬＥに接続され、他端には電圧ＶＢＬＥが供給され、ゲートには信号ＰｒｅＥが供給されている。

【００３７】

また、ビット線ＢＬＯに接続されたプリチャージ回路１２は、例えば高耐圧のＮＭＯＳトランジスタＱＮＨ２により構成されている。このＮＭＯＳトランジスタＱＮＨ２の電流通路の一端は、ビット線ＢＬＯに接続され、他端には電圧ＶＢＬＯが供給され、ゲートには信号ＰｒｅＯが供給されている。

【００３８】

前記３値のセンスアンプ兼ラッチ回路４は、インバータ回路Ｉ１、Ｉ２によって構成されたセンスアンプ兼ラッチ回路（以下、第１のセンスラッチ回路と称す）Ｓ／Ｌ１と、インバータ回路Ｉ３，Ｉ４によって構成されたセンスアンプ兼ラッチ回路（以下、第２のセンスラッチ回路と称す）Ｓ／Ｌ２等により構成されている。前記インバータ回路Ｉ１は信号ＳＥＮＮ１、ＳＥＮＰ１に応じて動作されるクロックドインバータであり、インバータ回路Ｉ２は信号ＬＡＴＮ１、ＬＡＴＰ１に応じて動作されるクロックドインバータである。

さらに、前記インバータ回路Ｉ３は信号ＳＥＮＮ２、ＳＥＮＰ２に応じて動作されるクロックドインバータであり、インバータ回路Ｉ４は信号ＬＡＴＮ２、ＬＡＴＰ２に応じて動作されるクロックドインバータである。

【００３９】

この３値のセンスアンプ兼ラッチ回路４において、ＰチャネルＭＯＳトランジスタ（以下、ＰＭＯＳトランジスタと称す）ＱＰ１の電流通路の一端には電源電圧Ｖｃｃが供給され、他端は前記トランジスタＱＮＨ３の電流通路に接続されている。前記ＰＭＯＳトランジスタＱＰ１の電流通路の他端と電源電圧Ｖｃｃが供給される端子との相互間には、ＰＭＯＳトランジスタＱＰ２、ＱＰ３が直列接続されている。このトランジスタＱＰ２のゲートには信号ｎＶＥＲＦＹが供給されている。さらに、前記トランジスタＱＰ１とＱＰ２の接続ノードＮ４には、ＮＭＯＳトランジスタＱＮＬ１の電流通路の一端が接続されている。このトランジスタＱＮＬ１のゲートには信号ＳＢＬ１が供給され、このトランジスタＱＮＬ１の電流通路の他端には前記インバータ回路Ｉ１の入力端、インバータ回路Ｉ２の出力端が接続されている。インバータ回路Ｉ１の出力端とインバータ回路Ｉ２の入力端は前記トランジスタＱＰ３のゲートに接続されている。

【００４０】

一方、キャパシタを構成するＮＭＯＳトランジスタＱＮＨ５の電流通路の一端には電圧Ｖｓｅｎが供給され、他端は前記トランジスタＱＮＨ４の電流通路に接続　されている。前記ＮＭＯＳトランジスタＱＮＨ５の電流通路の他端には、ＮＭＯＳトランジスタＱＮＬ２の電流通路の一端が接続されている。このトランジスタＱＮＬ２のゲートには信号ＳＢＬ２が供給され、このトランジスタＱＮＬ２の電流通路の他端には前記インバータ回路Ｉ３の入力端、インバータ回路Ｉ４の出力端が接続されている。インバータ回路Ｉ３の出力端とインバータ回路Ｉ４の入力端は互いに接続されている。

【００４１】

前記トランジスタＱＮＬ１の電流通路の他端にはＮＭＯＳトランジスタＱＮＬ７のゲートが接続されている。このトランジスタＱＮＬ７の電流通路の一端には配線ＩＤＥＴ１が接続され、他端は接地されている。また、前記インバータ回路Ｉ４の入力端にはＮＭＯＳトランジスタＱＮＬ８のゲートが接続されている。このトランジスタＱＮＬ８の電流通路の一端には配線ＩＤＥＴ２が接続され、他端は接地されている。

【００４２】

さらに、３値のセンスアンプ兼ラッチ回路４は、カラムデコーダ１０によってＩＯ線に接続される。カラムデコーダ１０において、アドレス信号ＹＡｊ、ＹＢｊ、ＹＣｊはナンド回路Ｇ１に供給される。このナンド回路Ｇ１の出力端はインバータ回路Ｉ５を介してＮＭＯＳトランジスタＱＮＬ３、ＱＮＬ４、ＱＮＬ５、ＱＮＬ６のゲートに接続されている。前記トランジスタＱＮＬ３の電流通路の一端は前記インバータ回路Ｉ２の出力端に接続され、トランジスタＱＮＬ４の電流通路の一端は前記インバータ回路Ｉ２の入力端に接続されている。前記トランジスタＱＮＬ５の電流通路の一端は前記インバータ回路Ｉ４の出力端に接続され、トランジスタＱＮＬ６の電流通路の一端は前記インバータ回路Ｉ４の入力端に接続されている。前記トランジスタＱＮＬ３、ＱＮＬ４、ＱＮＬ５、ＱＮＬ６の電流通路の他端はＩＯ線ＤＬ１、ｎＤＬ１、ＤＬｉ＋１、ｎＤＬｉ＋１にそれぞれ接続されている。

【００４３】

表１は、メモリセルの３値データ“０”～“２”と、その閾値電圧、及び３値のセンスアンプ兼ラッチ回路４のラッチデータＮ１、Ｎ２の関係を示している。

【００４４】

【表１】

| 3値ﾃﾞｰﾀ | 閾値電圧 | 読み出し N1 | 読み出し N2 | 書き込み N1 | 書き込み N2 |
|---|---|---|---|---|---|
| “0” | 0V以下　-3V以上 | L | L | H | H |
| “1” | 1V以上　1.5V以下 | H | L | L | H |
| “2” | 2V以上　2.5V以下 | H | H | L | L |

【００４５】
図６乃至図８はそれぞれデータの読み出し、書き込み、消去の動作を示す波形図である。本実施例では読み出しと書き込みにおいて、ＢＬＥを選択、ＢＬＯを非選択としている。
【００４６】
ここで、図４に示すメモリセルＭＣ４を選択する場合について説明する。
【００４７】
先ず、図６を参照して読み出し動作について説明する。選択されたビット線ＢＬＥは信号ＰｅｒＥ　に応じて動作されるプリチャージ回路１２により１．５Ｖに充電され、その後フローティングとされる。この後、非選択ワード線ＷＬ２～８と選択ゲートＳＧＳ、ＳＧＤは電源電圧Ｖｃｃとされる。選択ワード線は０Ｖである。選択されたメモリセルのデータが“０”であるとき、ビット線は０Ｖに放電され、さもなければビット線は１．５Ｖのままである。
【００４８】
ビット線ＢＬＥの電圧は、信号ＢＬＳＨＦＥによりオンとされるトランジスタＱＮＨ３、信号ＳＢＬ１によってオンとされるトランジスタＱＮＬ１を介して第１のセンスラッチ回路Ｓ／Ｌ１に読み込まれる。したがって、ノードＮ１の電位ははデータが“０”であればローレベル“Ｌ”、データが“１”又は“２”であればハイレベル“Ｈ”となる。
【００４９】
この後、選択されたワード線はＶＧ１（＝１．８Ｖ）とされる。選択されたメモリセルのデータが“１”であれば０Ｖに放電され、“２”であれば１．５Ｖのままとなる。データが“０”であればビット線はすでに０Ｖである。ビット線ＢＬＥの電圧は、トランジスタＱＮＨ３及び信号ＳＢＬ２によってオンとされるトランジスタＱＮＬ２を介して第２のセンスラッチ回路Ｓ／Ｌ２に読み込まれる。したがって、ノードＮ２はデータが“０”又は“１”であれば“Ｌ”、“２”であれば“Ｈ”となる（表１）。これら第１、第２のセンスラッチ回路Ｓ／Ｌ１、Ｓ／Ｌ２にラッチされたデータは、カラムデコーダ１０の動作に応じてシリアルにＩＯ線に読み出される。
【００５０】
次に、図７を参照して書き込み動作について説明する。電源投入時、チップが正常動作するために十分な電圧に達するとパワーオン信号Ｐｏｎが“Ｈ”となる。この信号を利用して３値のセンスアンプ兼ラッチ回路４のラッチデータＮ１，Ｎ２はともに“Ｌ”とされる。書き込みデータを入力するためのコマンドが供給されると、このコマンド信号を用いて、ラッチデータＮ１，Ｎ２はともに反転し“Ｈ”となる。
【００５１】
選択されたビット線ＢＬＥは書き込みデータ“０”～“２”に応じてそれぞれ電源電圧Ｖｃｃ、ＶＤ３－Ｖｔ（＝１Ｖ）、０Ｖとされる。非選択のビット線ＢＬＯには、プリチャージ回路１２を介してデータを変更しないための電圧Ｖｃｃが印加される。この後、選択ゲートＳＧＤは電源電圧Ｖｃｃに、ＳＧＳは０Ｖに、選択ワード線ＷＬ１はＶＰＰ（＝２０Ｖ）に、ＷＬ２は０Ｖに、その他の非選択ワード線ＷＬ３～ＷＬ８はＶＭ１０（＝１０Ｖ）にそれぞれ設定される。なお、ここで、センスアンプ兼ラッチ回路４からビット線に出力される電圧のうち、０Ｖが書き込み電圧、電源電圧Ｖｃｃが非書き込み電圧に相当する。
【００５２】

ビット線に０Ｖ又は１Ｖが印加された選択メモリセルでは、ゲート・チャネル間電圧が高いため、トンネル電流が流れてメモリセルの閾値電圧が上昇する。ビット線が０Ｖである方が１Ｖである方よりトンネル電流が多く流れるため、閾値電圧はより高くなる。電源電圧Ｖｃｃが印加された選択メモリセルはゲート・チャネル間電圧が低いためトンネル電流は流れず、データ“０”を保持する。

【００５３】

次に、図８を参照して消去動作について説明する。消去コマンドが入力されると、メモリセルアレイ２のウェルにはＶＰＰ（＝２０Ｖ）が印加される。選択されたメモリセルのゲートは０Ｖとされるため、トンネル電流が書き込み時とは反対方向に流れ、メモリセルの閾値電圧は降下する。一方、非選択のメモリセル及び選択トランジスタのゲートはフローティングとされるため、メモリセルアレイ２のウェルとともにＶＰＰ近傍まで上昇する。このため、トンネル電流は流れず、閾値電圧の変動はない。

【００５４】

上記のように、書き込み及び読み出しは３値のセンスアンプ兼ラッチ回路４が共有する２カラムのうちの一方のみ（例えばＢＬＥのみ）に接続される。消去動作では、ＢＬＥとＢＬＯの２カラムが同時に選択され、ブロック単位で消去される。

【００５５】

＜消去ベリファイリード＞

次に、消去後、メモリセルの閾値が所定の電圧以下に消去されているかを調べる消去ベリファイリードが行われる。

【００５６】

図９は、消去ベリファイリード動作を示すタイミングチャートである。ブロック単位で消去が行われる場合、１ブロック内のメモリセル（例えばワード線ＷＬ１～ＷＬ８で選択されるメモリセル）に対して、奇数ページと偶数ページの２回に分けてベリファイリードが行われる。

【００５７】

先ず、偶数ページ（例えば図４のビット線ＢＬＥに接続されたメモリセル）についてベリファイリードを行い、読み出したデータを第１のセンスラッチ回路Ｓ／Ｌ１に保持する。次に、奇数ページ（例えば図４のビット線ＢＬＯに接続されたメモリセル）についてベリファイリードを行い、読み出したデータを第２のセンスラッチ回路Ｓ／Ｌ２に保持する。

【００５８】

すなわち、先ず、図９に示すように、ビット線ＢＬＥを１．５Ｖにプリチャージする。この後、時刻ｔ１において、選択ゲートＳＧＳ、ＳＧＤを電源電圧Ｖｃｃ、ワード線ＷＬ１～ＷＬ８を０Ｖにすると、メモリセルが十分消去されている場合、全メモリセルがオンとなるためビット線の電位は放電されるため、ビット線の電位は０Ｖとなる。また、消去不十分の場合、オフ状態のメモリセルが存在するため、ビット線の電位は放電されず１．５Ｖに保持される。

【００５９】

時刻ｔ２に信号ＢＬＳＨＦＥが１．５Ｖとなり、トランジスタＱＮＨ３がオンすると、ビット線の電位が３値のセンスアンプ兼ラッチ回路４内に転送される。その後、信号ＳＢＬ１が“Ｈ”になると、トランジスタＱＮＬ１がオンし、データがノードＮ１に転送され、第１のセンスラッチ回路Ｓ／Ｌ１によりセンスされる。このように偶数ページのデータは第１のセンスラッチ回路Ｓ／Ｌ１に保持される。偶数ページの読み出し中は、ビット線間カップリングノイズを低減するため、ビット線ＢＬＯは０Ｖに保持される。

【００６０】

続いて奇数ページ（例えば図４のビット線ＢＬＯに接続されるメモリセル）についてベリファイリードが行われる。先ず、時刻ｔ３において、ビット線ＢＬＯが１．５Ｖにプリチャージされる。この後、時刻ｔ４において、選択ゲートＳＧＳ、ＳＧＤが電源電圧Ｖｃｃ、ワード線ＷＬ１～ＷＬ８が０Ｖとされると、メモリセルが十分消去されている場合、ビット線は０Ｖとなり、消去不十分の場合、１．５Ｖを保つ。時刻ｔ５において、信号ＢＬ

ＳＨＦＯが１．５Ｖになり、トランジスタＱＮＨ４がオンすると、ビット線ＢＬＯの電位が３値のセンスアンプ兼ラッチ回路４内に転送される。その後、信号ＳＢＬ２が“Ｈ”となり、トランジスタＱＮＬ２がオンすると、データがノードＮ２に転送され、第２のセンスラッチ回路Ｓ／Ｌ２によりセンスされる。このように奇数ページのデータは第２のセンスラッチ回路Ｓ／Ｌ２に保持される。奇数ページの読み出し中は、ビット線間カップリングノイズを低減するために、ビット線ＢＬＥは０Ｖに保持される。

【００６１】

本発明では、消去状態の閾値分布を０Ｖ以下であり、かつ－３Ｖ以上であるように制御する。閾値電圧に下限（－３Ｖ）を設ける理由は、書き込み時に、選択した制御ゲートの隣に位置し、ゲートが０Ｖにバイアスされたメモリセルをオフさせ、誤書き込みを防止するためである。

【００６２】

図１０は、一連の消去ベリファイリード動作を示している。上述したように、選択したブロック内の、全てのメモリセルが十分に消去された後（ＳＴ１～３）、メモリセルの閾値電圧が所定の電圧以上か調べる過消去検知リードを行う（ＳＴ４）。この結果、閾値電圧が－３Ｖよりも小さい過消去状態のメモリセルがある場合、閾値電圧を－３Ｖよりも高くする、ソフト書き込みを行う（ＳＴ５、ＳＴ６）。

【００６３】

以下で、過消去検知リード、及びソフト書き込みについて説明する。

【００６４】

＜過消去検知リード＞

図１１に示すように、過消去検知リード動作は、先ず、ビット線ＢＬＥにセンスアンプ兼ラッチ回路４を接続し、ワード線ＷＬ８で選択されるメモリセルからワード線ＷＬ７、ＷＬ６、…、ＷＬ１で選択されるメモリセルまで順次過消去検知リードを行う（ＳＴ１１～ＳＴ１８）。続いて、ビット線ＢＬＯにセンスアンプ兼ラッチ回路４を接続し、ワード線ＷＬ８で選択されるメモリセルからＷＬ７、ＷＬ６、…、ＷＬ１で選択されるメモリセルまで順次過消去検知リードを行う（ＳＴ１９～ＳＴ２６）。

【００６５】

図１２は、ビット線ＢＬＥにセンスアンプ兼ラッチ回路４を接続し、ワード線ＷＬ８で選択されるメモリセルの過消去検知リード動作を示している。先ず、時刻ｔｃｓ１　において、選択ビット線ＢＬＥを０Ｖにする。過消去検知リード中、非選択ビット線ＢＬＯは電圧Ｖｂｌ（例えばＶｃｃ）に保持され、ビット線間カップリングノイズを除去する。時刻ｔｃｓ２　において、選択したワード線ＷＬ８を０Ｖ、非選択ワード線を電圧Ｖｒｅａｄ、選択ゲートＳＧＳ、ＳＧＤを電圧Ｖｒｅａｄとする。電圧Ｖｒｅａｄは例えば４．５Ｖであるが、Ｖｒｅａｄ＝Ｖｃｃとしてもよい。ソース線は電圧Ｖｓ（例えばＶｃｃ）とする。

【００６６】

以下では電圧ＶｓがＶｃｃの場合を例に説明する。選択ゲートの電圧を上げると、選択したメモリセルＭＣ８の閾値電圧に従って、ビット線の電位が設定される。すなわち、電源電圧Ｖｃｃを３Ｖとすると、ＭＣ８の（バックゲートバイアスが－３Ｖ時の）閾値電圧が－３Ｖ以下に過剰消去されている場合、ビット線は３Ｖになる。

【００６７】

一方、バックゲートバイアスが－３Ｖ時の閾値電圧が例えば－２．５Ｖの場合、ビット線は２．５Ｖになる。ここでは、ビット線の電圧がセンスノードＮ４に転送されるように信号ＢＬＳＨＦＥは例えば５Ｖにすればよい。この間、キャパシタとしてのトランジスタＱＮＨ５に印加される電圧Ｖｓｅｎ　は例えばＶｃｃ／３である。電圧Ｖｓｅｎ　は、書き込み、消去、の間は所望の電圧、例えば０Ｖ又はＶｃｃに固定すればよい。

【００６８】

その後、時刻ｔｃｓ３　において、電圧Ｖｓｅｎ　がＶｃｃ／３、例えば１Ｖから０Ｖになる。この間、信号ＢＬＳＨＦＥは電圧Ｖｃｐ、例えば２Ｖである。メモリセルが過消去

されている場合、トランジスタＱＮＨ３はオフするためノードＮ４はフローティング状態となる。この場合、キャパシタを構成するトランジスタＱＮＨ５の容量は、ノードＮ４に寄生する他の容量よりも十分大きいため、ノードＮ４の電位は３Ｖから２Ｖとなる。

【００６９】

一方、メモリセルが過消去されていない場合、ノードＮ４の電位は１．５Ｖから０．５Ｖになる。信号ＢＬＳＨＦＥの電位を２Ｖとしているため、ノードＮ４の電位は０．５Ｖより低くならない。

【００７０】

時刻ｔｃｓ４　において、信号ＳＢＬ１がハイレベルとなると、ノードＮ４の電位がトランジスタＱＮＬ１を通ってノードＮ１に転送され、時刻ｔｃｓ５　に第１のセンスラッチ回路Ｓ／Ｌ１によりセンスされ、時刻ｔｃｓ６　にラッチされる。過消去したセルがあるか否かはノードＮ１、Ｎ３の電位をＩＯ線に読み出しても良い。あるいは一括検知用トランジスタＱＮＬ７を用いて検知してもよい。すなわち、このトランジスタＱＮＬ７がオンするか否かにより、過消去状態のセルがあるか否かを検出できる。トランジスタＱＮＬ７は各カラムに並列接続されている。まず、配線ＩＤＥＴ１を例えば電源電圧Ｖｃｃにプリチャージし、その後、フローティングとする。この状態で１カラムでも過消去のセルがあると、そのカラムのノードＮ１が“Ｈ”になるため、配線ＩＤＥＴ１は０Ｖに放電され、過消去が検知される。

【００７１】

この後、図１１で示すように、ビット線ＢＬＥ、ワード線ＷＬ７～ＷＬ１により選択されるメモリセルに対して過消去検知リードが行われる。その後、ビット線ＢＬＯに接続されるメモリセルに対して過消去検知リードが行われる。

【００７２】

図１３は、ビット線ＢＬＯとワード線ＷＬ８により選択されるメモリセルの過消去検知リード動作を示している。この場合、ビット線ＢＬＯから読み出されたデータはトランジスタＱＮＨ４、ＱＮＬ２を介して第２のセンスラッチ回路Ｓ／Ｌ２にラッチされる。この他の動作は、図１２と同様であるため説明は省略する。

【００７３】

上記過消去検知リードにより過消去状態のメモリセルが検知された場合、そのメモリセルに対してソフト書き込みが行われる。

【００７４】

図１４は、ソフト書き込みの動作を示している。ソフト書き込みでは全ビット線が０Ｖに接地され、ワード線ＷＬ１、ＷＬ２…ＷＬ８が電圧Ｖｓｐｇｍ、例えば６Ｖに昇圧される。過消去されたメモリセルは、例えばトンネル酸化膜の厚さが薄いため書き込み易いので、閾値電圧が例えば－５Ｖから－２Ｖになるが、過消去されていないメモリセルは、比較的書き込みにくいため、消去された閾値電圧を保持する。

【００７５】

ソフト書き込み後、図１０に示すように、再度過消去検知リードをしてもよい（ＳＴ４～ＳＴ５）。また、１回のソフト書き込みで十分に閾値が変化する場合は、図１５のようにソフト書き込み後、過消去検知リードをせずに一連の消去動作を終了してもよい。図１５において、図１０と同一部分には同一符号を付し説明は省略する。

【００７６】

上記実施の形態によれば、データを消去した後、過消去検知リードを行い、過消去状態のセルが検出された場合、ソフト書き込みを行っている。したがって、メモリセルの閾値電圧を所定の例えば－３Ｖから－１Ｖの範囲内に収めることができ、誤書き込みを防止できる。

【００７７】

図１６は、本発明の第２の実施の形態を示すものであり、過消去検知リードの他の例を示している。この場合、先ず、ビット線ＢＬＥをセンスアンプ兼ラッチ回路４に接続し、ワード線ＷＬ８で選択されるメモリセルに対して過消去検知リードを行い（ＳＴ３１）、次

に、ビット線ＢＬＯをセンスアンプ兼ラッチ回路４に接続して、ワード線ＷＬ８により選択されるメモリセルに対して過消去検知リードを行う（ＳＴ３２）。この後、ビット線ＢＬＥとワード線ＷＬ７で選択されるメモリセルに対して過消去検知リードを行う（ＳＴ３３）というように、ビット線を交互に選択するとともに、ワード線を交互に選択して過消去検知リードを行ってもよい。

【００７８】

図１７は、本発明の第３の実施の形態を示すものであり、過消去検知リード、及びソフト書き込み動作の他の例を示すものである。

【００７９】

この実施の形態は各ページ毎に過消去検知リード、及びソフト書き込みを行うものである。先ず、ビット線ＢＬＥとワード線ＷＬ８とで選択されるメモリセルについて過消去検知リードを行い、この読み出しデータを第１のセンスラッチ回路Ｓ／Ｌ１にラッチする（ＳＴ４１）。この後、ビット線ＢＬＯとワード線ＷＬ８とで選択されるメモリセルについて過消去検知リードを行い、この読み出しデータを第２のセンスラッチ回路Ｓ／Ｌ２にラッチする（ＳＴ４２）。続いて、これらラッチされたデータより過消去状態のセルがあるか否かが判別され（ＳＴ４３）、過消去状態のセルが有る場合は、ワード線ＷＬ８に接続されたメモリセルに対してソフト書き込みが行われる（ＳＴ４４）。このソフト書き込みでは、ワード線ＷＬ８のみを電圧Ｖｓｐｇｍ、ワード線ＷＬ１、ＷＬ２、…ＷＬ７を０Ｖ、あるいは電源電圧Ｖｃｃとすればよい。

【００８０】

このようにして、ワード線ＷＬ８に対する過消去回復動作を行った後、ワード線ＷＬ７、ＷＬ６…ＷＬ１と順次過消去回復動作を行ってもよい。

【００８１】

また、ビット線ＢＬＯに接続されたメモリセルから読み出したデータを第２のセンスラッチ回路Ｓ／Ｌ２にラッチする場合、図１３に示すタイミングチャートにおいて、信号ＳＢＬ１、ＳＥＮＰ１、ＳＥＮＮ１、ＬＡＴＰ１、ＬＡＴＮ１を活性化する代わりに、ＳＢＬ２、ＳＥＮＰ２、ＳＥＮＮ２、ＬＡＴＰ２、ＬＡＴＮ２を活性化すればよい。第１、第２のセンスラッチ回路Ｓ／Ｌ１、Ｓ／Ｌ２にデータをラッチした状態において、一括検知用のトランジスタＱＮＬ７、ＱＮＬ８を用いることにより、過消去セルを一括検知できる。この際、第１のセンスラッチ回路Ｓ／Ｌ１と第２のセンスラッチ回路Ｓ／Ｌ２のデータを同時に検知する場合には、配線ＩＤＥＴ２をＩＤＥＴ１と同一の信号にしてもよい。

【００８２】

図１８は、本発明の第４の実施の形態を示すものであり、過消去検知リード、及びソフト書き込み動作の他の例を示すものである。図１９は、この実施の形態に適用される回路を示している。

【００８３】

図１９は、図１とほぼ同一の構成であるため、異なる部分についてのみ説明する。すなわち、図１９において、電圧$V_{SE}$が供給される端子とノードＮ４の相互間にはＮＭＯＳトランジスタＱＮ２１、ＱＮ２２が直列接続されている。前記トランジスタＱＮ２１のゲートは前記トランジスタＱＰ３のゲートに接続され、トランジスタＱＮ２２のゲートには信号ｎＶＲＦＹ１が供給されている。

【００８４】

この実施の形態の場合、先ず、ビット線ＢＬＥとワード線ＷＬ８で選択されるメモリセルの過消去検知リードを行い、読み出したデータを第１のセンスラッチ回路Ｓ／Ｌ１にラッチする（ＳＴ５１）。この動作のタイミングチャートは図１２と同様である。その結果、過消去されている場合には、ノードＮ１が“Ｈ”、ノードＮ３が“Ｌ”とされる。過消去されてない場合には、ノードＮ３が“Ｈ”となる。

【００８５】

次に、ビット線ＢＬＯとワード線ＷＬ８で選択されるメモリセルの過消去検知リードを行い、読み出したデータを第１のセンスラッチ回路Ｓ／Ｌ１にラッチする（ＳＴ５２）。

【００８６】
図２０は、この動作のタイミングチャートである。図２０において、図１３と異なるのは、時刻ｔＣＡ３　において、信号ｎＶＥＲＩＦＹ　を０Ｖとし、トランジスタＱｐ２を活性化することである。こうして先に第１のセンスラッチ回路Ｓ／Ｌ１にラッチされているデータが過消去であると、ノードＮ３が“Ｌ”であるため、トランジスタＱＰ３がオンとなり、ビット線ＢＬＯとワード線ＷＬ８により選択されるメモリセルは過消去されていないことが読み出された場合であっても、ノードＮ４は電源電圧Ｖｃｃに充電される。
【００８７】
一方、第１のセンスラッチ回路Ｓ／Ｌにラッチされているデータが過消去でない場合は、ノードＮ３が“Ｈ”であるため、トランジスタＱＰ３がオンすることなく、ビット線ＢＬＯとワード線ＷＬ８で選択されるメモリセルから読み出したデータはそのままノードＮ４に保持される。その後、時刻ｔＣＡ５　において、トランジスタＱＮＬ１がオンとなると、ノードＮ４の電位が第１のセンスラッチ回路Ｓ／Ｌ１にラッチされる。
【００８８】
その後、ビット線ＢＬＥとワード線ＷＬ７で選択されるメモリセルの過消去検知リードを行い、第１のセンスラッチ回路Ｓ／Ｌ１にラッチする（ＳＴ５３）。図２１は、このタイミングチャートを示している。図２１において、図１２と異なるのは、時間ｔＣＢ３　に信号ｎＶＥＲＩＦＹ　を０Ｖとし、トランジスタＱｐ２を活性化することである。ここで、図２０の場合と同様に、先に第１のセンスラッチ回路Ｓ／Ｌ１にラッチされているデータが過消去であるときのみ、ノードＮ３の電位が“Ｌ”であるため、ノードＮ４は電源電圧Ｖｃｃに充電される。その後、トランジスタＱＮＬ１がオンすると、ノードＮ４の電位が第１のセンスラッチ回路Ｓ／Ｌ１にラッチされる。
【００８９】
この後、ビット線ＢＬＯとワード線ＷＬ７で選択されるメモリセルの過消去検知リードからビット線ＢＬＯとワード線ＷＬ１で選択されるメモリセルの過消去検知リードまでを順次行い、第１のセンスラッチ回路Ｓ／Ｌ１にラッチする（ＳＴ５４～ＳＴ６６）。
【００９０】
以上のように、過消去検知リードを行った結果、ビット線ＢＬＥ、又はビット線ＢＬＯとＷＬ１からＷＬ８で選択されるメモリセルのうち、１個でも過消去状態のメモリセルがあると、第１のセンスラッチ回路Ｓ／Ｌ１のノードＮ１は“Ｈ”となる。
【００９１】
続いて、第１のセンスラッチ回路Ｓ／Ｌ１にラッチされたデータに基づいて、過消去状態のメモリセルがあるか否かが判別され（ＳＴ６７）、過消去状態のメモリセルが有る場合はソフト書き込みが行われる（ＳＴ６８）。ラッチ状態の検知は、前述したように一括検知用のトランジスタＱＮＬ７を用いればよい。
【００９２】
図２２は、図１８に示すソフト書き込みのタイミングチャートを示している。先ず、ビット線ＢＬＥ、ＢＬＯの電位は、０Ｖに設定される。この後、時刻ｔｓｐｇ１において、信号ｎＶＲＦＹ１が“Ｈ”になることにより、第１のセンスラッチ回路Ｓ／Ｌ１にラッチされたデータに従って、ビット線ＢＬＥ、ＢＬＯの電位が設定される。つまり、過消去セルがある場合、ビット線の電位は０Ｖのままである。過消去セルがない場合、電圧$V_{SE}$を電源電圧ＶｃｃあるいはＶｃｃよりも高電位とするとビット線の電位は$V_{SE}$からＶｃｃあるいはＶｃｃ－Ｖｔｈ（Ｖｔｈは$V_{SE}$とビット線間に接続されたトランジスタの閾値電圧）に設定される。時刻ｔｓｐｇ２において、ワード線の電位がＶｓｐｇｍ（例えば８Ｖ）となると、過消去セルはチャネルの電位が０Ｖ、制御ゲートの電位がＶｓｐｇｍであるため、閾値電圧が例えば－２Ｖ程度に書き込まれる。一方、過消去セルがない場合、チャネルの電位がＶｃｃであるため、トンネル酸化膜に印加される電圧が緩和され、書き込みは行われない。
【００９３】
上記第４の実施の形態によれば、２つのビット線に接続された１６個のメモリセルに対し

て、続けて過消去検出リードを行って第１のセンスラッチ回路Ｓ／Ｌ１にデータをラッチし、この後、１回だけ過消去状態のメモリセルがあるか否かを検知している。このため、過消去セルを高速に検知できる。

【００９４】

尚、図１８の動作において、最初の過消去検知リードで、図２１に示すように時刻ｔＣＢ３　に信号ｎＶＥＲＩＦＹ　を“Ｌ”としてトランジスタＱｐ２を活性化してもよい。但し、この場合、ノードＮ４に読み出されたデータの破壊を防止するため、予め第１のセンスラッチ回路Ｓ／Ｌ１のノードＮ１を“Ｌ”、ノードＮ３を“Ｈ”に設定しておく必要がある。

【００９５】

上記各実施の形態において、測定できるメモリセルの閾値電圧の範囲は、バックゲートバイアス効果を含めて閾値電圧が－Ｖｓ（Ｖｓは過消去検知リード時のソース線電位）以上である。例えばＶｓが３．３Ｖとすると、メモリセルの閾値電圧が－３．３Ｖ以下の場合、ビット線の電位は３．３Ｖとなる。したがって、電圧Ｖｓを電源電圧よりも高い、例えば６Ｖとすれば、電源電圧よりも高い絶対値の閾値電圧を読むことができる。但し、この場合、選択するメモリセルと直列接続されたメモリセルのゲートの電圧Ｖｒｅａｄは、例えば７Ｖであるのが望ましい。このように、電圧を設定することにより、閾値電圧分だけ降下することなくソース電位、例えば６Ｖを転送できる。

【００９６】

さらに、ソース線の電位Ｖｓを電源電圧Ｖｃｃとし、電源電圧Ｖｃｃを高くすれば、低い閾値電圧も読み出すことができる。例えば、チップ試験時にＶｃｃを高くすれば、低い閾値電圧も読み出すことができる。

【００９７】

また、過消去検知リード、ソフト書き込み後に、ソフト書き込みしたメモリセルが書き込まれ過ぎていないかを調べてもよい。図２３は、ソフト書き込み後のベリファイ動作を示しており、図１０と同一部分には同一符号を付す。

【００９８】

図２３において、過消去検知リードにより過消去を検知されたメモリセルに対してソフト書き込みを行う（ＳＴ４～ＳＴ７）。ソフト書き込み終了後、消去ベリファイリードを行い、閾値電圧が高くなり過ぎていないかどうかを検知する（ＳＴ７～ＳＴ３）。この結果、ソフト書き込みにより閾値電圧が高くなり過ぎている場合には、再び消去を行う（ＳＴ１）。消去ベリファイリードをパスしたメモリセルはその後、過消去検知リードを行う（ＳＴ４）。

【００９９】

図２３のように動作させれば、消去状態の閾値電圧を、所望の上限値と下限値の間に設定することができる。

【０１００】

上記実施例ではビット線電位をノードＮ４に転送した後、電圧Ｖｓｅｎ　を変化させることによりノードＮ４の電位を変化させる。例えばメモリセルの閾値電圧が－２．５Ｖ以下であると、ビット線の電位は２．５Ｖ以上になる。図１２の時刻ｔｃｓ２　に、電圧Ｖｓｅｎ　を１Ｖから０Ｖとすることにより、メモリセルの閾値電圧が－２．５Ｖ以下であるとノードＮ４の電位は１．５Ｖ以上になり、センス時にノードＮ１は“Ｈ”になる。時刻ｔｃｓ２　における電圧Ｖｓｅｎ　の電位変化を変えることにより、センスアンプで検知するメモリセルの閾値レベルを変えることができる。例えば時刻ｔｃｓ２　に電圧Ｖｓｅｎ　を０．５Ｖから０Ｖに変化させた場合、メモリセルの閾値電圧が－２Ｖ以下であると、ノードＮ４の電位は１．５Ｖ以上になり、センス時にノードＮｌは“Ｈ”になる。あるいは、時刻ｔｃｓ２　に電圧Ｖｓｅｎ　を全く変化させない場合、メモリセルの閾値が－１．５Ｖ以下であるとノードＮ４の電位は１．５Ｖ以上になり、センス時にノードＮ１は“Ｈ”になる。このように、電圧Ｖｓｅｎ　をチップ内部あるいはチップ外部から変え得るようにすれば、負の閾値電圧を測定することができる。

【０１０１】
また、読み出し時に電圧Ｖｓｅｎ　を変化させないで読むこともできる。図２４にこの場合のタイミングチャートを示す。図２４は、図４に示すビット線ＢＬＥに接続され、ワード線ＷＬ８で選択されるメモリセルの過消去検知リードを示している。センスアンプの回路構成は図１である。
【０１０２】
先ず、時刻ｔｃｔ１　に選択ビット線ＢＬＥを０Ｖにする。過消去検知リード中、非選択ビット線ＢＬＯは電圧Ｖｂｌ（例えばＶｃｃ）を保つことにより、ビット線間のカップリングノイズを除去する。時刻ｔｃｔ２　に選択したワード線ＷＬ８を０Ｖ，非ワード線を電圧Ｖｒｅａｄ、選択ゲートＳＧＳ，ＳＧＤを電圧Ｖｒｅａｄにする。電圧Ｖｒｅａｄは例えば電源電圧Ｖｃｃに限らず４．５Ｖとしてもよいし、Ｖｒｅａｄ＝Ｖｃｃとしてもよい。また、メモリセルの閾値電圧が負であるため、電圧Ｖｒｅａｄを例えば２Ｖ程度まで低くしても大きな読み出し電流を得ることができる。ソース線を電圧Ｖｓ　（例えばＶｃｃ）にする。
【０１０３】
ここでは、電圧Ｖｓ　がＶｃｃの場合を例に取って説明する。選択ゲートの電圧を上げると、選択したメモリセルＭＣ４の閾値電圧に従って、ビット線にビット線の電位が設定される。電源電圧Ｖｃｃを３Ｖとすると、（バックバイアス－３Ｖ時の）閾値電圧が例えば－１．５Ｖの場合、ビット線は１．５Ｖになる。読み出し時電圧Ｖｓｅｎ　は０Ｖである。また、時刻ｔｃｔ１　からｔｃｔ３　の間、ＣＡＰＲＳＴが“Ｌ”であり、ノードＮ４はＶｃｃにプリチャージされる。
【０１０４】
その後、時刻ｔｃｔ３　においてＣＡＰＲＳＴが“Ｈ”になると、ノードＮ４はＶｃｃでフローティングになる。信号ＢＬＳＨＦＥはＶｃｌａｍｐ　（例えば２Ｖ）にする。過消去の場合、ビット線電位は１Ｖよりも大きいため、トランジスタＱＮＨ３はオフし、ノードＮ４はＶｃｃを保つ。
【０１０５】
一方、過消去でない場合、トランジスタＱＮＨ３はオンし、ノードＮ４はＶｃｃから例えば１Ｖになる。このようにトランジスタＱＮＨ３のゲートをクランプすることにより、ノードＮ４はＶｃｃまたは１Ｖ以下になり、センス動作時に大きな電位振幅を得ることができる。
【０１０６】
時刻ｔｃｔ４　にノードＮ４の電位がノードＮｌに転送され、時刻ｔｃｔ５　にセンスされ、時刻ｔｃｔ６　にラッチされる。過消去したセルがあるか否かはノードＮｌ、Ｎ３の電位をＩＯ線に読み出して検知したり、あるいは一括検知用トランジスタＱＮＬ７を用いて検知してもよい。この場合、各カラムのトランジスタＱＮＬ７は並列接続されている。まず、ＩＤＥＴを例えばＶｃｃにプリチャージしてフローティングにする。その後、１カラムでも過消去のセルがあると、そのノードＮ１が“Ｈ”になるため、ＩＤＥＴは０Ｖに放電され、過消去が検知される。
【０１０７】
上記実施例では例えばメモリセルの閾値電圧が－１Ｖ以下であるとセンスノードＮ４は電源電圧Ｖｃｃになる。選択ワード線の電位を変えることにより、センスアンプで検知するメモリセルの閾値レベルを変えることができる。例えば図２４でワード線ＷＬ８の電位を０．５Ｖにすると、メモリセルの閾値電圧が－０．５Ｖ以下であるとノードＮ４の電位はＶｃｃになり、センス時にノードＮｌは“Ｈ”になる。このように、選択ワード線の電位をチップ内部あるいはチップ外部から変え得るようにすれば、負の閾値電圧を測定することができる。
【０１０８】
上記実施例では過消去検知のために負の閾値電圧を測定する回路について説明したが、本発明の負の閾値電圧測定法はこれに限定されない。つまり、過消去検知のみならずメモリ

セルのエンデュランス試験等で負の閾値電圧を測定する場合にも本発明は有効である。

【０１０９】

尚、本発明は、ＮＡＮＤ型ＥＥＰＲＯＭに限定されるものではなく、ＮＯＲ型、ＡＮＤ型（Ａ．Ｎｏｚｏｅ：ＩＳＳＣＣ，Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ，１９９５）、ＤＩＮＯＲ型（Ｓ．Ｋｏｂａｙａｓｈｉ：ＩＳＳＣＣ，Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ，１９９５）、Ｖｉｒｔｕａｌ Ｇｒｏｕｎｄ Ａｒｒａｙ型（Ｌｅｅ，ｅｔ ａｌ．：Ｓｙｍｐｏｓｉｕｍ ｏｎ ＶＬＳＩ Ｃｉｒｃｕｉｔｓ，Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ，１９９４） 等のいかなるメモリセルアレイにも適用可能である。

【０１１０】

さらに、本発明は、フラッシュメモリに限らず、マスクＲＯＭ、ＥＰＲＯＭ等などにも適用可能である。

【０１１１】

また、センスラッチ回路としては、３値のセンスアンプ兼ラッチ回路を用いたがこれに限定されるものではなく、３値以外のセンスアンプ兼ラッチ回路を用いることも可能である。

【０１１２】

その他、本発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【０１１３】

【発明の効果】

以上、詳述したようにこの発明によれば、メモリセルのデータを消去した後、過消去状態のセルの有無を検知し、過消去状態のセルが検知された場合、ソフト書き込みを行うことが可能となる。したがって、消去後のメモリセルの閾値電圧が所定の電圧以下に低下しないように制御できるため、誤書き込みを防止できる。

【図面の簡単な説明】

【図１】本発明のセンスアンプ兼ラッチ回路を示す回路図。

【図２】本発明のＮＡＮＤ型ＥＥＰＲＯＭセルの構成を示すものであり、同図（ａ）は平面図、同図（ｂ）は等価回路図。

【図３】図３（ａ）は図２（ａ）の３ａ－３ａ線に沿った断面図、図３（ｂ）は図２（ａ）の３ｂ－３ｂ線に沿った断面図。

【図４】本発明のＮＡＮＤ型ＥＥＰＲＯＭのメモリセルアレイを示す回路構成図。

【図５】本発明の半導体記憶装置の構成を示すブロック図。

【図６】本発明のデータ読み出し動作を説明するために示すタイミングチャート。

【図７】本発明のデータ書き込み動作を説明するために示すタイミングチャート。

【図８】本発明の消去動作を説明するために示すタイミングチャート。

【図９】本発明の消去ベリファイ読み出し動作を説明するために示すタイミングチャート。

【図１０】本発明の消去動作を説明する図。

【図１１】本発明の過消去検知リードを説明する図。

【図１２】メモリセルの過消去検知リードを説明するために示すタイミングチャート。

【図１３】メモリセルの過消去検知リードを説明するために示すタイミングチャート。

【図１４】ソフト書き込みを説明するために示すタイミングチャート。

【図１５】本発明の消去動作を説明する図。

【図１６】本発明の第２の実施の形態を示すものであり、過消去検知リードを説明する図。

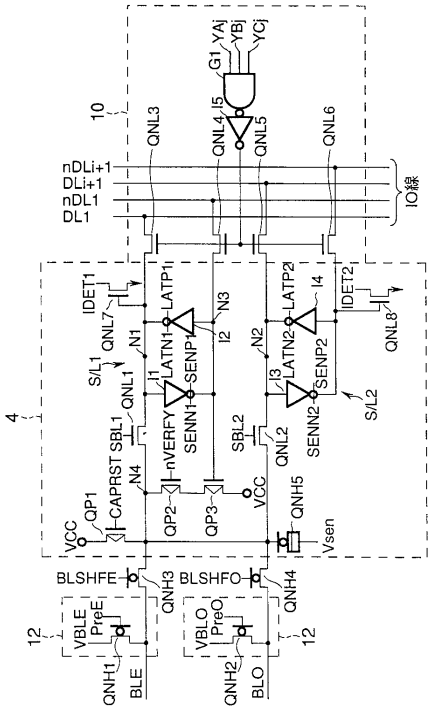
【図１７】本発明の第３の実施の形態を示すものであり、過消去検知リードおよびソフト書き込みを説明する図。

【図１８】本発明の第４の実施の形態を示すものであり、過消去検知リードおよびソフト書き込みの動作を説明する図。

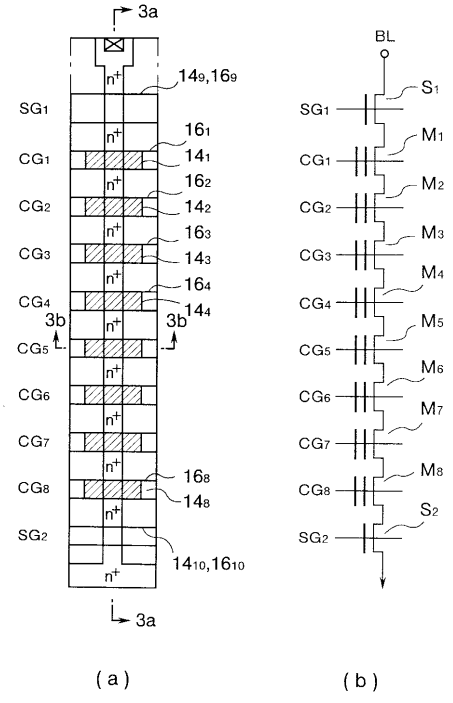
【図１９】本発明の第４の実施の形態を示す回路図。

【図２０】ビット線ＢＬＯとワード線ＷＬ８で選択されるメモリセルの過消去検知リードを説明するために示すタイミングチャート。
【図２１】ビット線ＢＬＥとワード線ＷＬ７で選択されるメモリセルの過消去検知リードを説明するために示すタイミングチャート。
【図２２】ソフト書き込みの他の例を示すタイミングチャート。
【図２３】消去動作の他の例を説明する図。
【図２４】この発明の変形例を示すタイミングチャート。
【符号の説明】
２…メモリセルアレイ、
３…ローデコーダ、
４…センスアンプ兼ラッチ回路、
１０…カラムデコーダ、
１１…制御部、
１２…プリチャージ回路、
ＢＬＥ、ＢＬＯ…ビット線、
ＷＬ１～ＷＬ８…ワード線、
Ｓ／Ｌ１、Ｓ／Ｌ２…第１、第２のセンスラッチ回路、
Ｉ１～Ｉ４…インバータ回路、
ＭＣ１～ＭＣ４…メモリセル。

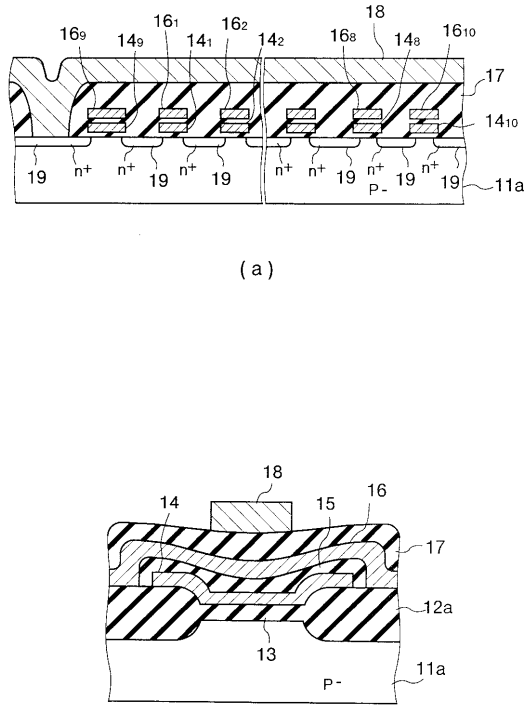
【図１】




【図２】



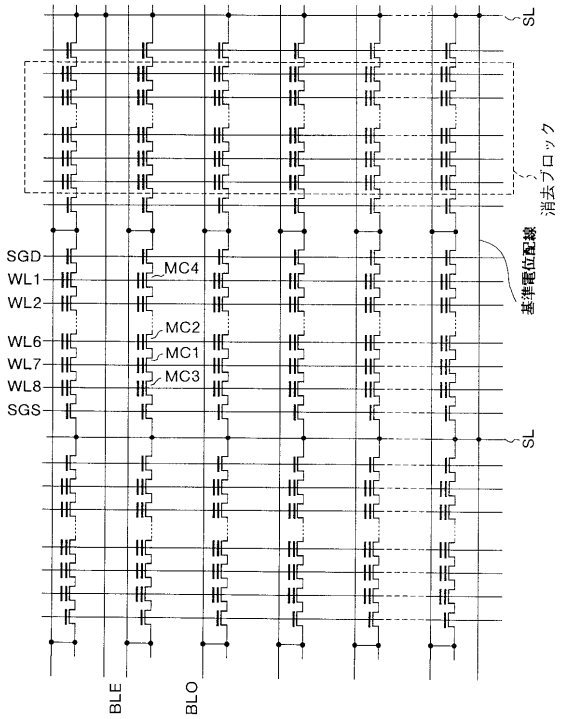
【図３】


16₉
14₉
16₁
14₁
16₂
14₂
16₈
14₈
16₁₀
17
14₁₀
19
n+
19
P-
11a
18
14
15
16
17
12a
13
11a
P-

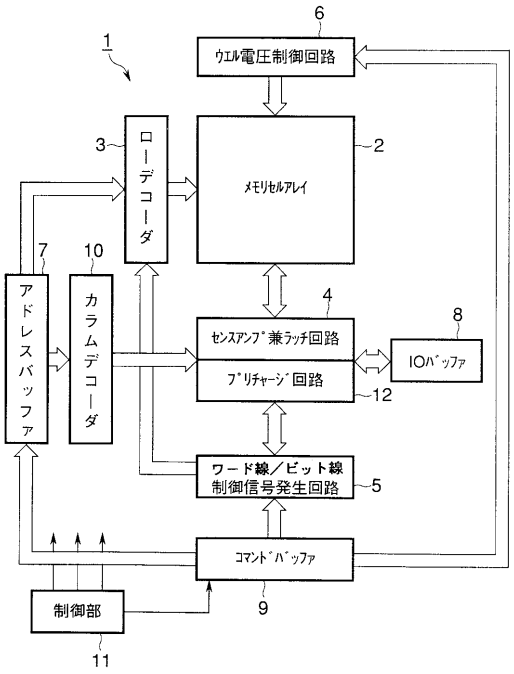
(a)

(b)

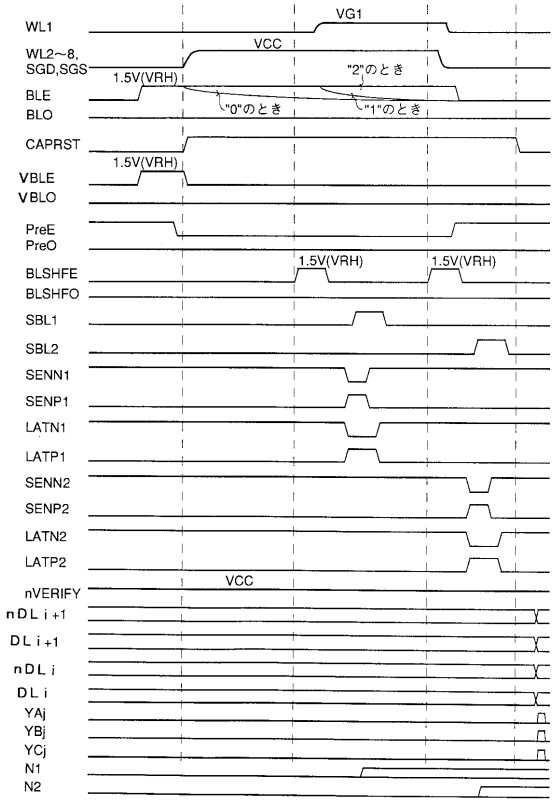
【図４】


SL
消去ブロック
基準電位配線
SGD
WL1
WL2
WL6
WL7
WL8
SGS
MC4
MC2
MC1
MC3
SL
BLE
BLO

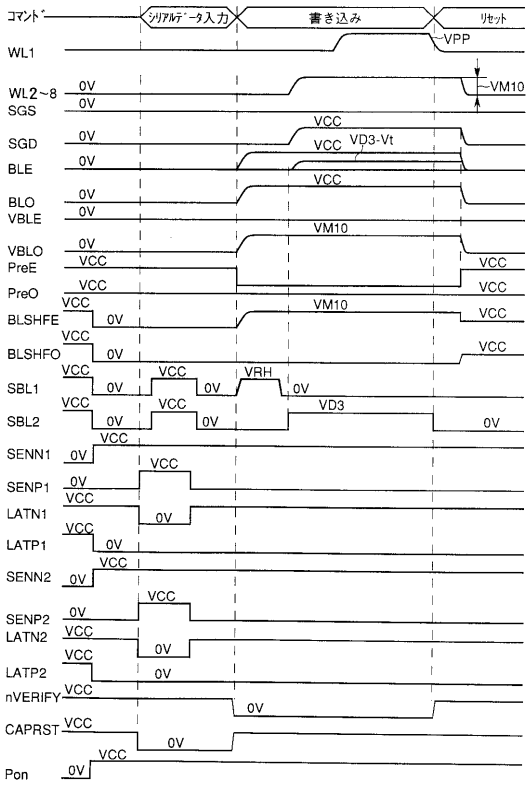
【図５】


1
6
ウエル電圧制御回路
3
ローデコーダ
2
メモリセルアレイ
7
アドレスバッファ
10
カラムデコーダ
4
センスアンプ兼ラッチ回路
プリチャージ回路
12
8
IOバッファ
ワード線／ビット線
制御信号発生回路
5
コマンドバッファ
9
制御部
11

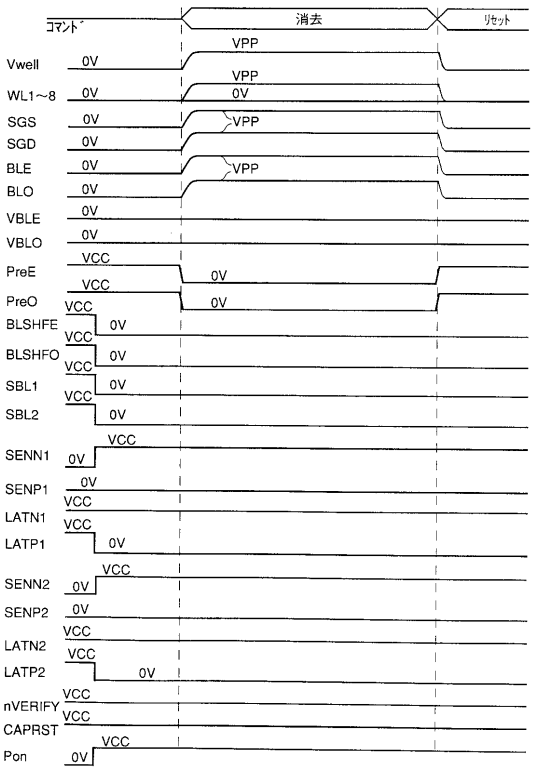
【図６】


WL1
VG1
WL2～8,
SGD,SGS
VCC
1.5V(VRH)
"2"のとき
BLE
BLO
"0"のとき
"1"のとき
CAPRST
1.5V(VRH)
VBLE
VBLO
PreE
PreO
BLSHFE
1.5V(VRH)
1.5V(VRH)
BLSHFO
SBL1
SBL2
SENN1
SENP1
LATN1
LATP1
SENN2
SENP2
LATN2
LATP2
nVERIFY
VCC
nDLi+1
DLi+1
nDLi
DLi
YAj
YBj
YCj
N1
N2

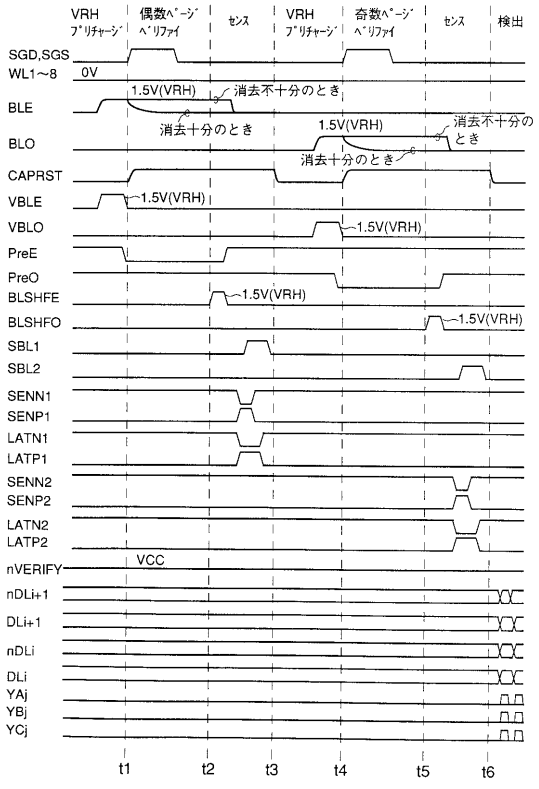
【図７】


ｺﾏﾝﾄﾞ
ｼﾘｱﾙﾃﾞｰﾀ入力
書き込み
ﾘｾｯﾄ
WL1
WL2～8
SGS
SGD
BLE
BLO
VBLE
VBLO
PreE
PreO
BLSHFE
BLSHFO
SBL1
SBL2
SENN1
SENP1
LATN1
LATP1
SENN2
SENP2
LATN2
LATP2
nVERIFY
CAPRST
Pon
VPP
VM10
VCC
VD3-Vt
VRH
VD3
0V

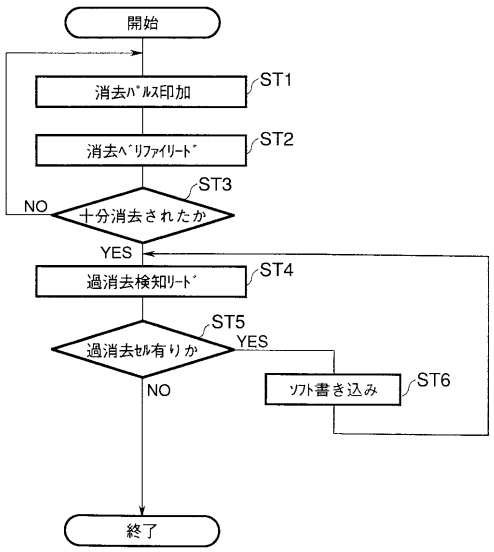
【図８】


ｺﾏﾝﾄﾞ
消去
ﾘｾｯﾄ
Vwell
WL1～8
SGS
SGD
BLE
BLO
VBLE
VBLO
PreE
PreO
BLSHFE
BLSHFO
SBL1
SBL2
SENN1
SENP1
LATN1
LATP1
SENN2
SENP2
LATN2
LATP2
nVERIFY
CAPRST
Pon
VPP
0V
VCC

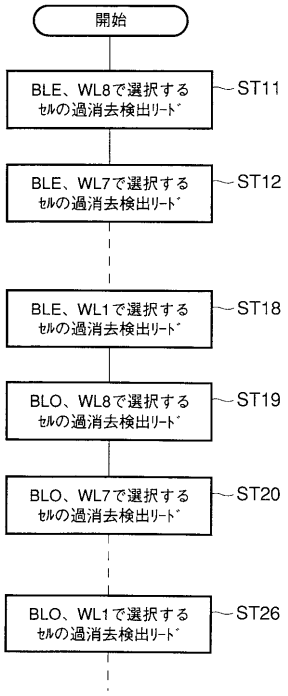
【図９】


VRH ﾌﾟﾘﾁｬｰｼﾞ
偶数ﾍﾟｰｼﾞ ﾍﾞﾘﾌｧｲ
ｾﾝｽ
VRH ﾌﾟﾘﾁｬｰｼﾞ
奇数ﾍﾟｰｼﾞ ﾍﾞﾘﾌｧｲ
ｾﾝｽ
検出
SGD,SGS
WL1～8
BLE
BLO
CAPRST
VBLE
VBLO
PreE
PreO
BLSHFE
BLSHFO
SBL1
SBL2
SENN1
SENP1
LATN1
LATP1
SENN2
SENP2
LATN2
LATP2
nVERIFY
nDLi+1
DLi+1
nDLi
DLi
YAj
YBj
YCj
0V
VCC
1.5V(VRH)
消去不十分のとき
消去十分のとき
消去不十分のとき
消去十分のとき
t1
t2
t3
t4
t5
t6

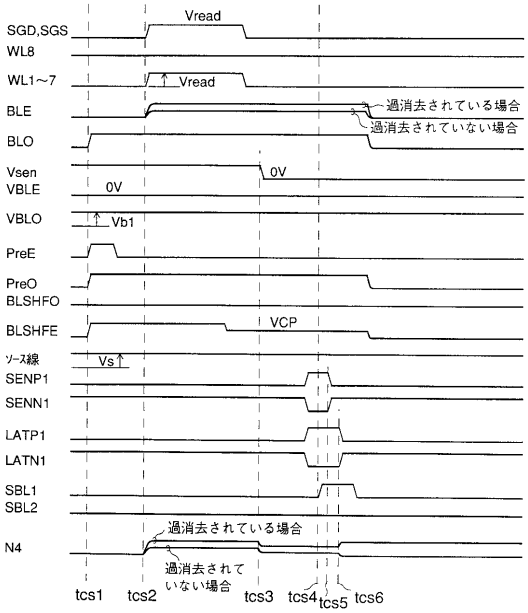
【図１０】


開始
消去ﾊﾟﾙｽ印加
ST1
消去ﾍﾞﾘﾌｧｲﾘｰﾄﾞ
ST2
ST3
NO
十分消去されたか
YES
過消去検知ﾘｰﾄﾞ
ST4
ST5
過消去ｾﾙ有りか
YES
NO
ソフト書き込み
ST6
終了

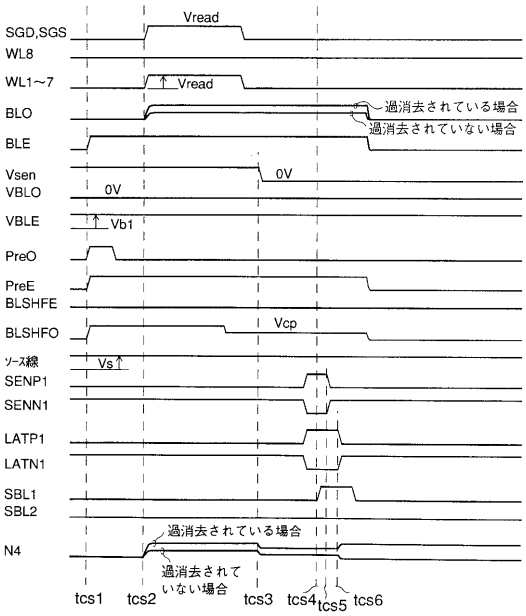
【図１１】



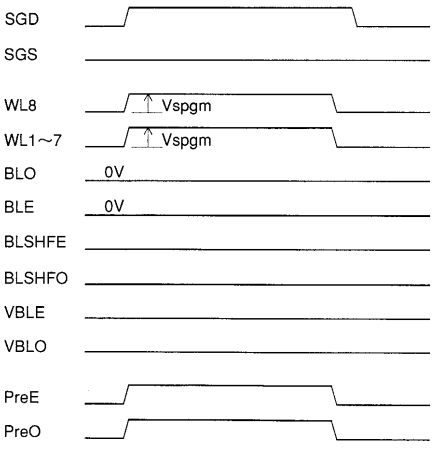

【図１２】



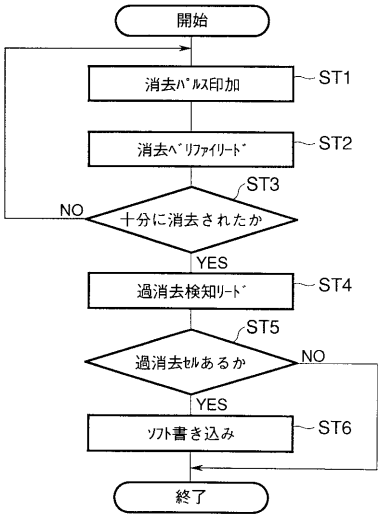

【図１３】



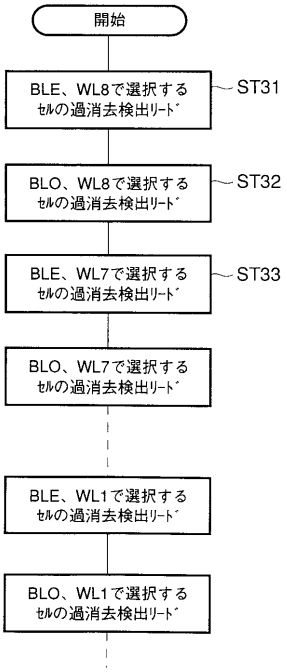

【図１４】



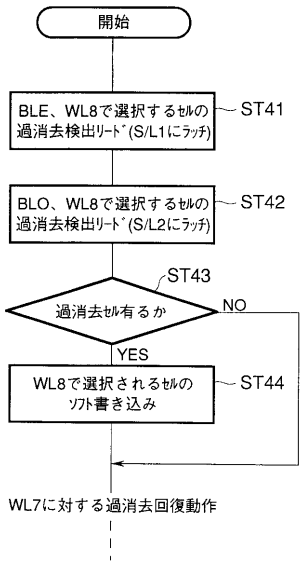
【図１５】



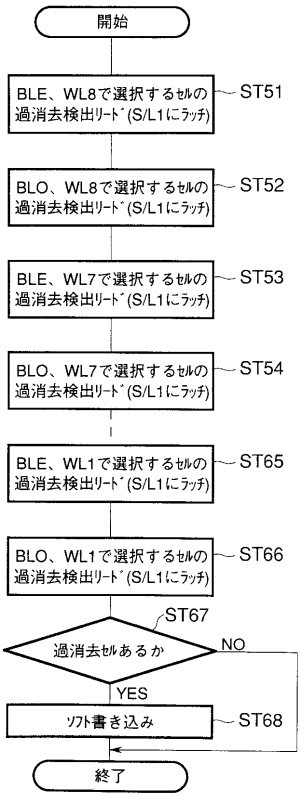

【図１６】



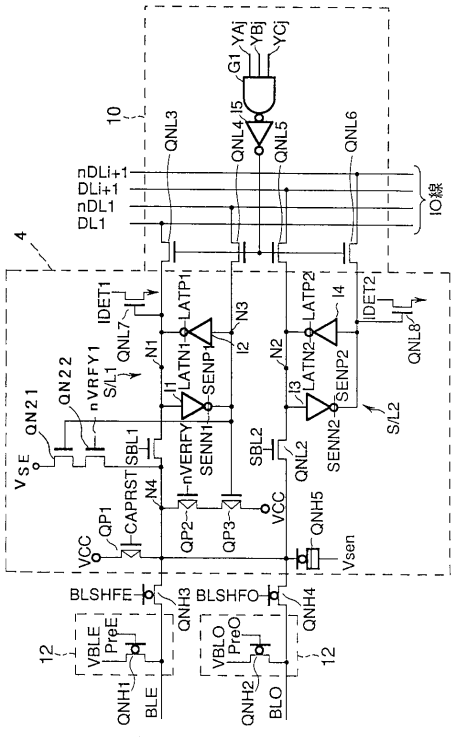

【図１７】



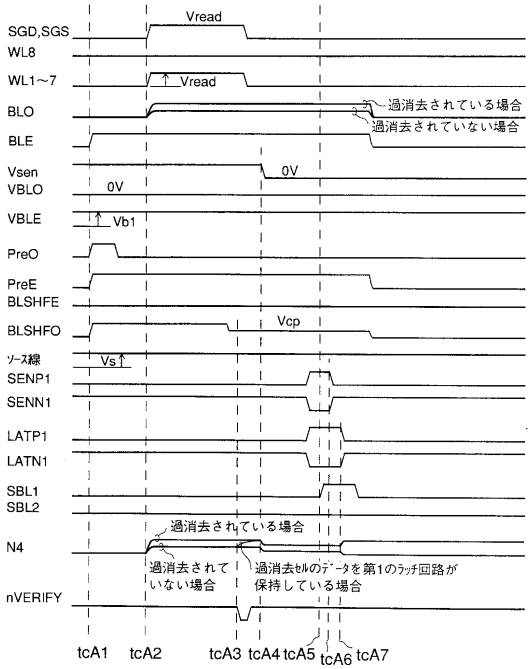

【図１８】



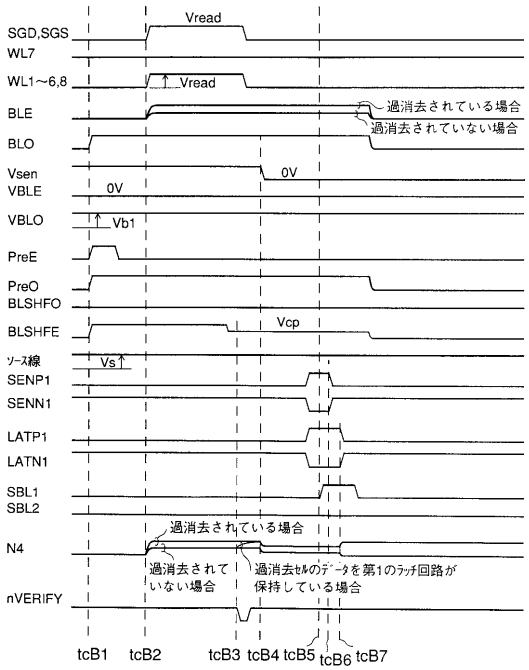
【図１９】



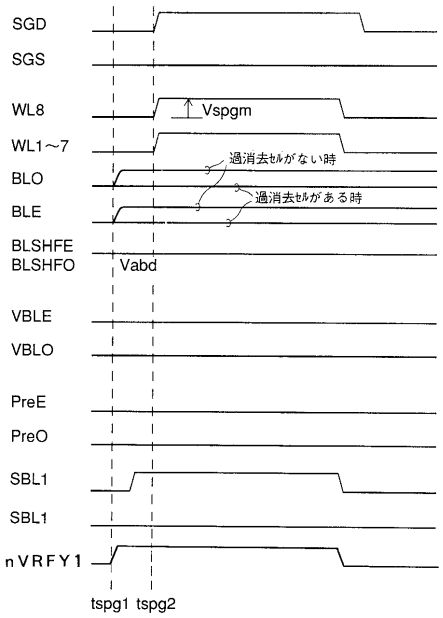

【図２０】



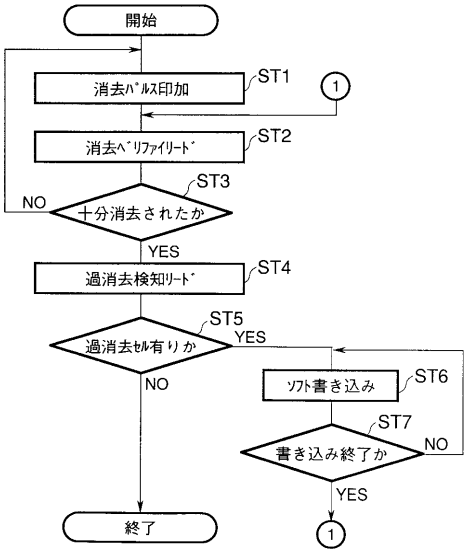

【図２１】



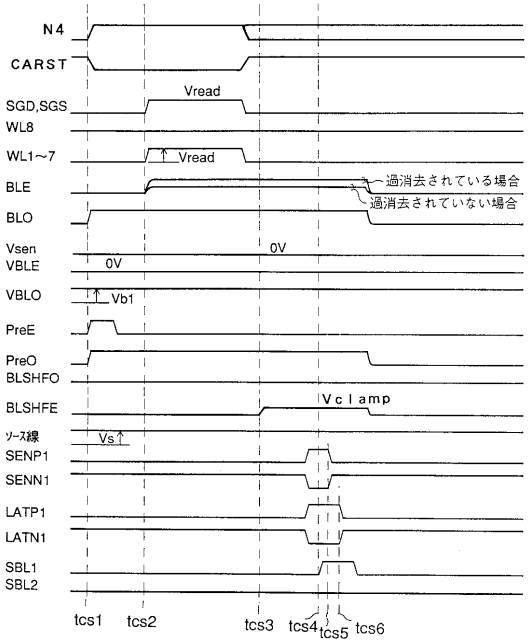

【図２２】



【図２３】


開始
消去ﾊﾟﾙｽ印加
ST1
1
消去ﾍﾞﾘﾌｧｲﾘｰﾄﾞ
ST2
ST3
NO
十分消去されたか
YES
過消去検知ﾘｰﾄﾞ
ST4
ST5
過消去ｾﾙ有りか
YES
NO
ｿﾌﾄ書き込み
ST6
ST7
書き込み終了か
NO
YES
終了
1

【図２４】


N4
CARST
SGD,SGS
Vread
WL8
WL1～7
Vread
BLE
過消去されている場合
過消去されていない場合
BLO
Vsen
0V
VBLE
0V
VBLO
Vb1
PreE
PreO
BLSHFO
BLSHFE
Vclamp
ｿｰｽ線
Vs
SENP1
SENN1
LATP1
LATN1
SBL1
SBL2
tcs1
tcs2
tcs3
tcs4
tcs5
tcs6

フロントページの続き

(72)発明者　竹内　健
神奈川県川崎市幸区堀川町５８０番１号　株式会社東芝半導体システム技術センター内
(72)発明者　田中　智晴
神奈川県川崎市幸区堀川町５８０番１号　株式会社東芝半導体システム技術センター内

審査官　長島　孝志

(56)参考文献　特開平０８－００７５８４（ＪＰ，Ａ）
特開平０３－１３０９９５（ＪＰ，Ａ）
特開平０６－２９０５９１（ＪＰ，Ａ）
特開平０６－１２４５９５（ＪＰ，Ａ）
特開平０８－０６３９８２（ＪＰ，Ａ）
特開平０５－３１４７８３（ＪＰ，Ａ）
特開平０６－０２８８７５（ＪＰ，Ａ）
特開平０５－１８２４８０（ＪＰ，Ａ）
特開平０８－０４５２８４（ＪＰ，Ａ）
特開平０８－１０６７９３（ＪＰ，Ａ）
特開平０７－１６９２８６（ＪＰ，Ａ）
特開平０９－１６１４９０（ＪＰ，Ａ）
特開平０８－１０２１９８（ＪＰ，Ａ）
特開平０９－０９１９７７（ＪＰ，Ａ）
特開平０５－０８９６８８（ＪＰ，Ａ）
特開平０５－０６７３９７（ＪＰ，Ａ）
特開平０８－３１５５９０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 16/00-16/34