

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成25年11月7日(2013.11.7)

【公表番号】特表2013-514010(P2013-514010A)

【公表日】平成25年4月22日(2013.4.22)

【年通号数】公開・登録公報2013-019

【出願番号】特願2012-543291(P2012-543291)

【国際特許分類】

H 04 W 28/06 (2009.01)

H 04 J 99/00 (2009.01)

H 04 J 11/00 (2006.01)

H 04 W 16/28 (2009.01)

【F I】

H 04 W 28/06 1 1 0

H 04 J 15/00

H 04 J 11/00 Z

H 04 W 16/28 1 1 0

【手続補正書】

【提出日】平成25年9月18日(2013.9.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

物理フレーム(PHYフレーム)を生成する段階と、

前記PHYフレームを無線通信デバイスへと送信する段階とを備え、

前記PHYフレームは、(i)前記無線通信デバイスに対するデータを内包する1以上の媒体アクセス制御データユニット(MACデータユニット)、(ii)1以上のパディングデリミタを含む媒体アクセス制御層パッド(MAC層パッド)、及び、(iii)物理層パッド(PHY層パッド)を含み、

前記MAC層パッドの長さ及び前記PHY層パッドの長さは、前記PHYフレームに基づき、

前記1以上のパディングデリミタは、前記無線通信デバイスに前記PHYフレームの残りの部分の受信を停止するように通知するフレーム終了フラグを含む、方法。

【請求項2】

前記PHYフレームは、集計媒体アクセス制御プロトコルデータユニット(A-MPDU)を含み、

前記A-MPDUは、前記1以上のMACデータユニットを含み、

前記PHYフレームを生成する段階は、

前記A-MPDUの最後の長さが0でないA-MPDUサブフレームの後に、前記1以上のパディングデリミタを含める段階を有する、請求項1に記載の方法。

【請求項3】

前記1以上のパディングデリミタはそれぞれ長さが4オクテットであり、

前記PHYフレームを生成する段階は、

前記MAC層パッド内の前記1以上のパディングデリミタの後に、媒体アクセス制御パッド(MACパッド)を含める段階を有し、

前記 MAC パッドは、4 オクテット未満の整数値のオクテットの長さを有する、請求項 2 に記載の方法。

【請求項 4】

前記 MAC 層パッドを前記 PHY フレームに含める段階は、ダブルワードパッドを、前記 A-MPDU の前記最後の長さが 0 でない A-MPDU サブフレームに含める段階を有し、前記 MAC 層パッドは、前記ダブルワードパッドを含む、請求項 2 又は 3 に記載の方法。

【請求項 5】

前記 1 以上のパディングデリミタは、MPDU の長さが 0 であることを示す、請求項 2 から 4 のいずれか一項に記載の方法。

【請求項 6】

前記 MAC 層パッドを、前記 PHY フレームにおける PHY テイルビットを除いた前記 PHY フレームの最後の N ビット境界に到達させる段階と、

前記 PHY 層パッドの長さを N ビット未満に限定する段階とを更に備え、

前記 N は、8 又は 32 である、請求項 1 から 5 のいずれか一項に記載の方法。

【請求項 7】

PHY テイルビットを、前記 MAC 層パッドの後に前記 PHY フレームに含める段階を更に備え、

前記 PHY 層パッドは、前記 PHY テイルビットの後に含められる、請求項 1 から 6 のいずれか一項に記載の方法。

【請求項 8】

前記 PHY フレームを送信する段階は、前記 PHY フレームを送信させる間に、複数の前記無線通信デバイスにデータを並列に供給する空間的にステアリングされた複数のフレームを送信する段階を有し、

前記ステアリングされた複数のフレームのうちの 1 つは、前記 1 以上の MAC データユニット、前記 MAC 層パッド及び前記 PHY 層パッドを含み、

前記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられている、請求項 1 から 7 のいずれか一項に記載の方法。

【請求項 9】

無線通信インターフェースにアクセスするための回路と、

プロセッサ電子回路と

を備える装置であって、

前記プロセッサ電子回路は、

物理フレーム (PHY フレーム) を生成する段階と、

前記無線通信インターフェースを介して前記 PHY フレームを無線通信デバイスへと送信する段階とを備え、

前記 PHY フレームは、(i) 前記無線通信デバイスに対するデータを内包する 1 以上の媒体アクセス制御データユニット (MAC データユニット)、(ii) 1 以上のパディングデリミタを含む媒体アクセス制御層パッド (MAC 層パッド)、及び、(iii) 物理層パッド (PHY 層パッド) を含み、

前記 MAC 層パッドの長さ及び前記 PHY 層パッドの長さは、前記 PHY フレームに基づき、

前記 1 以上のパディングデリミタは、前記無線通信デバイスに前記 PHY フレームの残りの部分の受信を停止するように通知するフレーム終了フラグを含む、装置。

【請求項 10】

前記 PHY フレームは、集計媒体アクセス制御プロトコルデータユニット (AMPDU) を含み、

前記 AMPDU は、前記 1 以上の MAC データユニットを含み、

前記プロセッサ電子回路は、

最後の長さが 0 でない A - M P D U サブフレームの後に、前記 1 以上のパディングデリミタを前記 A - M P D U に含める、請求項 9 に記載の装置。

【請求項 1 1】

前記 1 以上のパディングデリミタはそれぞれ長さが 4 オクテットであり、  
前記プロセッサ電子回路は、

前記 M A C 層パッド内の前記 1 以上のパディングデリミタの後に、M A C パッドを含め、

前記 M A C パッドは、4 オクテット未満の整数値のオクテットの長さを有する、請求項 1 0 に記載の装置。

【請求項 1 2】

前記プロセッサ電子回路は、  
ダブルワードパッドを、前記 A - M P D U の前記最後の長さが 0 でない A - M P D U サブフレームに含め、

前記 M A C 層パッドは、前記ダブルワードパッドを含む、請求項 1 0 又は 1 1 に記載の装置。

【請求項 1 3】

前記 1 以上のパディングデリミタは、M P D U の長さが 0 であることを示す、請求項 1 0 から 1 2 のいずれか一項に記載の装置。

【請求項 1 4】

前記プロセッサ電子回路は、  
前記 M A C 層パッドを、前記 P H Y フレームにおける P H Y テイルビットを除いた前記 P H Y フレームの最後の N ビット境界に到達させ、

前記 P H Y 層パッドの長さを N ビット未満に限定し、

前記 N は、8 又は 3 2 である、請求項 9 から 1 3 のいずれか一項に記載の装置。

【請求項 1 5】

前記プロセッサ電子回路は、  
P H Y テイルビットを、前記 M A C 層パッドの後に前記 P H Y フレームに含め、  
前記 P H Y 層パッドは、前記 P H Y テイルビットの後に含められる、請求項 9 から 1 4 のいずれか一項に記載の装置。

【請求項 1 6】

前記 P H Y フレームは、前記 P H Y フレームを送信させる間に、データを並列に複数の前記無線通信デバイスに供給する空間的にステアリングされた複数のフレームを含み、

前記ステアリングされた複数のフレームのうちの 1 つは、前記 1 以上の M A C データユニット、前記 M A C 層パッド及び前記 P H Y 層パッドを含み、

前記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられている、請求項 9 から 1 5 のいずれか一項に記載の装置。

【請求項 1 7】

物理フレーム ( P H Y フレーム ) を生成する段階と、  
前記 P H Y フレームを無線通信デバイスへと送信する段階とを備え、  
前記 P H Y フレームは、( i ) 前記無線通信デバイスに対するデータを内包する 1 以上の媒体アクセス制御データユニット ( M A C データユニット ) 、( i i ) 前記 P H Y フレームに関するシンボルの数に基づく長さを有する媒体アクセス制御層パッド ( M A C 層パッド ) 、及び、( i i i ) 前記 P H Y フレームにおける利用可能な残りのビットに基づく長さを有する物理層パッド ( P H Y 層パッド ) を含む、方法。

【請求項 1 8】

前記 P H Y フレームは、集計媒体アクセス制御プロトコルデータユニット ( A - M P D U ) を含み、

前記 A - M P D U は、前記 1 以上の M A C データユニットを含み、

前記 P H Y フレームを生成する段階は、

前記 A - M P D U の最後の長さが 0 でない A - M P D U サブフレームの後に、前記 1 以上

のパディングデリミタを含める段階を有し、

前記MAC層パッドは、前記1以上のパディングデリミタを含む、請求項17に記載の方法。

【請求項19】

前記1以上のパディングデリミタはそれぞれ長さが4オクテットであり、

前記PHYフレームを生成する段階は、

前記1以上のパディングデリミタの後に、媒体アクセス制御パッド(MACパッド)を含める段階を有し、

前記MACパッドは、4オクテット未満の整数値のオクテットの長さを有し、

前記MAC層パッドは、前記MACパッドを含む、請求項18に記載の方法。

【請求項20】

前記MAC層パッドを前記PHYフレームに含める段階は、

ダブルワードパッドを、前記AMPDUの前記最後の長さが0でないAMPDUサブフレームに含める段階を有し、

前記MAC層パッドは、前記ダブルワードパッドを含む、請求項18又は19に記載の方法。

【請求項21】

前記1以上のパディングデリミタは、MPDUの長さが0であることを示す、請求項18から20のいずれか一項に記載の方法。

【請求項22】

前記MAC層パッドを、前記PHYフレームにおけるPHYテイルビットを除いた前記PHYフレームの最後のNビット境界に到達させる段階と、

前記PHY層パッドの長さをNビット未満に限定する段階とを更に備え、

前記Nは、8又は32である、請求項17から21のいずれか一項に記載の方法。

【請求項23】

PHYテイルビットを、前記MAC層パッドの後に前記PHYフレームに含める段階を更に備え、

前記PHY層パッドは、前記PHYテイルビットの後に含められる、請求項17から22のいずれか一項に記載の方法。

【請求項24】

前記PHYフレームを送信する段階は、前記PHYフレームを送信させる間に、複数の前記無線通信デバイスにデータを並列に供給する空間的にステアリングされた複数のフレームを送信させる段階を有し、

前記ステアリングされた複数のフレームのうちの1つは、前記1以上のMACデータユニット、前記MAC層パッド及び前記PHY層パッドを含み、

前記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられている、請求項17から23のいずれか一項に記載の方法。

【請求項25】

無線通信インターフェースにアクセスするための回路と、

プロセッサ電子回路と

を備える装置であって、

前記プロセッサ電子回路は、

物理フレーム(PHYフレーム)を生成し、

前記無線通信インターフェースを介して、前記PHYフレームを無線通信デバイスへと送信させ、

前記PHYフレームは、(i)前記無線通信デバイスに対するデータを内包する1以上の媒体アクセス制御データユニット(MACデータユニット)、(ii)前記PHYフレームに関するシンボルの数に基づく長さを有する媒体アクセス制御層パッド(MAC層パッド)、及び、(iii)前記PHYフレームにおける利用可能な残りのビットに基づく長さを有する物理層パッド(PHY層パッド)を含む、装置。

**【請求項 2 6】**

前記 P H Y フレームは、集計媒体アクセス制御プロトコルデータユニット ( A - M P D U ) を含み、

前記 A - M P D U は、前記 1 以上の M A C データユニットを含み、  
前記プロセッサ電子回路は、

前記 A - M P D U の最後の長さが 0 でない A - M P D U サブフレームの後に、前記 1 以上のパディングデリミタを含める段階を有し、

前記 M A C 層パッドは、前記 1 以上のパディングデリミタを含む、請求項 2 5 に記載の装置。

**【請求項 2 7】**

前記 1 以上のパディングデリミタはそれぞれ長さが 4 オクテットであり、  
前記プロセッサ電子回路は、

前記 1 以上のパディングデリミタの後に、媒体アクセス制御パッド ( M A C パッド ) を含める段階を有し、

前記 M A C パッドは、4 オクテット未満の整数値のオクテットの長さを有し、  
前記 M A C 層パッドは、前記 M A C パッドを含む、請求項 2 6 に記載の装置。

**【請求項 2 8】**

前記プロセッサ電子回路は、

ダブルワードパッドを、前記 A - M P D U の前記最後の長さが 0 でない A - M P D U サブフレームに含め、

前記 M A C 層パッドは、前記ダブルワードパッドを含む、請求項 2 6 又は 2 7 に記載の装置。

**【請求項 2 9】**

前記 1 以上のパディングデリミタは、M P D U の長さが 0 であることを示す、請求項 2 6 から 2 8 のいずれか一項に記載の装置。

**【請求項 3 0】**

前記プロセッサ電子回路は、

前記 M A C 層パッドを、前記 P H Y フレームにおける P H Y テイルビットを除いた前記 P H Y フレームの最後の N ビット境界に到達させ、

前記 P H Y 層パッドの長さを N ビット未満に限定し、

前記 N は、8 又は 3 2 である、請求項 2 5 から 2 9 のいずれか一項に記載の装置。

**【請求項 3 1】**

前記プロセッサ電子回路は、

P H Y テイルビットを、前記 M A C 層パッドの後に前記 P H Y フレームに含め、

前記 P H Y 層パッドは、前記 P H Y テイルビットの後に含められる、請求項 2 5 から 3 0 のいずれか一項に記載の装置。

**【請求項 3 2】**

前記 P H Y フレームは、前記 P H Y フレームを送信させる間に複数の前記無線通信デバイスにデータを並列に供給する空間的にステアリングされた複数のフレームを含み、

前記ステアリングされた複数のフレームのうちの 1 つは、前記 1 以上の M A C データユニット、前記 M A C 層パッド及び前記 P H Y 層パッドを含み、

前記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられている、請求項 2 5 から 3 1 のいずれか一項に記載の装置。

**【手続補正 2】**

【補正対象書類名】明細書

【補正対象項目名】0 0 7 1

【補正方法】変更

【補正の内容】

【0 0 7 1】

その他の実施形態についても、添付の特許請求の範囲に含まれる。

[ 項目 1 ]

無線通信デバイスへ送信するデータを取得する段階と、上記データを内包する 1 以上の媒体アクセス制御 (MAC) データユニットを物理 (PHY) フレームに含める段階と、上記 PHY フレームに関するシンボルの数に基づいて、MAC 層パッドの長さを決定する段階と、上記 MAC 層パッドの長さが 0 より大きい場合に、上記 1 以上の MAC データユニットの後に、上記 MAC 層パッドを上記 PHY フレームに含める段階と、上記 PHY フレームにおける残りの利用可能なビットに基づいて、PHY 層パッドの長さを決定する段階と、上記 PHY 層パッドの長さが 0 より大きい場合に、上記 MAC 層パッドの後に、上記 PHY 層パッドを上記 PHY フレームに含める段階と、上記 PHY フレームを上記無線通信デバイスに送信する段階とを備える方法。

[ 項目 2 ]

上記 1 以上の MAC データユニットは、集計 MPDU (A - MPDU) における上記 PHY フレームに含まれる MAC プロトコルデータユニット (MPDU) であり、上記 MAC 層パッドを上記 PHY フレームに含める段階は、上記 A - MPDU の最後の長さが 0 でない A - MPDU サブフレームの後に、それぞれが 4 オクテットの長さである 1 以上のパディングデリミタを含める段階と、上記 1 以上のパディングデリミタの後に MAC パッドを含める段階と有し、上記 MAC パッドは、4 より小さい整数倍のオクテットの長さを有し、上記 MAC 層パッドは、上記 1 以上のパディングデリミタ及び上記 MAC パッドを含む項目 1 に記載の方法。

[ 項目 3 ]

上記 1 以上のパディングデリミタは、上記無線通信デバイスに、上記 PHY フレームの残りの部分の受信を停止するように通知するフレーム終了フラグを含む項目 2 に記載の方法。

[ 項目 4 ]

上記 MAC 層パッドを上記 PHY フレームに含める段階は、ダブルワードパッドを、上記 A - MPDU の上記最後の長さがゼロでない A - MPDU サブフレームに含める段階を有し、上記 MAC 層パッドは、上記ダブルワードパッドを含む項目 2 に記載の方法。

[ 項目 5 ]

上記 1 以上のパディングデリミタは、MPDU 長さが 0 であることを示す項目 2 に記載の方法。

[ 項目 6 ]

上記 MAC 層パッドを、上記 PHY フレームにおける PHY テイルビットを除いた上記 PHY フレームの最後の 8 ビット境界に到達させる段階と、上記 PHY 層パッドの長さを 8 ビット未満に限定する段階とを更に備える項目 1 に記載の方法。

[ 項目 7 ]

上記 MAC 層パッドを、上記 PHY フレームにおける PHY テイルビットを除いた上記 PHY フレームの最後の 32 ビット境界に到達させる段階と、上記 PHY 層パッドの長さを 32 ビット未満に限定する段階とを更に備える項目 1 に記載の方法。

[ 項目 8 ]

PHY テイルビットを、上記 PHY 層パッドの後に上記 PHY フレームに含める段階を更に備える項目 1 に記載の方法。

[ 項目 9 ]

PHY テイルビットを、上記 MAC 層パッドの後に上記 PHY フレームに含める段階を更に備え、上記 PHY 層パッドは、上記 PHY テイルビットの後に含まれる項目 1 に記載の方法。

[ 項目 10 ]

MAC 層において、上記 1 以上の MAC データユニット、及び、上記 PHY フレームの最後のシンボル境界を超えて延びる上記 MAC 層パッドを生成する段階と、PHY 層において、PHY 層における上記 MAC 層パッドの長さを、上記 PHY フレームの上記最後のシンボル境界を超えて延びないように低減させる段階とを更に備える項目 1 に記載の方法

。

#### [ 項目 1 1 ]

上記データを取得する段階は、複数の無線通信デバイスに対する上記データを受信する段階を有し、上記 P H Y フレームを送信する段階は、上記データを並列に上記複数の無線通信デバイスに供給する空間的にステアリングされた複数のフレームを送信する段階を有し、上記ステアリングされた複数のフレームのうちの 1 つは、上記 1 以上の M A C データユニット、上記 M A C 層パッド及び上記 P H Y 層パッドを含み、上記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられており、上記長さは、上記ステアリングされた複数のフレームに共通の無指向性 P H Y 信号フィールドによって通知される項目 1 に記載の方法。

#### [ 項目 1 2 ]

上記 P H Y フレームの第 1 長さを示す情報を第 1 P H Y 信号フィールドに含める段階と、上記 P H Y フレームの第 2 長さを示す情報を第 2 P H Y 信号フィールドに含める段階とを更に備える項目 1 に記載の方法。

#### [ 項目 1 3 ]

無線通信インターフェースにアクセスするための回路と、プロセッサ電子回路とを備える装置であって、上記プロセッサは、上記無線通信インターフェースを介して無線通信デバイスに送信するためのデータを取得し、上記データを内包する 1 以上の媒体アクセス制御 ( M A C ) データユニットを物理 ( P H Y ) フレームに含め、上記 P H Y フレームに関するシンボルの数に基づいて、 M A C 層パッドの長さを決定し、上記 M A C 層パッドの長さが 0 より大きい場合に、上記 1 以上の M A C データユニットの後に、上記 M A C 層パッドを上記 P H Y フレームに含め、上記 P H Y フレームにおける残りの利用可能なビットに基づいて、 P H Y 層パッドの長さを決定し、上記 P H Y 層パッドの長さが 0 より大きい場合に、上記 M A C 層パッドの後に、上記 P H Y 層パッドを上記 P H Y フレームに含める装置。

#### [ 項目 1 4 ]

上記 1 以上の M A C データユニットは、集計 M P D U ( A - M P D U ) における上記 P H Y フレームに含まれる M A C プロトコルデータユニット ( M P D U ) であり、上記プロセッサ電子回路は更に、最後の長さが 0 でない A - M P D U サブフレームの後に、それが 4 オクテットの長さである 1 以上のパディングデリミタを上記 A - M P D U に含め、上記 1 以上のパディングデリミタの後に M A C パッドを含め、上記 M A C パッドは、 4 より小さい整数倍のオクテットの長さを有し、上記 M A C 層パッドは、上記 1 以上のパディングデリミタ及び上記 M A C パッドを含む項目 1 3 に記載の装置。

#### [ 項目 1 5 ]

上記 1 以上のパディングデリミタは、上記無線通信デバイスに、上記 P H Y フレームの残りの部分の受信を停止するように通知するフレーム終了フラグを含む項目 1 4 に記載の装置。

#### [ 項目 1 6 ]

上記プロセッサ電子回路は更に、ダブルワードパッドを、上記 A - M P D U の上記最後の長さがゼロでない A - M P D U サブフレームに含め、上記 M A C 層パッドは、上記ダブルワードパッドを含む項目 1 4 に記載の装置。

#### [ 項目 1 7 ]

上記 1 以上のパディングデリミタは、 M P D U 長さが 0 でないことを示す項目 1 4 に記載の装置。

#### [ 項目 1 8 ]

上記プロセッサ電子回路は更に、上記 M A C 層パッドを、上記 P H Y フレームにおける P H Y テイルビットを除いた上記 P H Y フレームの最後の 8 ビット境界に到達させ、上記 P H Y 層パッドの長さを 8 ビット未満に限定する項目 1 3 に記載の装置。

#### [ 項目 1 9 ]

上記プロセッサ電子回路は更に、上記 M A C 層パッドを、上記 P H Y フレームにおける

P H Y テイルビットを除いた上記 P H Y フレームの最後の 32 ビット境界に到達させ、上記 P H Y 層パッドの長さを 32 ビット未満に限定する項目 13 に記載の装置。

[ 項目 20 ]

上記プロセッサ電子回路は更に、 P H Y テイルビットを、上記 P H Y 層パッドの後に上記 P H Y フレームに含める項目 13 に記載の装置。

[ 項目 21 ]

上記プロセッサ電子回路は更に、 P H Y テイルビットを、上記 M A C 層パッドの後に上記 P H Y フレームに含め、上記 P H Y 層パッドは、上記 P H Y テイルビットの後に含まれる項目 13 に記載の装置。

[ 項目 22 ]

上記プロセッサ電子回路は更に、 M A C 層において、上記 1 以上の M A C データユニット、及び、上記 P H Y フレームの最後のシンボル境界を超えて延びる上記 M A C 層パッドを生成し、 P H Y 層において、 P H Y 層における上記 M A C 層パッドの長さを、上記 P H Y フレームの上記最後のシンボル境界を超えて延びないように低減させる項目 13 に記載の装置。

[ 項目 23 ]

上記プロセッサ電子回路は更に、複数の無線通信デバイスに対する上記データを受信し、上記データを並列に上記複数の無線通信デバイスに供給する空間的にステアリングされた複数のフレームを送信し、上記ステアリングされた複数のフレームのうちの 1 つは、上記 1 以上の M A C データユニット、上記 M A C 層パッド及び上記 P H Y 層パッドを含み、上記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられており、上記長さは、上記ステアリングされた複数のフレームに共通の無指向性 P H Y 信号フィールドによって通知される項目 13 に記載の装置。

[ 項目 24 ]

無線通信信号を送受信する回路と、プロセッサ電子回路とを備えるシステムであって、上記プロセッサは、無線通信デバイスに送信するためのデータを取得し、上記データを内包する 1 以上の媒体アクセス制御 ( M A C ) データユニットを物理 ( P H Y ) フレームに含め、上記 P H Y フレームに関するシンボルの数に基づいて、 M A C 層パッドの長さを決定し、上記 M A C 層パッドの長さが 0 より大きい場合に、上記 1 以上の M A C データユニットの後に、上記 M A C 層パッドを上記 P H Y フレームに含め、上記 P H Y フレームにおける残りの利用可能なビットに基づいて、 P H Y 層パッドの長さを決定し、上記 P H Y 層パッドの長さが 0 より大きい場合に、上記 M A C 層パッドの後に、上記 P H Y 層パッドを上記 P H Y フレームに含めるシステム。

[ 項目 25 ]

上記 1 以上の M A C データユニットは、集計 M P D U ( A - M P D U ) における上記 P H Y フレームに含まれる M A C プロトコルデータユニット ( M P D U ) であり、上記プロセッサ電子回路は更に、上記 A - M P D U の最後の長さが 0 でない A - M P D U サブフレームの後に、それぞれが 4 オクテットの長さである 1 以上のパディングデリミタを含め、上記 1 以上のパディングデリミタの後に M A C パッドを含め、上記 M A C パッドは、 4 より小さい整数倍のオクテットの長さを有し、上記 M A C 層パッドは、上記 1 以上のデリミタ及び上記 M A C パッドを含む項目 24 に記載のシステム。

[ 項目 26 ]

上記 1 以上のパディングデリミタは、上記無線通信デバイスに、上記 P H Y フレームの残りの部分の受信を停止するように通知するフレーム終了フラグを含む項目 25 に記載のシステム。

[ 項目 27 ]

上記プロセッサ電子回路は更に、複数の無線通信デバイスに対する上記データを受信し、上記データを並列に上記複数の無線通信デバイスに供給する空間的にステアリングされた複数のフレームを送信し、上記ステアリングされた複数のフレームのうちの 1 つは、上記 1 以上の M A C データユニット、上記 M A C 層パッド及び上記 P H Y 層パッドを含み、

上記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられており、上記長さは、上記ステアリングされた複数のフレームに共通の無指向性 P H Y 信号フィールドによって通知される項目 26 に記載のシステム。