

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成25年11月7日 (2013.11.7)

【公表番号】特表2013-514010(P2013-514010A)

【公表日】平成25年4月22日 (2013.4.22)

【年通号数】公開・登録公報2013-019

【出願番号】特願2012-543291(P2012-543291)

【国際特許分類】

H 0 4 W 28/06 (2009.01)

H 0 4 J 99/00 (2009.01)

H 0 4 J 11/00 (2006.01)

H 0 4 W 16/28 (2009.01)

【 F I 】

H 0 4 W 28/06 1 1 0

H 0 4 J 15/00

H 0 4 J 11/00 Z

H 0 4 W 16/28 1 1 0

【手続補正書】

【提出日】平成25年9月18日 (2013.9.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

物理フレーム (P H Y フレーム) を生成する段階と、

前記 P H Y フレームを無線通信デバイスへと送信する段階とを備え、

前記 P H Y フレームは、 (i) 前記無線通信デバイスに対するデータを内包する 1 以上の媒体アクセス制御データユニット (M A C データユニット)、 (i i) 1 以上のパディングデリミタを含む媒体アクセス制御層パッド (M A C 層パッド)、及び、 (i i i) 物理層パッド (P H Y 層パッド) を含み、

前記 M A C 層パッドの長さ及び前記 P H Y 層パッドの長さは、前記 P H Y フレームに基づき、

前記 1 以上のパディングデリミタは、前記無線通信デバイスに前記 P H Y フレームの残りの部分の受信を停止するように通知するフレーム終了フラグを含む、方法。

【請求項 2】

前記 P H Y フレームは、集計媒体アクセス制御プロトコルデータユニット (A - M P D U) を含み、

前記 A - M P D U は、前記 1 以上の M A C データユニットを含み、

前記 P H Y フレームを生成する段階は、

前記 A - M P D U の最後の長さが 0 でない A - M P D U サブフレームの後に、前記 1 以上のパディングデリミタを含める段階を有する、請求項 1 に記載の方法。

【請求項 3】

前記 1 以上のパディングデリミタはそれぞれ長さが 4 オクテットであり、

前記 P H Y フレームを生成する段階は、

前記 M A C 層パッド内の前記 1 以上のパディングデリミタの後に、媒体アクセス制御パッド (M A C パッド) を含める段階を有し、

前記 M A C パッドは、4 オクテット未満の整数値のオクテットの長さを有する、請求項 2 に記載の方法。

【請求項 4】

前記 M A C 層パッドを前記 P H Y フレームに含める段階は、
ダブルワードパッドを、前記 A - M P D U の前記最後の長さが 0 でない A - M P D U サブ
フレームに含める段階を有し、

前記 M A C 層パッドは、前記ダブルワードパッドを含む、請求項 2 又は 3 に記載の方法。

【請求項 5】

前記 1 以上のパディングデリミタは、M P D U の長さが 0 であることを示す、請求項 2 から 4 のいずれか一項に記載の方法。

【請求項 6】

前記 M A C 層パッドを、前記 P H Y フレームにおける P H Y テイルビットを除いた前記 P H Y フレームの最後の N ビット境界に到達させる段階と、

前記 P H Y 層パッドの長さを N ビット未満に限定する段階とを更に備え、

前記 N は、8 又は 3 2 である、請求項 1 から 5 のいずれか一項に記載の方法。

【請求項 7】

P H Y テイルビットを、前記 M A C 層パッドの後に前記 P H Y フレームに含める段階を更に備え、

前記 P H Y 層パッドは、前記 P H Y テイルビットの後に含まれる、請求項 1 から 6 のいずれか一項に記載の方法。

【請求項 8】

前記 P H Y フレームを送信する段階は、前記 P H Y フレームを送信させる間に、複数の前記無線通信デバイスにデータを並列に供給する空間的にステアリングされた複数のフレームを送信する段階を有し、

前記ステアリングされた複数のフレームのうちの 1 つは、前記 1 以上の M A C データユニット、前記 M A C 層パッド及び前記 P H Y 層パッドを含み、

前記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられている、請求項 1 から 7 のいずれか一項に記載の方法。

【請求項 9】

無線通信インターフェースにアクセスするための回路と、

プロセッサ電子回路と

を備える装置であって、

前記プロセッサ電子回路は、

物理フレーム (P H Y フレーム) を生成する段階と、

前記無線通信インターフェースを介して前記 P H Y フレームを無線通信デバイスへと送信する段階とを備え、

前記 P H Y フレームは、(i) 前記無線通信デバイスに対するデータを内包する 1 以上の媒体アクセス制御データユニット (M A C データユニット)、(i i) 1 以上のパディングデリミタを含む媒体アクセス制御層パッド (M A C 層パッド)、及び、(i i i) 物理層パッド (P H Y 層パッド) を含み、

前記 M A C 層パッドの長さ及び前記 P H Y 層パッドの長さは、前記 P H Y フレームに基づき、

前記 1 以上のパディングデリミタは、前記無線通信デバイスに前記 P H Y フレームの残りの部分の受信を停止するように通知するフレーム終了フラグを含む、装置。

【請求項 10】

前記 P H Y フレームは、集計媒体アクセス制御プロトコルデータユニット (A - M P D U) を含み、

前記 A - M P D U は、前記 1 以上の M A C データユニットを含み、

前記プロセッサ電子回路は、

最後の長さが 0 でない A-M P D U サブフレームの後に、前記 1 以上のパディングデリミタを前記 A-M P D U に含める、請求項 9 に記載の装置。

【請求項 1 1】

前記 1 以上のパディングデリミタはそれぞれ長さが 4 オクテットであり、

前記プロセッサ電子回路は、

前記 M A C 層パッド内の前記 1 以上のパディングデリミタの後に、M A C パッドを含め

、
前記 M A C パッドは、4 オクテット未満の整数値のオクテットの長さを有する、請求項 1 0 に記載の装置。

【請求項 1 2】

前記プロセッサ電子回路は、

ダブルワードパッドを、前記 A-M P D U の前記最後の長さが 0 でない A-M P D U サブフレームに含め、

前記 M A C 層パッドは、前記ダブルワードパッドを含む、請求項 1 0 又は 1 1 に記載の装置。

【請求項 1 3】

前記 1 以上のパディングデリミタは、M P D U の長さが 0 であることを示す、請求項 1 0 から 1 2 のいずれか一項に記載の装置。

【請求項 1 4】

前記プロセッサ電子回路は、

前記 M A C 層パッドを、前記 P H Y フレームにおける P H Y テイルビットを除いた前記 P H Y フレームの最後の N ビット境界に到達させ、

前記 P H Y 層パッドの長さを N ビット未満に限定し、

前記 N は、8 又は 3 2 である、請求項 9 から 1 3 のいずれか一項に記載の装置。

【請求項 1 5】

前記プロセッサ電子回路は、

P H Y テイルビットを、前記 M A C 層パッドの後に前記 P H Y フレームに含め、

前記 P H Y 層パッドは、前記 P H Y テイルビットの後に含まれる、請求項 9 から 1 4 のいずれか一項に記載の装置。

【請求項 1 6】

前記 P H Y フレームは、前記 P H Y フレームを送信させる間に、データを並列に複数の前記無線通信デバイスに供給する空間的にステアリングされた複数のフレームを含み、

前記ステアリングされた複数のフレームのうちの 1 つは、前記 1 以上の M A C データユニット、前記 M A C 層パッド及び前記 P H Y 層パッドを含み、

前記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられている、請求項 9 から 1 5 のいずれか一項に記載の装置。

【請求項 1 7】

物理フレーム (P H Y フレーム) を生成する段階と、

前記 P H Y フレームを無線通信デバイスへと送信する段階とを備え、

前記 P H Y フレームは、(i) 前記無線通信デバイスに対するデータを内包する 1 以上の媒体アクセス制御データユニット (M A C データユニット)、(i i) 前記 P H Y フレームに関するシンボルの数に基づく長さを有する媒体アクセス制御層パッド (M A C 層パッド)、及び、(i i i) 前記 P H Y フレームにおける利用可能な残りのビットに基づく長さを有する物理層パッド (P H Y 層パッド) を含む、方法。

【請求項 1 8】

前記 P H Y フレームは、集計媒体アクセス制御プロトコルデータユニット (A-M P D U) を含み、

前記 A-M P D U は、前記 1 以上の M A C データユニットを含み、

前記 P H Y フレームを生成する段階は、

前記 A-M P D U の最後の長さが 0 でない A-M P D U サブフレームの後に、前記 1 以上

のパディングデリミタを含める段階を有し、

前記 M A C 層パッドは、前記 1 以上のパディングデリミタを含む、請求項 1 7 に記載の方法。

【請求項 1 9】

前記 1 以上のパディングデリミタはそれぞれ長さが 4 オクテットであり、

前記 P H Y フレームを生成する段階は、

前記 1 以上のパディングデリミタの後に、媒体アクセス制御パッド (M A C パッド) を含める段階を有し、

前記 M A C パッドは、4 オクテット未満の整数値のオクテットの長さを有し、

前記 M A C 層パッドは、前記 M A C パッドを含む、請求項 1 8 に記載の方法。

【請求項 2 0】

前記 M A C 層パッドを前記 P H Y フレームに含める段階は、

ダブルワードパッドを、前記 A - M P D U の前記最後の長さが 0 でない A - M P D U サブフレームに含める段階を有し、

前記 M A C 層パッドは、前記ダブルワードパッドを含む、請求項 1 8 又は 1 9 に記載の方法。

【請求項 2 1】

前記 1 以上のパディングデリミタは、M P D U の長さが 0 であることを示す、請求項 1 8 から 2 0 のいずれか一項に記載の方法。

【請求項 2 2】

前記 M A C 層パッドを、前記 P H Y フレームにおける P H Y テイルビットを除いた前記 P H Y フレームの最後の N ビット境界に到達させる段階と、

前記 P H Y 層パッドの長さを N ビット未満に限定する段階とを更に備え、

前記 N は、8 又は 3 2 である、請求項 1 7 から 2 1 のいずれか一項に記載の方法。

【請求項 2 3】

P H Y テイルビットを、前記 M A C 層パッドの後に前記 P H Y フレームに含める段階を更に備え、

前記 P H Y 層パッドは、前記 P H Y テイルビットの後に含まれる、請求項 1 7 から 2 2 のいずれか一項に記載の方法。

【請求項 2 4】

前記 P H Y フレームを送信する段階は、前記 P H Y フレームを送信させる間に、複数の前記無線通信デバイスにデータを並列に供給する空間的にステアリングされた複数のフレームを送信させる段階を有し、

前記ステアリングされた複数のフレームのうちの 1 つは、前記 1 以上の M A C データユニット、前記 M A C 層パッド及び前記 P H Y 層パッドを含み、

前記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられている、請求項 1 7 から 2 3 のいずれか一項に記載の方法。

【請求項 2 5】

無線通信インターフェースにアクセスするための回路と、

プロセッサ電子回路と

を備える装置であって、

前記プロセッサ電子回路は、

物理フレーム (P H Y フレーム) を生成し、

前記無線通信インターフェースを介して、前記 P H Y フレームを無線通信デバイスへと送信させ、

前記 P H Y フレームは、(i) 前記無線通信デバイスに対するデータを内包する 1 以上の媒体アクセス制御データユニット (M A C データユニット)、(i i) 前記 P H Y フレームに関するシンボルの数に基づく長さを有する媒体アクセス制御層パッド (M A C 層パッド)、及び、(i i i) 前記 P H Y フレームにおける利用可能な残りのビットに基づく長さを有する物理層パッド (P H Y 層パッド) を含む、装置。

【請求項 26】

前記 P H Y フレームは、集計媒体アクセス制御プロトコルデータユニット (A - M P D U) を含み、

前記 A - M P D U は、前記 1 以上の M A C データユニットを含み、

前記プロセッサ電子回路は、

前記 A - M P D U の最後の長さが 0 でない A - M P D U サブフレームの後に、前記 1 以上のパディングデリミタを含める段階を有し、

前記 M A C 層パッドは、前記 1 以上のパディングデリミタを含む、請求項 25 に記載の装置。

【請求項 27】

前記 1 以上のパディングデリミタはそれぞれ長さが 4 オクテットであり、

前記プロセッサ電子回路は、

前記 1 以上のパディングデリミタの後に、媒体アクセス制御パッド (M A C パッド) を含める段階を有し、

前記 M A C パッドは、4 オクテット未満の整数値のオクテットの長さを有し、

前記 M A C 層パッドは、前記 M A C パッドを含む、請求項 26 に記載の装置。

【請求項 28】

前記プロセッサ電子回路は、

ダブルワードパッドを、前記 A - M P D U の前記最後の長さが 0 でない A - M P D U サブフレームに含め、

前記 M A C 層パッドは、前記ダブルワードパッドを含む、請求項 26 又は 27 に記載の装置。

【請求項 29】

前記 1 以上のパディングデリミタは、M P D U の長さが 0 であることを示す、請求項 26 から 28 のいずれか一項に記載の装置。

【請求項 30】

前記プロセッサ電子回路は、

前記 M A C 層パッドを、前記 P H Y フレームにおける P H Y テイルビットを除いた前記 P H Y フレームの最後の N ビット境界に到達させ、

前記 P H Y 層パッドの長さを N ビット未満に限定し、

前記 N は、8 又は 32 である、請求項 25 から 29 のいずれか一項に記載の装置。

【請求項 31】

前記プロセッサ電子回路は、

P H Y テイルビットを、前記 M A C 層パッドの後に前記 P H Y フレームに含め、

前記 P H Y 層パッドは、前記 P H Y テイルビットの後に含まれる、請求項 25 から 30 のいずれか一項に記載の装置。

【請求項 32】

前記 P H Y フレームは、前記 P H Y フレームを送信させる間に複数の前記無線通信デバイスにデータを並列に供給する空間的にステアリングされた複数のフレームを含み、

前記ステアリングされた複数のフレームのうちの 1 つは、前記 1 以上の M A C データユニット、前記 M A C 層パッド及び前記 P H Y 層パッドを含み、

前記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられている、請求項 25 から 31 のいずれか一項に記載の装置。

【手続補正 2】

【補正対象書類名】 明細書

【補正対象項目名】 0071

【補正方法】 変更

【補正の内容】

【0071】

その他の実施形態についても、添付の特許請求の範囲に含まれる。

[項目 1]

無線通信デバイスへ送信するデータを取得する段階と、上記データを内包する 1 以上の媒体アクセス制御 (M A C) データユニットを物理 (P H Y) フレームに含める段階と、上記 P H Y フレームに関するシンボルの数に基づいて、M A C 層パッドの長さを決定する段階と、上記 M A C 層パッドの長さが 0 より大きい場合に、上記 1 以上の M A C データユニットの後に、上記 M A C 層パッドを上記 P H Y フレームに含める段階と、上記 P H Y フレームにおける残りの利用可能なビットに基づいて、P H Y 層パッドの長さを決定する段階と、上記 P H Y 層パッドの長さが 0 より大きい場合に、上記 M A C 層パッドの後に、上記 P H Y 層パッドを上記 P H Y フレームに含める段階と、上記 P H Y フレームを上記無線通信デバイスに送信する段階とを備える方法。

[項目 2]

上記 1 以上の M A C データユニットは、集計 M P D U (A - M P D U) における上記 P H Y フレームに含まれる M A C プロトコルデータユニット (M P D U) であり、上記 M A C 層パッドを上記 P H Y フレームに含める段階は、上記 A - M P D U の最後の長さが 0 でない A - M P D U サブフレームの後に、それぞれが 4 オクテットの長さである 1 以上のパディングデリミタを含める段階と、上記 1 以上のパディングデリミタの後に M A C パッドを含める段階と有し、上記 M A C パッドは、4 より小さい整数倍のオクテットの長さを有し、上記 M A C 層パッドは、上記 1 以上のパディングデリミタ及び上記 M A C パッドを含む項目 1 に記載の方法。

[項目 3]

上記 1 以上のパディングデリミタは、上記無線通信デバイスに、上記 P H Y フレームの残りの部分の受信を停止するように通知するフレーム終了フラグを含む項目 2 に記載の方法。

[項目 4]

上記 M A C 層パッドを上記 P H Y フレームに含める段階は、ダブルワードパッドを、上記 A - M P D U の上記最後の長さがゼロでない A - M P D U サブフレームに含める段階を有し、上記 M A C 層パッドは、上記ダブルワードパッドを含む項目 2 に記載の方法。

[項目 5]

上記 1 以上のパディングデリミタは、M P D U 長さが 0 であることを示す項目 2 に記載の方法。

[項目 6]

上記 M A C 層パッドを、上記 P H Y フレームにおける P H Y テイルビットを除いた上記 P H Y フレームの最後の 8 ビット境界に到達させる段階と、上記 P H Y 層パッドの長さを 8 ビット未満に限定する段階とを更に備える項目 1 に記載の方法。

[項目 7]

上記 M A C 層パッドを、上記 P H Y フレームにおける P H Y テイルビットを除いた上記 P H Y フレームの最後の 3 2 ビット境界に到達させる段階と、上記 P H Y 層パッドの長さを 3 2 ビット未満に限定する段階とを更に備える項目 1 に記載の方法。

[項目 8]

P H Y テイルビットを、上記 P H Y 層パッドの後に上記 P H Y フレームに含める段階を更に備える項目 1 に記載の方法。

[項目 9]

P H Y テイルビットを、上記 M A C 層パッドの後に上記 P H Y フレームに含める段階を更に備え、上記 P H Y 層パッドは、上記 P H Y テイルビットの後に含まれる項目 1 に記載の方法。

[項目 1 0]

M A C 層において、上記 1 以上の M A C データユニット、及び、上記 P H Y フレームの最後のシンボル境界を超えて延びる上記 M A C 層パッドを生成する段階と、P H Y 層において、P H Y 層における上記 M A C 層パッドの長さを、上記 P H Y フレームの上記最後のシンボル境界を超えて延びないように低減させる段階とを更に備える項目 1 に記載の方法

°

[項目 1 1]

上記データを取得する段階は、複数の無線通信デバイスに対する上記データを受信する段階を有し、上記PHYフレームを送信する段階は、上記データを並列に上記複数の無線通信デバイスに供給する空間的にステアリングされた複数のフレームを送信する段階を有し、上記ステアリングされた複数のフレームのうちの1つは、上記1以上のMACデータユニット、上記MAC層パッド及び上記PHY層パッドを含み、上記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられており、上記長さは、上記ステアリングされた複数のフレームに共通の無指向性PHY信号フィールドによって通知される項目1に記載の方法。

[項目 1 2]

上記PHYフレームの第1長さを示す情報を第1PHY信号フィールドに含める段階と、上記PHYフレームの第2長さを示す情報を第2PHY信号フィールドに含める段階とを更に備える項目1に記載の方法。

[項目 1 3]

無線通信インターフェースにアクセスするための回路と、プロセッサ電子回路とを備える装置であって、上記プロセッサは、上記無線通信インターフェースを介して無線通信デバイスに送信するためのデータを取得し、上記データを内包する1以上の媒体アクセス制御(MAC)データユニットを物理(PHY)フレームに含め、上記PHYフレームに関するシンボルの数に基づいて、MAC層パッドの長さを決定し、上記MAC層パッドの長さが0より大きい場合に、上記1以上のMACデータユニットの後に、上記MAC層パッドを上記PHYフレームに含め、上記PHYフレームにおける残りの利用可能なビットに基づいて、PHY層パッドの長さを決定し、上記PHY層パッドの長さが0より大きい場合に、上記MAC層パッドの後に、上記PHY層パッドを上記PHYフレームに含める装置。

[項目 1 4]

上記1以上のMACデータユニットは、集計MPDU(A-MPDU)における上記PHYフレームに含まれるMACプロトコルデータユニット(MPDU)であり、上記プロセッサ電子回路は更に、最後の長さが0でないA-MPDUサブフレームの後に、それぞれが4オクテットの長さである1以上のパディングデリミタを上記A-MPDUに含め、上記1以上のパディングデリミタの後にMACパッドを含め、上記MACパッドは、4より小さい整数倍のオクテットの長さを有し、上記MAC層パッドは、上記1以上のパディングデリミタ及び上記MACパッドを含む項目13に記載の装置。

[項目 1 5]

上記1以上のパディングデリミタは、上記無線通信デバイスに、上記PHYフレームの残りの部分の受信を停止するように通知するフレーム終了フラグを含む項目14に記載の装置。

[項目 1 6]

上記プロセッサ電子回路は更に、ダブルワードパッドを、上記A-MPDUの上記最後の長さがゼロでないA-MPDUサブフレームに含め、上記MAC層パッドは、上記ダブルワードパッドを含む項目14に記載の装置。

[項目 1 7]

上記1以上のパディングデリミタは、MPDU長さが0でないことを示す項目14に記載の装置。

[項目 1 8]

上記プロセッサ電子回路は更に、上記MAC層パッドを、上記PHYフレームにおけるPHYテイルビットを除いた上記PHYフレームの最後の8ビット境界に到達させ、上記PHY層パッドの長さを8ビット未満に限定する項目13に記載の装置。

[項目 1 9]

上記プロセッサ電子回路は更に、上記MAC層パッドを、上記PHYフレームにおける

PHYテイルビットを除いた上記PHYフレームの最後の32ビット境界に到達させ、上記PHY層パッドの長さを32ビット未満に限定する項目13に記載の装置。

[項目20]

上記プロセッサ電子回路は更に、PHYテイルビットを、上記PHY層パッドの後に上記PHYフレームに含める項目13に記載の装置。

[項目21]

上記プロセッサ電子回路は更に、PHYテイルビットを、上記MAC層パッドの後に上記PHYフレームに含め、上記PHY層パッドは、上記PHYテイルビットの後に含まれる項目13に記載の装置。

[項目22]

上記プロセッサ電子回路は更に、MAC層において、上記1以上のMACデータユニット、及び、上記PHYフレームの最後のシンボル境界を超えて延びる上記MAC層パッドを生成し、PHY層において、PHY層における上記MAC層パッドの長さを、上記PHYフレームの上記最後のシンボル境界を超えて延びないように低減させる項目13に記載の装置。

[項目23]

上記プロセッサ電子回路は更に、複数の無線通信デバイスに対する上記データを受信し、上記データを並列に上記複数の無線通信デバイスに供給する空間的にステアリングされた複数のフレームを送信し、上記ステアリングされた複数のフレームのうちの1つは、上記1以上のMACデータユニット、上記MAC層パッド及び上記PHY層パッドを含み、上記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられており、上記長さは、上記ステアリングされた複数のフレームに共通の無指向性PHY信号フィールドによって通知される項目13に記載の装置。

[項目24]

無線通信信号を送受信する回路と、プロセッサ電子回路とを備えるシステムであって、上記プロセッサは、無線通信デバイスに送信するためのデータを取得し、上記データを内包する1以上の媒体アクセス制御(MAC)データユニットを物理(PHY)フレームに含め、上記PHYフレームに関するシンボルの数に基づいて、MAC層パッドの長さを決定し、上記MAC層パッドの長さが0より大きい場合に、上記1以上のMACデータユニットの後に、上記MAC層パッドを上記PHYフレームに含め、上記PHYフレームにおける残りの利用可能なビットに基づいて、PHY層パッドの長さを決定し、上記PHY層パッドの長さが0より大きい場合に、上記MAC層パッドの後に、上記PHY層パッドを上記PHYフレームに含めるシステム。

[項目25]

上記1以上のMACデータユニットは、集計MPDU(A-MPDU)における上記PHYフレームに含まれるMACプロトコルデータユニット(MPDU)であり、上記プロセッサ電子回路は更に、上記A-MPDUの最後の長さが0でないA-MPDUサブフレームの後に、それぞれが4オクテットの長さである1以上のパディングデリミタを含め、上記1以上のパディングデリミタの後にMACパッドを含め、上記MACパッドは、4より小さい整数倍のオクテットの長さを有し、上記MAC層パッドは、上記1以上のデリミタ及び上記MACパッドを含む項目24に記載のシステム。

[項目26]

上記1以上のパディングデリミタは、上記無線通信デバイスに、上記PHYフレームの残りの部分の受信を停止するように通知するフレーム終了フラグを含む項目25に記載のシステム。

[項目27]

上記プロセッサ電子回路は更に、複数の無線通信デバイスに対する上記データを受信し、上記データを並列に上記複数の無線通信デバイスに供給する空間的にステアリングされた複数のフレームを送信し、上記ステアリングされた複数のフレームのうちの1つは、上記1以上のMACデータユニット、上記MAC層パッド及び上記PHY層パッドを含み、

上記ステアリングされた複数のフレームの終端は、同じ長さを有するように揃えられており、上記長さは、上記ステアリングされた複数のフレームに共通の無指向性PHY信号フィールドによって通知される項目26に記載のシステム。