

公告本

申請日期	89.4.20
案 號	89107437
類 別	G11C 11/40, G06F 13/16, H04M 1/00

A4
C4

468184

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	半導體記憶體元件及電子裝置
	英 文	SEMICONDUCTOR MEMORY DEVICE AND ELECTRONIC APPARATUS
二、發明人	姓 名	(1) 船生明裕 (5) 田口真男 (2) 藤岡伸也 (6) 佐藤公昭 (3) 池田仁史 (7) 佐藤光徳 (4) 鈴木孝章 (8) 松崎康郎
	國 籍	日 本
三、申請人	住、居所	(1)~(8) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	秋草直之

裝

訂

線

468184

A6
B6

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權
1999,06,10 特願平11-163461

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

1.發明領域

本發明係關於一種半導體記憶體裝置，例如DRAM(動態隨機存取記憶體)，其需要再生才能保有資料，一種使用此種半導體記憶體裝置之電子裝置，以及一種半導體記憶體裝置其適合做為用於此種電子裝置用於儲存資料於其中之半導體記憶體裝置。

2.相關技術之說明

例如，雖然DRAM已經用做個人電腦、伺服器等之主要儲存記憶體，但隨著網際網路技術、行動電話技術等的進展，將大容量DRAM用於簡單終端機例如蜂巢式電話的紀元已經來臨。

目前，SRAM(靜態隨機存取記憶體)安裝於簡單終端機例如蜂巢式電話。但當DRAM用來替代SRAM時，或DRAM與SRAM一起使用時，需要考慮DRAM必須再生來保有資料，此點與SRAM不同。

因此，要求首先安裝於簡單終端機例如蜂巢式電話的DRAM為可容易藉控制器進行控制的DRAM；以及第二，要求簡單終端機例如蜂巢式電話於主電池組無效時或被移開時，因而主電池組供應的電力終止時，由於DRAM再生而造成對備用電池組消耗的電力儘可能減至最低。

發明概述

本發明係經由考慮前述各點設計，本發明之第一目的係提供一種半導體記憶體裝置用以進行保有資料的再生作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

業，及其藉控制器的控制簡單。本發明之第二目的係提供一種電子裝置其設置有半導體記憶體裝置可進行再生操作用以保留資料，及一控制器，以及其中半導體記憶體裝置藉控制器的控制簡單。本發明之第三目的係提供一種半導體記憶體裝置，因此容易執行由另一半導體記憶體裝置儲存資料於該半導體記憶體裝置。本發明之第四目的係提供一種半導體記憶體裝置因此容易儲存來自半導體記憶體裝置的資料。

根據本發明之第一特徵方面之半導體記憶體裝置，執行一種保持資料之再生作業，包含：

- 一記憶體部用以儲存資料於其中；以及
- 一忙碌信號輸出部可於再生作業期間輸出一忙碌信號。

當根據本發明之第一特徵方面之半導體記憶體裝置應用於一電子裝置之半導體記憶體裝置時，該裝置執行保持資料之再生作業，以及電子裝置包括該半導體記憶體裝置及一控制器可控制半導體記憶體裝置，由於控制器可辨識是否為再生作業時間，因此容易執行藉控制器控制半導體記憶體裝置。

根據本發明之第二特徵方面之電子裝置包含：

- 一半導體記憶體裝置其執行保持資料之再生作業及於再生作業期間輸出一忙碌信號；以及

- 一控制器控制半導體記憶體裝置且可接收忙碌信號。

當本發明之第二特徵方面應用至一電子裝置時，該電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

子裝置包括一半導體記憶體裝置執行保持資料之再生作業，及一控制器控制該半導體記憶體裝置，由於控制器容易辨識是否為半導體記憶體裝置再生作業時間，因此容易進行藉控制器控制半導體記憶體裝置。

根據本發明之第三特徵方面之一半導體記憶體裝置包含：

一自動寫入部其於外部指令執行自動寫入時，自動寫入資料至裝置之內部產生的位址；以及

一自動寫入指示信號輸出部，其輸出一自動寫入指示信號，其於自動寫入作業期間指示正在執行自動寫入。

根據本發明之第三方面，由於當外部指示執行自動寫入時，自動寫入部將資料自動寫入裝置內部產生的位址，因此當提供一種電子裝置時容易執行第一半導體記憶體裝置的資料儲存，該電子裝置包括第一半導體記憶體裝置之一控制器用以控制第一半導體記憶體裝置，且該電子裝置設置有一第二半導體記憶體裝置用於將儲存於第一半導體記憶體裝置的資料儲存於其中，本發明之第三特徵方面也可用於第二半導體記憶體裝置。

根據本發明之第四特徵方面之一種半導體記憶體裝置包含一自動讀取部，其包含：

一位址計數器，其產生一位址用於外部指示執行自動讀取時自動由裝置讀取資料；以及

一存取接受允許/拒絕信號接收部，其接收由資料傳送目的地輸出之一存取接受允許/拒絕信號且指示該目的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

訂

裝

訂

裝

訂

五、發明說明(4)

地是否同意接受存取，

其中當外部指示進行自動讀取時，自動讀取部由裝置自動讀取資料，以及存取接受允許/拒絕信號指示目的地同意接受存取。

根據本發明之第四方面，由於當外部指示進行自動讀取時，自動讀取部由裝置自動讀取資料，以及存取接受允許/拒絕信號指示資料傳送目的地同意接受存取，因此容易傳送資料至(儲存資料於)資料傳送目的地(資料儲存)目的地，當需要傳送資料(例如需要儲存資料)時，輸出存取接受允許/拒絕信號。其它本發明之目的及進一步特色由後文細節說明連同附圖研讀將顯然自明。

圖式之簡單說明

第1圖為電路圖顯示根據本發明之電子裝置之第一具體實施例之主要部份；

第2A，2B及2C圖為流程圖顯示第1圖所示DRAM及控制器之作業檢視；

第3圖為根據本發明之半導體記憶體裝置之第一具體實施例之主要部份；

第4圖為電路圖顯示第3圖所示再生控制電路、BUSY1輸出電路及再生計數器之配置；

第5圖為電路圖顯示第4圖所示Refz產生電路之配置；

第6A至6G圖顯示波形圖舉例說明第3圖所示再生控制電路、BUSY1輸出電路及再生計數器之作業之第一例；

第7A至7J圖顯示波形圖舉例說明第3圖所示再生控制

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

後

五、發明說明(5)

電路、BUSY1輸出電路及再生計數器之作業之第二例；

第8圖為電路圖顯示第3圖所示指令解碼器之配置；

第9圖為電路圖顯示第3圖所示位址輸入電路之配置；

第10A至10D圖顯示波形圖舉例說明第1圖所示控制器之作業例；

第11圖為電路圖顯示根據本發明之半導體記憶體裝置之第二具體實施例之主要部份；

第12圖為電路圖顯示第11圖所示指令解碼器之配置；

第13圖為電路圖顯示第11圖所示位址輸入電路之配置

；

第14A至14H圖顯示波形圖舉例說明根據本發明之半導體記憶體裝置之第二具體實施例之操作；

第15圖為電路圖顯示根據本發明之電子裝置之第二具體實施例之主要部份；

第16圖為電路圖顯示根據本發明之電子裝置之第三具體實施例之主要部份；

第17圖為電路圖顯示根據本發明之半導體記憶體裝置之第三具體實施例之主要部份；

第18圖為電路圖顯示第17圖所示資料暫存器及傳送閘之配置；

第19A及19B圖顯示波形圖用以比較根據本發明之半導體記憶體裝置之第三具體實施例之第一操作例與相關技術之DRAM操作例；

第20A及20B圖顯示波形圖用以比較根據本發明之半

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

後

五、發明說明(8)

第43A至43H圖顯示波形圖舉例說明當根據本發明之半導體記憶體裝置之第六具體實施例應用於第39圖所示電子裝置之DRAM時之另一操作例；

第44圖為電路圖顯示根據本發明之半導體記憶體裝置之第七具體實施例之主要部份；以及

第45圖為電路圖顯示根據本發明之半導體記憶體裝置之第八具體實施例之主要部份。

較佳具體實施例之詳細說明

參照第1至45圖，現在說明根據本發明之半導體記憶體裝置之第一至第八具體實施例，以及根據本發明之電子裝置之第一至第六具體實施例。

第1圖為電路圖顯示根據本發明之電子裝置之第一具體實施例之主要部份。如圖所示，本電子裝置包括DRAM 1，控制器2其控制DRAM 1及匯流排包括指令匯流排、位址匯流排、資料匯流排等。

DRAM 1係配置成可自行管理本身的再生，當再生時間到來時，輸出一忙碌信號BUSY1給BUSY1信號線4，經由內部電路產生再生位址，執行其再生；以及當再生完成時，取消忙碌信號BUSY1。

控制器2配置成可接收由DRAM 1輸出至BUSY1信號線4的忙碌信號BUSY1，以及當接收到忙碌信號BUSY1時，停止存取DRAM 1直到例如忙碌信號BUSY1被取消為止。

經由本案說明書，輸出忙碌信號BUSY1表示使忙碌

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

導體記憶體裝置之第三具體實施例之操作例；

第33圖為電路圖顯示根據本發明之電子裝置之第四具體實施例之主要部份；

第34圖為電路圖顯示根據本發明之半導體記憶體裝置之第四具體實施例之主要部份；

第35A至35G圖顯示波形圖舉例說明當根據本發明之半導體記憶體裝置之第四具體實施例應用於第33圖所示電子裝置之DRAM時之操作例；

第36圖為電路圖顯示根據本發明之電子裝置之第五具體實施例之主要部份；

第37圖為電路圖顯示根據本發明之半導體記憶體裝置之第五具體實施例之主要部份；

第38A至38I圖顯示波形圖舉例說明當根據本發明之半導體記憶體裝置之第五具體實施例應用於第36圖所示電子裝置之DRAM時之操作例；

第39圖為電路圖顯示根據本發明之電子裝置之第六具體實施例之主要部份；

第40圖為電路圖顯示第39圖所示BUSY2輸入電路、QS輸出電路、BUSY2輸出電路及QS輸入電路之配置；

第41圖為電路圖顯示根據本發明之半導體記憶體裝置之第六具體實施例之主要部份；

第42A至42G圖顯示波形圖舉例說明當根據本發明之半導體記憶體裝置之第六具體實施例應用於第39圖所示電子裝置之DRAM時之操作例；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

位

五、發明說明(9)

信號BUSY1具有L位準，以及取消忙碌信號BUSY1表示使忙碌信號BUSY1具有H位準。

第2A，2B及2C圖為時序圖顯示DRAM 1及控制器2之作業例。第2A圖顯示規劃成由控制器2輸出的指令，第2B圖顯示實際由控制器2輸出的指令，及第2C圖顯示由DRAM 1輸出的忙碌信號BUSY1。

換言之，本實例顯示一種案例，其中控制器2計畫循序輸出指令C1至C7，指令C1至C4被實際輸出，當指令C4輸出時，忙碌信號BUSY1由DRAM 1輸出。

此種情況下，由於當輸出忙碌信號BUSY1時DRAM 1已經輸入指令C4，故DRAM 1係於執行指令C4後才執行其再生，以及當完成再生時取消忙碌信號BUSY1。

他方面，當接收到忙碌信號BUSY1，控制器2停止輸出指令C5以及隨後各指令，停止存取DRAM 1，以及當忙碌信號BUSY1被取消時，控制器2循序輸出指令C5以及隨後各指令且重新開始存取DRAM 1。

如此，於根據本發明之電子裝置之第一具體實施例中，DRAM 1係配置成可自行管理其本身的再生，當再生時間到達時，輸出忙碌信號BUSY1至BUSY1信號線4，以及經由其內部電路產生再生位址且執行再生。如此，控制器2無須管理DRAM 1的再生。

進一步，控制器2由於接收到忙碌信號BUSY1可辨識DRAM 1的再生發生時間，以及停止存取DRAM 1。因而容易藉控制器2控制DRAM 1的存取。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

後

五、發明說明(9)

信號BUSY1具有L位準，以及取消忙碌信號BUSY1表示使忙碌信號BUSY1具有H位準。

第2A，2B及2C圖為時序圖顯示DRAM 1及控制器2之作業例。第2A圖顯示規劃成由控制器2輸出的指令，第2B圖顯示實際由控制器2輸出的指令，及第2C圖顯示由DRAM 1輸出的忙碌信號BUSY1。

換言之，本實例顯示一種案例，其中控制器2計畫循序輸出指令C1至C7，指令C1至C4被實際輸出，當指令C4輸出時，忙碌信號BUSY1由DRAM 1輸出。

此種情況下，由於當輸出忙碌信號BUSY1時DRAM 1已經輸入指令C4，故DRAM 1係於執行指令C4後才執行其再生，以及當完成再生時取消忙碌信號BUSY1。

他方面，當接收到忙碌信號BUSY1，控制器2停止輸出指令C5以及隨後各指令，停止存取DRAM 1，以及當忙碌信號BUSY1被取消時，控制器2循序輸出指令C5以及隨後各指令且重新開始存取DRAM 1。

如此，於根據本發明之電子裝置之第一具體實施例中，DRAM 1係配置成可自行管理其本身的再生，當再生時間到達時，輸出忙碌信號BUSY1至BUSY1信號線4，以及經由其內部電路產生再生位址且執行再生。如此，控制器2無須管理DRAM 1的再生。

進一步，控制器2由於接收到忙碌信號BUSY1可辨識DRAM 1的再生發生時間，以及停止存取DRAM 1。因而容易藉控制器2控制DRAM 1的存取。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

傳

五、發明說明(10)

因此，當根據本發明之電子裝置之第一具體實施例應用至簡單終端機，例如蜂巢式電話，以及需要被再生的DRAM係安裝於簡單終端機，例如蜂巢式電話時，容易進行藉控制器控制DRAM。

第3圖為根據本發明之半導體記憶體裝置之第一具體實施例之主要部份之電路圖。根據本發明之半導體記憶體裝置之第一具體實施例可用做第1圖顯示DRAM 1。

如第1圖所示，半導體記憶體裝置包括一指令解碼器5其由控制器輸入指令信號至其中且解碼該等指令信號；一位址輸入電路6其輸入位址信號A0至An，維持並輸入位址信號；及一資料輸入/輸出電路7執行寫入資料/讀取資料DQ0至DQn的輸入/輸出。

半導體記憶體裝置進一步包括一再生控制電路8其控制半導體記憶體裝置之再生，一BUSY1輸出電路9其係由再生控制電路8控制且輸出忙碌信號BUSY1，再生計數器10其係由再生控制電路8控制且輸出再生位址。

半導體記憶體裝置進一步包括記憶體區11-0及11-1稱做排組可藉排組位址信號選擇。排組11-0之電路配置係同排組11-1之電路配置。排組11-0包括記憶體區12-0至12-3稱做區塊。

區塊12-0至12-3各自具有相同電路配置。區塊12-0包括一記憶體晶胞陣列13其中排列記憶體晶胞，一列解碼器14其解碼列位址信號及選擇一字線，一感測放大器15其放大由記憶體晶胞陣列13讀取的資料，及一行解碼器16其解

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

後

五、發明說明 (11)

碼行位址信號以及選擇一行。

排組 11-0 進一步包括一資料匯流排 17 其係由區塊 12-0 至 12-3 所共用，寫入放大器/感測緩衝器 18 其設置由區塊 12-0 至 12-3 共用，及一控制電路 19 其控制排組 11-0。

排組 11-0 進一步包括一選擇器 20 其係由控制電路 19 控制以及選擇讀取/寫入資料時由位址輸入電路 6 輸出的列位址信號，以及於半導體記憶體裝置再生時選擇由再生計數器 10 輸出的再生位址，以及一位址門鎖電路 21 其維持及輸出由選擇器 20 輸出的位址信號。

第 4 圖為電路圖顯示再生控制電路 8、BUSY1 輸出電路 9 及再生計數器 10 之配置。內部指令信號 Com 係由於外部指令信號解碼獲得。控制電路 23 涵括於排組 11-1。RAS 主動化信號主動化 RAS 電路。於根據本發明之半導體記憶體裝置之第一具體實施例中，以排組 11-0，11-1 之交替順序對各列位址執行再生。

進一步，再生控制電路 8 包括一 Refl 產生電路，其產生再生控制信號 Refl，其定期通知半導體記憶體裝置之再生時間。另外，半導體記憶體裝置之再生時間管理可由安裝於根據本發明之半導體記憶體裝置之第一具體實施例之振盪器進行，時間係使用振盪器的輸出測量。進一步另外，半導體記憶體裝置之再生時間管理可使用由設置於電子裝置之晶體振盪器等發出的時脈信號測得的時間進行，該電子裝置係使用根據本發明之半導體記憶體裝置之第一具體實施例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(12)

再生控制電路8進一步包括Refz產生電路25，其產生再生控制信號Refz用以延遲再生計數器10之作業起點至指令被執行為止，用以於控制器輸出忙碌信號BUSY1及輸出指令同時進行時對指令的執行提供優先順序。

再生控制電路8進一步包括NAND電路26，其係根據NAND方式處理來自指令解碼器5之內部指令信號Com及再生控制信號Ref1；及一NMOS電晶體27之導通或斷開係由NAND電路26之輸出S26控制。

再生控制電路8進一步包括一NOR電路28，其係根據NOR方式處理透過NMOS電晶體27提供的再生控制信號Ref1及再生控制信號Refz；及一反相器29其反相NOR電路28之輸出且輸出再生控制信號REF。

再生計數器10包括計數器30其係使用再生控制信號REF做為觸發信號開始計數作業且輸出再生位址；及NAND電路31其係根據NAND方式處理計數器30的輸出；及一反相器32其反相NAND電路31的輸出且輸出一再生結束信號Ref-end通知再生的結束。

BUSY1輸出電路9包括一RS正反電路33將再生控制信號Ref1輸入其中做為設定信號及再生結束信號Ref-end輸入其中做為復置信號；及一反相器34其反相RS正反電路33之正相位輸出Q及輸出忙碌信號BUSY1。

第5圖為電路圖顯示Refz產生電路25之配置。Refz產生電路25包括NAND電路36及37其形成正反電路，及反相與延遲電路38其反相且延遲NAND電路36的輸出。反相與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

冷

五、發明說明 (13)

延遲電路38包括反相器39，電阻器40及電容器41。Refz產生電路25進一步包括NOR電路42，其係根據NOR方式處理NAND電路36的輸出及反相與延遲電路38的輸出，且輸出再生控制信號Refz。

第6A至6G圖顯示波形圖舉例說明再生控制電路8、BUSY1輸出電路9及再生計數器10之第一操作例。第6A圖顯示由控制器輸出的指令，第6B圖顯示再生控制信號Ref1，第6C圖顯示忙碌信號BUSY1，第6D圖顯示內部指令信號Com，第6E圖顯示RAS主動化信號RASz，第6F圖顯示再生控制信號REF及第6G圖顯示計數器30。

第6A至6G圖顯示當無指令由控制器輸出時再生控制信號Ref1由Ref1產生電路24輸出之案例(再生控制信號Ref1具有H位準)。

此種情況下，首先藉再生控制信號Ref1設定復置RS正反電路33，RS正反電路33之正相位輸出Q具有H位準，以及輸出忙碌信號BUSY1(忙碌信號BUSY1具有L位準)。

進一步於此例中，內部指令信號Com具有L位準，NAND電路26之輸出S26具有H位準，NMOS電晶體27被導通以及RAS主動化電路RASz具有L位準。於Refz產生電路25，NAND電路37之輸出具有H位準，NAND電路36之輸出具有L位準，反相與延遲電路38之輸出具有H位準，以及再生控制信號Refz具有L位準。

結果，由Ref1產生電路24輸出的再生控制信號Ref1透過NMOS電晶體27供給NOR電路28。但，因NOR電路28係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

做為再生控制信號Ref1之反相器，故再生控制信號Ref1輸出做為再生控制信號REF且啟動計數器30。

換言之，當無指令由控制器輸出而再生控制信號Ref1由Ref1產生電路24輸出之例中，恰於忙碌信號BUSY1變成具有L位準後即刻由計數器30輸出再生位址，且執行半導體記憶體裝置之再生。

然後，於全部再生位址皆輸出以及全部計數器30之輸出皆具有H位準後，NAND電路31之輸出變成具有L位準，再生結束信號Ref-end變成具有H位準，RS正反電路33被復置，RS正反電路33之正相位輸出Q變成具有L位準，忙碌信號BUSY1具有H位準，如此，忙碌信號BUSY1被取消。

第7A至7J圖顯示波形圖舉例說明再生控制電路8、BUSY1輸出電路9及再生計數器10之第二操作例。第7A圖顯示計畫由控制器輸出的指令，第7B圖顯示實際由控制器輸出的指令，第7C圖顯示再生控制信號Ref1，第7D圖顯示忙碌信號BUSY1，第7E顯示內部指令信號Com，第7F圖顯示RAS主動化信號RASz，第7G圖顯示NAND電路26之輸出S26，第7H圖顯示再生控制信號Refz，第7I圖顯示再生控制信號REF及第7J圖顯示計數器30之輸出。

第7A至7J圖顯示同時進行由控制器輸入指令及輸出再生控制信號Ref1之案例。特別，於指令C1，C2及C3規劃成由控制器循序輸出之例中，指令C1的輸入與再生控制信號Ref1之輸出係同時進行。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

位

五、發明說明 (15)

此例中，首先藉再生控制信號Ref1設定復置RS正反電路33，RS正反電路33之正相位輸出Q具有H位準，以及輸出忙碌信號BUSY1(忙碌信號BUSY1變成具有L位準)。

進一步於此例中，內部指令信號Com變成具有H位準，NAND電路之輸出變成具有L位準，及NMOS電晶體27斷開。因此，再生控制信號Ref1未供給NOR電路26。

然後，當再生控制信號Ref1變成具有L位準時，NAND電路26之輸出變成具有H位準，NMOS電晶體27被導通，NOR電路28做為再生控制信號Refz的反相器。此種情況下，輸出再生控制信號Refz做為再生控制信號REF。

進一步，由於內部指令信號Com具有H位準以及NAND電路26之輸出S26具有L位準，NAND電路36之輸出具有H位準，再生控制信號Refz具有L位準，則反相與延遲電路38之輸出具有H位準，以及再生控制信號Refz之L位準維持於Refz產生電路25。

進一步，由於內部指令信號Com具有H位準，結果RAS主動化信號RASz變成具有H位準。

但當指令C1之執行完成時，RAS主動化信號RASz變成具有L位準。結果，NAND電路37之輸出變成具有H位準，NAND電路36之輸出變成具有L位準，再生控制信號Refz變成具有H位準，則反相與延遲電路38之輸出變成具有H位準，因此於Refz產生電路25再生控制信號Refz變成具有L位準。

如此，當同時進行指令C1的輸入與再生控制信號Ref1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

訂

裝

訂

五、發明說明 (16)

的輸出時，忙碌信號BUSY1變成具有L位準。但，再生位址係於指令C1完成執行後由計數器30輸出且進行再生。

然後，於全部再生位址皆輸出以及全部計數器30的輸出變成具有H位準後，NAND電路31的輸出變成具有L位準，再生結束信號Ref-end變成具有H位準，RS正反電路33由再生結束信號Ref-end復置，RS正反電路33之正相位輸出Q變成具有L位準，忙碌信號BUSY1變成具有H位準，如此取消忙碌信號BUSY1。

因此於根據本發明之半導體記憶體裝置之第一具體實施例中，當來自控制器之指令的輸入與再生控制信號Ref1的輸出係同時進行時，對指令的執行給予優先，而半導體記憶體裝置之再生係於指令執行之後進行。

第8圖為電路圖顯示指令解碼器5之配置。如該圖所示，指令解碼器5包括一輸入緩衝器44其使來自控制器的指令信號進行緩衝，及一反相器45其反相忙碌信號BUSY1。

指令解碼器5進一步包括傳輸閘46-0, ..., 46-m其控制由輸入緩衝器44輸出的指令的傳輸。傳輸閘46-0, ..., 46-m包括NMOS電晶體47-0, ..., 47-m，其導通、斷開係由忙碌信號BUSY1控制；以及PMOS電晶體48-0, ..., 48-m，其導通、斷開係由反相器45之輸出控制。設置於傳輸閘46-0, ..., 46-m間之傳輸閘46-0, ..., 46-(m-1)未顯示於該圖。

當忙碌信號BUSY1具有H位準時，傳輸閘46-0, ...,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

位

五、發明說明 (17)

46-m被導通，而當忙碌信號BUSY1具有L位準時被斷開。如此，當於半導體記憶體裝置之再生期間一指令由控制器輸出時，該指令信號未被帶入。

指令解碼器5進一步包括一控制解碼器49，其解碼由輸入緩衝器44透過傳輸閘46-0，...，46-m供給的指令信號，且輸出內部指令信號Com。

第9圖為電路圖顯示位址輸入電路6之配置。如該圖所示，位址輸入電路6包括輸入緩衝器51其使來自控制器的位址信號A0至An進行緩衝，以及一反相器52其反相忙碌信號BUSY1。

位址輸入電路6進一步包括傳輸閘53-0，...，53-n其控制由輸入緩衝器51輸出的位址信號A0至An之傳輸。傳輸閘53-0，...，53-n包括NMOS電晶體54-0，...，54-n，其導通、斷開係由忙碌信號BUSY1控制，以及PMOS電晶體55-0，...，55-n，其導通、斷開係由反相器52之輸出控制。設置於傳輸閘53-0，...，53-n間之傳輸閘53-1，...，53-(n-1)未顯示於該圖。

當忙碌信號BUSY1具有H位準時，傳輸閘53-0，...，53-n被導通，而當忙碌信號BUSY1具有L位準時被斷開。因此，於半導體記憶體裝置之再生期間當位址信號A0至An係由控制器輸出時，位址信號A0至An未被帶入。位址輸入電路6進一步包括位址門鎖電路56其維持及輸出由輸入緩衝器51透過傳輸閘53-0，...，53-n供給的位址信號A0至An。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

46

五、發明說明 (18)

如此，於根據本發明之半導體記憶體裝置之第一具體實施例中，半導體記憶體裝置之再生係由再生控制電路6管理。然後，當到達半導體記憶體裝置之再生時間且無指令正在接受處理時，半導體記憶體裝置之再生可基於由再生計數器10即刻輸出的再生位址執行。當到達半導體記憶體裝置之再生時間但有指令正在接受處理時，半導體記憶體裝置的再生可基於指令執行後由再生計數器10輸出的再生位址進行。如此，控制器無須管理半導體記憶體裝置的再生。

進一步，於根據本發明之半導體記憶體裝置之第一具體實施例中，當到達半導體記憶體裝置之再生時間時，忙碌信號BUSY1由BUSY1輸出電路9輸出。因此，由於接收忙碌信號BUSY1的結果，控制器可辨識半導體記憶體裝置之再生時間到達。如此，容易藉控制器控制半導體記憶體裝置的存取。

進一步，於根據本發明之半導體記憶體裝置之第一具體實施例中，當同時執行由控制器輸入指令及輸出忙碌信號BUSY1時，指令的執行具有優先地位。因此，當同時由控制器輸入指令以及輸出忙碌信號BUSY1時，控制器無須再度輸出相同指令。如此，就此意義而言，容易藉控制器控制半導體記憶體裝置的存取。

於根據本發明之半導體記憶體裝置之第一具體實施例中，指令解碼器5係控制為不會帶入任何指令，而位址輸入電路6係控制為當忙碌信號BUSY1正在輸出時不會帶入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

訂

裝

訂

五、發明說明 (19)

任何位址信號。因此，當忙碌信號BUSY1正在輸出時，控制器可重覆輸出相同指令而不會由半導體記憶體裝置帶入，如第10A至10D圖所示。第10A圖顯示由控制器輸出的指令，第10B圖顯示再生控制信號Ref1，第10C圖顯示忙碌信號BUSY1及第10D圖顯示內部指令信號Com。

第11圖為電路圖顯示根據本發明之半導體記憶體裝置之第二具體實施例之主要部份。根據本發明之半導體記憶體裝置之第二具體實施例也可用做為第1圖所示DRAM 1。

根據本發明之半導體記憶體裝置之第二具體實施例包括第11圖所示BUSY1a產生電路58及BUSY1b產生電路59，其未涵括於第3圖所示根據本發明之半導體記憶體裝置之第一具體實施例；以及包括一指令解碼器60及一位址輸入電路61，其電路配置係與涵括於第3圖所示根據本發明之半導體記憶體裝置之第一具體實施例之指令解碼器5及位址輸入電路6之電路配置不同。除了該等特點外，根據本發明之半導體記憶體裝置之第二具體實施例具有與第3圖所示根據本發明之半導體記憶體裝置之第一具體實施例之相同配置。

BUSY1b產生電路59輸入忙碌信號BUSY1於其中，以及輸出忙碌信號BUSY1b。如第14E圖所示，當忙碌信號BUSY1的位準由L位準改成H位準時，忙碌信號BUSY1b由H位準改成L位準；以及於經過一段固定時間後，忙碌信號BUSY1b之位準改成H位準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

位

五、發明說明 (20)

BUSY1a產生電路58輸入忙碌信號BUSY1及BUSY1b於其中，以及輸出忙碌信號BUSY1a。如第14D圖所示，當忙碌信號BUSY1的位準由H位準改成L位準時，忙碌信號BUSY1a位準由H位準改成L位準；以及當忙碌信號BUSY1b位準由L位準改成H位準時，忙碌信號BUSY1a位準由L位準改成H位準。

第12圖為電路圖顯示指令解碼器60之配置。如圖所示，指令解碼器60包括輸入緩衝器63其使來自控制器的指令信號進行緩衝，控制解碼器64解碼由輸入緩衝器63輸出的指令信號且輸出內部指令信號Com，及一暫存器65其暫時儲存指令。

指令解碼器60進一步包括一轉換開關電路66，其操作係由忙碌信號BUSY1a控制。當忙碌信號BUSY1a具有H位準時，轉換開關電路66發送由輸入緩衝器63輸出的指令信號給控制解碼器64。當忙碌信號BUSY1a具有L位準時，轉換開關電路66發送由輸入緩衝器63輸出的指令信號給暫存器65。

指令解碼器60進一步包括連結開關電路67，其操作係由忙碌信號BUSY1b控制。當忙碌信號BUSY1b具有L位準時，連結開關電路67被導通且提供暫時儲存於暫存器65的指令信號給控制解碼器64。當忙碌信號BUSY1b具有H位準時，連結開關電路67斷開。

第13圖電路圖顯示位址輸入電路61之配置。如該圖所示，位址輸入電路61包括輸入緩衝器69其使來自控制器的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (21)

位址信號A0至An進行緩衝，位址門鎖電路70其維持及輸出位址信號A0至An，以及暫存器71其暫時儲存位址信號A0至An。

位址輸入電路61進一步包括轉換開關電路72，其操作係由忙碌信號BUSY1a控制。當忙碌信號BUSY1a具有H位準時，轉換開關電路72傳輸由輸入緩衝器69輸出的位址信號A0至An至位址門鎖電路70。當忙碌信號BUSY1a具有L位準時，轉換開關電路72發送由輸入緩衝器69輸出的位址信號A0至An給暫存器71。

位址輸入電路61進一步包括一連結開關電路73，其操作係由忙碌信號BUSY1b控制。當忙碌信號BUSY1b具有L位準時，連結開關電路73被導通且提供暫時儲存於暫存器71的位址信號A0至An給位址門鎖電路70。當忙碌信號BUSY1b具有H位準時，連結開關電路73被斷開。

第14A至14H圖顯示波形圖舉例說明根據本發明之半導體記憶體裝置之第二具體實施例之作業。第14A圖顯示由控制器輸出的指令，第14B圖顯示再生控制信號Ref1，第14C圖顯示忙碌信號BUSY1，第14D圖顯示忙碌信號BUSY1a，第14E圖顯示忙碌信號BUSY1b，第14F圖顯示指令解碼器60之輸入緩衝器63的輸出，第14G圖顯示指令解碼器60之暫存器65之輸出，以及第14H圖顯示RAS主動化信號RASz。

第14A至14H圖顯示一例其中於指令C1由控制器輸出後，再生控制信號Ref1由再生控制電路8之Ref1產生電路24

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

位

五、發明說明 (22)

輸出，響應於此，忙碌信號BUSY1由BUSY1輸出電路9輸出，然後，指令C2係於指令C1之後由控制器輸出。

此種情況下，指令C1透過指令解碼器60的輸入緩衝器63及轉換開關電路66傳送給控制解碼器64，且執行指令C1。

進一步，如第14B圖所示，由於再生控制信號Ref1正由再生控制電路8之Ref1產生電路24輸出，結果忙碌信號BUSY1由BUSY1輸出電路9輸出(使BUSY1信號具有L位準)，如第14C圖所示，於指令C1執行後執行半導體記憶體裝置之再生。

他方面，響應進來的忙碌信號BUSY1具有L位準，忙碌信號BUSY1a之位址由H位準改成L位準，以及由控制器輸出的指令C2透過指令解碼器60的輸入緩衝器63及轉換開關電路66暫時儲存於暫存器65。

然後，當半導體記憶體裝置之再生結束時，忙碌信號BUSY1位址由L位準改成H位準(忙碌信號BUSY1被取消)，響應於此，忙碌信號BUSY1b之位準由H位準改成L位準，以及暫時儲存於暫存器65之指令C2透過連結開關電路67供給控制解碼器64且執行指令C2。

如此，於根據本發明之半導體記憶體裝置之第二具體實施例中，半導體記憶體裝置之再生係由再生控制電路8管理。然後，當到達半導體記憶體裝置之再生時間且無指令正在接受處理時，可基於由再生計數器10即刻輸出的再生位址進行半導體記憶體裝置的再生。當半導體記憶體裝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

備

五、發明說明 (23)

置的再生時間到來但無指令正在執行時，半導體記憶體裝置之再生可於指令執行後基於由再生計數器10輸出的再生位址執行。如此，無須控制器來管理半導體記憶體裝置的再生。

進一步，於根據本發明之半導體記憶體裝置之第二具體實施例中，當半導體記憶體裝置之再生時間到來時，忙碌信號BUSY1由BUSY1輸出電路9輸出。但半導體記憶體裝置可於正在執行再生時接受指令信號及位址信號。如此，即使正在進行半導體記憶體裝置的再生，控制器仍可存取半導體記憶體裝置，如此，可有效執行作業。

第15圖為電路圖顯示根據本發明之電子裝置之第二具體實施例之主要部份。本電子裝置包括一控制器75，其電路配置係與第1圖所示根據本發明之電子裝置之第一具體實施例之控制器2的電路配置不同。除此點外，根據本發明之電子裝置之第二具體實施例具有與根據本發明之電子裝置之第一具體實施例之相同配置。

控制器75包括再生計數器76，其係同涵括於DRAM 1的再生計數器10(第3圖所示根據本發明之半導體記憶體裝置之第一具體實施例，第11圖所示根據本發明之半導體記憶體裝置之第二具體實施例等)。每次接收到來自DRAM 1的忙碌信號BUSY1時，控制器75啟動再生計數器76，且辨識DRAM 1的再生位址。

當第3圖所示根據本發明之半導體記憶體裝置之第一具體實施例或第11圖所示根據本發明之半導體記憶體裝置

五、發明說明 (24)

之第二具體實施例用做DRAM 1(舉例)時，由於分別致能排組11-0及11-1操作，以及當進行一排組的再生時，致能於另一排組進行讀/寫操作，故控制器75可避免存取正在接受再生的排組，反而存取另一排組。

如此，於根據本發明之電子裝置之第二具體實施例中，不僅可獲得第1圖所示根據本發明之電子裝置之第一具體實施例之相同功能及優點，同時控制器75可存取正在再生的排組以外的排組。結果可進行有效操作。

第16圖為電路圖顯示根據本發明之電子裝置之第三具體實施例之主要部份。如圖所示，本電子裝置包括一DRAM 78，一控制器79其控制DRAM 78，及匯流排80例如一指令匯流排、一位址匯流排、一資料匯流排等。

DRAM 78配置成可自行管理本身的再生，當本身再生時間到來時，於內部產生再生位置且開始本身的再生，當進行本身再生時指令由控制器79輸出，將此指令輸入其中，於本身再生期間儲存記憶體晶胞輸出的資料至預定內部電路之位元線，及中斷其再生，執行輸入指令，然後於將儲存的資料送返位元線後重新啟動其再生。

根據本發明之電子裝置之第三具體實施例中，DRAM 78配置成可自行管理其本身的再生，當本身再生時間到來時，於內部產生再生位址且進行再生。因此，控制器79無須管理DRAM 78的再生。

進一步，DRAM 78係配置成於控制器79再生期間，當指令由控制器79輸出時，中斷其本身的再生，執行由控

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

五、發明說明 (25)

制器79輸出的指令以及然後重新起動其本身的再生。如此，控制器79可存取DRAM 78而無須判定DRAM 78是否正在再生。

如此，即使根據本發明之電子裝置之第三具體實施例應用至簡單終端機，例如蜂巢式電話，以及需要再生的DRAM係安裝於簡單終端機，例如蜂巢式電話，仍可容易進行藉控制器控制DRAM。

第17圖為電路圖顯示根據本發明之半導體記憶體裝置之第三具體實施例之主要部份。本半導體記憶體裝置可用做第16圖所示DRAM 78。

如第17圖所示，半導體記憶體裝置包括一指令解碼器82其解碼來自一控制器的指令信號，一位址輸入電路83其輸入來自控制器的位址信號A0至An至其中，及一資料輸入/輸出電路84執行寫入資料/讀取資料DQ0至DQn的輸入/輸出。

半導體記憶體裝置進一步包括一再生控制電路85其控制半導體記憶體裝置的再生以及定期輸出一再生控制信號REF，一再生計數器86其使用再生控制信號REF做為促發信號且輸出一再生位址，及一比較器87其比較由位址輸入電路83輸出的列位址與再生計數器86輸出的再生位址。

半導體記憶體裝置進一步包括可由排組位址信號選擇的排組88-0及88-1。排組88-0之電路配置同排組88-1。排組88-0包括區塊89-0至89-3。區塊89-0至89-3具有相同的電路配置。區塊89-0包括一記憶體晶胞陣列90，一列解碼

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

位

五、發明說明 (26)

器91，一感測放大器92，及一行解碼器93。

區塊89-0進一步包括資料暫存器94用於暫時儲存資料於其中，該資料係於半導體記憶體裝置再生期間被讀取至位元線的資料，一傳送閘95用以連結於位元線與資料暫存器94間，以及一傳送閘信號產生電路96其控制傳送閘95的導通、斷開。

排組88-0進一步包括一資料匯流排97其係由區塊89-0至89-3共用，寫入放大器/感測緩衝器98其係由區塊89-0至89-3共用，以及一控制電路99其控制排組88-0。

排組88-0進一步包括一選擇器100其選擇於讀寫資料時由位址輸入電路83輸出的列位址信號，以及於半導體記憶體裝置再生時選擇由再生計數器86輸出的再生位址，及一位址門鎖電路101其維持且輸出由選擇器100輸出的位址信號。

第18圖為電路圖顯示資料暫存器94及傳送閘95之配置。如該圖所示，位元線BL0，/BL0，...，BLx及/BLx連結至傳送閘95。資料暫存器94包括正反電路103-0，...，103-x，其分別包括反相器104-0，105-0，...，及104-x及105-x。傳送閘95包括NMOS電晶體106-0，107-0，...，106-x及107-x，其各自之導通及斷開係由傳送閘信號控制。

第19及20圖顯示波形圖用以比較根據本發明之半導體記憶體裝置之第三具體實施例之第一及第二操作例與相關技術之DRAM之操作例。第19A及20A圖顯示相關技術之DRAM例，第19B圖顯示根據本發明之半導體記憶體裝置

五、發明說明 (27)

之第三具體實施例之第一操作例，以及第20B圖顯示根據本發明之半導體記憶體裝置之第三具體實施例之第二操作例。

此等操作例顯示一種情況此處由字線WL1選擇的記憶體晶胞係於由字線WL選定的記憶體晶胞再生期間被存取。一相關技術為例，因於字線WL0選定的記憶體晶胞再生期間無法於由字線WL1選定的記憶體晶胞上進行讀/寫作業，故於字線WL1選定的記憶體晶胞執行讀/寫作業可於由字線WL0選定的記憶體晶胞再生完成後執行，如第19A及20A圖所示。

於此相反，於根據本發明之半導體記憶體裝置之第三具體實施例之第一操作例中，當由字線WL0選定的記憶體晶胞開始再生時，於位元線BL與/BL間的電壓利用感測放大器增高期間，使傳送閘信號具有H位準，傳送閘95被導通，記憶體晶胞輸出至位元線BL及/BL之資料D0被儲存於資料暫存器94，字線WL0變成未被選定，又傳送閘信號變成具有L位準，如第19B圖所示。

然後，字線WL1被選定及進行讀/寫作業。當字線WL1變成未被選定且讀/寫操作完成時，傳送閘信號變成具有H位準，傳送閘95被導通，儲存於資料暫存器94的資料被傳送至位元線BL及/BL；然後字線WL0再度被選定，由字線WL0選定的記憶體晶胞重新開始再生。

一根據本發明之半導體記憶體裝置之第三具體實施例之第二操作例為例，當字線WL0選定的記憶體晶胞開始再

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

46

五、發明說明 (28)

生時，於位元線BL與/BL間之電壓利用感測放大器升高前，使傳送閘信號具有H位準，換言之，於位元線BL與/BL間之電壓利用記憶體晶胞出現的階段，傳送閘95被導通，輸出至位元線BL及/BL之記憶體晶胞資料D0被儲存於資料暫存器94，傳送閘信號變成具有L位準，字線WL0變成未被選定，如第20B圖所示。

然後，字線WL1被選定，且進行讀/寫作業。隨後，當字線WL1變成未被選定且讀/寫作業完成時，傳送閘信號變成具有H位準，傳送閘95被導通，儲存於資料暫存器94資料被傳送至位元線BL及/BL，及字線WL0再度被選定，由字線WL0選定的記憶體晶胞之再生重新被啟動。於根據本發明之半導體記憶體裝置之第三具體實施例之第二操作例中，比較根據本發明之半導體記憶體裝置之第三具體實施例之第一操作例，透過字線WL1之讀/寫作業以高速進行。

如此，於根據本發明之半導體記憶體裝置之第三具體實施例，當於半導體記憶體裝置再生期間出現外部存取時，半導體記憶體裝置之再生係以二步驟進行，換言之，一再生步驟1及一再生步驟2。於再生步驟1中，再生期間位元線BL及/BL資料被儲存於資料暫存器94。於再生步驟2，於完成基於外部存取執行指令後，儲存於資料暫存器94的資料被移送至位元線BL及/BL，且重新啟動再生。

第21圖為時序圖顯示根據本發明之半導體記憶體裝置之第三具體實施例之第三操作例。於根據本發明之半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

五、發明說明 (29)

記憶體裝置之第三具體實施例之第三操作例中，介於再生步驟1與再生步驟2間，循序選擇複數字線，以及於由此等複數字線選定的記憶體晶胞執行讀取或寫入作業。

第22圖顯示波形圖舉例說明根據本發明之半導體記憶體裝置之第三具體實施例之第四操作例，以及顯示一種案例其中經由字線WL0之再生記憶體晶胞期間未發生外部接取。本例中，再生係於循序進行再生步驟1及再生步驟2期間進行。此種情況下，較佳未於再生步驟2進行傳送閘的導通。

第23A及23B圖為時序圖顯示根據本發明之半導體記憶體裝置之第三具體實施例之第五操作例及第六操作例。第23A圖顯示第五操作例及第23B圖顯示第六操作例。

根據本發明之半導體記憶體裝置之第三具體實施例之第五操作例為其中當字線WL0被選定用於再生對應記憶體晶胞時，藉控制器進行字線WL0之存取的操作例。本例中，再生步驟1及再生步驟2係連續進行，第二再生步驟2接著為於字線WL0選定的記憶體晶胞進行讀取或寫入作業。

由於比較器87比較位址輸入電路83輸出的列位址與再生計數器86輸出的再生位址，結果當位址輸入電路83輸出的列位址重合再生計數器86輸出的再生位址時執行此等操作。經由前述根據本發明之半導體記憶體裝置之第三具體實施例之第五操作例，當控制器存取對應字線時可於正在被再生的記憶體晶胞讀取資料或寫入資料。

根據本發明之半導體記憶體裝置之第三具體實施例之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

位

五、發明說明 (30)

第六操作例為一種操作例，其中當字線WL0被選擇用於再生對應記憶體晶胞時，連續由控制器進行字線WL1的存取及字線WL0的存取。本例中，於執行再生步驟1後，進行由字線WL1選定的記憶體晶胞之讀取或寫入操作，以及然後連續進行再生步驟2，第二再生步驟2之後接著於字線WL0選定的記憶體晶胞進行讀取或寫入作業。

又經由比較器87比較由位址輸入電路83輸出的列位址與再生計數器86輸出的再生位址所得結果，當位址輸入電路83輸出的列位址重合再生計數器86輸出的再生位址時，也進行此等操作。經由根據本發明之半導體記憶體裝置之第三具體實施例之第六操作例，當控制器存取對應字線時可於正在被再生的記憶體晶胞讀取資料或寫入資料。

第24圖顯示波形圖舉例說明根據本發明之半導體記憶體裝置之第三具體實施例之第七操作例。本例中，於記憶體晶胞再生開始的早期，決定完成資料傳送至資料暫存器94所需的時間長度決定做為再生中斷禁止時間，以及決定隨後的時間做為再生中斷允許時間。然後，於再生中斷後執行讀或寫作業需要的前置充電時間根據再生中斷時間調整。

換言之，如第25圖所示，可於任何時間(例如P1，P2，P3)中斷再生，直到再生中斷抑制時間後啟動前置充電為止。但，再生中斷後所需前置充電時間長度依據位元線間開放寬度決定，換言之，再生被中斷的時間。

例如，前置充電所需時間係以下述順序逐漸變長；再

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

46

五、發明說明 (31)

生於P1已經中斷之例，再生於P2已經中斷之例，再生於P3已經中斷之例，以及再生未曾中斷之例。

如此，再生愈早被中斷，則前置作業需要的時間長度愈短，藉此，接著為再生中斷，可較早開始隨後的讀或寫作業。較佳提供一前置充電信號產生電路而完成此項目的。

第26圖為電路圖顯示前置充電信號產生電路之配置。如附圖所示，前置充電信號產生電路包括NAND電路109及110其形成正反電路，反相器111及112，以及一前置充電時間控制電路113其控制前置充電信號長度，亦即前置充電時間長度。

第27圖為電路圖顯示前置充電時間控制電路113之配置。如附圖所示，前置充電時間控制電路113包括一可變延遲電路115，及一延遲時間控制電路116，其輸出延遲時間控制信號SD1至SD4用以控制可變延遲電路115的延遲時間。延遲電路115包括反相器117及118，NMOS電晶體119至122，其導通、斷開係藉延遲時間控制信號SD1至SD4控制，以及電容器123至126。

第28圖為電路圖顯示延遲時間控制電路116之配置。如圖所示，延遲時間控制電路116包括一復置信號產生電路128其輸入RAS主動化信號RASz及輸出一復置信號S1，以及一再生時間測量信號產生電路129其於再生中斷禁止時間輸入一再生中斷禁止信號K1具有H位準及內部指令信號Com於其中，以及產生一再生時間測量信號S3。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (32)

延遲時間控制電路116進一步包括延遲電路130至133，其包括反相器134至141，及電容器142至145。延遲電路130至133各別的延遲時間係設定為延遲電路130至133之各別延遲時間的總和係等於再生中斷允許時間。

進一步於第28圖，反相器146反相再生時間測量信號S3。傳送閘147至150係由PMOS電晶體及NMOS電晶體組成。當再生時間測量信號S3具有H位準及反相器146輸出具有L位準時此等傳送器閘被導通。當再生時間測量信號S3具有L位準及反相器146輸出具有H位準時，此等傳送器閘被斷開。

進一步，門鎖電路151至154分別維持及輸出延遲電路130至133的輸出SD11至SD14。反相器155至158反相門鎖電路151至154輸出且輸出延遲時間控制信號SD1至SD4。

PMOS電晶體159至162復置門鎖電路151至154，電晶體159至162的導通、斷開係由復置信號S1控制，當復置信號S1具有L位準時電晶體159至162被導通，但當復置信號S1具有H位準時被斷開。

第29圖為電路圖顯示復置信號產生電路128之配置。該圖中，反相器164至166形成一反相與延遲電路其反相及延遲RAS主動化信號RASz。NAND電路167以NAND方式處理RAS主動化信號RASz及反相器166的輸出，且輸出復置信號S1。

第30圖為電路圖顯示再生時間測量信號產生電路129之配置。該圖中，反相器170至172形成反相與延遲電路，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

位

五、發明說明 (33)

其反相且延遲再生中斷禁止信號K1。NOR電路173根據NOR方式處理再生中斷禁止信號K1及反相器172的輸出。NOR電路174及175形成正反電路，其輸入NOR電路173的輸出及內部指令信號Com於其中。反相器176反相NOR電路174的輸出且輸出再生時間測量信號S3。

第31A至31J圖顯示波形圖舉例說明延遲時間控制電路116的作業。第31A圖顯示RAS主動化信號RASz，第31B圖顯示復置信號S1，第31C圖顯示再生中斷禁止信號K1，第31D圖顯示再生時間測量信號產生電路129及NOR電路173之輸出S2，第31E圖顯示內部指令信號Com，第31F圖顯示再生時間測量信號S3，第31G圖顯示延遲電路130之輸出SD11，第31H圖顯示延遲電路131之輸出SD12，第31I圖顯示延遲電路132之輸出SD13，以及第31J圖顯示延遲電路133之輸出SD14。

當RAS主動化信號RASz由L位準升高至H位準俾進行再生時，具有L位準之復置信號S1由復置信號產生電路128輸出，PMOS電晶體159至162被導通，閃鎖電路151至154之輸出被變成具有L位準，以及延遲時間控制信號SD1至SD4變成具有H位準。

進一步，於再生中斷禁止期間，輸出具有H位準的再生中斷禁止信號K1，再生時間測量信號產生電路129之NOR電路173之輸出S2暫時變成具有H位準，結果再生時間測量信號S3變成具有H位準。此信號由延遲電路130至133延遲，以及傳送閘147至150被導通。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

46

五、發明說明 (34)

然後，當指令信號Com被輸出時，於延遲電路130及131之輸出SD11及SD12具有H位準，以及延遲電路132及133之輸出SD13及SD14具有L位準(舉例)時，傳送閘147至150被斷開，且閘鎖電路151至154維持且輸出延遲電路130至133之輸出SD11至SD14。

結果，於此例中，閘鎖電路151及152之輸出具有L位準，閘鎖電路152及153之輸出具有H位準，延遲時間控制信號SD1及SD2具有H位準，以及延遲時間控制信號SD3及SD4具有L位準。結果，如此所得延遲時間為僅利用電容器123及124所得的延遲時間。換言之，於根據本發明之半導體記憶體裝置之第三具體實施例中，前置充電時間係根據再生時間測量信號S3之長度以及再生時間測量信號S3具有H位準之時間長度設定。

如此，於第26圖所示前置充電信號產生電路，依據再生時間長度而定產生前置充電信號經歷一段時間。例如，於第25圖，當再生於P1中斷時，產生前置充電時間經歷等於利用電容器123所得的延遲時間。當再生已經於P2中斷時，產生前置充電經歷一段等於利用電容器123及124所得的延遲時間。當再生已經於P3中斷時，前置充電信號產生經歷一段等於利用電容器123至125所得的延遲時間。當再生尚未中斷時，產生前置充電信號經歷一段等於利用電容器123至126所得的延遲時間。

第32A至32K圖顯示波形圖舉例說明根據本發明之半導體記憶體裝置之第三具體實施例之操作例。第32A圖顯

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (35)

示RAS主動化信號RASz，第32B圖顯示再生時序信號，第32C圖顯示傳送開信號，第32D圖顯示再生中斷禁止信號K1，第32E圖顯示內部指令信號Com，第32F圖顯示再生時間測量信號S3，第32G圖顯示回寫旗標信號，第32H圖顯示前置充電信號，第32I圖顯示回寫開始信號，第32J圖顯示回寫結束測量信號，第32K圖顯示回寫結束信號。

換言之，於根據本發明之半導體記憶體裝置之第三具體實施例中，當再生時間到來時，產生再生時序信號。響應於此，產生RAS主動化信號RASz。因此，產生傳送開信號用以於再生期間傳送位元線資料至資料暫存器94，及產生再生中斷禁止信號K1用以設定再生中斷禁止時間。

然後，當位元線上資料傳送至資料暫存器94完成時，再生中斷禁止信號K1被取消。隨後，當指令被輸入時，響應於此，再生中斷。當於再生中斷禁止時間指令被輸入時，再生係恰於再生中斷禁止信號K1被取消時中斷。

當再生被中斷時，產生再生中斷測量信號S3用以測量由再生中斷禁止信號K1被取消至指令被輸入的時間長度，以及依據再生時間測量信號S3之長度(於再生時間測量信號S3具有H位準的一段時間)，設定前置充電時間。

進一步，於根據本發明之半導體記憶體裝置之第三具體實施例，當再生被中斷及指令被執行時，響應於再生的中斷，產生回寫旗標信號。回寫旗標信號表示資料需由資料暫存器94回寫至位元線，其需於指令執行後的再生步驟2進行。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

46

五、發明說明 (36)

進一步，於回寫旗標信號輸出之例，也於指令執行完成時(內部指令信號Com變成具有L位準)，當進行前置充電時，指示回寫開始信號具有H位準。然後，當前置充電完成時，指示回寫開始信號具有L位準。然後，致使RAS主動化信號RAS具有H位準進行回寫操作，及又致使回寫結束測量信號具有H位準。

回寫結束測量信號之位準於要求回寫操作時間結束時由H位準返回L位準。回寫結束信號為回寫結束測量信號變成具有L位準後，當RAS主動化信號RASz變成具有L位準時具有H位準脈衝的信號，以及指示回寫作業已經完成，但回寫結束信號於回寫結束測量信號變成具有L位準前當RAS主動化信號RASz變成具有L位準時維持具有L位準(於回寫作業期間指令被輸入時)，以及指示回寫作業尚未完成。如此，當一指令於回寫作業期間被輸入時，回寫作業被中斷，以及於指令執行後，回寫作業又再度執行。

於根據本發明之半導體記憶體裝置之第三具體實施例中，再生控制電路85管理半導體記憶體裝置的再生，當半導體記憶體裝置的再生時間到來時且無指令正在進行處理時，半導體記憶體裝置之再生可即刻基於由再生計數器86輸出的再生位址進行。當半導體記憶體裝置的再生時間到來但有指令正在接受處理時，半導體記憶體裝置之再生可於指令執行後基於再生計數器86輸出的再生位址進行。如此，控制器無須管理半導體記憶體裝置的再生。

進一步，即使於半導體記憶體裝置再生期間，根據本

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(37)

發明之半導體記憶體裝置之第三具體實施例可接受指令信號。當指令信號由半導體記憶體裝置接受時，再生被中斷及指令被執行。然後重新開始再生。如此控制器可存取根據本發明之半導體記憶體裝置之第三具體實施例而無須監視此半導體記憶體裝置是否正在被再生。結果可進行有效的作業。

第33圖為電路圖顯示根據本發明之電子裝置之第四具體實施例之主要部份。附圖中，控制器179控制DRAM 178，以及快閃記憶體180用於儲存儲存於DRAM 178的資料於其中。電子裝置進一步包括匯流排181例如指令匯流排、位址匯流排、資料匯流排等。快閃記憶體係配置成可於讀取/寫入/抹消作業期間，亦即無法接受存取時輸出忙碌信號BUSY2。

控制器179配置成於主電池組失效或移開因而主電池組停止供電時具有L位準。

進一步，DRAM 178配置成於全部由控制器179輸出的指令信號及位址信號皆具有L位準之例中，當忙碌信號BUSY2未由快閃記憶體180輸出時，DRAM 178自動根據由內部位址計數器產生的儲存資料位址輸出資料至資料匯流排。

進一步，快閃記憶體180係配置成於由控制器179輸出的全部指令信號及位址信號皆具有L位準之案例，基於內部位址計數器產生的位準，快閃記憶體180自動將DRAM 178輸出的資料寫入其中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

檢

五、發明說明 (38)

於具有前述配置之根據本發明之電子裝置之第四具體實施例中，當主電池組失效或移開因而主電池組停止供電時，可將儲存於DRAM 178資料儲存於無須再生的快閃記憶體180。

如此，當根據本發明之電子裝置之第四具體實施例應用至簡單終端機例如其中安裝DRAM的蜂巢式電話時，當主電池組失效或被移開因而主電池組停止供電時，可減少因再生DRAM 178造成備用電池組的電力消耗。

進一步，因快閃記憶體180係配置成於讀/寫/抹消作業期間輸出忙碌信號BUSY2，以及DRAM 178係配置成於忙碌信號BUSY2輸出時間使用該信號進行其再生，故當資料被儲存於快閃記憶體180時可進行DRAM 178的再生，且可將需要的資料由DRAM 178維持。

於根據本發明之電子裝置之第四具體實施例中，設置快閃記憶體180其為非依電性半導體記憶體用以儲存DRAM 178中儲存的資料於其中。但也可使用無須再生的多種半導體記憶體裝置替代。

第34圖為電路圖顯示根據本發明之半導體記憶體裝置之第四具體實施例之主要部份。此種半導體記憶體裝置可用做涵括於第33圖所示根據本發明之電子裝置之第四具體實施例的DRAM 178。

第34圖中，指令解碼器183解碼來自控制器179的指令信號，位址輸入電路184將位址信號A0至An輸入其中，及一位址輸入/輸出電路185執行讀/寫資料DQ0至DQn的輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (39)

/輸出。

進一步，NOR電路186係根據NOR方式處理來自控制器179的指令信號，一NOR電路187根據NOR方式處理位址信號A0至An，及一NAND電路188根據NAND方式處理NOR電路186及187各別的輸出。NOR電路186之輸出唯有與全部指令信號具有L位準時才具有H位準，以及NOR電路187的輸出唯有於位址信號A0至An皆具有L位準時才具有H位準。因此，NAND電路188的輸出唯有與全部指令信號及位址信號A0至An皆具有L位準時才具有L位準。此種情況下，此種半導體記憶體裝置自動進入資料儲存模。

進一步，BUSY2輸入緩衝器189用以接收來自快閃記憶體180的忙碌信號BUSY2，資料儲存控制電路190控制資料的儲存。當NAND電路188之輸出具有L位準，亦即來自控制器179的全部指令信號及位址信號A0至An具有L位準時，資料儲存控制電路190輸出忙碌致能信號BEN用以主動化BUSY2輸入緩衝器189，及亦輸出一資料儲存控制信號ESC。然後，每次當BUSY2輸入緩衝器189輸入忙碌信號BUSY2於其中時，資料儲存控制電路190輸出資料儲存控制信號ESC。

進一步，一資料儲存位址計數器191接收資料儲存控制信號ESC及輸出待儲存的資料將由其中讀取的位址，一再生控制電路192接收資料儲存控制信號ECS及輸出一再生控制信號REF，及一再生計數器193使用再生控制信號REF做為觸發信號且輸出再生位址。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

46

五、發明說明(40)

進一步，排組194-0及194-1係藉排組位址信號選定。排組194-0及194-1具有相同電路配置。於排組194-0，區塊195-0至195-3具有第3圖所示區塊12-0至12-3所示之相同配置。

進一步，對區塊195-0至195-3共通設置一匯流排196，一寫入放大器/感測緩衝器197設置共通用於區塊195-0至195-3，及一控制電路198控制排組194-0之操作。

進一步，一選擇器199係藉控制電路198控制及當於該半導體記憶體裝置進行讀/寫作業時選擇由位址輸入電路184輸出的列位址，當進行半導體記憶體裝置之再生時，選擇由再生計數器193輸出的再生位址，當資料儲存於快閃記憶體180時，選擇由資料儲存位址計數器191輸出的資料儲存位址。一位址門鎖電路200維持及輸出由選擇器199輸出的位址信號。也設置一行位址計數器201。

第35A至35G圖顯示波形圖舉例說明根據本發明之半導體記憶體裝置之第四具體實施例應用於第33圖所示電子裝置之DRAM 178之操作例。第35A圖顯示由主電池至供應之電源供應器電壓，第35B圖顯示由控制器輸出的指令信號及位址信號，第35C圖顯示忙碌致能信號BEN，第35D圖顯示資料儲存信號ESC，第35E圖顯示輸出資料，第35F圖顯示快閃記憶體180之操作狀態及第35G圖顯示忙碌信號BUSY2。

於第33圖所示電子裝置中，當來自主電池組電源供應停止時，全部由控制器179輸出的指令信號及位址信號變

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明(41)

成具有L位準，以及於根據本發明之半導體記憶體裝置之第四具體實施例中，NAND電路188的輸出變成具有L位準。如此，忙碌致能信號BEN變成具有H位準，BUSY2輸入電路189被主動化，及亦輸出第一資料儲存控制信號ESC且此半導體記憶體裝置進入資料儲存模。然後，欲儲存的資料D0由半導體記憶體裝置輸出且被寫入快閃記憶體180。此段期間，忙碌信號BUSY2變成具有L位準，且指示資料正在被寫入快閃記憶體180。於忙碌信號BUSY2具有L位準之該段時間，資料儲存控制信號ESC被停止，本半導體記憶體裝置之再生被重新啟動。

然後，當欲儲存的資料D0之寫入於快閃記憶體180完成時，忙碌信號BUSY2變成具有H位準且透過BUSY輸入電路189供給資料儲存控制電路190。然後，輸入第二資料儲存控制信號ESC。響應於此，欲儲存的第二資料D1被輸出且被寫入快閃記憶體180。此段期間，忙碌信號BUSY2變成具有L位準，且指示資料正在寫入快閃記憶體180。於忙碌信號BUSY2具有L位準之時間，資料儲存控制信號ESC被停止，且此半導體記憶體裝置之再生被重新啟動。

然後，當欲儲存資料D1的寫入於快閃記憶體180完成時，忙碌信號BUSY2變成具有H位準且透過BUSY輸入電路189供給資料儲存控制電路190。然後，輸出第三資料儲存信號ESC。響應於此，輸出欲儲存的第三資料D2且被寫入快閃記憶體180。此段期間，忙碌信號BUSY2變成具有L位準且指示資料正在被寫入快閃記憶體180。然後重複

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

地

五、發明說明 (42)

相同操作直到欲儲存的資料接輸出且皆被寫入快閃記憶體180為止。

如此，經由應用根據本發明之半導體記憶體裝置之第四具體實施例之第33圖所示DRAM 178，可於主電池組失效或被移開因而主電池組的電源供應停止時，儲存儲存於本半導體記憶體裝置的資料於無須更新的快閃記憶體180。

如此，當根據本發明之半導體記憶體裝置之第四具體實施例應用於其中安裝DRAM的簡單終端機，例如蜂巢式電話時，當主電池組失效或被移開因而主電池組電源供應停止時，因DRAM 178的更新造成備用電池組的電力消耗儘量減低。

第36圖為電路圖顯示根據本發明之電子裝置之第五具體實施例之主要部份。根據本發明之電子裝置之第五具體實施例設置有一DRAM 203及一快閃記憶體204，其具有與第33圖所示之根據本發明之電子裝置之第四具體例所設置的DRAM 178及快閃記憶體180不同的電路配置。除此之外，根據本發明之電子裝置之第五具體實施例具有與第33所示之根據本發明之電子裝置之第四具體實施例之相同配置。

DRAM 203配置用於輸出資料及資料選通信號QS，其指示輸出資料將被帶入的時序。快閃記憶體204配置成接收來自DRAM 203的資料選通信號QS，且於資料選通信號QS指示時序將DRAM 203輸出的資料帶入其中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

始

五、發明說明(43)

如此，又根據本發明之電子裝置之第五具體實施例，可獲得第33圖所示根據本發明之電子裝置之第四具體實施例所得的類似優點，同時也容易進行帶入得自DRAM 203的資料之控制。

第37圖為電路顯示根據本發明之半導體記憶體裝置之第五具體實施例之主要部份。根據本發明之半導體記憶體裝置之第五具體實施例可用做為第36圖所示根據本發明之電子裝置之第五具體實施例所設置的DRAM 203。

根據本發明之半導體記憶體裝置之第五具體實施例設置有一資料儲存時脈信號產生電路206其產生一資料儲存時脈信號(資料儲存操作作用之時脈信號)，及一QS輸出電路207其產生資料選通信號QS。當進行資料儲存作業時，資料儲存時脈信號由資料儲存時脈信號產生電路206輸出，然後資料儲存位址控制器191、QS輸出電路207等與資料儲存時脈信號同步操作，故資料選通信號QS及輸出資料的輸出時序變成適當時序。除此之外，根據本發明之半導體記憶體裝置之第五具體實施例具有與第34圖所示根據本發明之半導體記憶體裝置之第四具體實施例之相同配置。

資料儲存時脈信號產生電路206具有一振盪器內建於其中用以產生資料儲存時脈信號。另外，資料儲存時脈信號產生電路206可使用得自晶體振盪器等之時脈信號，此等晶體振盪器為使用根據本發明之半導體記憶體裝置之第五具體實施例之電子裝置配置用於產生資料儲存時脈信號之裝置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

檢

五、發明說明(44)

第38A至38I圖顯示波形圖舉例說明一種案例之操作例，其中根據本發明之半導體記憶體裝置之第五具體實施例係應用至第36圖所示電子裝置之DRAM 203。第38A圖顯示由主電池組供應的電源供應器電壓，第38B圖顯示由控制器輸出的指令信號及位址信號，第38C圖顯示忙碌致能信號BEN，第38D圖顯示資料儲存信號ESC，第38E圖顯示一資料儲存時脈信號產生電路206輸出的資料儲存時脈信號ECK，第38F圖顯示輸出資料，第38G圖顯示資料選通信號QS，第38H圖顯示快閃記憶體204之操作狀態及第38I圖顯示忙碌信號BUSY2。

於第36圖所示電子裝置中，當來自主電池組的電源供應停止時，由控制器179輸出的指令信號及位址信號全部變成具有L位準，以及於根據本發明之半導體記憶體裝置之第五具體實施例中，NAND電路188的輸出變成具有L位準。如此，忙碌致能信號BEN變成具有H位準，BUSY2輸入電路189及資料儲存時脈信號產生電路206被主動化，及亦輸出第一資料儲存控制信號ESC且本半導體記憶體裝置進入資料儲存模。然後，欲儲存的資料D0由半導體記憶體裝置輸出及亦輸出資料選通信號QS。然後，資料D0被寫至快閃記憶體204。於此期間，忙碌信號BUSY2變成具有L位準，以及指示該資料被寫入快閃記憶體204。於忙碌信號BUSY2具有L位準之該段時間，資料儲存控制信號ESC被中止，且重新啟動本半導體記憶體裝置的再生。

然後，當欲儲存資料D0的寫入於快閃記憶體204完成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (45)

時，忙碌信號BUSY2變成具有H位準且透過忙碌輸入電路189供給資料儲存電路190。然後，輸出第二資料儲存控制信號ESC。響應於此，欲儲存的第二資料D1被輸出及一資料選通信號QS被輸出。然後，資料D1被寫至快閃記憶體204。於此期間，忙碌信號BUSY2變成具有L位準，且指示資料正在被寫入快閃記憶體204。於忙碌信號BUSY2具有L位準之該段時間，資料儲存控制信號ESC被停止，且本半導體記憶體裝置之再生被重新啟動。

然後，當欲儲存的資料D1被寫入於快閃記憶體204完成時，忙碌信號BUSY2變成具有H位準且透過忙碌輸入電路189供給資料儲存控制電路190。然後，輸出第三資料儲存控制信號ESC。響應於此，欲儲存的第三資料D2被輸出，資料選通信號QS也被輸出。然後，資料D2被寫至快閃記憶體204。於此期間，忙碌信號BUSY2變成具有L位準且指示資料正在被寫入快閃記憶體204。然後，相同操作重複至全部欲儲存的資料皆被輸出且被寫至快閃記憶體204為止。

如此，由根據本發明之半導體記憶體裝置之第五具體實施例，當本半導體記憶體裝置應用至第36圖所示DRAM 203時，可獲得類似第34圖所示根據本發明之半導體記憶體裝置之第四具體實施例所得的相同優點，同時也容易執行藉快閃記憶體204控制資料帶入。

第39圖為電路圖顯示根據本發明之電子裝置之第六具體實施例之主要部份。根據本發明之電子裝置之第六具體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (46)

實施例設置有 DRAM 209 及快閃記憶體 210 其具有電子配置係與如第 33 圖所示根據本發明之電子裝置之第四具體實施例所設置的 DRAM 178 及快閃記憶體 180 之電路配置不同。除此之外，根據本發明之電子裝置之第六具體實施例具有與第 33 圖所示根據本發明之電子裝置之第四具體實施例之相同配置。

DRAM 209 具有 BUSY2 輸入電路 211 用以輸入忙碌信號 BUSY2，及一 QS 輸出電路 212 用以輸出內建於其中的資料選通信號 QS，以及設置一外部終端 213 其係用做為忙碌信號輸入終端以及做為資料選通信號輸出終端。

快閃記憶體 210 具有一 BUSY2 輸出電路 214 用以輸出忙碌信號 BUSY2，及一 QS 輸入電路 215 用以輸入內建於其中之資料選通信號 QS，以及設置一外部終端 216 其係用做為忙碌信號輸出終端以及做為資料選通信號輸入終端二者。

第 40 圖為電路圖顯示 BUSY2 輸入電路 211 及 QS 輸出電路 212，BUSY2 輸出電路 214 及 QS 輸入電路 215 之配置例。第 40 圖中，於 BUSY2 輸入電路 211，反相器 218 用於輸入忙碌信號 BUSY2，以及於 QS 輸出電路 212，NMOS 電晶體 219 用於輸出資料選通信號 QS。

於 BUSY2 輸出電路 214，NMOS 電晶體 220 用於輸出忙碌信號 BUSY2，以及於 QS 輸入電路 215，反相器 221 用以輸入資料選通信號 QS。

於本例中，因 QS 輸出電路 212 及 BUSY2 輸出電路 214

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（47）

具有開放汲極輸出形式，故須高電阻電阻器223設置於BUSY2/QS共通性222與電源電壓線VDD間並維持忙碌信號BUSY2及資料選通信號QS之信號位準分別於適當位準。

由如前文說明配置之根據本發明之電子裝置之第六具體實施例，可獲得如第33圖所示根據本發明之電子裝置之第四具體實施例獲得的相同優點，同時也容易執行由DRAM 209控制資料的帶入。又，可減少DRAM 209及快閃記憶體210之外部終端數目。

第41圖為電路圖顯示根據本發明之半導體記憶體裝置之第六具體實施例之主要部份。根據本發明之半導體記憶體裝置之第六具體實施例可用做為第39圖所示根據本發明之電子裝置之第六具體實施例所設置的DRAM 209。

根據本發明之半導體記憶體裝置之第六具體實施例設置有外部終端225，其係用做為忙碌信號輸入終端以及資料選通信號輸出終端二者。外部終端225係連結BUSY2輸入電路189之輸入終端226以及連結QS輸出電路207之輸出終端。除此之外，根據本發明之半導體記憶體裝置之第六具體實施例具有與第37圖所示根據本發明之半導體記憶體裝置之第五具體實施例之相同配置。

第42A至42G圖顯示波形圖舉例說明一種案例之操作例，此處根據本發明之半導體記憶體裝置之第六具體實施例係應用至第39圖所示電子裝置之DRAM 209。第42A圖顯示主電池組供給的電源供應器電壓，第42B圖顯示由控

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

後

五、發明說明 (48)

制器輸出的指令信號及位址信號狀態，第42C圖顯示忙碌致能信號BEN，第42D圖顯示資料儲存信號ESC，第42E圖顯示輸出資料，第42F圖顯示BUSY2/QS共通線之電位及第42G圖顯示快閃記憶體210之狀態。

於第39圖所示電子裝置中，當主電池組供應的電力停止時，全部由控制器179輸出的指令信號及位址信號變成具有L位準，以及於根據本發明之半導體記憶體裝置之第六具體實施例，NAND電路188的輸出變成具有L位準。如此，忙碌致能信號BEN變成具有H位準，BUSY2輸入電路189被主動化，及亦第一資料儲存控制信號ESC被輸出，本半導體記憶體裝置進入資料儲存模。然後，欲儲存的第二資料D0由半導體記憶體裝置輸出，具有L位準的資料選通信號QS也輸出至BUSY2/QS共通線，欲儲存的資料D0藉由與資料選通信號QS同步的快閃記憶體210帶入且被寫入快閃記憶體210。此段期間，具有L位準之忙碌信號BUSY2被輸出至BUSY2/QS共通線，如此指示資料正在被寫入快閃記憶體210。

然後，當欲儲存的資料D1的寫入於快閃記憶體210完成時，BUSY2/QS共通線上的信號變成具有H位準，且透過BUSY輸入電路189供給資料儲存控制電路190。然後，第二資料儲存控制信號ESC被輸出。響應於此，欲儲存的第二資料D1由半導體記憶體裝置輸出，具有L位準之資料選通信號QS也被輸出至BUSY2/QS共通線，欲儲存的資料D1由與資料選通信號QS同步的快閃記憶體210帶入且被寫

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (49)

入快閃記憶體210。於此期間，具有L位準的忙碌信號BUSY2輸出至BUSY2/QS共通線，如此指示資料正在被寫入快閃記憶體210。

然後，當欲儲存的資料D1的寫入於快閃記憶體210完成時，BUSY2/QS共通線上的信號變成具有H位準，且透過BUSY輸入電路189被供給資料儲存控制電路190。然後，第三資料儲存控制信號ESC被輸出。響應於此，欲儲存的第三資料D2由半導體記憶體裝置輸出，具有L位準的資料選通信號QS也被輸出至BUSY2/QS共通線，欲儲存的資料D2由與資料選通信號QS同步的快閃記憶體210帶入且被寫入快閃記憶體210。於此期間，具有L位準之忙碌信號BUSY2被輸出至BUSY2/QS共通線，如此指示資料正在被寫入快閃記憶體210。

如此，由根據本發明之半導體記憶體裝置之第六具體實施例，當本半導體記憶體裝置應用至第39圖所示DRAM 209時，可獲得第37圖所示根據本發明之半導體記憶體裝置之第五具體實施例所得的相同優點。也可減少外部終端的數目。進一步，如第43A至43H圖所示，由多個位元組組成的欲儲存的資料可一起以叢發模式輸出。第43A圖顯示主電池組供給的電源供應器電壓，第43B圖顯示控制器輸出的指令信號及位址信號狀態，第43C圖顯示忙碌致能信號BEN，第43D圖顯示資料儲存信號ESC，第43E圖顯示輸出資料，第43F圖顯示資料選通信號QS，第43G圖顯示快閃記憶體210之狀態及第43H圖顯示忙碌信號BUSY2。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (50)

第44圖為電路圖顯示根據本發明之半導體記憶體裝置之第七具體實施例之主要部份。本半導體記憶體裝置可用做第36圖所示之DRAM 203。

根據本發明之半導體記憶體裝置之第七具體實施例設置一比較器229其比較由資料儲存位址計數器191輸出的資料儲存位址與由再生計數器193輸出的再生位址，及一AND電路230其使用比較器229之輸出N2做為其閘控信號且控制由再生控制電路192輸出的再生控制信號REF之傳輸。除此之外，本半導體記憶體裝置具有與第37圖所示根據本發明之半導體記憶體裝置之第五具體實施例之相同配置。

比較器229係由資料儲存控制電路190輸出的控制信號N1控制，且於控制信號N1具有H位準時進行比較作業。控制信號N1與資料儲存模具有H位準，但與所有其它案例具有L位準。比較器229之輸出N2唯有於再生位址大於資料儲存位址時才具有H位準，但於所有其它案例具有L位準。

當儲存於此半導體記憶體裝置之資料被儲存於快閃記憶體204，且比較器229之輸出N2具有H位準，亦即，輸出的再生位址係大於輸出的資料儲存位址且於輸出的再生位址的資料尚未儲存時，再生控制信號REF被輸出。如此，對輸出再生位址進行再生。

相反地，當儲存於本半導體記憶體裝置之資料係儲存於快閃記憶體204，且比較器229之輸出N2具有L位準時，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (51)

亦即輸出的再生位址係小於輸出的資料儲存位址且於輸出的再生位址之資料已經儲存時，未由AND電路230輸出再生控制信號REF。如此，未對輸出的再生位址執行再生。

如此，由根據本發明之半導體記憶體裝置之第七具體實施例，可獲得與第37圖所示根據本發明之半導體記憶體裝置之第五具體實施例所得相同優點。又，對於已經儲存資料的位址未進行再生。結果，可減少備用電池組之電力耗損至比第37圖所示根據本發明之半導體記憶體裝置之第五具體實施例之案例更小量。

第45圖為電路圖顯示根據本發明之半導體記憶體裝置之第八具體實施例之主要部份。本半導體記憶體裝置設置排組232-0及232-1，具有與第34圖所示根據本發明之半導體記憶體裝置之第四具體實施例設置的排組194-0及194-1之電路配置不同的電路配置。除此之外，根據本發明之半導體記憶體裝置之第八具體實施例具有與第34圖所示根據本發明之半導體記憶體裝置之第四具體實施例之相同配置。

排組232-0及232-1具有相同的電路配置。於排組232-0，設置區塊233-0至233-3。區塊233-0至233-3具有相同電路配置。於區塊233-0，設置一記憶體晶胞陣列234，一列解碼器235，一感測放大器236，一行解碼器237及一傳送閘238。傳送閘238係連結控制電路239，且用於當儲存於本半導體記憶體裝置資料係儲存於快閃記憶體等時，傳送由記憶體晶胞陣列234讀取的資料至一串聯暫存器(容後詳

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (52)

述)。

進一步，串聯暫存器240設置有共通區塊233-0至233-3，及對區塊233-0至233-3共通設置一寫入放大器/感測緩衝器241。感測緩衝器之操作係當儲存於本半導體記憶體裝置之資料係儲存於快閃記憶體等時，提供由串聯暫存器240輸出的資料給資料輸入/輸出電路185。排組232-0及232-1之其它部份具有與第34圖所示排組194-0至194-1的相同配置。

換言之，於根據本發明之半導體記憶體裝置之第八具體實施例中，欲儲存的資料對各列係儲存於串聯暫存器240，如此儲存於串聯暫存器之欲儲存的資料係由此半導體記憶體裝置透過感測緩衝器及資料輸入/輸出電路185輸出。

於具有前述配置之根據本發明之半導體記憶體裝置之第八具體實施例中，當欲儲存的資料正在輸出的同時可進行再生作業。如此，可達成高效率操作。

進一步，本發明非僅限於前述具體實施例，可未悖離本發明之範圍做出多種修改及變化。

本案係基於日本優先申請案第11-163461號，申請日1999年6月10日，其全體內容併述於此以供參考。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (53)

元 件 標 號 對 照

1...DRAM	27...NMOS電晶體
2...控制器	28...NOR電路
4...BUSY1信號線	29...反相器
5...指令解碼器	30...計數器
6...位址輸入電路	31...NAND電路
7...資料輸入/輸出電路	32...反相器
8...再生控制電路	33...RS正反電路
9...BUSY1輸出電路	34...反相器
10...再生計數器	36-7...NAND電路
11...排組	38...反相與延遲電路
12...區塊	39...反相器
13...記憶體晶胞陣列	40...電阻器
14...列解碼器	41...電容器
15...感測放大器	44...輸入緩衝器
16...行解碼器	45...反相器
17...資料匯流排	46...傳輸閘
18...寫入放大器/感測緩衝器	47...NMOS電晶體
19...控制電路	48...PMOS電晶體
20...選擇器	49...控制解碼器
21...位址門鎖電路	51...輸入緩衝器
23...控制電路	52...反相器
25...Refz產生電路	53...傳輸閘
26...NAND電路	54...NMOS電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (54)

- | | |
|-----------------|------------------|
| 55...PMOS電晶體 | 87...比較器 |
| 56...位址門鎖電路 | 88...排組 |
| 58...BUSY1a產生電路 | 89...區塊 |
| 59...BUSY1b產生電路 | 90...記憶體晶胞陣列 |
| 60...指令解碼器 | 91...列解碼器 |
| 61...位址輸入電路 | 92...感測放大器 |
| 63...輸入緩衝器 | 93...行解碼器 |
| 64...控制解碼器 | 94...資料暫 |
| 65...暫存器 | 95...傳送閘 |
| 66...轉換開關電路 | 96...傳送閘信號產生電路 |
| 67...連結開關電路 | 97...資料匯流排 |
| 69...輸入緩衝器 | 98...寫入放大器/感測緩衝器 |
| 70...位址門鎖電路 | 99...控制電路 |
| 71...暫存器 | 100...選擇器 |
| 72...轉換開關電路 | 101...位址門鎖電路 |
| 73...連結開關電路 | 103...正反電路 |
| 75...控制器 | 104-5...反相器 |
| 76...再生計數器 | 106-7...NMOS電晶體 |
| 78...DRAM | 109-110...NAND電路 |
| 79...控制器 | 111...正反電路 |
| 80...匯流排 | 112...反相器 |
| 82...指令解碼器 | 113...前置充電時間控制電路 |
| 83...位址輸入電路 | 115...可變延遲電路 |
| 84...資料輸入/輸出電路 | 116...延遲時間控制電路 |
| 85...再生控制電路 | 117-8...反相器 |
| 86...再生計數器 | 119-22...NMOS電晶體 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (55)

- | | |
|--------------------|--------------------|
| 123-6...電容器 | 189...BUSY2輸入電路 |
| 128...復置信號產生電路 | 190...資料儲存控制電路 |
| 129...再生時間量測信號產生電路 | 191...資料儲存位址計數器 |
| 130-3...延遲電路 | 192...再生控制電路 |
| 134-141...反相器 | 193...再生計數器 |
| 142-5...電容器 | 194...排組 |
| 146...反相器 | 195...區塊 |
| 147-150...傳送閘 | 196...匯流排 |
| 151-4...門鎖電路 | 197...寫入放大器/感測緩衝器 |
| 155-8...反相器 | 198...控制電路 |
| 159-162...PMOS電晶體 | 199...選擇器 |
| 164-6...反相器 | 200...位址門鎖電路 |
| 167...NAND電路 | 201...行位址計數器 |
| 170-2...反相器 | 203...DRAM |
| 173-5...NOR電路 | 204...快閃記憶體 |
| 176...反相器 | 206...資料儲存時脈信號產生電路 |
| 178...DRAM | 207...QS輸出電路 |
| 179...控制器 | 209...DRAM |
| 180...快閃記憶體 | 210...快閃記憶體 |
| 181...匯流排 | 211...BUSY2輸入電路 |
| 183...指令解碼器 | 212...QS輸出電路 |
| 184...位址輸入電路 | 213...外部終端 |
| 185...資料輸入/輸出電路 | 214...BUSY2輸出電路 |
| 186-7...NOR電路 | 215...QS輸入電路 |
| 188...NAND電路 | 216...外部終端 |

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(56)

218...反相器	C...指令
219...NMOS電晶體	Com...內部指令信號
220...NMOS電晶體	D...資料
221...反相器	DQ...寫入資料/讀取資料
222...BUSY2/QS共通線	ECK...資料儲存時脈信號
223...高電阻電阻器	ESC...資料儲存控制信號
225...外部終端	K1...再生中斷禁止信號
226...輸入終端	N1...控制信號
229...比較器	N2...輸出
230...AND電路	P...一段時間
232...排組	Q...正相位輸出
233...區塊	QS...資料選通信號
234...記憶體晶胞陣列	RASz...RAS主動化信號
235...列解碼器	REF...再生控制信號
236...感測放大器	Ref1, Refz...再生控制信號
237...行解碼器	S...輸出
238...傳送閘	S1...復置信號
239...控制電路	S3...再生時間測量信號
240...串聯暫存器	SD1-4...時間控制信號
241...寫入放大器/感測緩衝器	VDD...電源電壓線
A...位址信號	WL...字線
BEN...忙碌致能信號	
BL, /BL...位元線	
BUSY1...忙碌信號	

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 半導體記憶體元件及電子裝置)

一種執行保留資料之再生操作之半導體記憶裝置，例如 DRAM，設置有一記憶體部(13)用於儲存資料於其中，及一忙碌信號輸出部(9)於再生作業期間輸出忙碌信號。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱： SEMICONDUCTOR MEMORY DEVICE AND ELECTRONIC APPARATUS)

A semiconductor memory device, such as a DRAM, performing a refresh operation for retaining data, is provided with a memory portion (13) for storing data therein, and a busy signal outputting portion (9) outputting a busy signal during the refresh operation.

訂

線

四、中文發明摘要(發明之名稱: 半導體記憶體元件及電子裝置)

一種執行保留資料之再生操作之半導體記憶裝置, 例如 DRAM, 設置有一記憶體部(13)用於儲存資料於其中, 及一忙碌信號輸出部(9)於再生作業期間輸出忙碌信號。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱: SEMICONDUCTOR MEMORY DEVICE AND ELECTRONIC APPARATUS)

A semiconductor memory device, such as a DRAM, performing a refresh operation for retaining data, is provided with a memory portion (13) for storing data therein, and a busy signal outputting portion (9) outputting a busy signal during the refresh operation.

六、申請專利範圍

1. 一種半導體記憶體裝置，其執行再生操作用以保持資料，該裝置包含：

一記憶體部份(13)用以儲存資料於其中；以及

一忙碌信號輸出部份(9)於再生操作期間輸出一忙碌信號。

2. 如申請專利範圍第1項之裝置，進一步包含一再生控制電路(8)偵測再生操作時間已經到來且管理再生操作。
3. 如申請專利範圍第2項之裝置，進一步包含一計時器電路(25)，其中該再生控制電路(8)係基於計時器電路的輸出偵測再生操作時間已經到臨。
4. 如申請專利範圍第2項之裝置，其中該再生控制電路(8)係基於外部供給的時脈信號決定再生操作時間已經到臨。
5. 如申請專利範圍第2項之裝置，進一步包含：

一忙碌信號產生電路(9)產生忙碌信號；以及

一指令解碼器(5)解碼一外部供給的指令信號，

其中：

該再生控制電路(8)產生一再生控制信號指示再生操作的時間已經到臨，且當並無任何指令解碼器(5)開始處理或正在處理的指令時，響應於該再生控制信號致使啟動再生作業；但當有指令解碼器(5)開始在處理或正在被處理的指令時，致使再生作業於指令被處理後開始啟動；以及

忙碌信號產生電路(9)響應再生控制信號產生忙碌

六、申請專利範圍

信號，以及當再生作業完成時取消再生控制信號。

6. 如申請專利範圍第5項之裝置，其中於忙碌信號產生時間，該裝置既未由外側帶入任何指令信號也未帶入任何位址信號。
7. 如申請專利範圍第5項之裝置，進一步包含一暫存器(65)於忙碌信號產生期間暫時儲存一由外部供給的指令信號，

其中儲存於該暫存器的指令係於再生操作完成後被指定優先處理。

8. 一種電子裝置，包含：

一半導體記憶體裝置(1)執行一再生操作用以保持資料以及於再生操作期間輸出一忙碌信號；以及

一控制器(2)控制該半導體記憶體裝置(1)，

其中當忙碌信號由半導體記憶體裝置(1)輸出時，控制器(2)並未存取半導體記憶體裝置。

9. 一種電子裝置，包含：

一半導體記憶體裝置(1)執行一再生操作用以保持資料以及於再生操作期間輸出一忙碌信號；以及

一控制器(2)控制該半導體記憶體裝置(1)，

其中該控制器(2)係於由半導體記憶體裝置(1)輸出忙碌信號時重複輸出一相同指令。

10. 一種電子裝置，包含：

一半導體記憶體裝置(1)執行一再生操作用以保持資料，於再生操作期間輸出一忙碌信號以及具有一再

六、申請專利範圍

生計數器(10)於再生操作期間輸出再生位址；以及

一控制器(75)控制該半導體記憶體裝置(1)，且具有一計數器(76)對應於再生計數器(10)，

其中該控制器(75)於忙碌信號由半導體記憶體裝置(1)輸出時致使計數器作動。

11. 一種半導體記憶體裝置，包含：

記憶體區塊(89-0至89-3)，各自包含記憶體晶胞(90)

；以及

字線設置用於選擇記憶體晶胞，

其中，當由字線選定的記憶體晶胞正在被再生時，該裝置接收一對包括該字線的記憶體區塊發送的指令，中斷由該字線選定的記憶體晶胞之再生作業，執行該指令，及然後重新啟動由該字線選定的記憶體晶胞之再生作業。

12. 如申請專利範圍第11項之半導體記憶體裝置，進一步包含：

一暫存器(94)其中儲存正在接受再生的記憶體晶胞之資料；以及

一傳送閘(95)其致使資料被傳送至暫存器(94)，

其中指令的執行係於正在被再生的記憶體晶胞資料難過傳送閘而被儲存於暫存器(94)後執行，以及當再生作業重新啟動時，資料由暫存器(94)送返。

13. 如申請專利範圍第11項之半導體記憶體裝置，其中該裝置於執行重新啟動的再生作業時接收一第二指令，

(請先閱讀背面之注意事項再填寫本頁)

張

訂

線

六、申請專利範圍

中斷被重新啟動的再生作業，進行第二指令，以及重新啟動再生作業。

14. 如申請專利範圍第11項之半導體記憶體裝置，其中該傳送閘(95)致使其資料正在由感測放大器(92)放大的位元線上的資料被傳送至暫存器(94)。
15. 如申請專利範圍第11項之半導體記憶體裝置，其中該傳送閘(95)致使其資料未正在由感測放大器(92)放大的位元線上的資料被傳送至暫存器(94)。
16. 如申請專利範圍第12項之半導體記憶體裝置，進一步包含一比較器(87)，其比較正在執行再生操作的位址與執行該指令的列位址，其中當正在執行再生操作的位址未重合執行指令的列位址時，再生操作被中斷且執行指令，但當正在執行再生操作的位址係重合執行指令的列位址時，完成再生操作，未進行位元線的前置充電以及執行該指令。
17. 如申請專利範圍第16項之半導體記憶體裝置，其中當由於正在執行再生操作的位址未重合執行指令的列位址結果導致再生操作中斷時，依據由再生操作開始至再生操作中段的時間長度，調整於再生操作中斷後執行前置充電的時間長度。
18. 一種半導體記憶體裝置，包含自動讀取裝置，該半導體記憶體裝置包含：

一位址計數器(191)其於外部指令進行自動讀取時，產生一位址用於由該裝置自動讀取資料；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一存取接受允許/拒絕信號接收部(189)其接收由資料傳送目的地(180)輸出的存取接受允許/拒絕信號，且指示該目的地是否同意接受存取，

其中當存取接受允許/拒絕信號指示該目的地同意接受存取時，該自動讀取裝置自動由該裝置讀出資料。

19. 如申請專利範圍第18項之半導體記憶體裝置，進一步包含一選擇器(199)其基於一外部輸入的位址信號選擇一第一位址，且於尋常操作模傳輸如此選定的位址給解碼器，但選擇由該位址計數器(191)產生第二位址以及於自動讀取模傳送如此選定的位址給該解碼器。

20. 如申請專利範圍第19項之半導體記憶體裝置，進一步包含：

記憶體區(195-0至195-3)其中設置需要被再生用以保持資料的記憶體晶胞；以及

一再生計數器(193)其產生一再生位址，

其中該選擇器(199)於尋常操作模係介於第一位址與再生位址間切換，但於自動讀取模係於第二位址與再生位址間切換。

21. 如申請專利範圍第20項之半導體記憶體裝置，其中當存取接受允許/拒絕信號指示資料傳送目的地不同意接受存取時執行再生操作。

22. 如申請專利範圍第18項之半導體記憶體裝置，進一步包含一資料選通信號產生電路(207)，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

其中，於自動讀取模，一資料選通信號連同於自動讀取模讀出的資料輸出。

23. 如申請專利範圍第22項之半導體記憶體裝置，其中連續預定複數資料係與資料選通信號同步輸出。

24. 如申請專利範圍第23項之半導體記憶體裝置，進一步包含一時脈信號產生電路(206)其產生的時脈信號，

其中該讀出信號及資料選通信號係基於時脈信號輸出。

25. 如申請專利範圍第24項之半導體記憶體裝置，進一步包含一振盪器內建於其中，

其中該時脈信號產生電路(206)係基於振盪器的輸出產生時脈信號。

26. 如申請專利範圍第24項之半導體記憶體裝置，其中該時脈信號產生電路(206)係基於外部供給的外部時脈信號產生時脈信號。

27. 如申請專利範圍第22項之半導體記憶體裝置，其中資料選通信號及存取接受允許/拒絕信號係透過一公用中斷輸入及輸出。

28. 如申請專利範圍第20項之半導體記憶體裝置，進一步包含一比較器(229)其比較第二位址與再生位址，

其中再生操作係基於比較器(229)的比較結果進行。

29. 如申請專利範圍第23項之半導體記憶體裝置，進一步包含：

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

一串聯暫存器(240)其係帶入複數資料且串列輸出該等資料；以及

一傳送閘(238)其致使儲存於部份記憶體晶胞之資料傳送至該串聯暫存器(240)，

其中於自動讀取模，資料被傳送至串聯暫存器(240)且透過串聯暫存器(240)輸出。

30. 一種半導體記憶體裝置，包含：

自動寫入裝置，用以當外部指示進行自動寫入時，自動將資料寫入該裝置之外部產生的位址；以及

自動寫入指示信號輸出裝置用以輸出一自動寫入指示信號，其係於自動寫入作業期間指示正在執行自動寫入。

31. 如申請專利範圍第30項之半導體記憶體裝置，進一步包含一資料選通信號輸入電路，

其中於自動寫入模，該裝置係與一資料選通信號同步帶入欲寫入其中的資料。

32. 一種電子裝置，包含：

一第一半導體記憶體裝置(178)包含自動讀取裝置其包含：

一位址計數器(191)其於外部指令進行自動讀取時，產生一位址用於由該裝置自動讀取資料；以及

一存取接受允許/拒絕信號接收部(189)其接收由資料傳送目的地(180)輸出的存取接受允許/拒絕信號，且指示該目的地是否同意接受存取，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

其中當存取接受允許/拒絕信號指示該目的地同意接受存取時，該自動讀取裝置自動由該裝置讀出資料；以及

一第二半導體記憶體裝置(180)包含：

自動寫入裝置，用以當外部指示進行自動寫入時，自動將資料寫入該裝置之外部產生的位址；以及

自動寫入指示信號輸出裝置用以輸出一自動寫入指示信號，其係於自動寫入作業期間指示正在執行自動寫入。

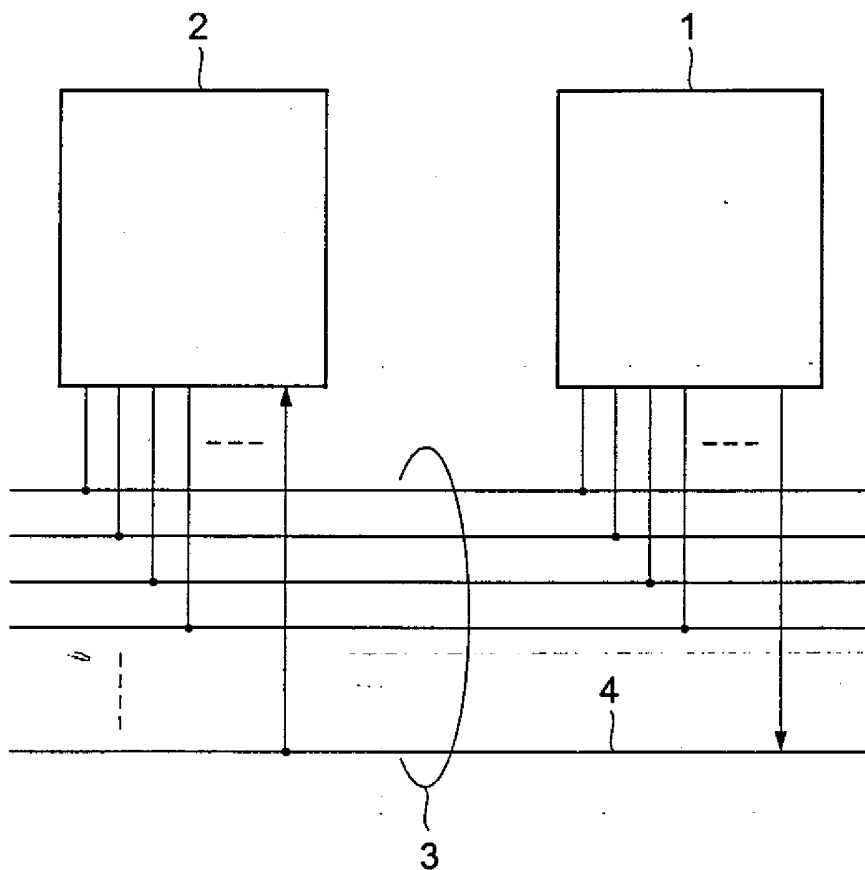
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

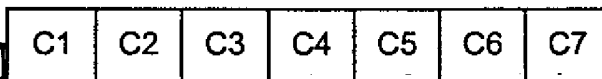
線

第 1 圖

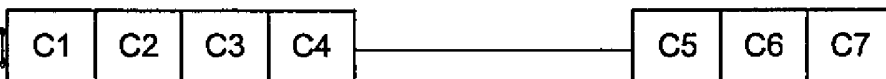


()

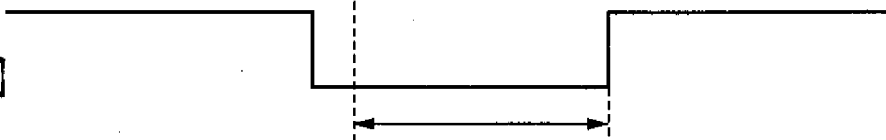
第 2A 圖



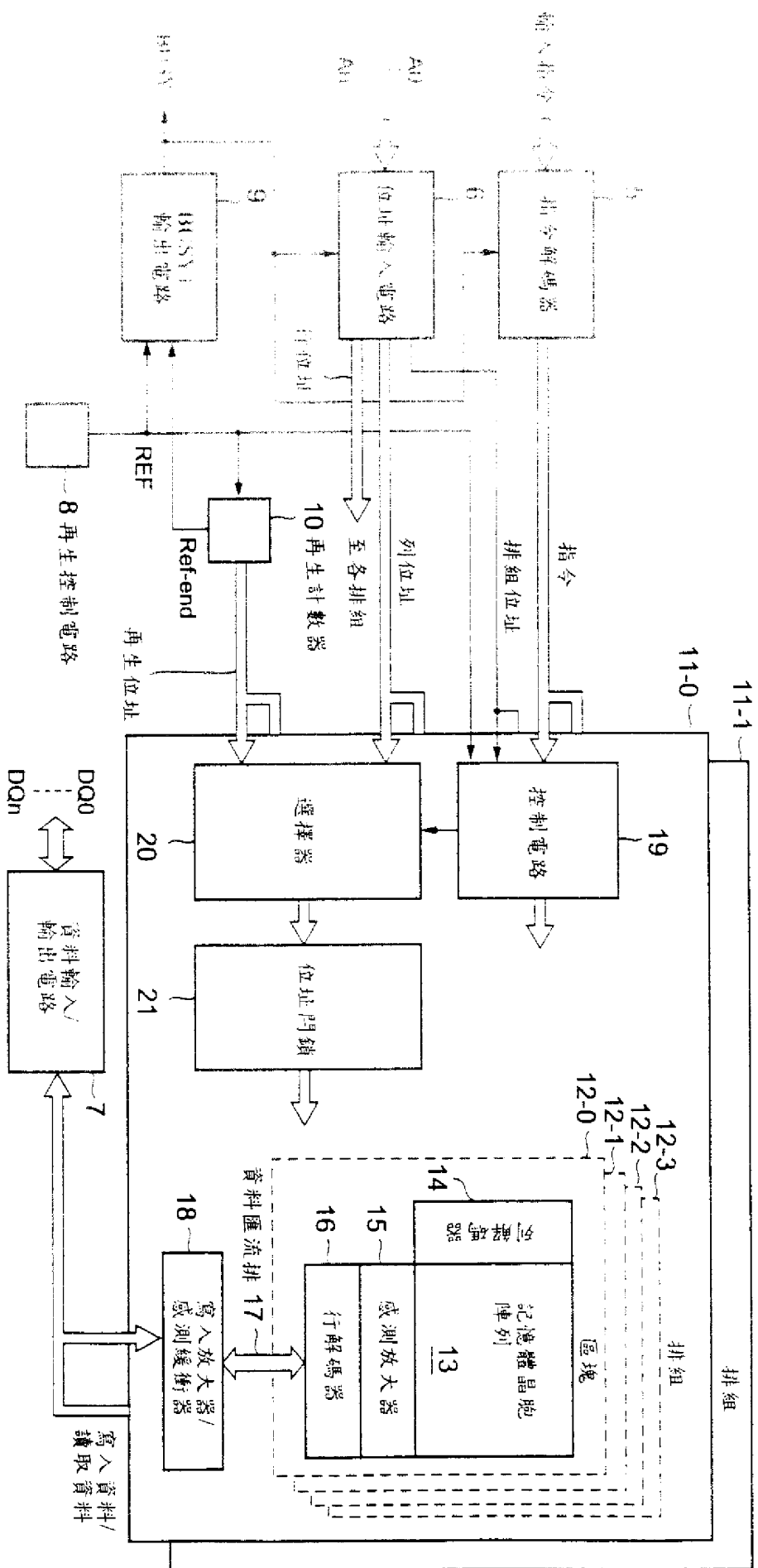
第 2B 圖



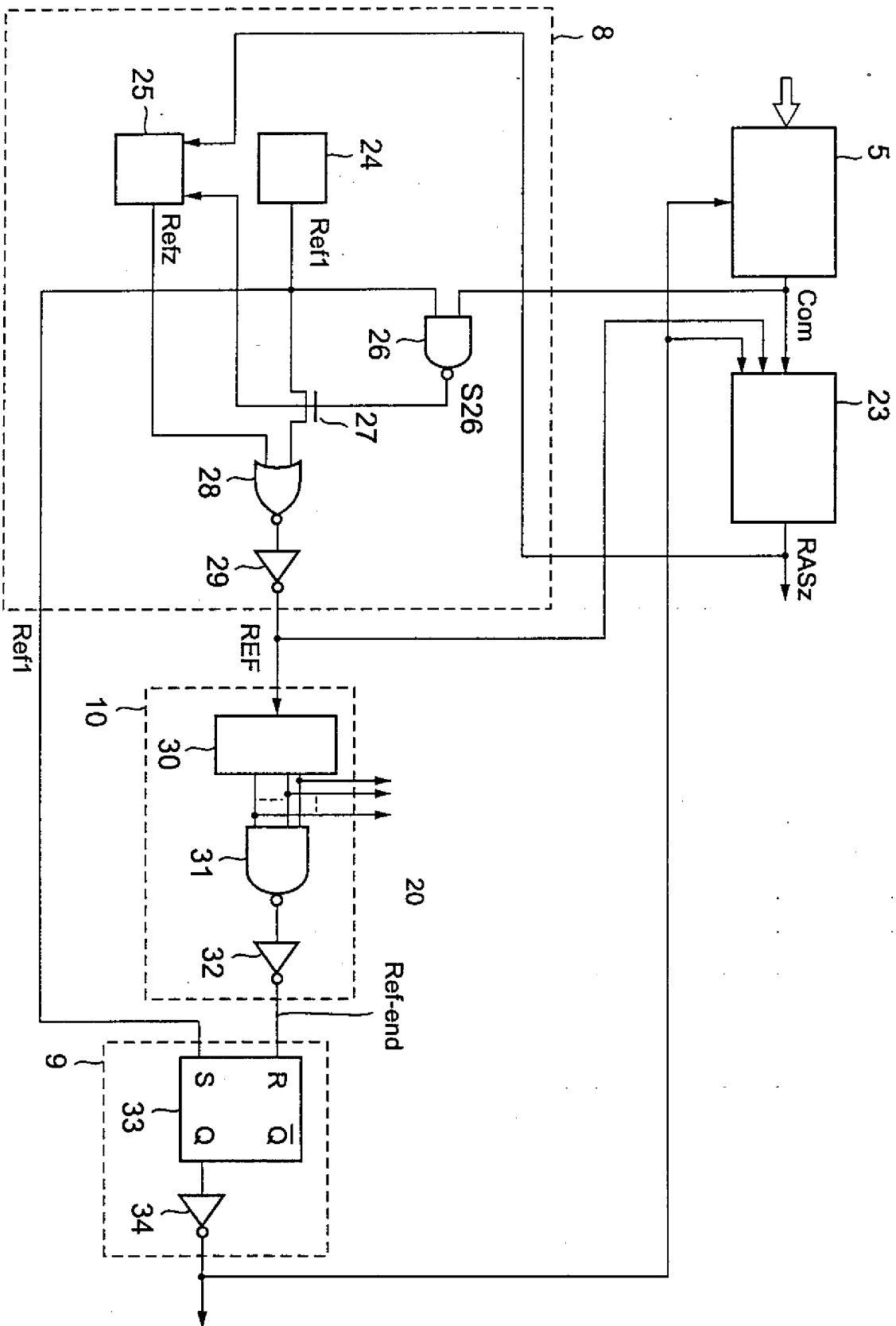
第 2C 圖



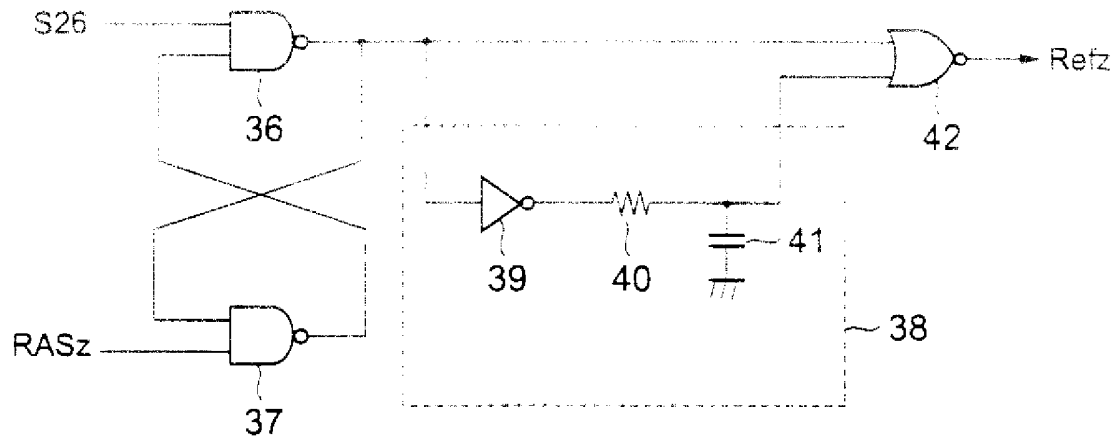
第 3 圖



第 4 圖



第 5 圖



第 6A 圖

第 6B 圖

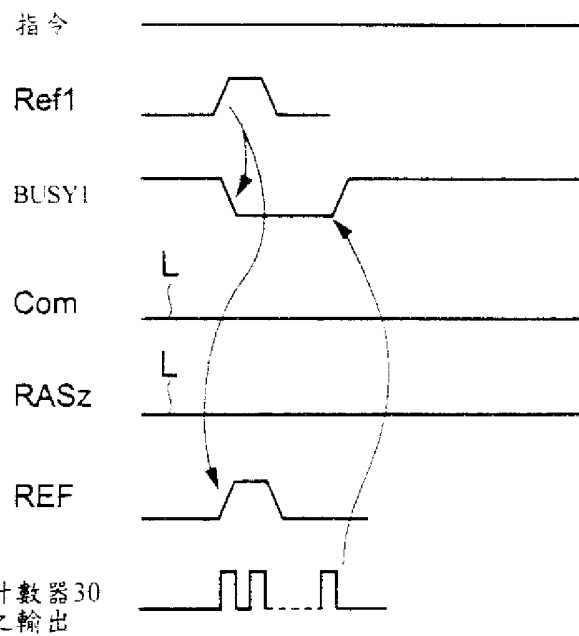
第 6C 圖

第 6D 圖

第 6E 圖

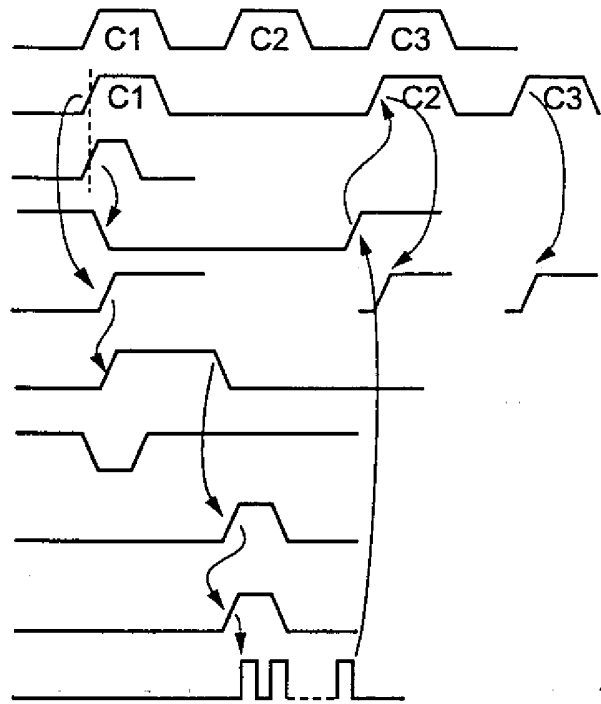
第 6F 圖

第 6G 圖

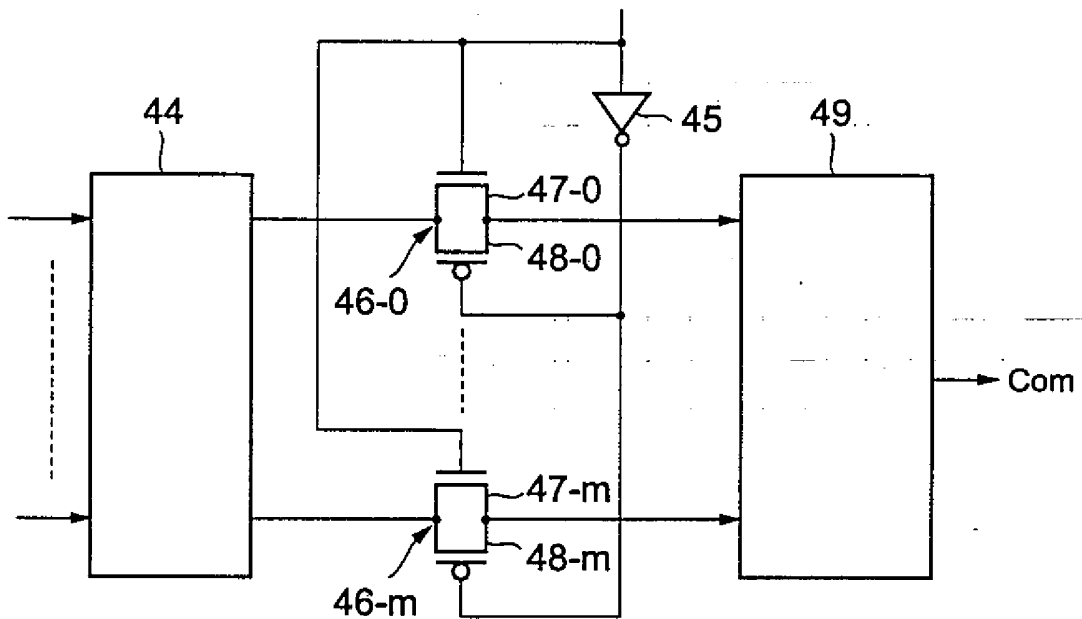


- 第7A圖
 第7B圖
 第7C圖
 第7D圖
 第7E圖
 第7F圖
 第7G圖
 第7H圖
 第7I圖
 第7J圖

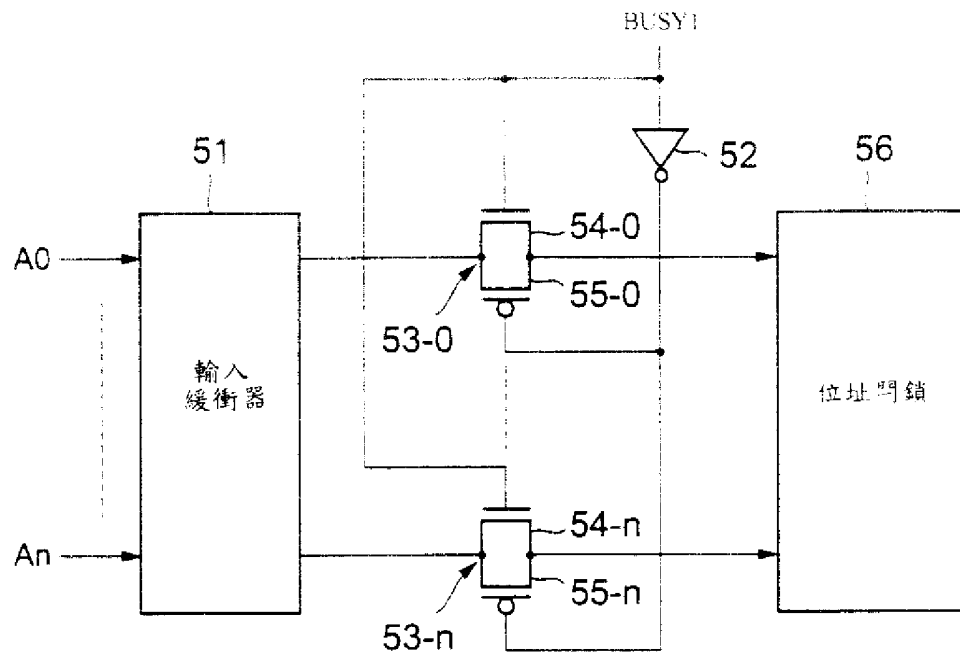
Ref1
 Com
 RASz
 S26
 Ref2
 REF



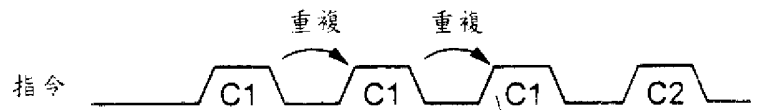
第8圖



第 9 圖



第10A圖



第10B圖



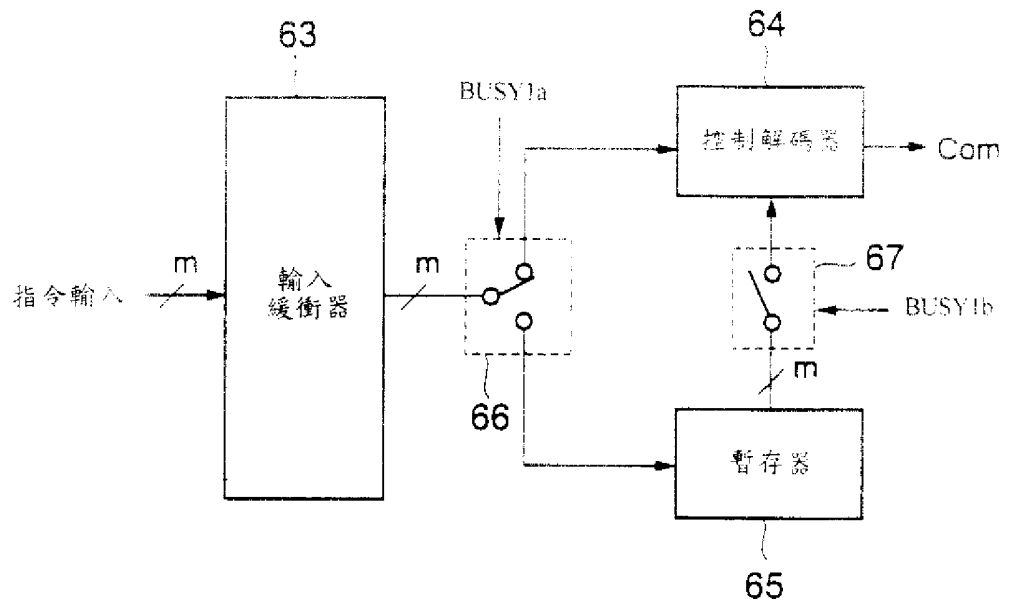
第10C圖



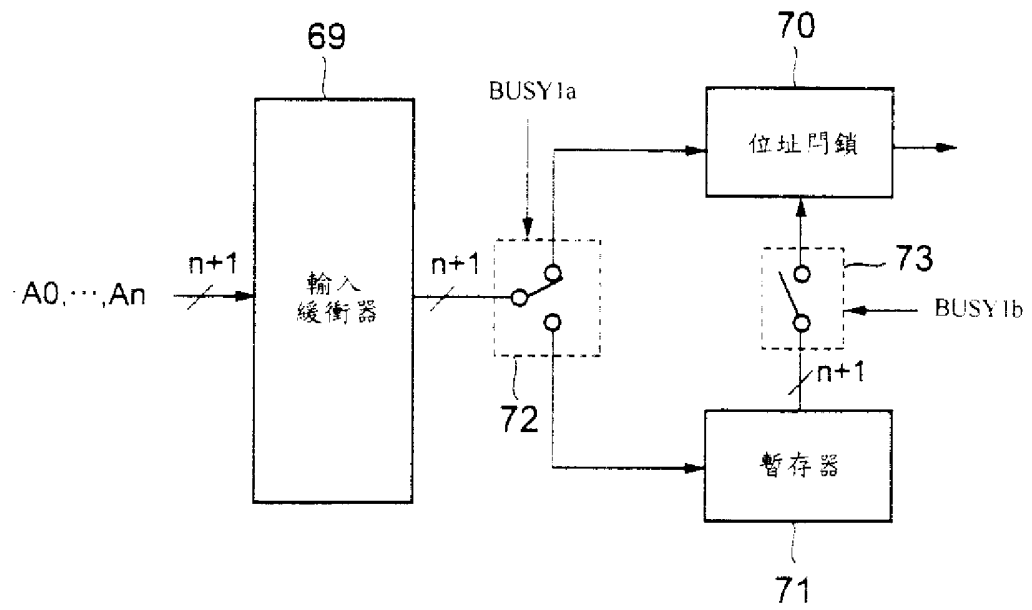
第10D圖



第 12 圖



第 13 圖



第14A圖

第14B圖

Ref1

第14C圖

第14D圖

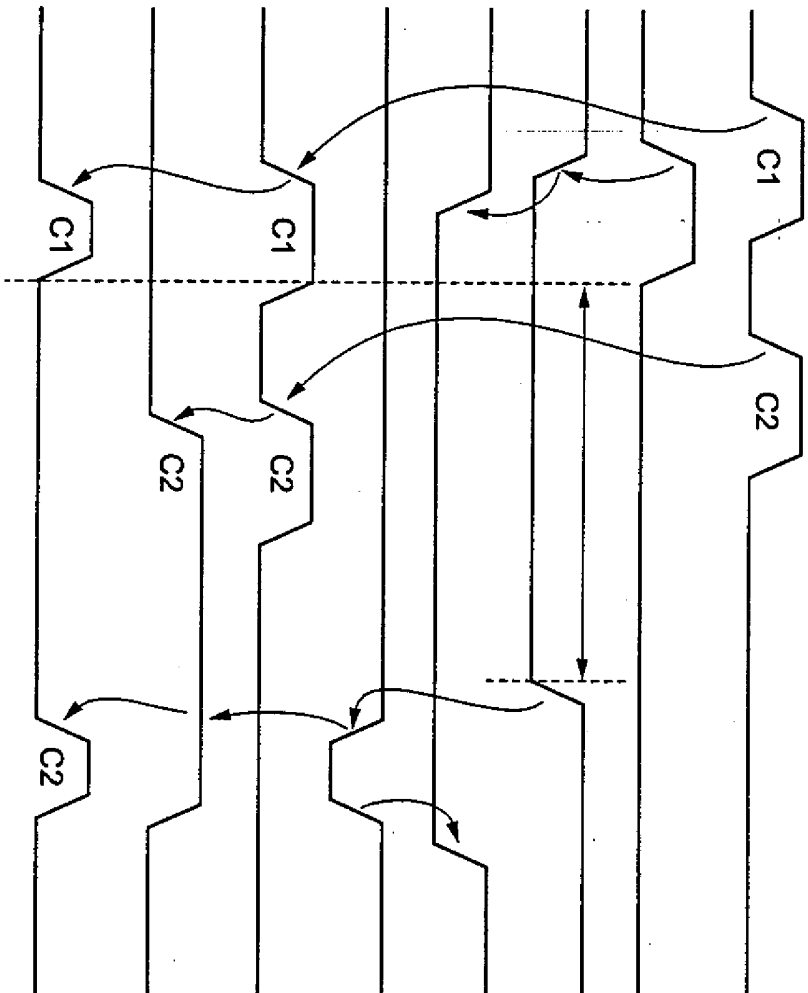
第14E圖

第14F圖

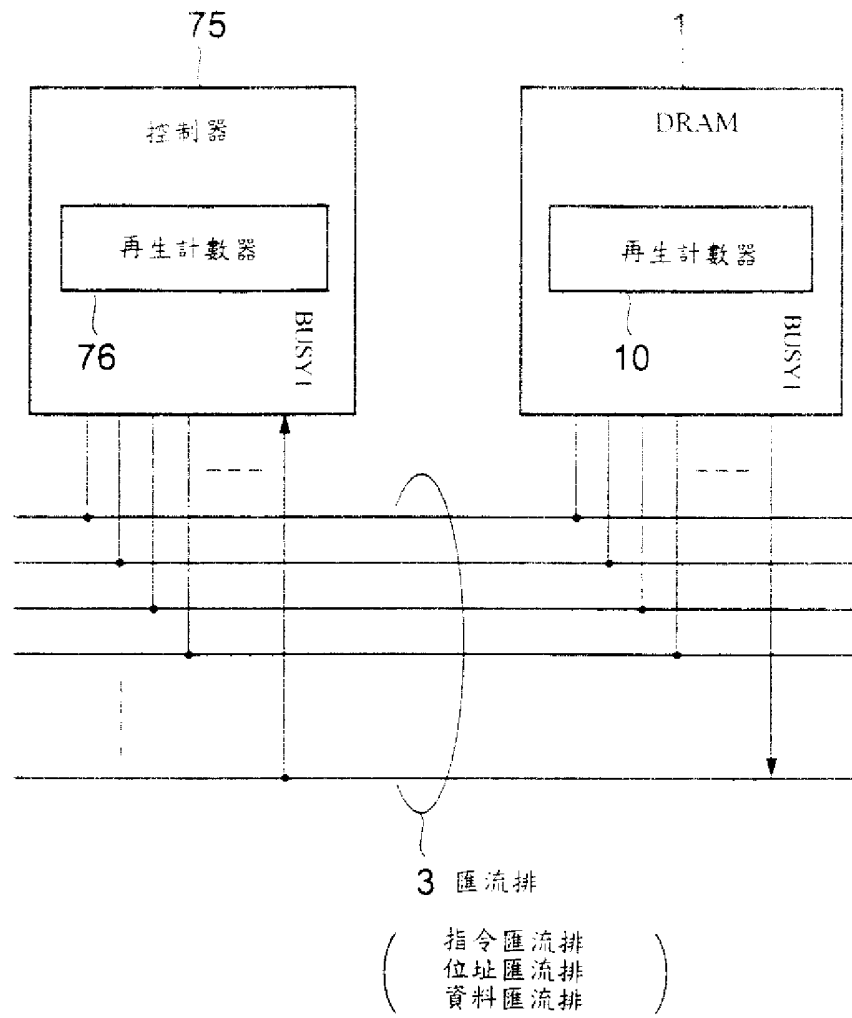
第14G圖

第14H圖

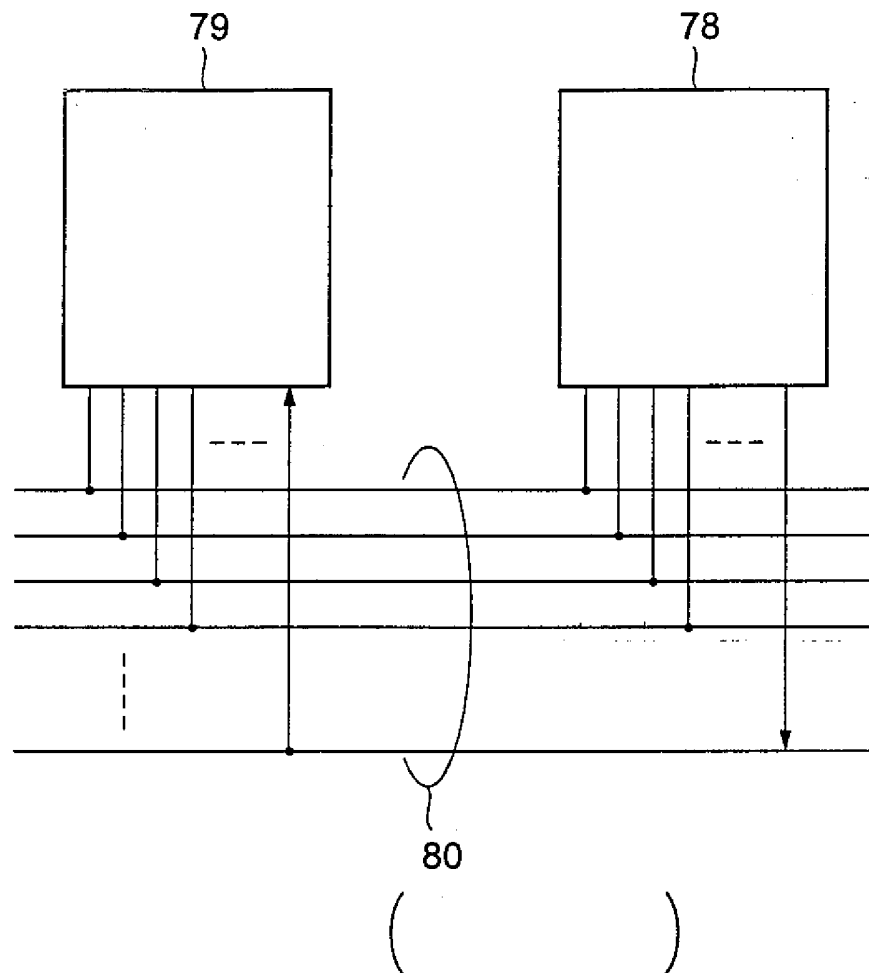
RASz



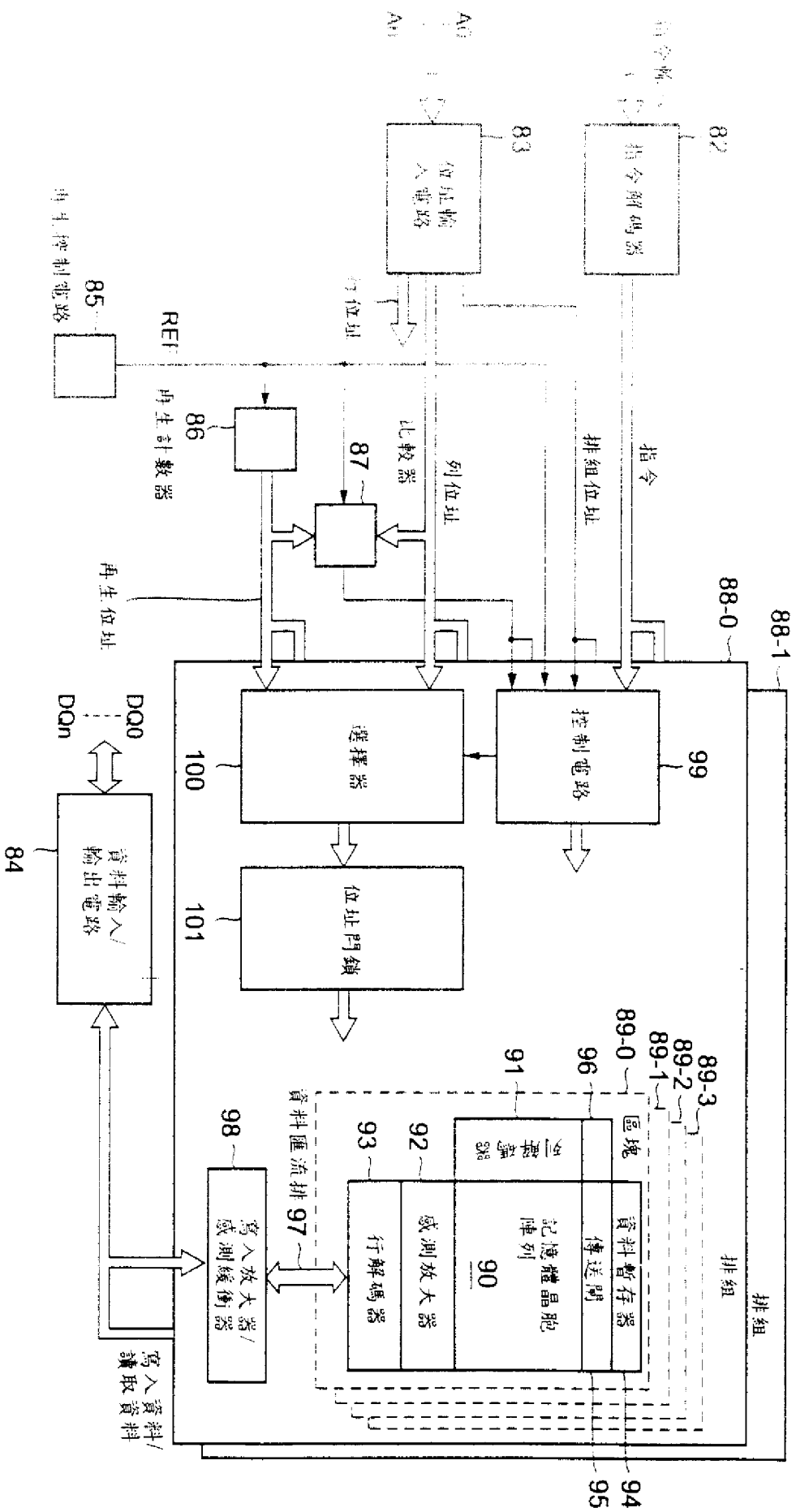
第 15 圖



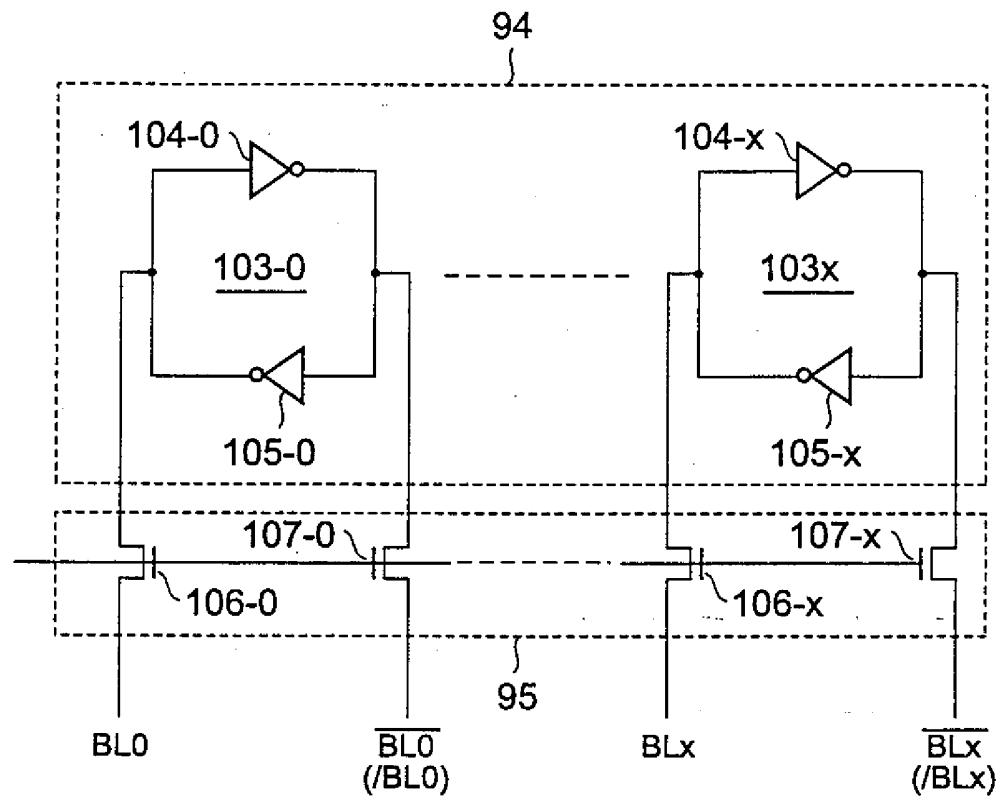
第 16 圖



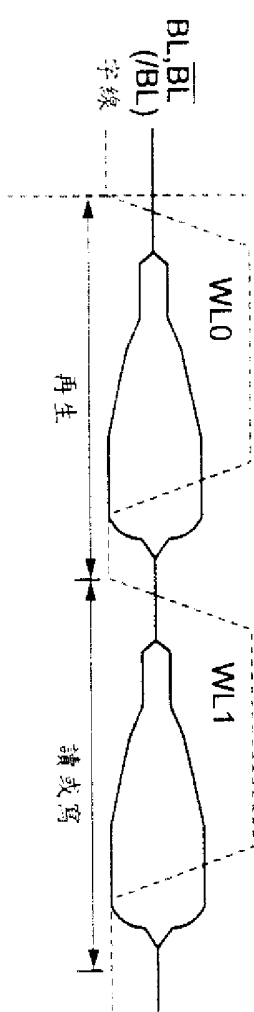
第17圖



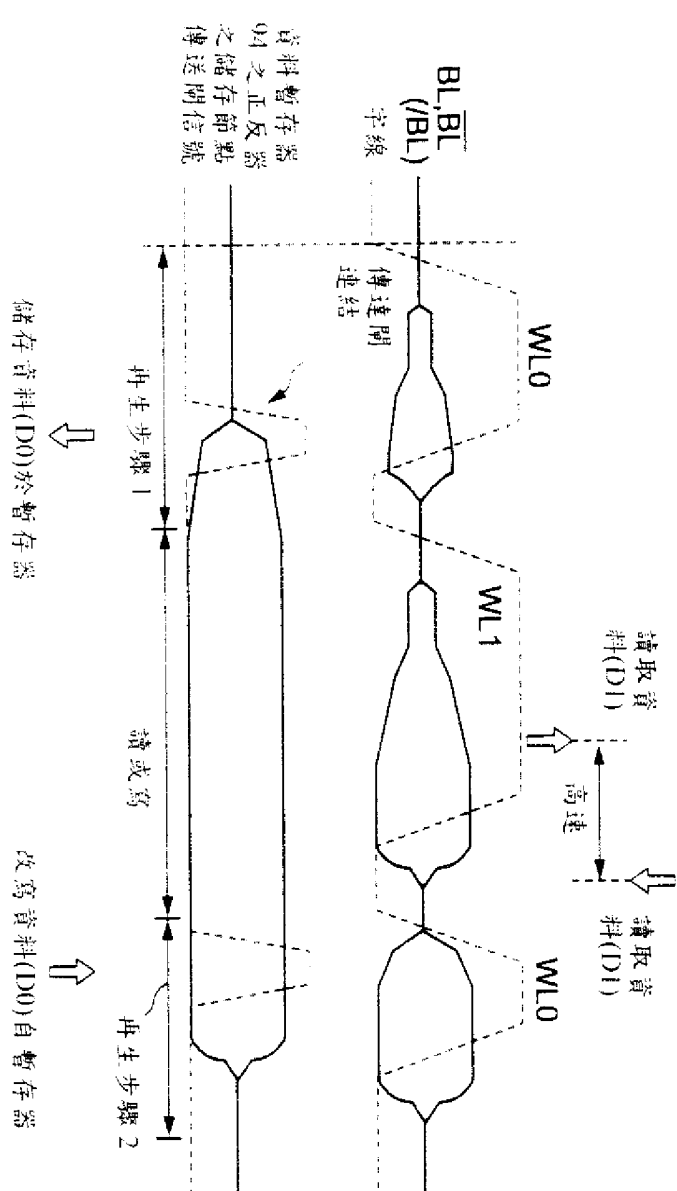
第 18 圖



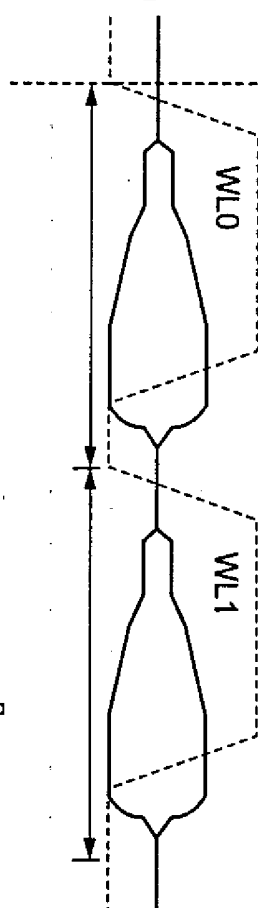
第19A圖



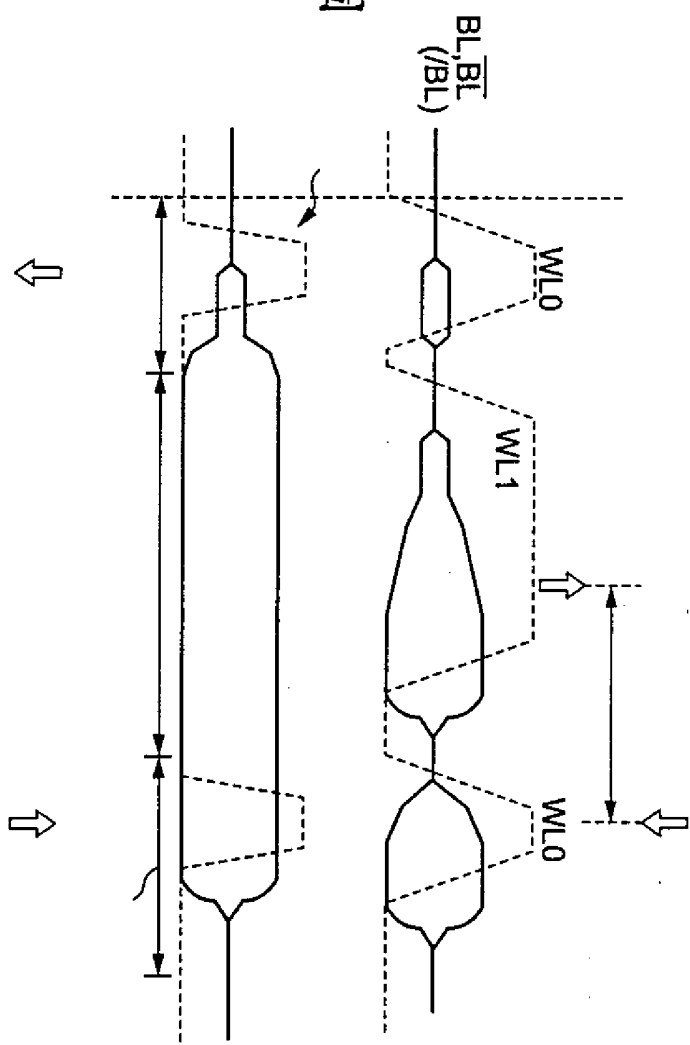
第19B圖



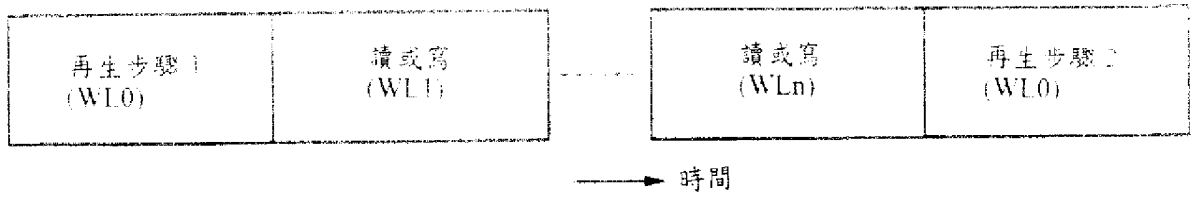
第 20A 圖



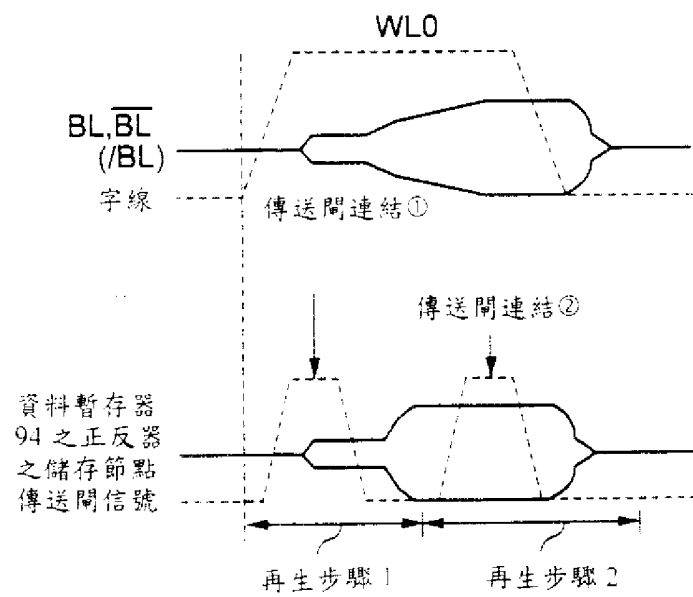
第 20B 圖



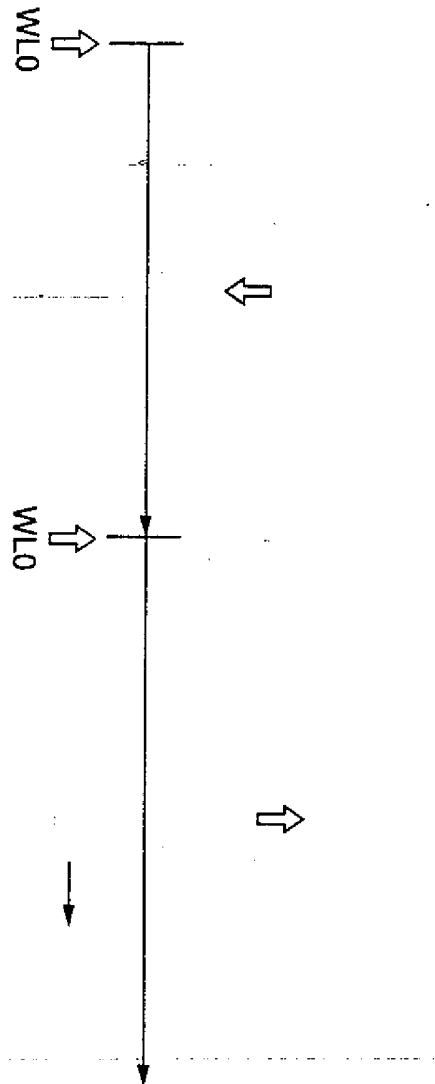
第 21 圖



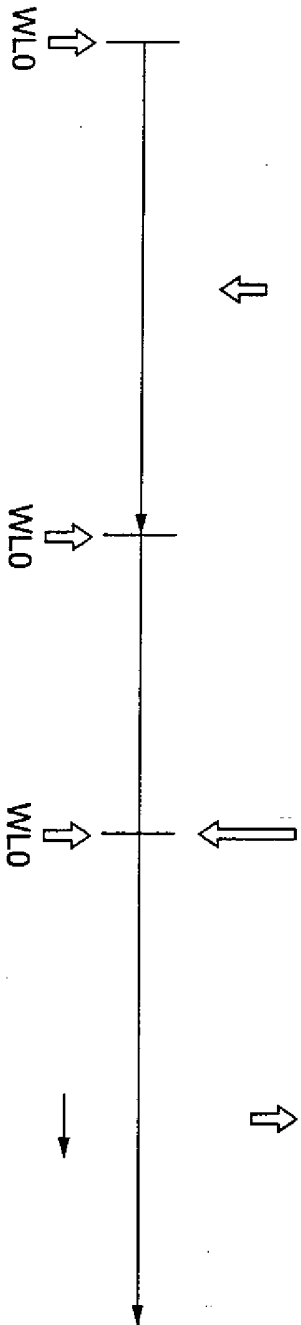
第 22 圖



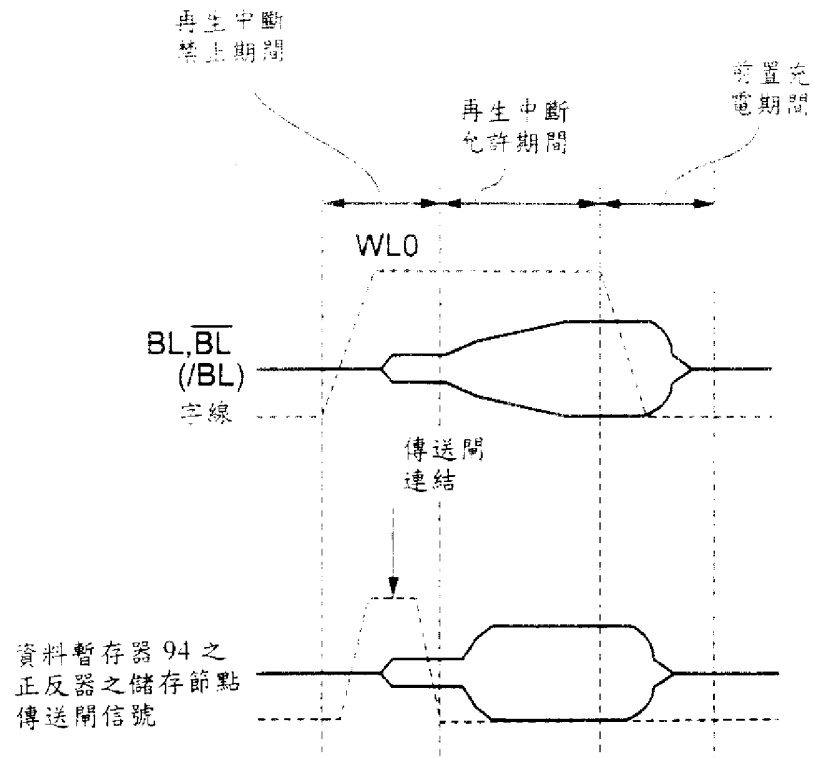
第23A圖



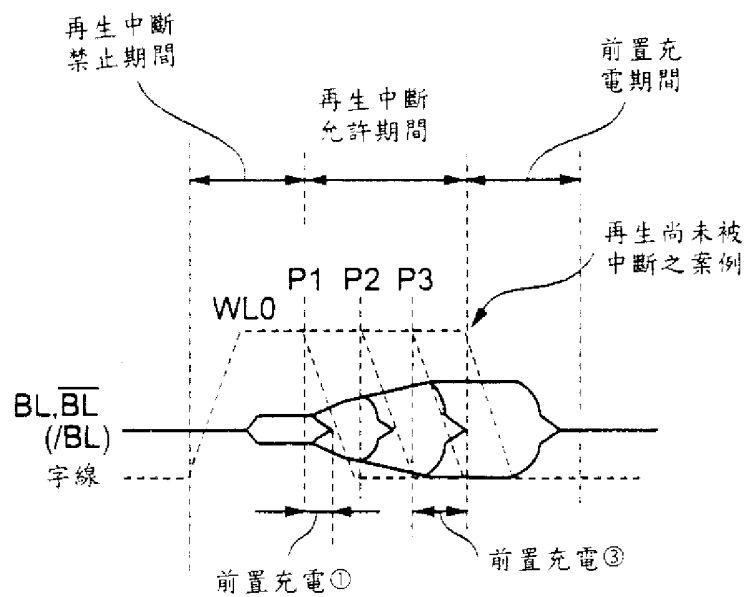
第23B圖



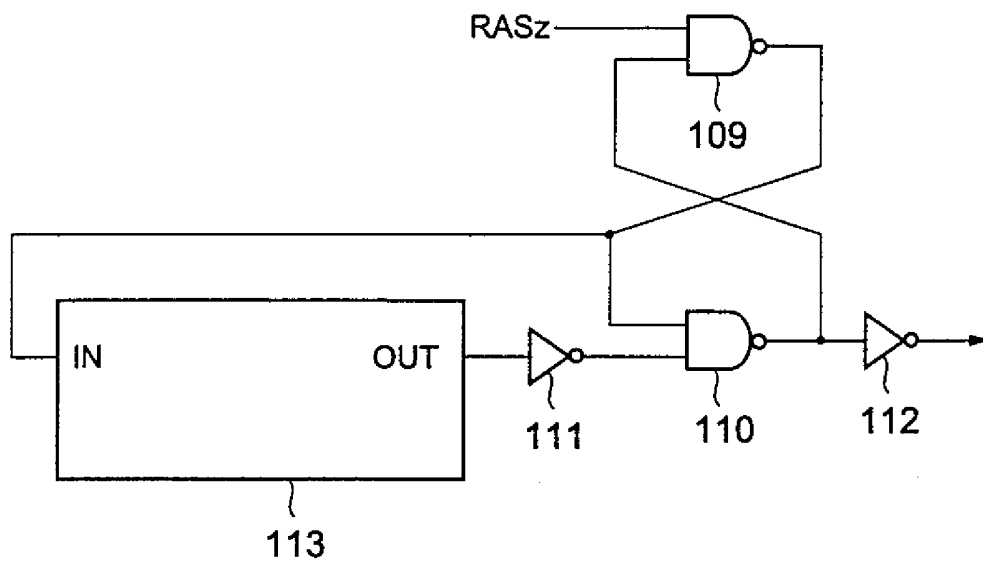
第 24 圖



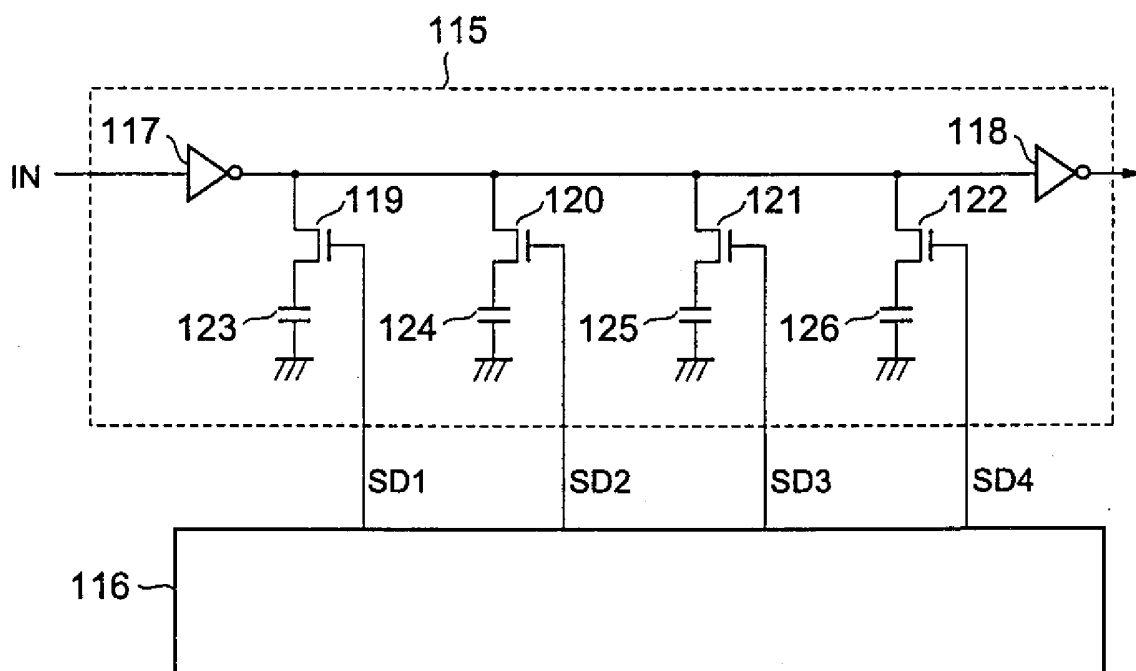
第 25 圖



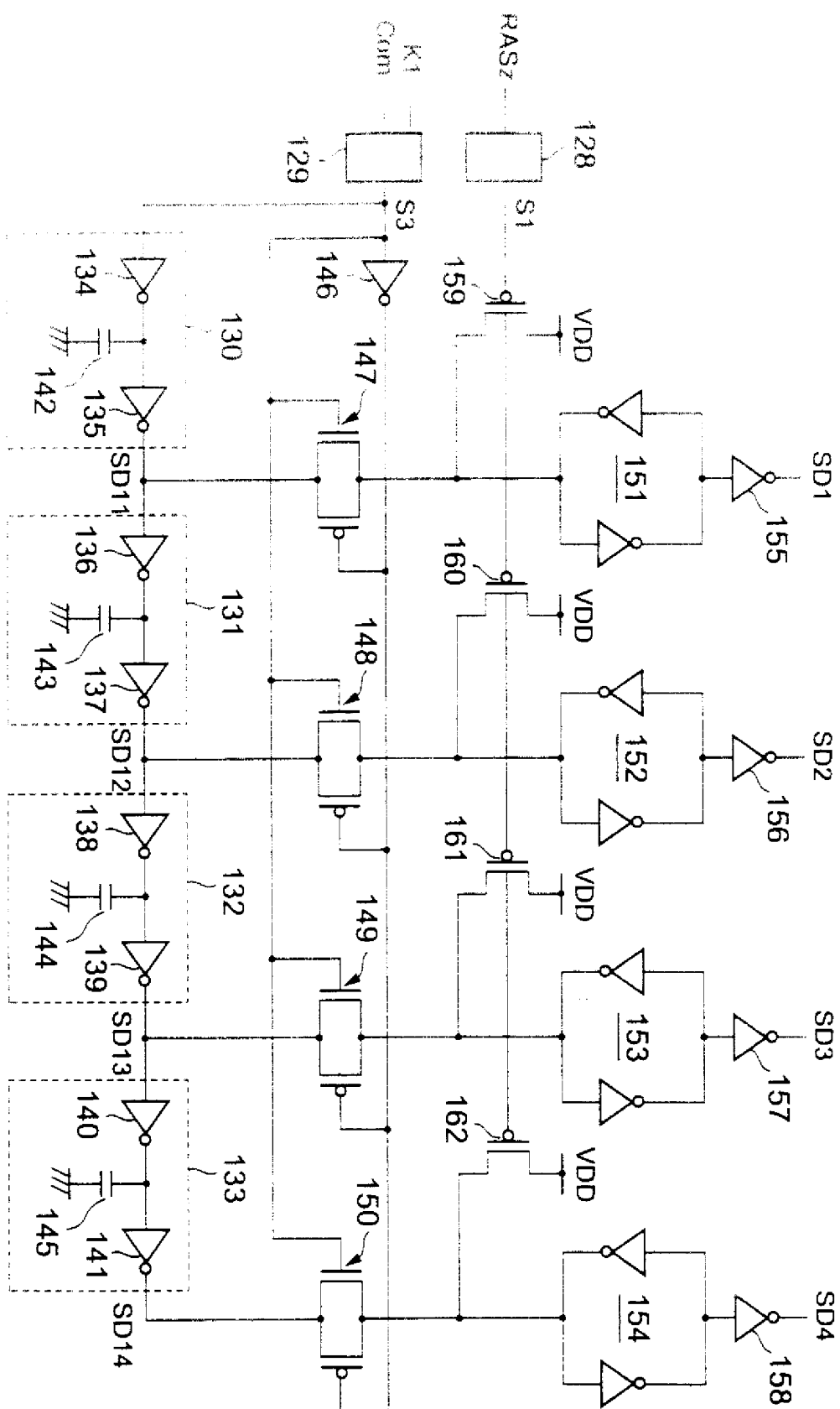
第 26 圖



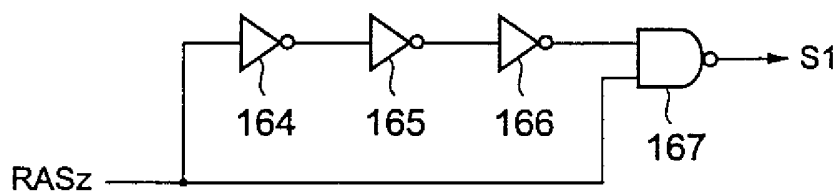
第 27 圖



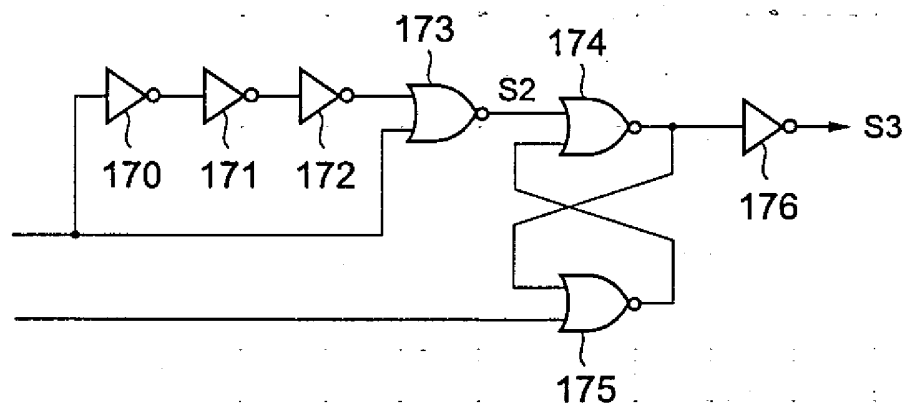
第28回



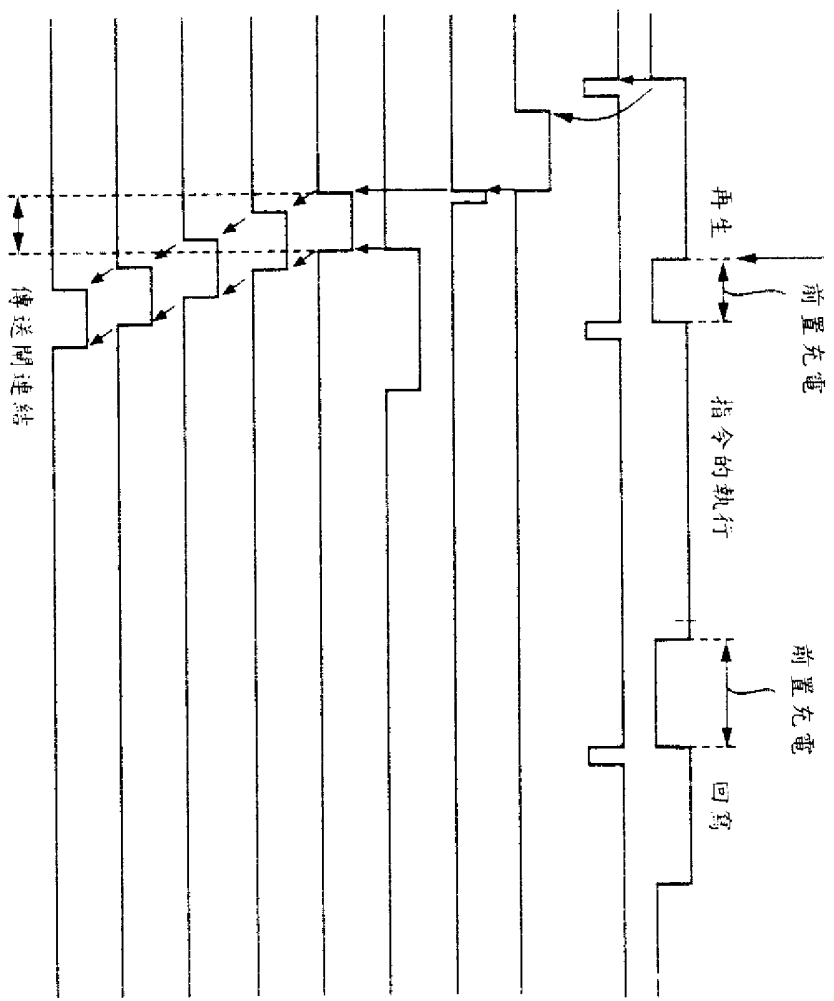
第 29 圖



第 30 圖

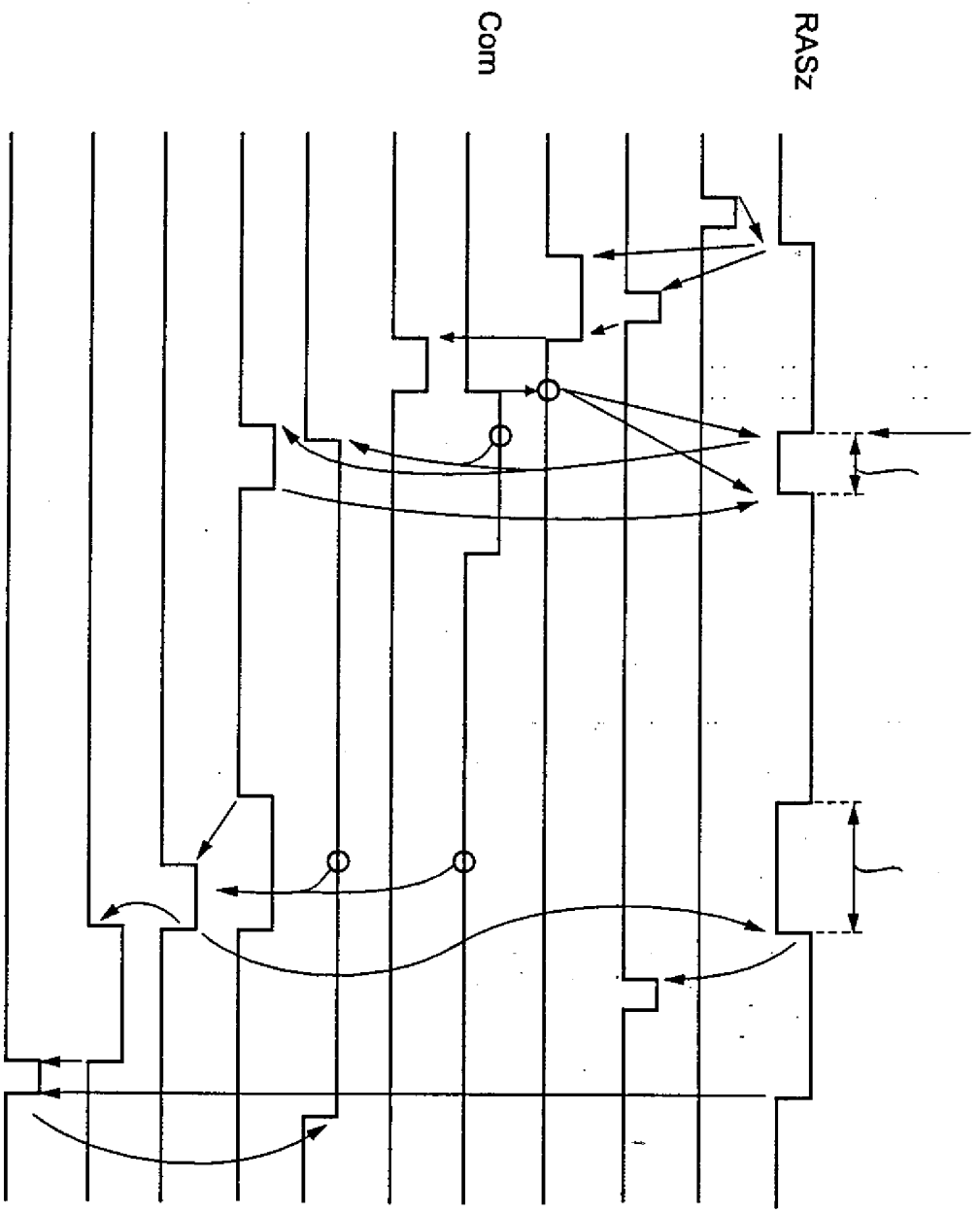


再生的中斷

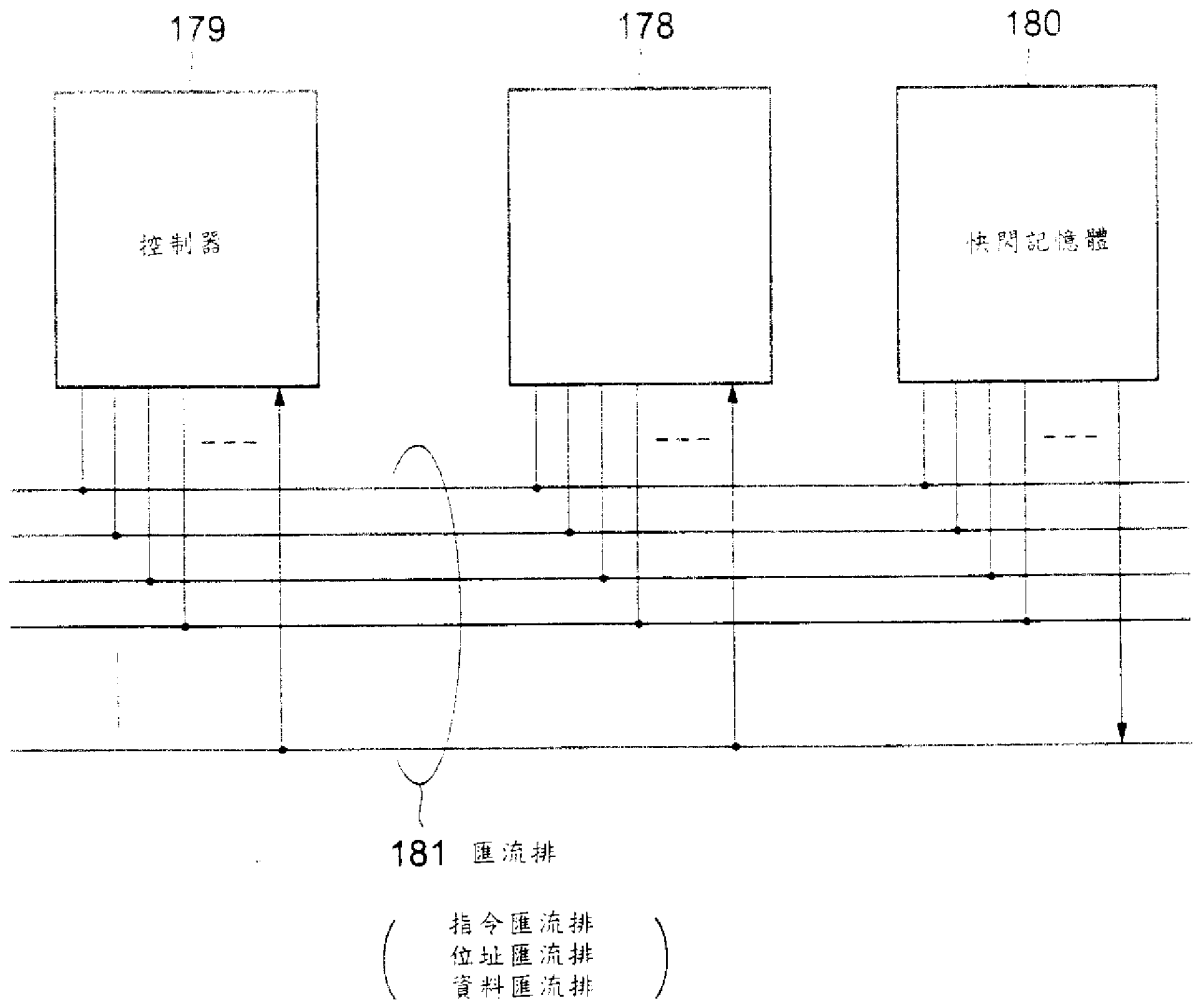


- 第 31A 圖 RASz
- 第 31B 圖 S1
- 第 31C 圖 K1
- 第 31D 圖 S2
- 第 31E 圖 Com
- 第 31F 圖 S3
- 第 31G 圖 SD11
- 第 31H 圖 SD12
- 第 31I 圖 SD13
- 第 31J 圖 SD14

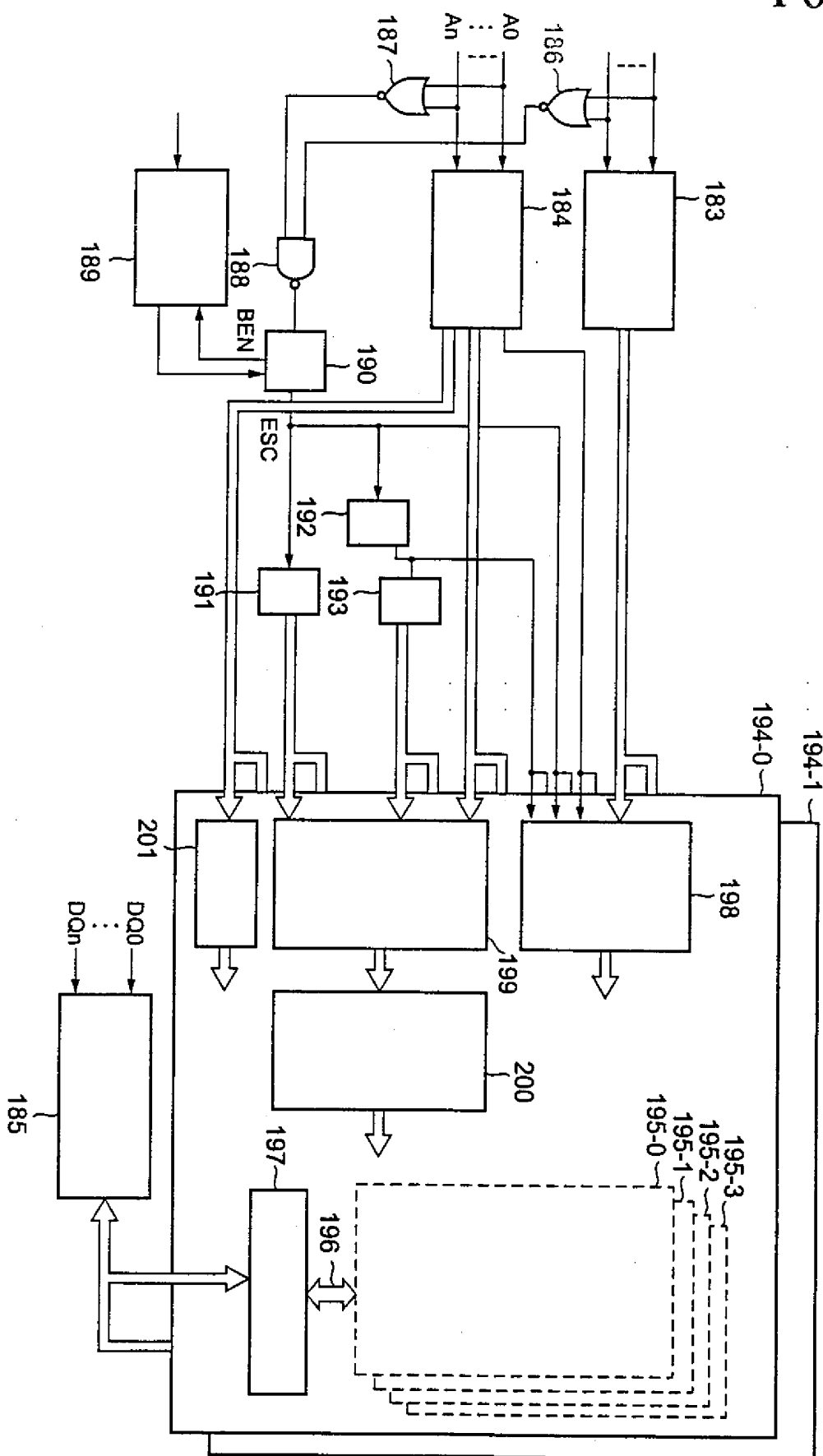
- 第32A圖
- 第32B圖
- 第32C圖
- 第32D圖
- 第32E圖
- 第32F圖
- 第32G圖
- 第32H圖
- 第32I圖
- 第32J圖
- 第32K圖



第 33 圖



第 34 圖



第 35A 圖

第 35B 圖

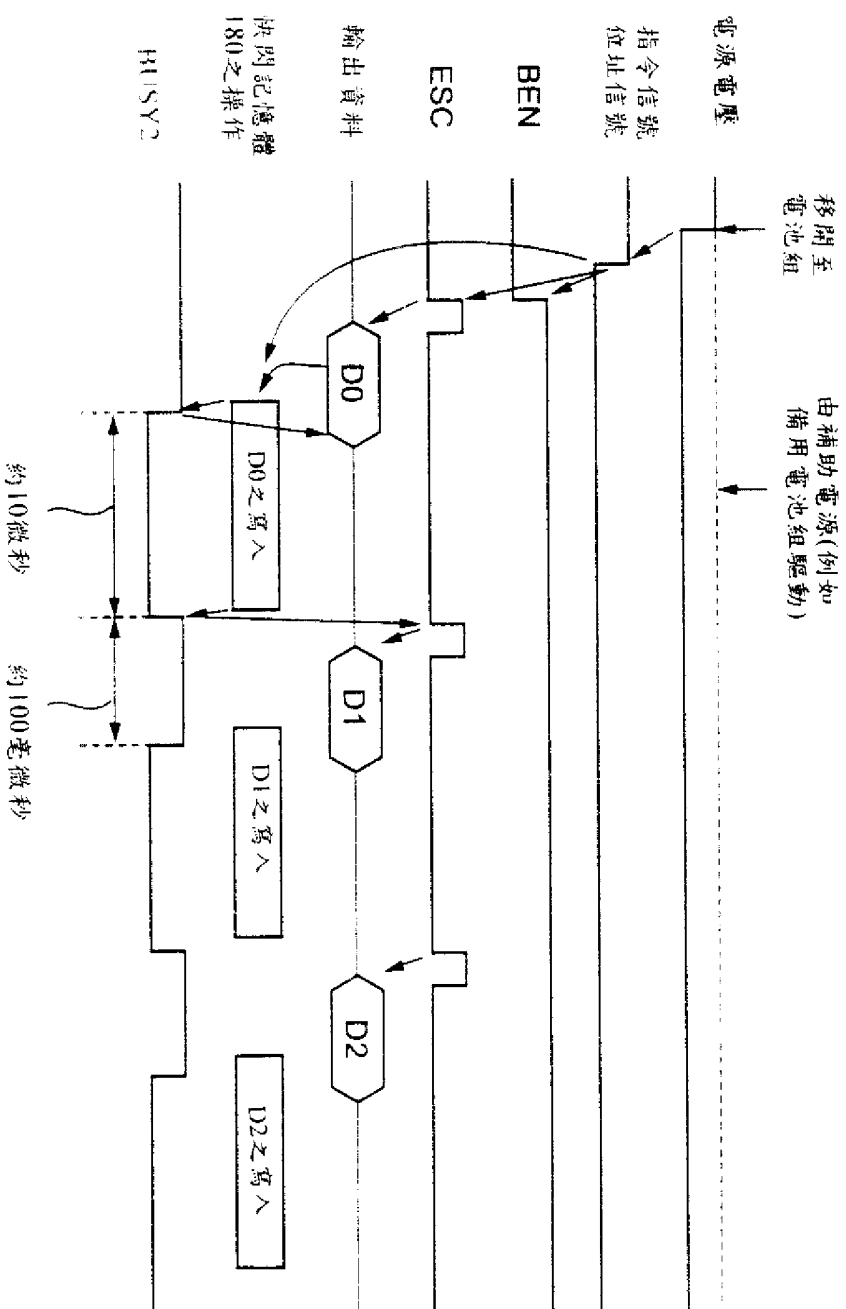
第 35C 圖

第 35D 圖

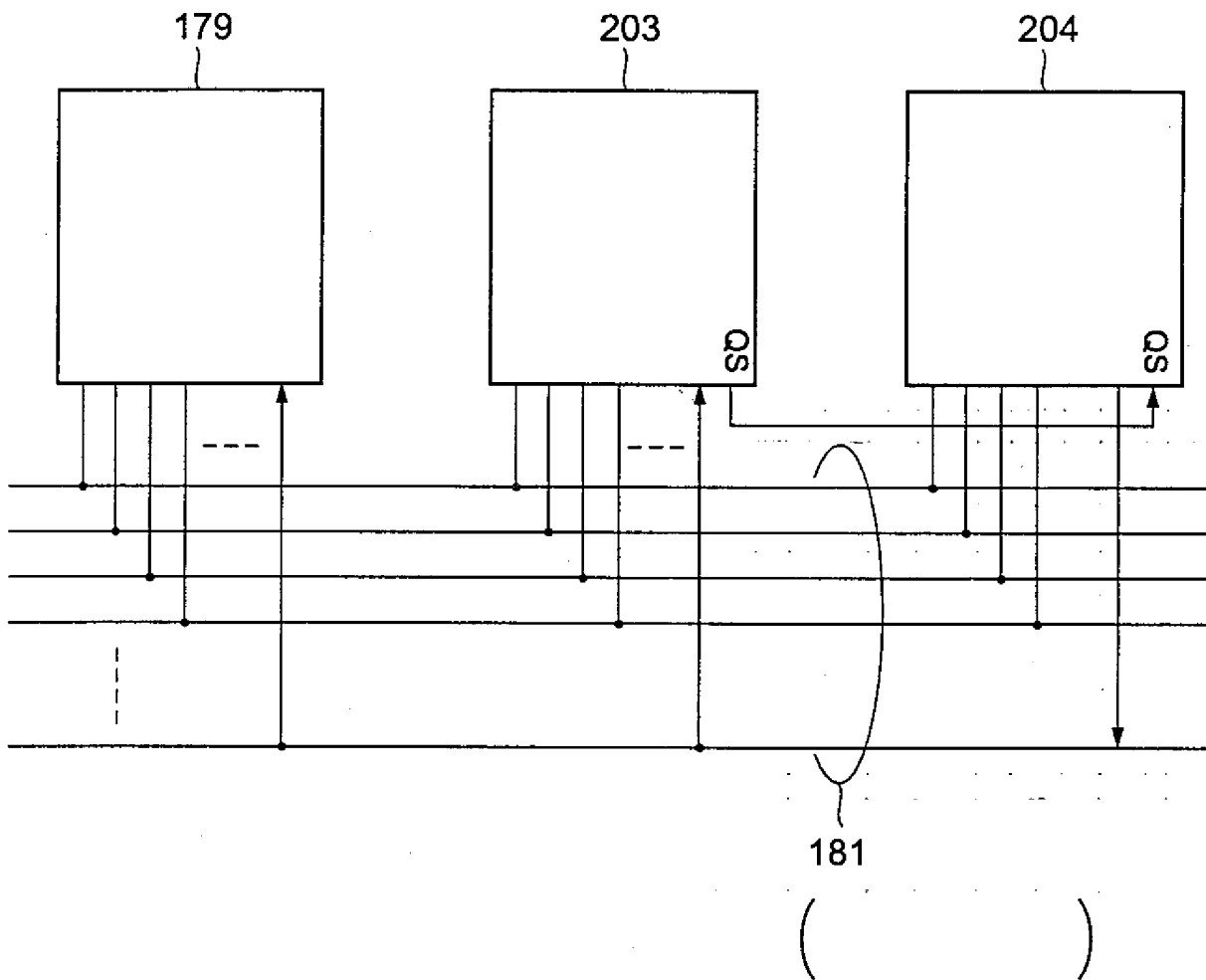
第 35E 圖

第 35F 圖

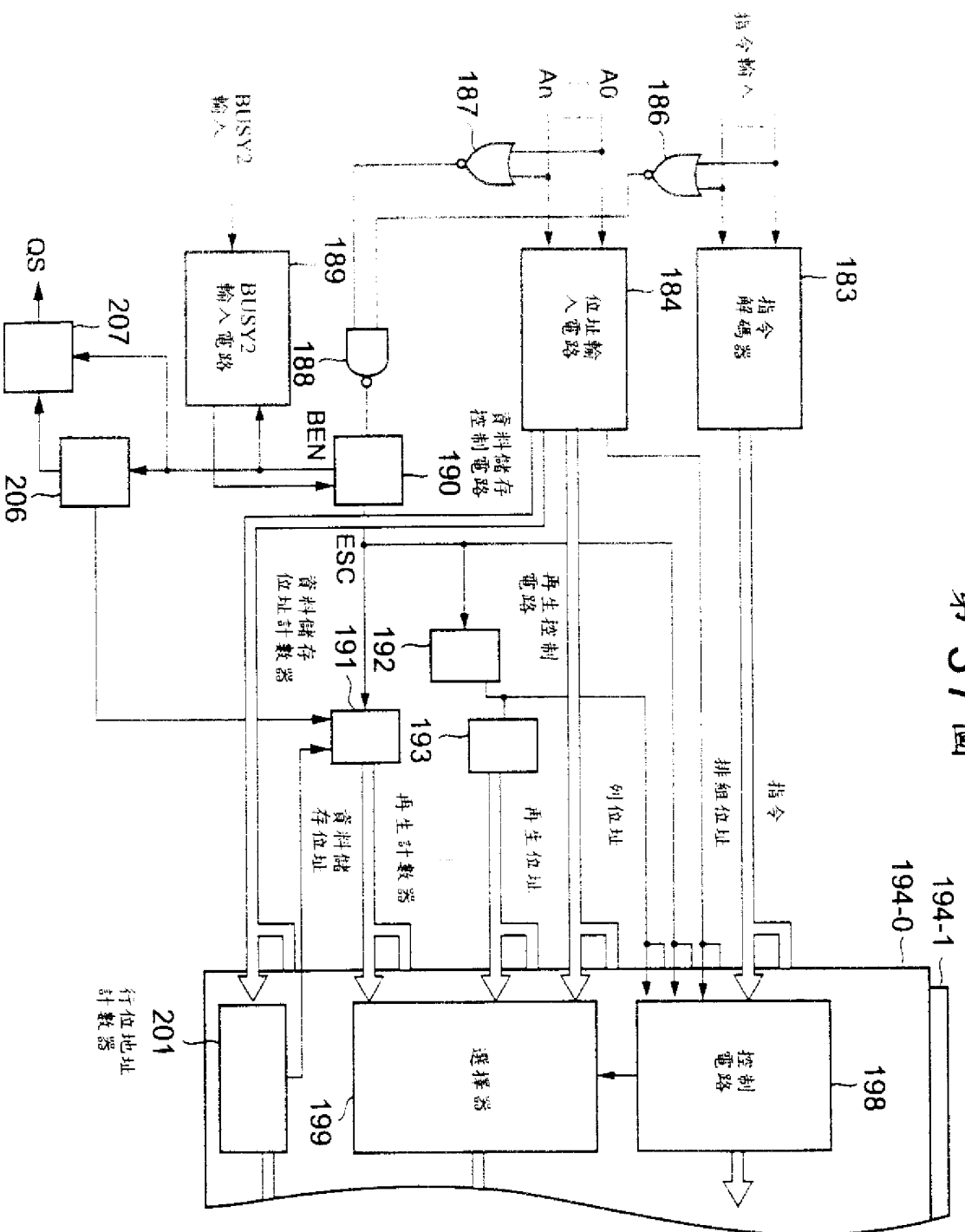
第 35G 圖



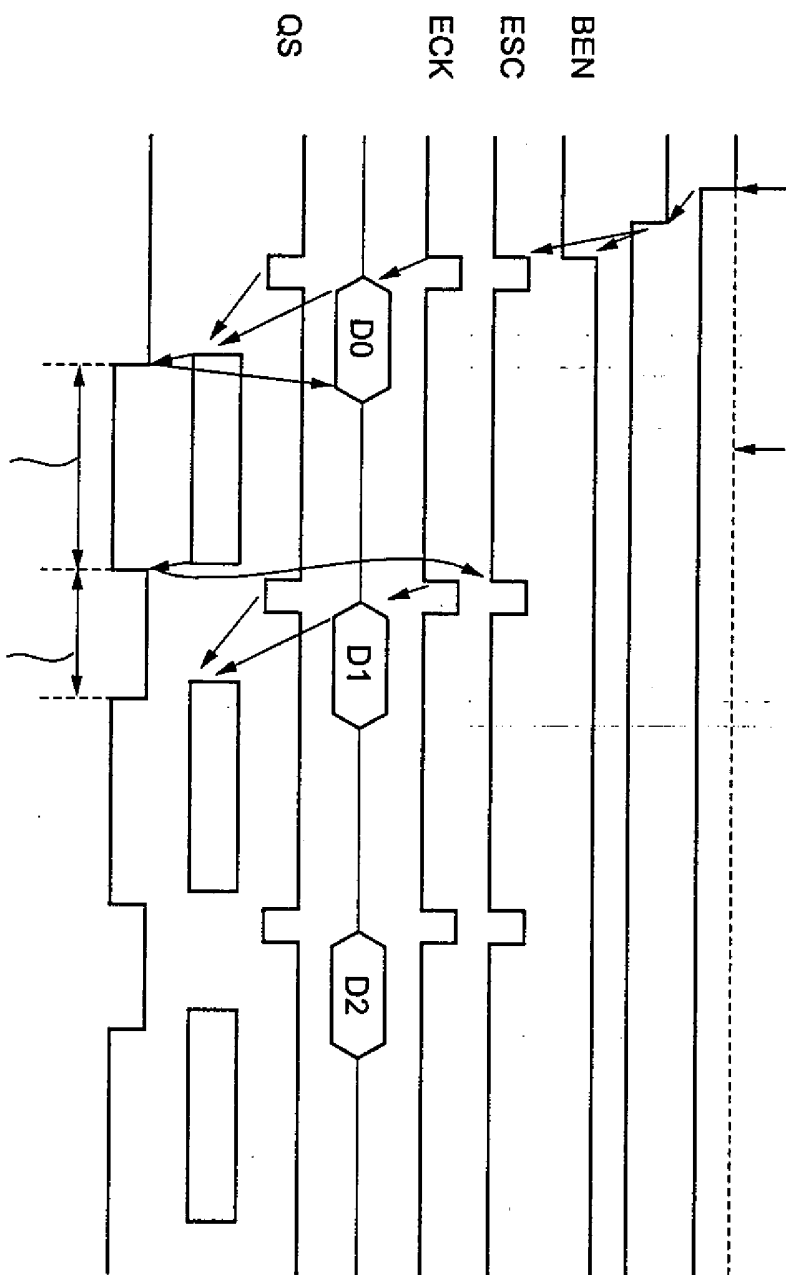
第 36 圖



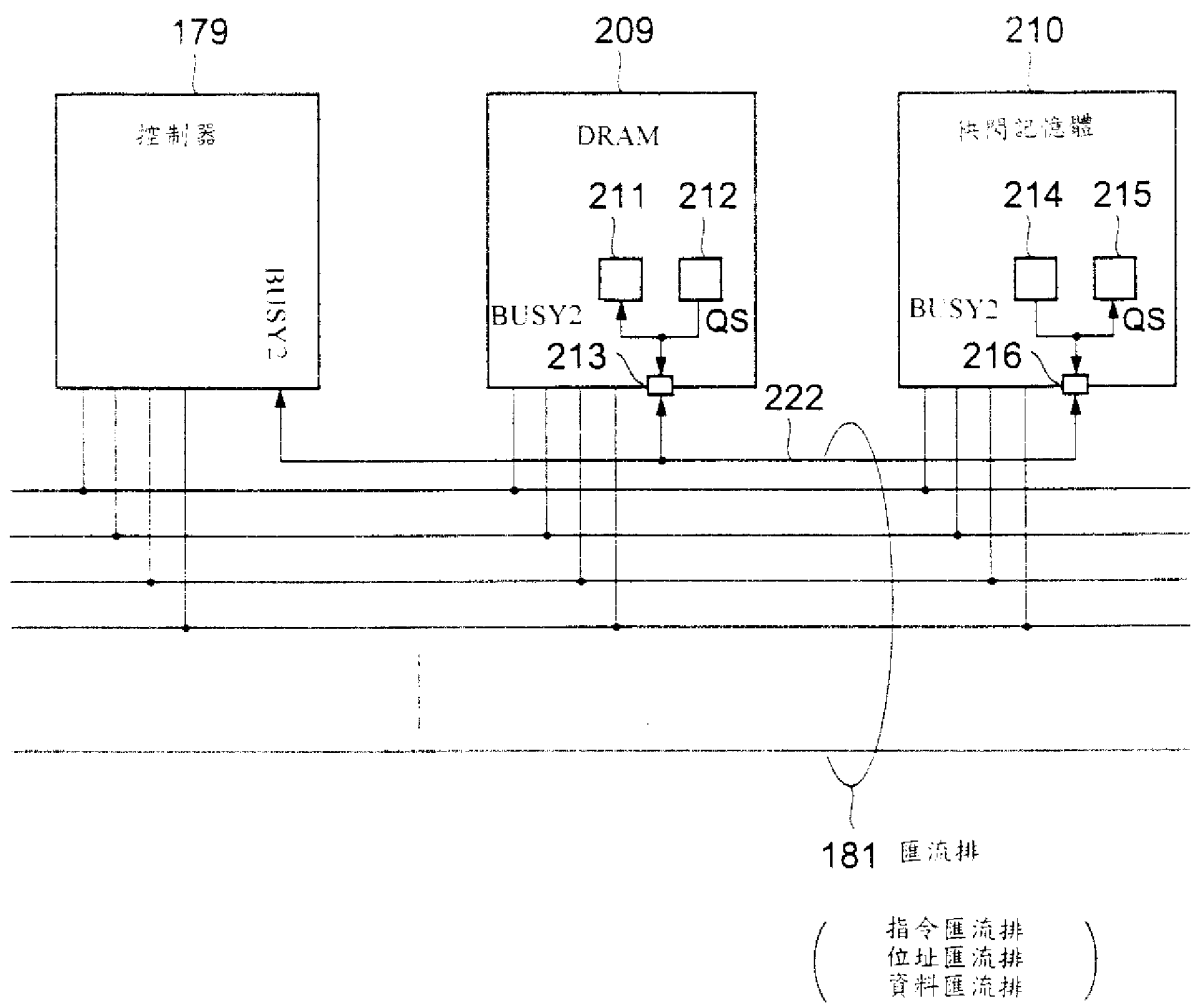
第 37 圖



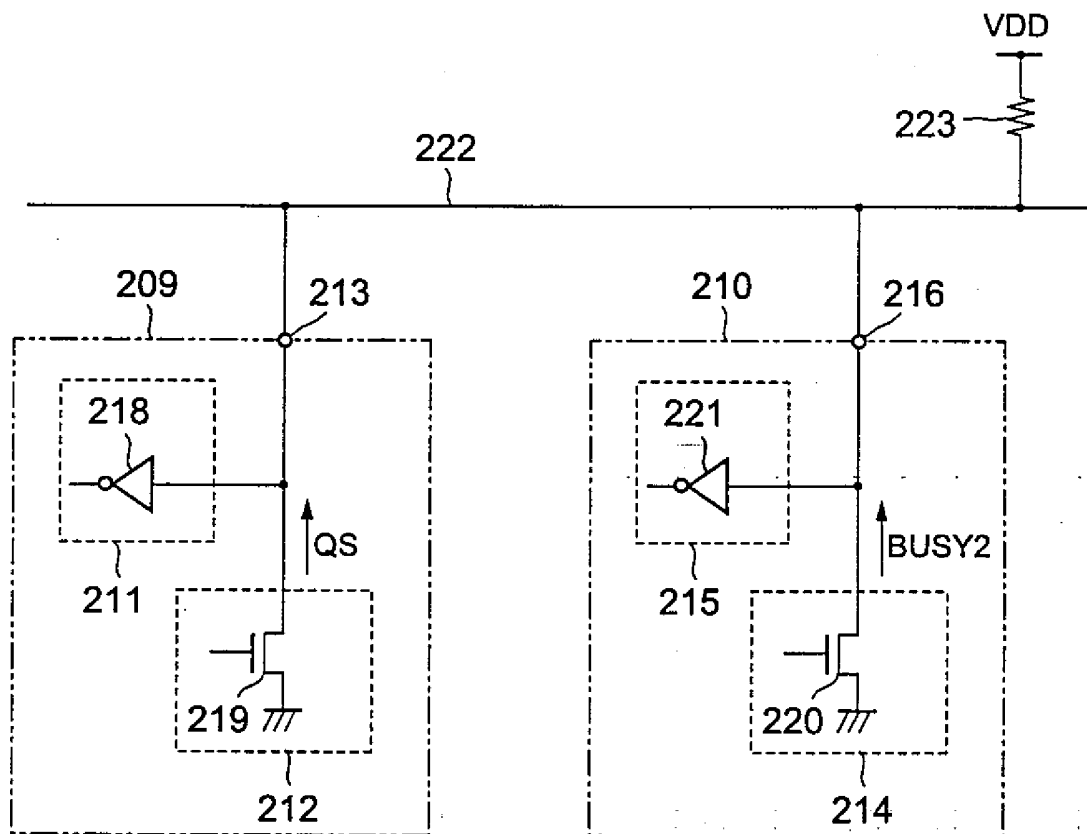
第 38A 圖
第 38B 圖
第 38C 圖
第 38D 圖
第 38E 圖
第 38F 圖
第 38G 圖
第 38H 圖
第 38I 圖



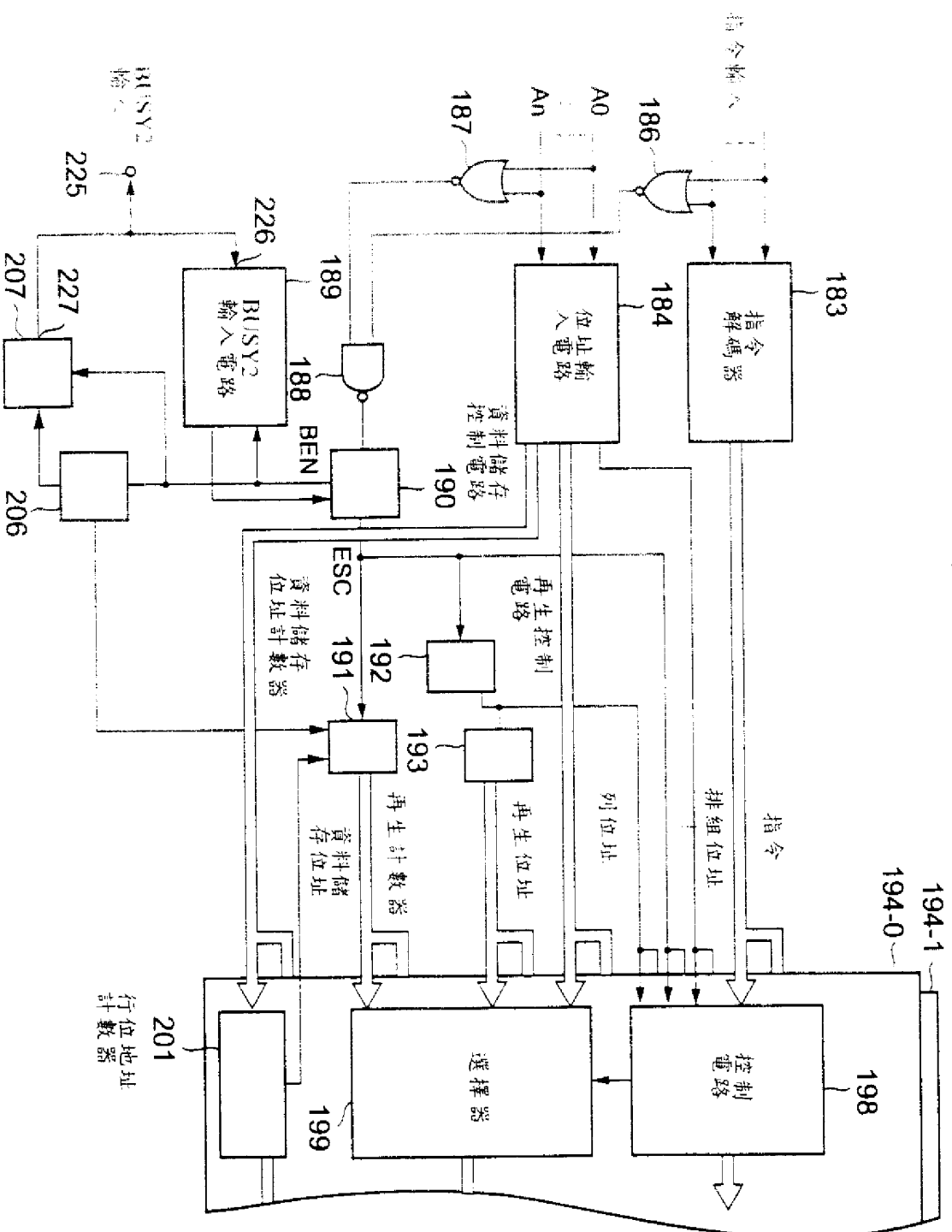
第 39 圖



第 40 圖

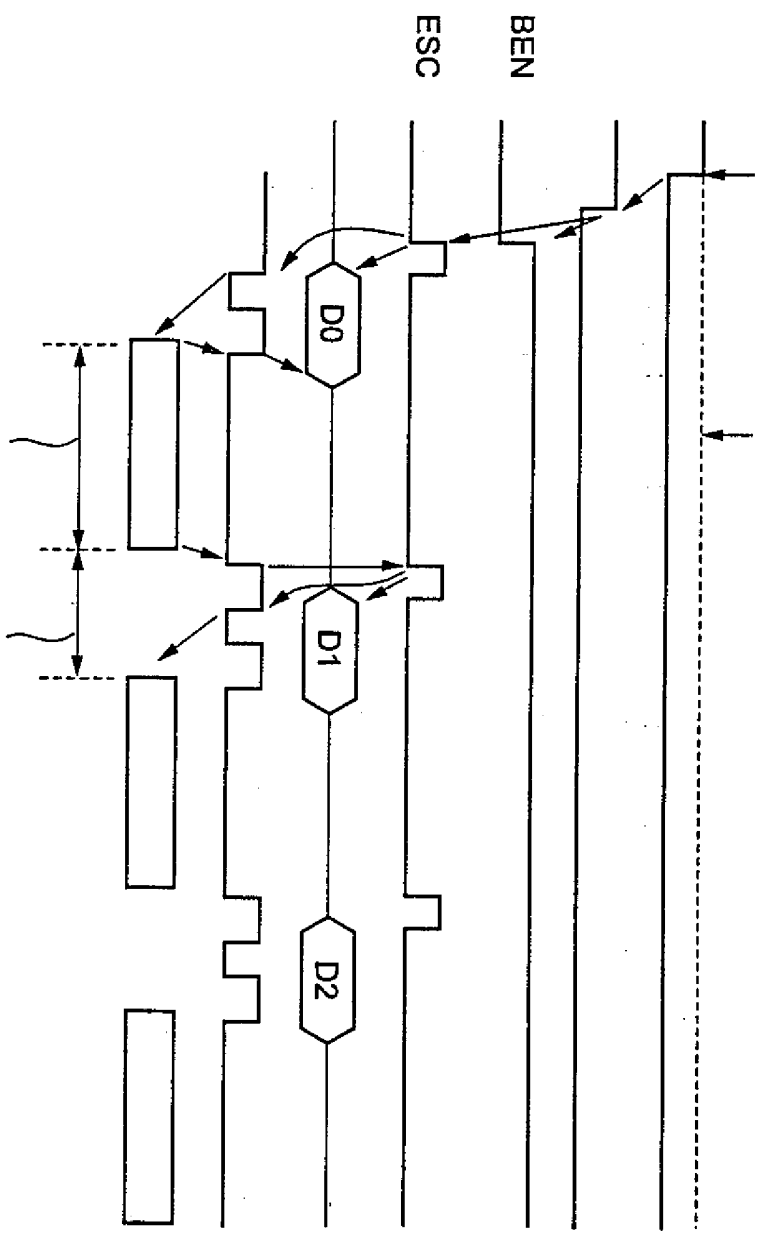


第41回



468184

- 第42A圖
- 第42B圖
- 第42C圖
- 第42D圖
- 第42E圖
- 第42F圖
- 第42G圖



移開至
電池組

由補助電源(例如
備用電池組驅動)

第43A圖

第43B圖

第43C圖

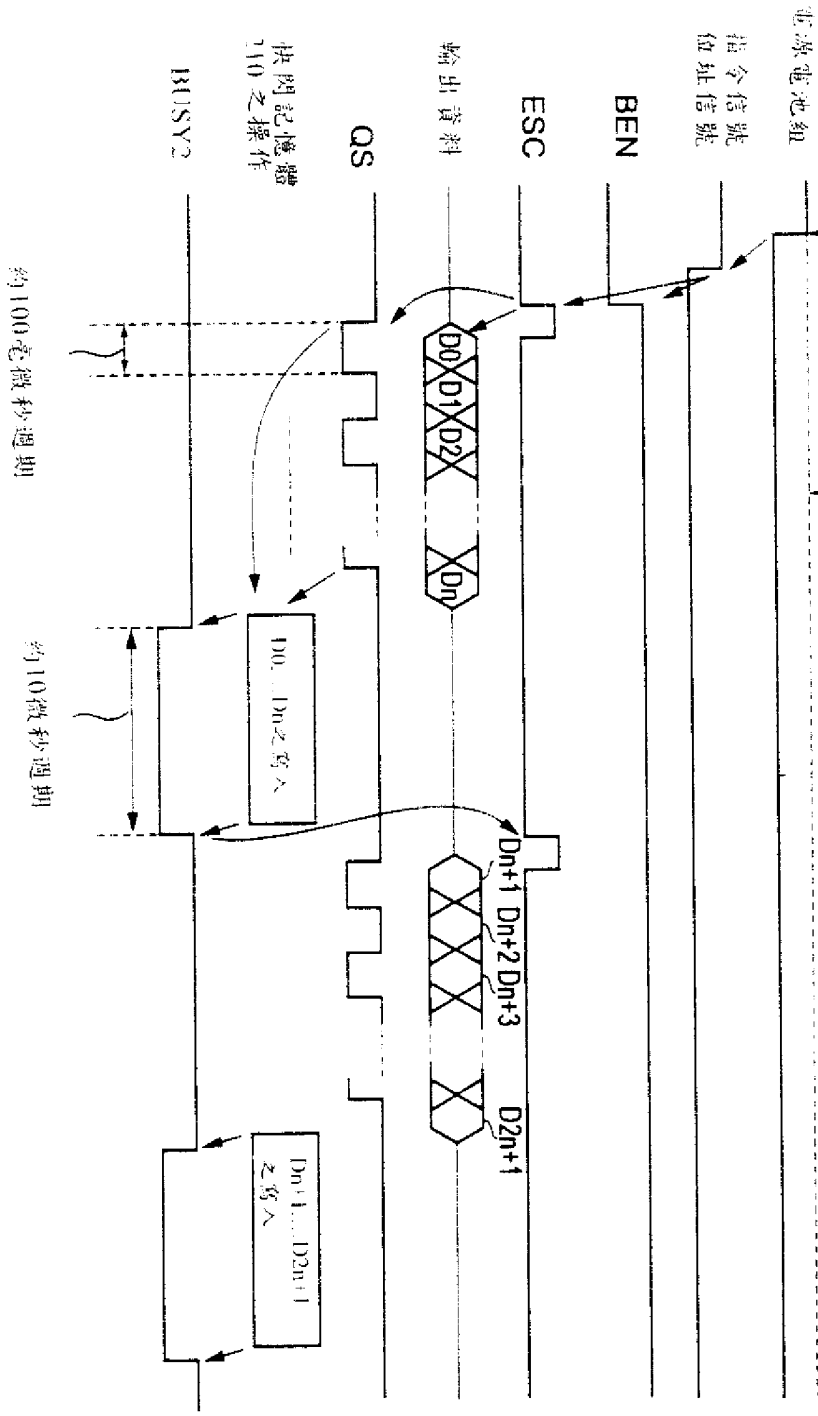
第43D圖

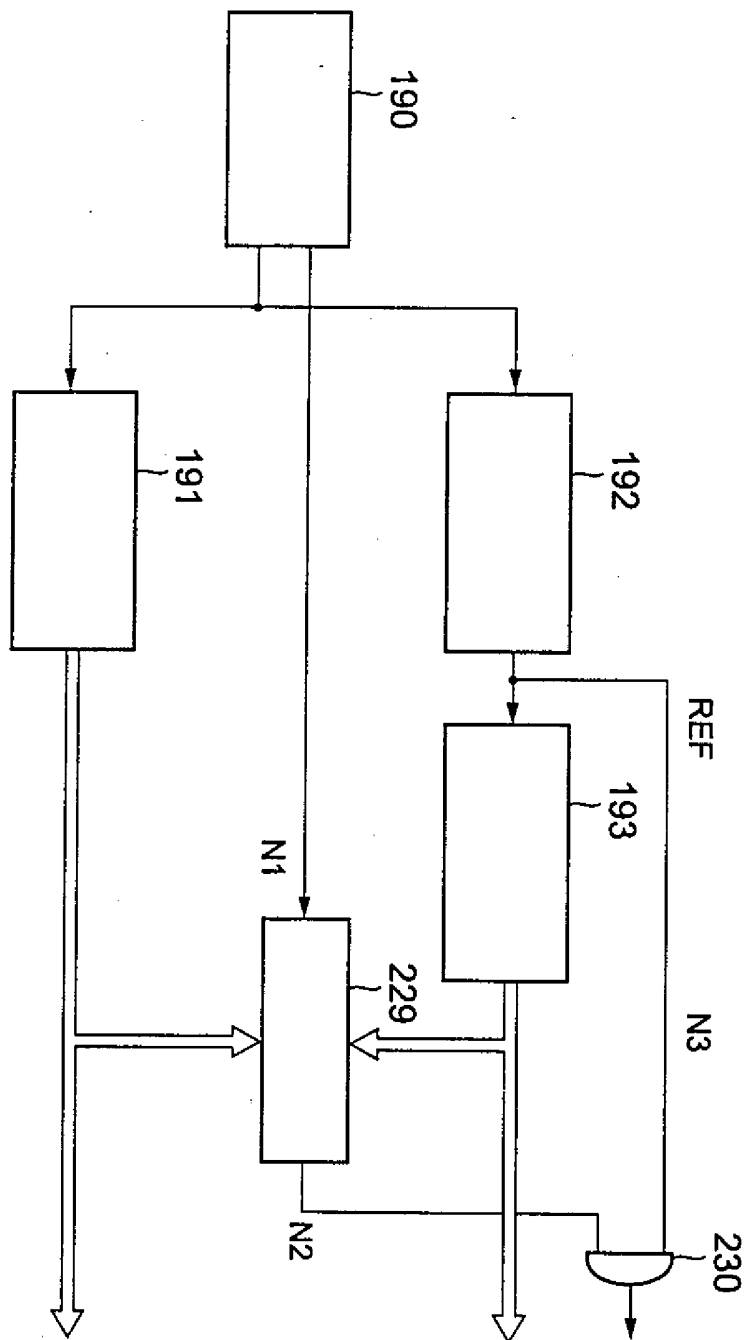
第43E圖

第43F圖

第43G圖

第43H圖





第 44 圖

第 45 圖

