

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5135683号
(P5135683)

(45) 発行日 平成25年2月6日(2013.2.6)

(24) 登録日 平成24年11月22日(2012.11.22)

(51) Int.Cl.

F 1

G01C 19/5642 (2012.01)
H01L 41/08 (2006.01)
H01L 41/187 (2006.01)
H01L 41/22 (2013.01)

GO 1 C 19/56 1 4 2
 HO 1 L 41/08 Z
 HO 1 L 41/18 1 O 1 D
 HO 1 L 41/22 Z

請求項の数 11 (全 53 頁)

(21) 出願番号 特願2005-374324 (P2005-374324)
 (22) 出願日 平成17年12月27日 (2005.12.27)
 (65) 公開番号 特開2007-24861 (P2007-24861A)
 (43) 公開日 平成19年2月1日 (2007.2.1)
 審査請求日 平成20年12月25日 (2008.12.25)
 (31) 優先権主張番号 特願2005-54844 (P2005-54844)
 (32) 優先日 平成17年2月28日 (2005.2.28)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2005-80473 (P2005-80473)
 (32) 優先日 平成17年3月18日 (2005.3.18)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2005-176869 (P2005-176869)
 (32) 優先日 平成17年6月16日 (2005.6.16)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100104215
 弁理士 大森 純一
 (74) 代理人 100117330
 弁理士 折居 章
 (72) 発明者 稲熊 輝往
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 鈴木 浩二
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】振動型ジャイロセンサ及び振動素子の製造方法

(57) 【特許請求の範囲】

【請求項 1】

複数個のランドを有する配線パターンが形成された支持基板と、この支持基板の表面に実装された振動素子と、前記振動素子を駆動する駆動検出回路とを備え、

前記振動素子は、前記ランドに接続される複数の端子部が形成された第1の面を有する基部と、この基部の側周部から片持ち梁状に一体に突設され前記基部の前記第1の面と同一面を構成する第2の面を有する振動子部とを有し、

前記振動子部の前記第2の面には、第1電極層と、この第1電極層の上に積層された圧電層と、この圧電層の上に積層された駆動電極と一対の検出電極とを含む第2電極層とがそれぞれ形成され、

前記振動子部の上面は、前記基部の上面から傾斜部を介して段落ち形成されており、

前記駆動検出回路は、前記駆動電極に所定周波数の発振出力を印加して前記振動子部を振動させ、コリオリ力による前記一対の検出電極の出力から角速度を検出し、

前記振動子部の基端部位には、前記基部に向かって当該振動子部の断面積が次第に大きくなる補強部が形成され、

前記補強部は、前記振動子部の基端部位上面側に前記傾斜部に沿って形成された縦補強部である

振動型ジャイロセンサ。

【請求項 2】

請求項1に記載の振動型ジャイロセンサであって、

前記第1の面は実装面であり、前記第2の面は基板対向面である
振動型ジャイロセンサ。

【請求項3】

請求項2に記載の振動型ジャイロセンサであって、

前記振動子部の基板対向面とは反対側の面と両側面との間の稜線部に面取り部が形成されている

振動型ジャイロセンサ。

【請求項4】

請求項2に記載の振動型ジャイロセンサであって、

前記振動子部の基板対向面以外の領域は、当該振動子部の振動特性調整用のレーザが照射される被加工領域とされる

振動型ジャイロセンサ。

【請求項5】

請求項2に記載の振動型ジャイロセンサであって、

前記振動子部には、その基板対向面を除く面の少なくとも一部が溶融されて平滑面とされている

振動型ジャイロセンサ。

【請求項6】

請求項1に記載の振動型ジャイロセンサであって、

前記支持基板の表面は、遮光性のカバー部材で被覆されている

振動型ジャイロセンサ。

【請求項7】

請求項1に記載の振動型ジャイロセンサであって、

前記振動子部に、前記第1電極層、前記圧電層及び前記第2電極層を封止する絶縁保護層がさらに形成された

振動型ジャイロセンサ。

【請求項8】

請求項7に記載の振動型ジャイロセンサであって、

前記絶縁保護層は、少なくとも酸化シリコン層を含んでなる

振動型ジャイロセンサ。

30

【請求項9】

請求項7に記載の振動型ジャイロセンサであって、

前記絶縁保護層は、前記第2電極層の少なくとも2倍の厚みを有する

振動型ジャイロセンサ。

【請求項10】

請求項7に記載の振動型ジャイロセンサであって、

前記振動子部の上面側には、当該振動子部の反り量を制御する反り制御膜が形成されている

振動型ジャイロセンサ。

【請求項11】

40

請求項1に記載の振動型ジャイロセンサであって、

前記振動素子は、非ドープ単結晶シリコン基板を基材として形成されている

振動型ジャイロセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、ビデオカメラの手振れ検知やバーチャルリアリティ装置における動作検知、カーナビゲーションシステムにおける方向検知などに用いられる角速度センサに關し、更に詳しく述べては、片持ち梁の振動子を有する小型の振動型ジャイロセンサ及び振動素子の製造方法に関する。

50

【背景技術】**【0002】**

従来より、民生用の角速度センサとしては、片持ち梁の振動子を所定の共振周波数で振動させておき、角速度の影響によって生じるコリオリ力を圧電素子などで検出することによって角速度を検出する、いわゆる振動型のジャイロセンサが広く用いられている。

【0003】

振動型ジャイロセンサは、単純な機構、短い起動時間、安価で製造可能といった利点を有しており、例えば、ビデオカメラ、バーチャルリアリティ装置、カーナビゲーションシステムなどの電子機器に搭載され、それぞれ手振れ検知、動作検知、方向検知などをする際のセンサとして活用されている。

10

【0004】

従来の振動型ジャイロセンサは、振動素子が適宜の圧電材料を機械加工によって切り出し所定の形状に整形して製作されていた。振動型ジャイロセンサとしては、搭載される本体機器の小型軽量化、多機能高性能化に伴って、更なる小型化や高性能化が要求されているが、機械加工による加工精度の限界によって小型で高精度の振動素子を作製することが困難であった。

【0005】

そこで、近年、半導体プロセスに適用される薄膜技術を用いて、シリコン基板上に圧電薄膜層を挟んで一対の電極層を積層形成することによって、片持ち梁形状の振動素子を備えたものが提案されている（例えば特許文献1参照）。かかる振動型ジャイロセンサは、小型薄型化が図られることによって、他用途のセンサ等と組み合わせて複合化や高機能化が図られる。

20

【0006】**【特許文献1】特開平7-113643号公報****【発明の開示】****【発明が解決しようとする課題】****【0007】**

ところで、振動型ジャイロセンサにおいては、例えば制御基板等の実装基板に実装されて本体機器に搭載される。本体機器の小型軽量化や多機能高性能化に伴って、振動型ジャイロセンサは更なる小型化や高性能化が要求されている。従来の振動型ジャイロセンサにおいては、振動素子の各電極と支持基板側のランドとをワイヤボンディング法により接続しているため、振動素子の周囲にワイヤを引き回すためのスペースが必要となり小型化の限界があった。

30

【0008】

このため、半導体チップ等の実装法として採用されているフリップチップ実装法等により振動素子を支持基板に対して表面実装することにより実装スペースや実装効率の向上化を図ることも検討されている。振動型ジャイロセンサにおいては、同様にして支持基板が実装基板に対して表面実装されることで、スペースや実装工程の効率化が図られている。

【0009】

一方、振動素子の小型化や表面実装法等の採用によって、振動型ジャイロセンサは外部から加えられる振動や衝撃等の外部負荷の影響を強く受ける。振動型ジャイロセンサにおいては、振動素子も従来のものに比較して体積比で約1/100程度まで小型化されており、機械的な外部負荷に対する耐久性を保持することが困難となっている。このため、例えば誤って機器を落下させた場合の大きな衝撃力により振動素子の破損、特に振動素子にクラックが発生したり破損が生じたりして信頼性が低下するといった問題があった。

40

【0010】

また、振動型ジャイロセンサにおいては、複合化や高機能化の要請に伴って小型・薄型化が図られるに従って、各電極層間や配線パターンのスペースを十分に確保することが困難となる。そして、各電極層に付着した例えば水分や塵芥等のコンタミネーションの影響により各電極層間でリーク現象が生じてノイズが発生することがあった。このため、ノイ

50

ズが出力信号に重畳して出力されることで高精度の振動検出が行い得なくなるといった問題があった。

【0011】

更に、振動型ジャイロセンサにおいては、他のセンサ部品や電子部品等とともに同一の支持基板に実装されて複合化や高機能化が図られるようになった場合に、相互の絶縁を保持することも必要となる。そして、シリコン基板を用いて微細な厚みで形成した各電極層や圧電薄膜層を機械的に保護することも必要になるとともに、各電極層の酸化も防止する必要がある。

【0012】

一方、半導体技術においては、一般に適宜のドープ処理が施されたNタイプ或いはPタイプ単結晶シリコン基板が用いられ、その主面上に薄膜技術によって素子や微細パターンが形成される。かかる単結晶シリコン基板は、数十 \cdot c m程度と低体積抵抗率の特性を有している。従来の振動型ジャイロセンサは、単結晶シリコン基板を基材として圧電薄膜層とともに電極層を形成される振動素子が、外部光や熱負荷によって特性が大きく変動して安定かつ高精度の検出動作を行い得ないといった問題があった。

10

【0013】

未だ詳細なメカニズムは解明されていないが、振動型ジャイロセンサは、光や熱によって層内に存在するホールやキャリアが励起して微細電流が発生し、振動素子の特性に影響を及ぼすと考えられる。また、振動素子は、工程途中で単結晶シリコン基板の表面に成膜された酸化層を介して電極層とシリコン層中に生じたピンホールや不注意な取り扱いによる酸化膜の欠損、或いは工程中で施される酸化膜のエッティング処理に際してのパターニング精度ずれやレジスト中の不純物による酸化膜の欠損等によって、電極層とシリコン層とが短絡してしまうことがある。つまり、従来の振動型ジャイロセンサにおいては、低体積抵抗率のシリコン層を介して電極層間の短絡不良が生じ、歩留まりの向上が図れないといった問題があった。

20

【0014】

本発明は上述の問題に鑑みてなされ、小型化の特性を保持しながら耐久性の向上や低コストを図った振動型ジャイロセンサ及びその製造方法を提供することを課題とする。

【0015】

また、本発明は、各電極層を封止することによって水分や塵埃等の影響を排除して高精度かつ安定した振動検出を可能とする小型の振動型ジャイロセンサ及びその製造方法を提供することを課題とする。

30

【0016】

さらに、本発明は、外部光や熱等の外乱に対する耐性向上を図るとともに歩留まりの向上を図る振動型ジャイロセンサ及びその製造方法を提供することを課題とする。

【課題を解決するための手段】

【0017】

以上の課題を解決するに当たり、本発明は、複数個のランドを有する配線パターンが形成された支持基板と、この支持基板の表面に実装された振動素子とを備えた振動型ジャイロセンサにおいて、

40

上記振動素子は、上記ランドに接続される複数の端子部が形成された実装面を有する基部と、この基部の側周部から片持ち梁状に一体に突設され上記基部の実装面と同一面を構成する基板対向面を有する振動子部とを有し、

上記振動子部の基板対向面には、第1電極層と、この第1電極層の上に積層された圧電層と、この圧電層の上に積層された第2電極層とがそれぞれ形成され、

上記振動子部の基端部位には、上記基部に向かって当該振動子部の断面積が次第に大きくなる補強部が形成されている。

【0018】

また、本発明は、複数の端子部が形成された実装面を有する基部と、この基部の側周部から片持ち梁状に一体に突設され上記基部の実装面と同一面を構成する基板対向面を有す

50

る振動子部とを有し、上記振動子部の基板対向面には、第1電極層と、この第1電極層の上に積層された圧電層と、この圧電層の上に積層された第2電極層とがそれぞれ形成された振動素子の製造方法であって、

シリコン基板の第1主面側にエッチング処理を施して、所定の傾斜角で傾斜するエッチング傾斜面を有するとともに上記第1主面からの厚みが当該振動素子の振動子部の厚みに対応する深さのエッチング凹部を形成するエッチング凹部形成工程と、

上記シリコン基板の前記エッチング凹部と対向する第2主面上に、前記圧電膜層及び第1, 第2電極層を形成する電極形成工程と、

上記エッチング凹部内において前記振動子部の外形を形成する貫通溝からなるコ字状の外形溝をパターン形成する外形溝形成工程と、

上記外形溝の両端部にそれぞれ達するように上記シリコン基板を切断して当該振動素子の基部を切り分ける切断工程とを有し、

上記外形溝形成工程では、上記外形溝の両端部を上記エッチング凹部の途中箇所に形成することによって、上記振動子部の基端部位に、上記基部に向かって当該振動子部の断面積が次第に大きくなる補強部を形成する。

【0019】

振動子部の基端部位に上記補強部を形成することにより、振動素子に大きな外部負荷が加えられた場合でも振動子部の破損発生が抑制され、小型化の特性を保持しながら耐久性の向上を図ることが可能となる。また、振動素子の製造工程上で上記補強部を同時に形成することができるので、補強部形成のための特別な工程を別途必要することなく、補強部を備えた振動素子を低コストかつ生産性高く製造することができる。

【0020】

また、振動子部の基板対向面に、第1電極層、圧電層及び第2電極層を封止する絶縁保護層を形成することで、空気中の水分や塵埃等を遮断してこれらの各電極層等への付着を防止するとともに、各電極層の酸化抑制、電気的絶縁、或いは各電極層及び圧電膜層の機械的保護を図ることができ、高精度かつ安定した振動検出を行うことが可能となる。

【0021】

更に、振動素子の構成基材として非ドープ単結晶シリコン基板を用い、基材の低導電性化を図ることで、外部からの光や熱からの耐久性を高めるとともに、製造プロセス上での層間短絡等の不良率低減に寄与して歩留まりの向上を図ることが可能となる。

【発明の効果】

【0022】

以上述べたように、本発明によれば、振動子部の基端部位に機械的強度を向上させる補強部が形成されているとともに当該補強部を簡易な工程によって形成することができるので、衝撃等の外部負荷に対する耐久性の向上を図って角速度変化を高精度に検出することが可能となる。

【0023】

また、振動子部表面の各電極層及び圧電膜層を封止する絶縁保護層が形成されているので、小型、薄型、狭スペース化されて形成した各電極層等への水分や塵埃の付着を防止して、高精度の振動検出を行うことが可能となる。

【0024】

更に、振動素子の基材として非ドープ単結晶シリコン基板を用いているので、外部からの光や熱からの耐久性を高めるとともに、製造プロセス上での層間短絡等の不良率低減に寄与して歩留まりの向上を図ることができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態として図面に示した振動型ジャイロセンサについて、詳細に説明する。

なお、本発明はこれに限定されることなく、本発明の技術的思想に基づいて種々の変形が可能である。また、本明細書においては、以下に説明するように構成部材の各部位につ

いて具体的な寸法値を挙げて説明しているが、各寸法値は中心基準値である。各部位は、この中心基準値に限定された寸法値で形成されることに限定されず、一般的な公差範囲の寸法値をもって形成されることは勿論である。また、振動型ジャイロセンサは、かかる寸法値の形状に限定されず、特性仕様に応じて各部が適宜形成される。

【0026】

(第1の実施の形態)

[振動型ジャイロセンサの概略構成]

振動型ジャイロセンサ1は、図1に示すように支持基板2と、この支持基板2の第1主面2-1上に組み付けられて部品実装空間部3を構成するカバー部材15により外観部材を構成し、例えばビデオカメラに搭載されて手振れ補正機構を構成する。また、振動型ジャイロセンサ1は、例えばバーチャルリアリティ装置に用いられて動作検知器を構成し、或いはカーナビゲーション装置に用いられて方向検知器を構成する。

10

【0027】

振動型ジャイロセンサ1は、支持基板2に例えばセラミック基板やガラス基板等が用いられている。支持基板2の第1主面2-1上には複数個のランド4等を有する所定の配線パターン5が形成されて部品実装領域6が構成されている。部品実装領域6には、詳細を後述する互いに異なる軸方向の振動を検出するように搭載される第1、第2の一対の振動素子20X、20Y(以下、個別に説明する場合を除いて振動素子20と総称する。)、IC回路素子7、更には外付け用の多数個のセラミックコンデンサや適宜の電子部品8が混載されている。

20

【0028】

支持基板2の部品実装領域6には、IC回路素子7や電子部品8とともに振動素子20が適宜の実装機を用いてそれぞれフリップチップ法等の表面実装法によって実装されている。同一形状に形成された一対の振動素子20X、20Yは、支持基板2の第1主面2-1の相対するコーナ部位2C-1、2C-2に位置して互いに軸線を異にして実装されている。振動素子20は、図2に示すように、金バンプ26を介してランド4に接続される複数の端子部25が形成された実装面を有する基部22と、この基部22の一側周部から片持ち梁状に一体に突設された振動子部23とを有する。なお、振動素子20の構成の詳細は後述する。

30

【0029】

図1に示すように、一方の第1振動素子20Xは、支持基板2のコーナ部位2C-1において部品実装領域6に構成した浮島状の第1振動素子実装領域13Aに基部22が固定され、この基部22から一体に突設された振動子部23が支持基板2の側縁に沿って隣り合うコーナ部位2C-3に向けられる。他方の第2振動素子20Yは、支持基板2のコーナ部位2C-2において部品実装領域6に構成した浮島状の第2振動素子実装領域13Bに基部22が固定され、この基部22から一体に突設された振動子部23が支持基板2の側縁に沿って隣り合うコーナ部位2C-3に向けられる。

【0030】

すなわち、第1振動素子20X及び第2振動素子20Yは、各々の振動子部23をコーナ部位2C-3に向けて互いに90°の角度を付されて支持基板2にそれぞれ実装されている。なお、振動型ジャイロセンサ1は、一対の振動素子20X、20Yにより直交する2軸の振動検出を行うようとするが、本体機器の仕様に応じて適宜の角度差をもって振動素子20X、20Yを支持基板2に実装するようにしてもよいことは勿論である。

40

【0031】

振動型ジャイロセンサ1は、振動素子20の振動子部23を共振させた状態において、振動子部23に加えられた長手方向の周りの角速度を検出する。振動型ジャイロセンサ1においては、第1振動素子20Xと第2振動素子20Yとを支持基板2に角度を異にして搭載することによって、X軸方向とY軸方向の角速度を同時に検出し、例えばビデオカメラの手振れによる振動状態に基づく制御信号を出力して手振れ補正機構を構成する。

【0032】

50

次に、支持基板 2 の構成の詳細について説明する。

【 0 0 3 3 】

[負荷緩衝構造]

振動型ジャイロセンサ 1 は、支持基板 2 を薄厚とすることによって小型、薄型化が図られていることから、外部から加えられる振動や衝撃等の外部負荷によって支持基板 2 に歪みや応力が発生することがある。そこで、本実施の形態では、支持基板 2 に外部負荷の緩衝構造が設けられることによって、歪みや応力が生じた場合でも支持基板 2 に搭載した振動素子 2 0 への影響が低減されるように構成されている。

【 0 0 3 4 】

支持基板 2 には、図 1 から図 3 に示すように第 1 主面 2 - 1 の各コーナ部位 2 C - 1 , 2 C - 2 に第 1 負荷緩衝溝部 1 2 A , 1 2 B (以下、個別に説明する場合を除いて第 1 負荷緩衝溝部 1 2 と総称する。) が形成されている。上述の振動素子実装領域 1 3 A , 1 3 B (以下、個別に説明する場合を除いて振動素子実装領域 1 3 と総称する。) は第 1 負荷緩衝溝部 1 2 によって囲まれた領域に構成されており、各振動素子実装領域 1 3 に振動素子 2 0 が実装される。

【 0 0 3 5 】

また、支持基板 2 には、図 3 に示すように、本体機器等の外部の制御基板 1 0 0 に実装される第 2 主面 2 - 2 側に第 2 負荷緩衝溝部 1 4 が形成されている。この第 2 負荷緩衝溝部 1 4 は、図 5 に示すように第 2 負荷緩衝溝部 1 4 A と第 2 負荷緩衝溝部 1 4 B とからなり、以下個別に説明する場合を除いて第 2 負荷緩衝溝部 1 4 と総称する。第 2 負荷緩衝溝部 1 4 によって囲まれた領域は、図 5 に示すように端子形成領域 1 1 5 A , 1 1 5 B (以下、個別に説明する場合を除いて端子形成領域 1 1 5 と総称する。) として構成されている。

【 0 0 3 6 】

第 1 負荷緩衝溝部 1 2 は、図 4 に示すように振動素子 2 0 の基部 2 2 の外形寸法よりも大きな振動素子実装領域 1 3 を構成する全体枠状の有底溝によって構成されている。第 1 負荷緩衝溝部 1 2 は、例えばダイサー等による機械的溝加工やウェットエッティング法による化学的溝加工或いはレーザ等によるドライエッティング法により形成される。第 1 負荷緩衝溝部 1 2 は、支持基板 2 の機械的強度を損なわない範囲で溝の深さを 1 0 0 μm 以上にして形成される。

【 0 0 3 7 】

第 2 負荷緩衝溝部 1 4 A , 1 4 B は、図 5 に示すように、それぞれ支持基板 2 の外周側縁部に沿って平行に形成されている。これら第 2 負荷緩衝溝部 1 4 A , 1 4 B と外周側縁部との間の領域には、端子形成領域 1 1 5 A , 1 1 5 B としてそれぞれに外部接続用端子部として複数個の実装端子部 1 1 6 A , 1 1 6 B (以下、個別に説明する場合を除いて実装端子部 1 1 6 と総称する。) が適宜に配列して形成されている。支持基板 2 は、各実装端子部 1 1 6 にそれぞれ設けたバンプ 1 1 7 を介して実装端子部 (外部接続端子部) 1 1 6 が相対する制御基板 1 0 0 側のランドと接続されることによって、制御基板 1 0 0 に実装される。

【 0 0 3 8 】

第 2 負荷緩衝溝部 1 4 も、第 1 負荷緩衝溝部 1 2 と同様に、例えばダイサー等による機械的溝加工やウェットエッティング法による化学的溝加工或いはレーザ等によるドライエッティング法等によって支持基板 2 の第 2 主面 2 - 2 に所定の深さをもって形成される。第 2 負荷緩衝溝部 1 4 は、支持基板 2 の第 2 主面 2 - 2 において浮島状の端子形成領域 1 1 5 を構成し、この端子形成領域 1 1 5 に外周側縁部に沿って複数個の実装端子部 1 1 6 が配列して形成されるようとする。なお、第 2 負荷緩衝溝部 1 4 は、外周側縁部に沿った直線溝に限定されず、例えば実装端子部 1 1 6 を囲む枠状や両端を外周側縁部に開放された略コ字状に形成するようにしてもよい。

【 0 0 3 9 】

なお、支持基板 2 には、第 1 主面 2 - 1 と第 2 主面 2 - 2 とを貫通して多数個のビアが

10

20

30

40

50

形成されており、これらビアを介して第1主面2-1側の配線パターン5と第2主面2-2側の実装端子部116とが適宜接続される。

【0040】

振動型ジャイロセンサ1は、本体機器に衝撃等が加えられると、制御基板100を介して支持基板2に歪みや応力が発生する。本実施の形態では、上述したように第1負荷緩衝溝部12によって囲まれて浮島状態とされた振動素子実装領域13上に振動素子20を実装したことで、外部負荷により支持基板2に生じた歪みや応力が第1負荷緩衝溝部12によって吸収される。したがって、第1負荷緩衝溝部12は一種のダンパー作用を奏することで振動素子実装領域13上に実装した振動素子20に対する外部負荷の影響を低減し、振動素子20が安定した状態で検出動作を行うようとする。

10

【0041】

一方、振動型ジャイロセンサ1においては、上述したように第2負荷緩衝溝部14を設けて浮島状態とした端子形成領域115に設けられた実装端子部116が制御基板100との固定部を構成する。本実施の形態では、制御基板100を介して伝達される外部負荷が第2負荷緩衝溝部14によって吸収される。したがって、第2負荷緩衝溝部14は一種のダンパー作用を奏することで振動素子実装領域13上に実装した振動素子20に対する外部負荷の影響を低減し、振動素子20が安定した状態で検出動作を行うようとする。

【0042】

なお、第1負荷緩衝溝部12は、全周に亘って連続した断面コ字状の溝部によって構成されるが、これに限定されない。第1負荷緩衝溝部12は、所定の特性を満たすことを条件に、例えば多数個の溝部を全体として枠状に配列して構成するようにしてもよい。また、第2負荷緩衝溝部14も、連続した溝部によって構成される必要はなく、例えば多数個の溝部を配列して構成するようにしてもよい。更に、支持基板2の第1主面2-1に第1負荷緩衝溝部12を形成するとともに第2主面2-2に第2負荷緩衝溝部14を形成して表裏主面の負荷緩衝構造を構成するようにしたが、所定の特性を有することを条件に第1負荷緩衝溝部12のみ又は第2負荷緩衝溝部14のみによって負荷緩衝構造を構成するようにしてもよい。

20

【0043】

[間隔構成凹部]

次に、支持基板2には、振動素子20X, 20Yに対応して部品実装領域6に、振動子部23をその厚さ方向に自由振動させる空間部を構成する凹部11A, 11B(以下、個別に説明する場合を除いて間隔構成凹部11と総称する。)が形成されている。間隔構成凹部11は、支持基板2の第1主面2-1に対して例えばエッティング加工や溝切り加工を施すことによって所定の深さと開口寸法を有する矩形の有底溝状に形成される。

30

【0044】

振動型ジャイロセンサ1は、基部22と片持ち梁状の振動子部23とが一体に形成された振動素子20が、金バンプ26を介して支持基板2の第1主面2-1上に実装される。振動素子20は、金バンプ26の厚みにより振動子部23と支持基板2の第1主面2-1との対向間隔が規定されて全体の薄型化が図られているが、金バンプ26の加工限界によって充分な間隔を保持し得ない場合がある。

40

【0045】

振動素子20は、振動子部23の振動動作に伴って支持基板2の第1主面2-1との間に空気流を生じさせる。この空気流は、支持基板2の第1主面2-1に当たって振動子部23を押し上げるダンピング効果を発生させる。本実施の形態では、支持基板2の第1主面2-1に間隔構成凹部11を形成することにより、図2に示すように第1主面2-1と振動子部23との間に充分な間隔を保持して振動素子20に作用するダンピング効果の影響を低減する。

【0046】

振動型ジャイロセンサ1は、支持基板2の第1主面2-1上に振動素子20を実装した状態において振動子部23が間隔構成凹部11と対向して延在されることで、薄型化を保

50

持しながら図2に示すように振動子部23と支持基板2との間に充分な間隔が保持されるようになる。これにより、振動子部23が厚み方向に振動動作した際にダンピング効果の作用が低減され、振動素子20の安定した検出動作が確保される。

【0047】

間隔構成凹部11は、振動素子20の振動子部23の寸法に合わせて最適化されて支持基板2に形成される。本実施の形態では、振動素子20が後述する寸法値で形成されるとともに振動子部23の最大振幅量をpとした場合、間隔構成凹部11の開口寸法は $2.1\text{ mm} \times 0.32\text{ mm}$ とされ、深さ寸法k(図2参照)は、 $k = p / 2 + 0.05\text{ (mm)}$ に形成される。支持基板2にかかる構成の間隔構成凹部11が形成されることによって、高さ寸法が抑制されて薄型化が図られるとともに、振動素子20に対するダンピング効果の影響が低減されて高Q値化が保持され高感度で安定した手振れ等の検出動作が行えるようになる。10

【0048】

続いて、振動素子20の構成の詳細について説明する。

【0049】

[金パンプ]

振動素子20は、後述するようにシリコン基板21の第2主面21-2によって構成される基部22の第2主面(22-2)が支持基板2に対する固定面(実装面)を構成して上述した振動素子実装領域13上に実装される。図4に示すように基部22の実装面22-2には、第1端子部25A～第4端子部25D(以下、個別に説明する場合を除いて端子部25と総称する。)が形成されるとともに、これら端子部25上にそれぞれ金属凸部として第1金パンプ26A～第4金パンプ26D(以下、個別に説明する場合を除いて金パンプ26と総称する。)が形成されている。20

【0050】

振動素子20の各端子部25は、それぞれ支持基板2側の配線パターン5に形成した各ランド4に対応して形成されている。各端子部25は、対応するランド4と位置合わせされて支持基板2に組み合わされる。そして、この状態で振動素子20を支持基板2に押し当てながら超音波を印加し、金パンプ26を介して各端子部25とランド4とを溶着接合させる。これにより振動素子20は支持基板2上に実装される。このように振動素子20を所定高さの金パンプ26を介して実装することにより、振動子部23がその第2主面(基板対向面)23-2を支持基板2の第1主面2-1に対して所定の高さ位置に保持された状態で所定の振動動作を行えるようにする。30

【0051】

本実施の形態においては、表面実装法で振動素子20を支持基板2へ実装することによって実装工程の効率化を図っている。表面実装法における接続子としては、上述した金パンプ26に限定されることはなく、半導体プロセスにおいて一般に採用される半田ボールや銅パンプ等の各種の他の金属凸部を用いることもできる。本実施の形態では、本体機器の製造工程においてリフロー半田処理等が施されて、支持基板2の実装端子部116がパンプ117を介して制御基板100の各ランドと接続固定されることから、耐熱性が大きくかつ作業性の高い金パンプ26が接続子として採用している。40

【0052】

振動型ジャイロセンサにおいては、支持基板に対する振動素子の固定構造によって機械品質係数Q(Q factor)が決定される。本実施の形態では、振動素子20が基部22を金パンプ26を介して支持基板2の第1主面2-1から浮かした状態で実装されることによって、例えば接着層を介して基部全面を支持基板に接合した場合と比較して振動子部23の先端部の減衰割合が大きくなり良好なQ値が得られる。また、基部22を支持基板2の第1主面2-1に対して1箇所で固定するよりも複数箇所で固定する構造の方が良好なQ値特性が得られることから、基部22を支持基板2に対して四隅の位置を固定することによって良好なQ値特性を得るようにしている。

【0053】

50

なお、各金バンプ 2 6 は振動子部 2 3 の長手方向の中心軸線に対して幅寸法 t_6 (図 7 参照) の範囲内の領域において全体の重心を位置させるようにして設けることができる。このように金バンプ 2 6 を配置することによって、厚み方向に振動動作する振動子部 2 3 は左右のバランスを崩すことなく安定した状態で振動動作することが可能となる。

また、各金バンプ 2 6 を基部 2 2 から突出される振動子部 2 3 の基端部 (根元部位 4 3 (図 3 5 参照)) から振動子部 2 3 の幅寸法 t_6 の 2 倍を半径とする領域の外側領域に位置して形成することにより、金バンプ 2 6 による振動子部 2 3 の振動動作を吸収する作用を低減して高 Q 値を保持することが可能となる。

さらに、少なくとも 1 個の金バンプ 2 6 が、振動子部 2 3 の基端部から基部 2 2 の厚み寸法 t_1 (図 7 参照) の 2 倍の範囲の領域内に形成されることで、振動子部 2 3 の振動動作が基部 2 2 に伝達されて共振周波数のズレを生じさせることが防止されるようになる。
10

【 0 0 5 4 】

なおまた、金バンプ 2 6 はいわゆる 2 段バンプによって形成されるようにしてもよい。更に、基部 2 2 の第 2 主面上に電気的接続を行わない、いわゆるダミーの第 5 の金バンプを形成することによってもよい。この場合は勿論、支持基板 2 側には、この第 5 金バンプが溶着固定されるダミー端子部が形成される。

【 0 0 5 5 】

[素子形状]

さて、本実施の形態の振動素子 2 0 は、図 7 に示すように、振動子部 2 3 が、基部 2 2 の第 2 主面 (実装面) 2 2 - 2 と同一面を構成する第 2 主面 (基板対向面) 2 3 - 2 を有し、一端部を基部 2 2 に一体化されて片持ち梁状に突設されている。振動子部 2 3 は、その上面 2 3 - 1 が図 8 に示すように基部 2 2 の第 1 主面 (上面) 2 2 - 1 から段落ちされることによって所定の厚みとされる。振動子部 2 3 は、所定の長さと断面積を有して基部 2 2 の一側周部 2 2 - 3 と一緒に形成された断面矩形の片持ち梁によって構成される。
20

【 0 0 5 6 】

また、図 7 及び図 8 に示すように基部 2 2 の側周部 2 2 - 3 から突設される基端部位に詳細を後述する補強部 1 2 9 が一体に形成されている。振動子部 2 3 には、その第 1 主面 (上面) 2 3 - 1 側の稜線部の全域と補強部 1 2 9 の稜線部とに面取り部 1 3 0 が形成されている。

【 0 0 5 7 】

振動素子 2 0 の基部 2 2 は、図 7 に示すように、厚み寸法 t_1 を $300 \mu m$ 、振動子部 2 3 の先端部までの長さ寸法 t_2 を $3 mm$ 、幅寸法 t_3 を $1 mm$ の大きさをもって形成される。振動素子 2 0 の振動子部 2 3 は、厚み寸法 t_4 を $100 \mu m$ 、長さ寸法 t_5 を $2.5 mm$ 、幅寸法 t_6 を $100 \mu m$ に形成される。また、振動子部 2 3 は、基部 2 2 の側周部 2 2 - 3 から $50 \mu m$ の長さ寸法 t_{29} の範囲において補強部 1 2 9 が形成される。振動素子 2 0 は、詳細を後述するように駆動検出回路部 5 0 から印加される所定周波数の駆動電圧により振動動作するが、上述した形状から $40 kHz$ の共振周波数で振動する。なお、振動素子 2 0 は、かかる構成に限定されるものではなく、使用する周波数や目標とする全体形状に応じて種々設定される。
30

【 0 0 5 8 】

なお、基部 2 2 と振動子部 2 3 の各部が次の条件を満足して振動素子 2 0 を形成することができる。すなわち、基部 2 2 は、その幅寸法 t_3 を振動子部 2 3 の幅寸法 t_6 の 2 倍よりも大きな幅寸法とされるとともに、重心位置を振動子部 2 3 の長手方向の中心軸線に対して振動子部 2 3 の幅寸法 t_6 の 2 倍の領域内に位置して形成される。かかる構成によって振動子部 2 3 が左右のバランスを崩すことなく良好な状態で振動動作が行われるようになる。また、基部 2 2 の厚み寸法 t_1 を振動子部 2 3 の厚み寸法 t_4 の 1.5 倍で形成することによって、基部 2 2 の機械的強度が保持されて振動子部 2 3 の振動動作による振動動作の発生を抑制でき、共振周波数のズレが生じないようになる。
40

【 0 0 5 9 】

[補強部]

10

20

30

40

50

本実施の形態の振動素子 20 は、振動子部 23 に補強部 129 を形成することで基端部位或いはその近傍部位の機械的強度を向上させている。これにより、大きな外部負荷が加えられた場合でも振動子部 23 の破損発生を抑制できる。補強部 129 は、図 8 に示すように、振動子部 23 が突設される基部 22 の側周部 22-3 の部位において断面寸法を最大とするとともに、上述した長さ寸法 t_{29} の領域で厚みと幅が次第に小さくなる断面形状に形成される。

【 0 0 6 0 】

補強部 129 は、振動子部 23 の基端部位の長さ寸法 t_{29} の範囲において、基部 22 に向かって次第に厚み寸法を増加させた縦補強部 129V と、基部 22 の側周部 22-3 に向かって次第に幅寸法を増加させた横補強部 129H によって構成されている。なお、補強部 129 が形成される振動子部 23 の基端部位の長さ寸法 t_{29} は、後述するよう 10 に振動子部 23 の基端部位に基部 22 の側周部 22-3 から長さ方向に対して $60 \mu\text{m}$ を上限として形成される。

【 0 0 6 1 】

振動素子 20 は、後述するようにシリコン基板 21 にエッチング処理を施してダイヤフラム部 38 を構成するエッティング凹部 37 (図 19) を形成した後、ダイヤフラム部 38 を所定の形状に切り抜いて振動子部 23 の外形が形成される。補強部 129 は、後述するよう 20 にエッティング処理によって形成されるエッティング凹部 37 のエッティング傾斜面 133 の途中箇所で基部 22 の外形を切り分けることで形成される。

【 0 0 6 2 】

すなわち、振動素子 20 は、主面の方位面が (100) 面、側方の方位面が (110) 面となるように切り出すことにより主面に対して側面の対エッティング性が小さい特性を有するシリコン基板 21 を素材として詳細を後述する振動素子製造工程を経て製造される。シリコン基板 21 には、振動素子製造工程において第 1 主面 21-1 側からエッティング処理が施されて、底部と第 2 主面 21-2 の厚みを振動子部 23 の厚み寸法としたダイヤフラム部 38 を構成するエッティング凹部 37 が形成される。シリコン基板 21 には、上述した特性によってエッティングの進行が厚み方向に対して側面方向が小さいことから、第 1 主面 21-1 から底部に向かって次第に開口寸法が小さくなるエッティング凹部 37 が形成される。エッティング凹部 37 には、内周壁に、第 1 主面 21-1 から底部に向かって 55° の傾斜角度が付されたエッティング傾斜面 133 が形成される。 30

【 0 0 6 3 】

振動素子 20 は、シリコン基板 21 に対して、エッティング凹部 37 内においてダイヤフラム部 38 に振動子部 23 の外形を切り抜く外形溝形成処理を施すとともに基部 22 を切り分ける切断処理が行われて形成される。振動素子 20 は、振動子部 23 の外形切り抜き加工をエッティング傾斜面 133 の途中箇所から行った後に基部 22 の外形切断加工を行うことによって、振動子部 23 の基端部位が側周部 22-3 に向かって 55° をもって次第に厚みが大きくなるように形成される。これにより、図 8 に示すように基端部位に上述した補強部 129 が構成される。

【 0 0 6 4 】

振動素子 20 は、振動子部 23 の基端部位に上述した補強部 129 を形成したことにより機械的強度の向上が図られる。したがって、本実施の形態の振動型ジャイロセンサ 1 を搭載した本体機器が誤って落下されて大きな衝撃等が負荷された場合でも、振動子部 23 に破損や亀裂等が発生することが防止されるようになる。 40

【 0 0 6 5 】

また、振動素子 20 は、詳細を後述する振動素子製造工程においてシリコン基板に対して施されるエッティング技術を巧みに利用して微小な振動子部 23 の基端部位に補強部 129 を形成することから、精密な研磨処理等の機械加工を施すことなく補強部 129 を簡易に形成することが可能である。

【 0 0 6 6 】

[面取り部・溶融部]

10

20

30

40

50

一方、シリコン基板21には、その表面に極めて微細な凹凸やマイクロクラック等が存在している。また、シリコン基板21には、第2主面21-2側からダイヤフラム部38に反応性イオンエッチング処理を施して上述した振動子部23の外形を切り抜く外形溝形成処理が施される。その際に、振動子部23の側面と第1主面23-1に跨る稜線部位にプラズマの流れにより微細な筋状の凹凸も生じる。これらの微細な凹凸やクラックについては、図9Aに示すように微細凹凸部127と総称する。なお、図では凹凸部127をやや誇張して示している。

【0067】

振動素子20においては、例えば振動動作時に大きな衝撃等が負荷されると表面や稜線部位に存在する微細凹凸部127に応力が集中し、振動子部23に上述した基端部位（根元部位）ばかりでなく途中箇所からも大きなクラックが生じたり破損等が発生する虞がある。そこで本実施の形態では、振動子部23の稜線部位や第1主面23-1或いは側面に對してレーザ照射を行ってシリコン基板21の表面を溶融させ、面取り部130及び溶融面134A, 134B（以下、溶融面134と総称する。）とを形成することによって、微細凹凸部127を除去するようしている。

【0068】

ところで、振動素子20においては、後述するように振動子部23の形状のバラツキによる縦横の共振周波数の周波数差と共振時の左右検出信号の波形の振幅と位相を一致させるために、振動子部23の所定箇所にレーザ加工を施して振動状態を矯正する調整処理が施される。上述した面取り部130や溶融面134は、この調整処理を行うレーザ加工工程の前工程でレーザ装置を共用して形成される。レーザ装置を共用することで、精密な研磨処理等の機械加工を施すことなく面取り部130や溶融面134を簡易に形成することが可能である。

【0069】

面取り部130は、レーザ装置から出射される波長が例えば532nmのレーザを適宜のスポット径に調整して振動子部23の稜線部位に照射し照射部位を溶融させることによって形成される。溶融面134は、同様にしてレーザを適宜のスポット径に調整して図8に交線を付した領域で示すように振動子部23の第1主面23-1と側面にそれぞれ照射し、表面を溶融させることによって形成される。

【0070】

面取り部130や溶融面134は、シリコン基板21の表面を溶融させることによって図9(B)に示すように表面に存在していた微細凹凸部127を除去する平滑面として構成される。したがって、振動素子20に対して大きな外部負荷が加えられた場合にも、微細凹凸部127における応力集中が抑制されるようになり、振動子部23の機械的強度の向上が図られる。なお、振動素子20は、上述した面取り部130や溶融面134を全て備える必要はないことは勿論である。

【0071】

[圧電膜・各種電極層]

振動素子20には、後述する振動素子製造工程により、図4に示すように振動子部23の第2主面(基板対向面)23-2上に長さ方向の略全長に亘って、基準電極層(第1電極層)27と、圧電薄膜層28と、駆動電極層(第2電極層)29とが積層形成されている。振動子部23の第2主面(基板対向面)23-2上には、駆動電極層29を挟んで一対の検出電極30R、30L（以下、個別に説明する場合を除いて検出電極30と総称する。）が形成されており、これら駆動電極層29と検出電極30とにより第2電極層が構成されている。

【0072】

振動子部23の第2主面(基板対向面)23-2には、第1層として基準電極層27が形成され、この基準電極層27上にほぼ同長の圧電薄膜層28が積層形成される。圧電薄膜層28上には、これとほぼ同長でかつ幅狭の駆動電極層29が幅方向の中央部に位置して積層形成されるとともに、この駆動電極層29を挟んで圧電薄膜層28上に一対の検出

10

20

30

40

50

電極 30R, 30L が積層形成される。

【0073】

[リード・端子部]

振動素子 20 には、図 4 に示すように基部 22 の第 2 主面（実装面）22-2 上に、基準電極層 27 と第 1 端子部 25A とを接続する第 1 リード 31A が形成されるとともに、駆動電極層 29 と第 3 端子部 25C とを接続する第 3 リード 31C が形成されている。同様に、基部 22 の実装面 22-2 上には、第 1 検出電極 30R と第 2 端子部 25B とを接続する第 2 リード 31B が形成されるとともに、第 2 検出電極 30L と第 4 端子部 25D とを接続する第 4 リード 31D が形成されている。なお、各リード 31A ~ 31D については、以下、個別に説明する場合を除いてリード 31 と総称する。

10

【0074】

第 1 リード 31A は、振動子部 23 に形成した基準電極層 27 の基端部から基部 22 側に一体に延長され、図 4 に示すように基部 22 の第 2 主面（実装面）22-2 上に振動子部 23 を一体に形成した側の一方コーナ部に位置して形成された第 1 端子部 25A と一体化される。駆動電極層 29 と検出電極 30 は、それぞれの基端部が振動子部 23 から基部 22 までやや幅広の部位で一体に延長され、これら幅広部位が平坦化層 24 によって被覆される。

【0075】

第 2 リード 31B は、一端部が平坦化層 24 を乗り越えるようにして形成され、基部 22 の一側部に沿って第 1 端子部 25A と対向する後方側のコーナ部へと導かれることにより、このコーナ部に形成された第 2 端子部 25B と接続される。第 3 リード 31C は、一端部が平坦化層 24 を乗り越えるようにして形成され、基部 22 の略中央部を横切って後方側へと導かれるとともに後端側に沿って第 2 端子部 25B と対向するコーナ部へと導かれることにより、このコーナ部に形成された第 3 端子部 25C と接続される。第 4 リード 31D も、一端部が平坦化層 24 を乗り越えるようにして形成され、基部 22 の他側部に沿って第 3 端子部 25C と対向する前方側の他方コーナ部へと導かれることにより、このコーナ部に形成された第 4 端子部 25D と接続される。

20

【0076】

なお、振動素子 20 には、上述した構成にかかわらず、端子部 25 が基部 22 の第 2 主面（実装面）22-2 上に最適化される適宜の位置でかつ適宜の個数をもって形成される。また、振動素子 20 は、各電極層のリード 31 と端子部 25 との接続パターンが上述した構成に限定されるものではないことは勿論であり、端子部 25 の位置や個数に応じて基部 22 の第 2 主面上に適宜に形成される。

30

【0077】

[絶縁保護層]

振動素子 20 には、図 2 及び図 4 に示すように、第 2 主面 21-2 側において基部 22 と振動子部 23 を被覆する絶縁保護層 45 が形成されている。絶縁保護層 45 は、第 1 層の第 1 アルミナ（酸化アルミニウム：Al₂O₃）層 46 と、第 2 層の酸化シリコン（SiO₂）層 47 と、第 3 層の第 2 アルミナ層 48 とからなる 3 層構造によって構成される。

40

【0078】

絶縁保護層 45 には、図 2 に示すように、基部 22 の第 2 主面（実装面）22-2 側に形成した各端子部 25 の形成領域に対応して端子開口部 49 が形成されており、これらの端子開口部 49 を介して各端子部 25 が外方に臨んでいる。振動素子 20 は、図 2 に示すように端子開口部 49 から突出されるようにして各端子部 25 に金バンプ 26 が形成される。

【0079】

絶縁保護層 45 は、基部 22 と振動子部 23 の外周縁と、基準電極層 27 や端子部 25 の最外周部位との間ににおいてシリコン基板 21 の第 2 主面 21-2 が枠状に露出されるようにして形成される。絶縁保護層 45 は、外周部位に第 2 主面 21-2 の露出部位を残すことによって、後述する振動素子 20 の切り出し工程に際して外周部位から剥離が生じる

50

ことが防止されている。なお、絶縁保護層45は、幅寸法 t_6 が100μmとされた振動子部23において、例えば98μmの幅寸法をもって形成される。

【0080】

絶縁保護層45は、第1アルミナ層46が例えば50nmの厚み寸法をもって形成される。第1アルミナ層46は、基部22や振動子部23の主面との密着性を向上させる下地密着層として作用し、振動動作する振動子部23上に絶縁保護層45が強固に成膜形成されるようにして剥離等の発生が防止されるようとする。

【0081】

酸化シリコン層47は、空気中の水分等を遮断して各電極層等への付着を防止するとともに、各電極層の酸化抑制、各電極層の電気的絶縁或いは薄膜の各電極層や圧電薄膜層28の機械的保護を図る機能を奏する。最上層の第2アルミナ層48は、シリコン基板21に後述する外形溝形成工程を施して振動子部23を形成する際に形成されるレジスト層との密着性を向上させる作用を奏し、エッチング剤による酸化シリコン層47の損傷を防止する。

10

【0082】

酸化シリコン層47は、第2電極層42の少なくとも2倍の厚みで、1μm以下の厚みで形成されている。また、酸化シリコン層47は、0.4Pa以下のアルゴンガス雰囲気中でスパッタ法によって第1アルミナ層46上に成膜される。絶縁保護層45は、酸化シリコン層47を上述した膜厚とすることによって、十分な絶縁保護機能を奏するとともに成膜時のバリ発生が防止される。また、酸化シリコン層47は、上述したスパッタ条件で成膜することによって、高膜密度で形成される。

20

【0083】

[位置合わせ用マーク]

振動型ジャイロセンサ1においては、同一形状の第1振動素子20Xと第2振動素子20Yとを支持基板2に対して精密に位置決めして実装するために、支持基板2が各ランド4の位置を実装機側に認識される。振動素子20には、実装機によって認識された各ランド4に対して位置決めされて実装されるようにするために、基部22の第1主面(上面)22-1に位置合わせ用マーク32A, 32B(以下、位置合わせ用マーク32と総称する。)が設けられている。

【0084】

30

位置合わせ用マーク32は、図1及び図4に示すように、基部22の第1主面(上面)22-1上に幅方向に離間して形成された金属箔等からなる一対の矩形部によって構成される。振動素子20は、実装機によって位置合わせ用マーク32が読み取られ、支持基板2に対する位置や姿勢の実装データが生成された後、この実装データと上述したランド4のデータとに基づいて、支持基板2に対して精密に位置決めされて実装される。

【0085】

振動素子20は、位置合わせ用マーク32を基部22の第1主面上に形成したが、かかる構成に限定されるものではない。位置合わせ用マーク32は、基部22の第2主面(実装面)22-2に、例えば配線工程と同一工程で導体部からなる位置合わせ用マークを端子部25やリード31を避けた適宜の位置に形成するようにしてもよい。位置合わせ用マーク32は、詳細を後述するように振動素子20の電極層や振動子部23を形成する外形溝形成工程において用いられる誘導結合型プラズマ装置による反応性イオンエッチング処理に際して用いられる基準マークに合わせて、位置決めされて形成されることが好ましい。位置合わせ用マーク32は、ステッパー露光装置を用いることによって、振動子部23に対して0.1μm以下の精度で形成することが可能である。

40

【0086】

位置合わせ用マーク32は、適宜の方法によって形成される。例えば基部22の第2主面(実装面)22-2に後述するようにチタン層と白金層とからなる第1電極層40のパターニングによって形成した場合に、実装工程に際して読み取りが行われて画像処理を施す際に良好なコントラストが得られて実装精度の向上が図られるようになる。

50

【0087】

【カバー】

続いて、支持基板2の第1主面2-1を外部から遮蔽するカバー15の詳細について説明する。

【0088】

振動型ジャイロセンサ1は、手振れ等により生じるコリオリ力による振動素子20の変位を、詳細を後述するようにこの振動素子20に形成した圧電薄膜層28と検出電極30とにより検出して検出信号を出力する。そして、圧電薄膜層28に光が照射されると焦電効果により電圧が発生し、この焦電圧が検出動作に影響を及ぼして検出特性が低下する。

【0089】

振動型ジャイロセンサ1においては、支持基板2とカバー部材15とによる部品実装空間部3の遮光対応が図られ、外部光の影響による特性低下の防止が図られている。支持基板2には、図1に示すように部品実装領域6を縁取りるようにして外周部位が全周に亘って第1主面2-1から段落ちされて垂直壁からなる遮光段部9を構成することで、カバー固定部10が形成されている。そして、支持基板2に対して金属薄板によって形成したカバー部材15を、カバー固定部10上に樹脂接着によって全周に亘って接合することによって、部品実装空間部3を密閉して防塵、防湿するとともに遮光空間部として構成する。

10

【0090】

カバー部材15は、図1に示すように支持基板2の部品実装領域6を被覆するに足る外形寸法を有する主面部16と、この主面部16の外周部に全周に亘って一体に折曲形成された外周壁部17とからなる全体箱状に形成されている。カバー部材15は、外周壁部17が、支持基板2に組み付けられた状態において振動素子20の振動子部23が振動動作を可能とする部品実装空間部3を構成する高さ寸法をもって形成されている。カバー部材15には、外周壁部17の開口縁に全周に亘って、支持基板2に形成したカバー固定部10よりもやや小幅とされた外周フランジ部18が一体に折曲形成されている。なお、図示せずとも外周フランジ部18はアース凸部を形成し、振動型ジャイロセンサ1が制御基板100に実装された際に制御基板100上のグランド端子に接続される。

20

【0091】

カバー部材15は、金属薄板によって形成されることで振動型ジャイロセンサ1の小型軽量化を保持しているが、赤外波長の外部光に対する遮光性が低下して充分な遮光機能を奏し得ないこともある。そこで本実施の形態では、主面部16と外周壁部17の表面全体に例えれば赤外波長の光を吸収する赤外線吸収塗料を塗布して遮光層19を形成し、部品実装空間部3内への赤外波長の外部光の放射を遮蔽して振動素子20が安定した動作を行うようとする。なお、遮光層19は、赤外線吸収塗料溶液中にディップして表裏主面に形成したり、黒色クロムめっき処理や黒染め処理或いは黒色陽極酸化処理を施して形成してもよい。

30

【0092】

上述のように、振動型ジャイロセンサ1においては、支持基板2に対してカバー部材15が、外周フランジ部18をカバー固定部10上に重ね合わせて接着剤によって接合されることによって組み付けられ、密閉かつ遮光された部品実装空間部3を構成する。ところが、重ね合わされたカバー固定部10と外周フランジ部18との間の隙間に介在する接着剤層を透過して外部光が部品実装空間部3内に進入する場合がある。そこで本実施の形態においては、上述したように支持基板2が主面2-1に対して遮光段部9を介してカバー固定部10を段落ち形成したことにより、接着剤層を透過した外部光が遮光段部9によって遮光されるようにしている。

40

【0093】

本実施の形態においては、支持基板2に対してカバー部材15も他の構成部材と同様に表面実装法によって組み付けるようにすることで、組立工程の合理化が図られている。振動型ジャイロセンサ1においては、カバー部材15を支持基板2の段落ちされたカバー固定部10上に固定することから薄型化が図られるとともに、接着剤の部品実装領域6への

50

流れ込みも防止される。また、部品実装空間部3が防塵、防湿空間部として構成されるとともに遮光空間部として構成されることで、振動素子20における焦電効果の発生を抑制して安定した手振れ等の検出動作を行うことを可能とする。

【0094】

[回路構成]

次に、振動型ジャイロセンサ1を駆動する回路構成について図6を参照して説明する。

【0095】

振動型ジャイロセンサ1は、第1振動素子20Xと第2振動素子20Yとにそれぞれ接続されIC回路素子7や電子部品8等によって構成された第1駆動検出回路部50Xと第2駆動検出回路部50Yとを備えている。これら第1駆動検出回路部50Xと第2駆動検出回路部50Yとは互いに同一の回路構成とされることから、以下、駆動検出回路部50と総称して説明する。駆動検出回路部50は、インピーダンス変換回路51と、加算回路52と、発振回路53と、差動増幅回路54と、同期検波回路55と、直流増幅回路56等を備えている。10

【0096】

駆動検出回路部50は、図6に示すように振動素子20の第1検出電極30Rと第2検出電極30Lに対してインピーダンス変換回路51と差動増幅回路54とが接続される。インピーダンス変換回路51には加算回路52が接続され、この加算回路52に接続された発振回路53が駆動電極層29と接続される。差動増幅回路54と発振回路53とには同期検波回路55が接続され、この同期検波回路55に直流増幅回路56が接続される。20
なお、振動素子20の基準電極層27は、支持基板2側の基準電位57と接続される。

【0097】

駆動検出回路部50は、振動素子20とインピーダンス変換回路51と加算回路52と発振回路53とによって自励発振回路を構成する。そして、発振回路53から駆動電極層29に対して所定周波数の発振出力Vgoを印加することによって振動素子20の振動子部23に固有振動を生じさせる。振動素子20の第1検出電極30Rからの出力Vgrと第2検出電極30Lからの出力Vglとはインピーダンス変換回路51に供給され、これらの入力に基づいてインピーダンス変換回路51から加算回路52に対してそれぞれ出力VzrとVzlとを出力する。加算回路52は、これらの入力に基づいて発振回路53に対して加算出力Vs aを出力する。30

【0098】

振動素子20の第1検出電極30Rからの出力Vgrと第2検出電極30Lからの出力Vglとは差動増幅回路54に供給される。駆動検出回路部50は、後述するように振動素子20が手振れを検出するとこれら出力Vgrと出力Vglとに差異が生じることから、差動増幅回路54によって所定の出力Vdaが得られる。差動増幅回路54からの出力Vdaは、同期検波回路55に供給される。同期検波回路55は出力Vdaを同期検波することで直流信号Vs dに変換して直流増幅回路56に供給し、所定の直流増幅を行った直流信号Vs dを出力する。

【0099】

同期検波回路55は、差動増幅回路54の出力Vdaを、発振回路53から駆動信号に同期して出力されるクロック信号Vckのタイミングで全波整流した後で積分して直流信号Vs dを得る。駆動検出回路部50は、上述したようにこの直流信号Vs dを直流増幅回路56において増幅して出力することにより、手振れにより生じる角速度信号の検出が行われる。40

【0100】

駆動検出回路部50は、インピーダンス変換回路51がハイ・インピーダンス入力Z2の状態でロー・インピーダンス出力Z3を得るようになっており、第1検出電極30Rと第2検出電極30L間のインピーダンスZ1と加算回路52の入力間のインピーダンスZ4とを分離する作用を奏する。インピーダンス変換回路51を設けることによって、これら第1検出電極30Rと第2検出電極30Lとから大きな出力差異を得ることが可能とな50

る。

【0101】

駆動検出回路部50においては、上述したインピーダンス変換回路51が入力と出力とのインピーダンス変換機能を奏するだけで信号の大きさに影響を与えることはない。したがって、第1検出電極30Rからの出力Vgrとインピーダンス変換回路51の一方側の出力Vzr、及び第2検出電極30Lからの出力Vg1とインピーダンス変換回路51の他方側の出力Vz1とはそれぞれ同一の大きさである。駆動検出回路部50においては、振動素子20によって手振れ検出が行われて第1検出電極30Rからの出力Vgrと第2検出電極30Lからの出力Vg1とに差があつても、加算回路52からの出力Vs aに保持される。

10

【0102】

駆動検出回路部50においては、例えばスイッチング動作等によってノイズが重畠されることがあつても、発振回路53の出力Vgoに重畠されたノイズ成分が振動素子20におけるバンドフィルタと同等の働きによって共振周波数以外の成分が除去されることで、差動增幅回路54からノイズ成分が除去された高精度の出力Vdaを得ることが可能となる。なお、振動型ジャイロセンサ1は、上述した駆動検出回路部50に限定されるものではなく、固有振動する振動子部23の手振れ動作による変位を圧電薄膜層28と一対の検出電極30とによって検出し、適宜の処理を行つて検出出力を得るように構成されればよい。

20

【0103】

振動型ジャイロセンサ1においては、上述したようにX軸方向の角速度を検出する第1振動素子20XとY軸方向の角速度を検出する第2振動素子20Yとを備えている。第1振動素子20Xに接続された第1駆動検出回路部50XからはX軸方向の検出出力VsdXが得られるとともに、第2振動素子20Yに接続された第2駆動検出回路部50YからはY軸方向の検出出力VsdYが得られる。振動型ジャイロセンサ1においては、第1振動素子20Xと第2振動素子20Yとが、それぞれ数kHzから数百kHzの範囲で動作周波数の設定が可能である。そして、第1振動素子20Xの動作周波数fxと第2振動素子20Yの動作周波数fyとの周波数差(fx - fy)を1kHz以上、例えば2kHz ~ 3kHzとすることで、クロストークが低減されて精密な振動検出が行われるようになる。

30

【0104】

[振動型ジャイロセンサの製造方法]

以下、本実施の形態の振動型ジャイロセンサ1の製造方法について説明する。図10は振動型ジャイロセンサ1の製造方法を説明する主要工程フローである。

【0105】

振動型ジャイロセンサ1においては、上述した振動素子20が、例えば図11及び図12に示すように、主面21-1の方位面が(100)面、側面21-3の方位面が(110)面となるように切り出されたシリコン基板21を基材にして多数個が一括して形成された後に、切断工程を経て1個ずつに切り分けられる。

【0106】

40

本実施の形態において、シリコン基板21は、後述するようにドープ処理が施されない略純単結晶シリコン基板或いは体積抵抗率が100~cmである単結晶シリコン基板が用いられる。シリコン基板21は、かかる単結晶シリコン基板を用いることによって、シリコン層が高抵抗値特性を有することになる。

【0107】

[基板準備工程]

シリコン基板21は、外形寸法が、工程に用いられる設備仕様に応じて切り出し寸法が適宜決定され、例えば300×300(mm)とされる。シリコン基板21は図11に示すように平面視矩形状の基板に限らず、平面視円形のウェーハ形状でもよい。シリコン基板21は、作業性やコスト等によって厚み寸法を決定されるが、少なくとも振動素子20

50

の基部 22 の厚み寸法よりも大きな厚みであればよい。シリコン基板 21 は、上述したように基部 22 の厚みが 300 μm であるとともに振動子部 23 の厚みが 100 μm であることから、300 μm 以上の基板が用いられる。

【0108】

シリコン基板 21 には、熱酸化処理が施されて、図 12 に示すように第 1 主面 21-1 上及び第 2 主面 21-2 上にそれぞれシリコン酸化膜 (SiO₂ 膜) 33A, 33B (以下、個別に説明する場合を除いてシリコン酸化膜 33 と総称する。) が全面に亘って形成されている。シリコン酸化膜 33 は、後述するようにシリコン基板 21 に結晶異方性エッティング処理を施す際に保護膜として機能する。シリコン酸化膜 33 は、保護膜機能を奏すればよく適宜の厚みをもって形成されるが、例えば 0.3 μm 程度の厚み寸法で形成される。

10

【0109】

[エッティング凹部形成工程]

振動素子製造工程は、半導体プロセスの薄膜工程と同様の工程からなり、シリコン基板 21 の第 1 主面 21-1 側から各振動素子 20 の振動子部 23 を形成する部位を所定の厚み寸法とする上述したエッティング凹部 37 を形成するエッティング凹部形成工程を有する。

【0110】

エッティング凹部形成工程は、図 13 ~ 図 19 に示すように、シリコン基板 21 の第 1 主面 21-1 に、フォトレジスト層 34 を形成するフォトレジスト層形成工程と、エッティング凹部 37 の形成部位に対応してフォトレジスト層 34 にフォトレジスト層開口部 35 を形成するフォトレジストパターニング工程と、フォトレジスト層開口部 35 に臨むシリコン酸化膜 33A を除去してシリコン酸化膜開口部 36 を形成する第 1 エッティング処理工程と、シリコン酸化膜開口部 36 内にエッティング凹部 37 を形成する第 2 エッティング処理工程等を有する。

20

【0111】

フォトレジスト層形成工程は、シリコン基板 21 の第 1 主面 21-1 に形成したシリコン酸化膜 33A 上に全面に亘ってフォトレジスト材を塗布してフォトレジスト層 34 を形成する。フォトレジスト層形成工程は、フォトレジスト材として例えば東京応化社製の感光性フォトレジスト材「OPFR-8600」が用いられ、このフォトレジスト材を塗布した後にマイクロ波で加熱して水分を除去するプレベーキング処理を施してシリコン酸化膜 33A 上にフォトレジスト層 34 を形成する。

30

【0112】

フォトレジストパターニング工程は、フォトレジスト層 34 上に各シリコン酸化膜開口部 36 を形成する部位を開口部としたマスキング処理を施し、フォトレジスト層 34 に対して露光、現像処理を施す。フォトレジストパターニング工程は、各シリコン酸化膜開口部 36 の対応部位のフォトレジスト層 34 を除去して、図 13 及び図 14 に示すようにシリコン酸化膜 33A を外方に臨ませる多数個のフォトレジスト層開口部 35 を一括して形成する。なお、シリコン基板 21 には、図 13 に示すように 3 × 5 個のフォトレジスト層開口部 35 が形成されることで、後述する各工程を経て 15 個の振動素子 20 が一括して製造されるようとする。

40

【0113】

第 1 エッティング処理工程は、フォトレジスト層開口部 35 を介して外部に臨むシリコン酸化膜 33A を除去する工程である。第 1 エッティング処理は、シリコン基板 21 の界面の平滑性を保持するために、シリコン酸化膜 33A のみを除去する湿式エッティング法を採用するが、この方法に限定されるものではなく例えばイオンエッティング法等の適宜のエッティング処理であってもよい。

【0114】

第 1 エッティング処理には、エッティング液として例えばフッ化アンモニウム溶液を用い、シリコン酸化膜 33A を除去してシリコン酸化膜開口部 36 を形成する。これにより、図 15 及び図 16 に示すように、シリコン基板 21 の第 1 主面 21-1 を外部に臨ませる。

50

なお、第1エッティング処理は、長時間に亘ってエッティングを行った場合にシリコン酸化膜開口部36の側面からエッティングが進行するいわゆるサイドエッティング現象が生じることから、シリコン酸化膜33Aがエッティングされた時点で終了するようにエッティング時間を正確に管理することが好ましい。

【0115】

第2エッティング処理は、シリコン酸化膜開口部36を介して外部に臨むシリコン基板21の第1主面21-1にエッティング凹部37を形成する工程である。第2エッティング処理工程は、シリコン基板21の結晶方向にエッティング速度が依存する性質を利用した結晶異方性の湿式エッティング処理によって、シリコン基板21を振動子部23の厚みまでエッティングする。

10

【0116】

第2エッティング処理工程には、エッティング液として例えばTMAH(水酸化テトラメチルアンモニウム)やKOH(水酸化カリウム)或いはEDP(エチレンジアミン・ピロカルボール・水)溶液が用いられる。第2エッティング処理は、具体的にはエッティング液として表裏面のシリコン酸化膜33A, 33Bのエッティングレートの選択比がより大きくなるTMAH20%溶液を用い、このエッティング液を攪拌しながら温度を80℃に保ち、6時間のエッティングを行って図17及び図18に示すエッティング凹部37を形成する。

【0117】

第2エッティング処理工程においては、基材として用いるシリコン基板21の第1主面21-1や第2主面21-2に対して側面21-3の対エッティング性が小さい特性を利用して、(100)面に対して約55°の角度の面方位となる(110)面が出現するエッティングが行われる。これにより、開口部から底面に向かって約55°の傾斜角度をもって次第に開口寸法が小さくなり、内周壁に約55°の傾斜角度のエッティング斜面133を有するエッティング凹部37が形成される。

20

【0118】

エッティング凹部37は、後述する外形切り抜き工程が施されて振動子部23を形成するダイヤフラム部38を構成する。エッティング凹部37は、図17に示すように長さ寸法t8、幅寸法t9の開口寸法を有し、図19に示すように深さ寸法t10をもって形成される。エッティング凹部37は、図19に示すように、第1主面21-1から第2主面21-2側に向かって次第に開口寸法が小さくなる断面が台形の空間部によって構成される。

30

【0119】

エッティング凹部37は、内周壁が上述したように内方下がりに55°の傾斜角度を付されて形成される。ダイヤフラム部38は、後述するように、振動子部23の幅寸法t6と長さ寸法t5及びその外周部を切り抜くようにしてシリコン基板21に形成する外形溝39の幅寸法t7(図36及び図37参照)とによって規定する。外形溝39の幅寸法t7は、(深さ寸法t10 × 1 / tan 55°)で求められる。

【0120】

したがって、エッティング凹部37は、ダイヤフラム部38の幅を規定する開口幅寸法t9が、(深さ寸法t10 × 1 / tan 55°) × 2 + t6(振動子部23の幅寸法) + 2 × t7(外形溝39の幅寸法)から求められる。エッティング凹部37は、開口部位の幅寸法t9が、 $t_{10} = 200 \mu m$ 、 $t_6 = 100 \mu m$ 、 $t_7 = 200 \mu m$ とすると、 $t_9 = 780 \mu m$ となる。

40

【0121】

また、エッティング凹部37は、上述した第2エッティング処理を施すことによって長さ方向についても幅方向と同様にその内周壁がそれぞれ傾斜角度が55°の傾斜面として構成される。したがって、エッティング凹部37は、ダイヤフラム部38の長さを規定する長さ寸法t8が、(深さ寸法t10 × 1 / tan 55°) × 2 + t5(振動子部23の長さ寸法) + t7(外形溝39の幅寸法)から求められる。エッティング凹部37は、長さ寸法t8が、 $t_{10} = 200 \mu m$ 、 $t_5 = 2.5 mm$ 、 $t_7 = 200 \mu m$ とすると、 $t_8 = 2980 \mu m$ となる。

50

【0122】

[電極形成工程(成膜)]

上述したエッティング凹部形成工程により、シリコン基板21にエッティング凹部37の底面と第2主面21-2との間に、所定の厚みを有する矩形のダイヤフラム部38が構成される。ダイヤフラム部38は、振動素子20の振動子部23を構成する。エッティング凹部形成工程の後、ダイヤフラム部38の第2主面21-2側を加工面として電極形成工程が施される。

【0123】

電極形成工程は、例えばマグнетロンスパッタ装置によって、エッティング凹部37の形成部位と対向する第2主面21-2上に、シリコン酸化膜33Bを介して各電極層を形成する。電極形成工程は、図20に示すようにシリコン酸化膜33Bを介して基準電極層27を構成する第1電極層40を形成する第1電極層形成工程と、圧電薄膜層28を構成する圧電膜層41を形成する圧電膜層形成工程と、駆動電極層29及び検出電極30を構成する第2電極層42を形成する第2電極層形成工程とを有する。

10

【0124】

なお、振動素子製造工程においては、振動子部23に対する上述した第1電極層40の形成工程と第2電極層42の形成工程に合わせて、基部22の形成部位に各リード31や端子部25を形成するための導体層の形成工程も同時に行われるようとする。

【0125】

第1電極層形成工程は、図20に示すように、振動子部23の構成部位に対応するシリコン酸化膜33B上に全面に亘ってチタンをスパッタリングしてチタン薄膜層を形成する工程と、このチタン薄膜層上にプラチナ(白金)をスパッタリングしてプラチナ層を形成して2層構成の第1電極層40を積層形成する工程とからなる。チタン薄膜層形成工程は、例えばガス圧0.5Pa、RF(高周波)パワー1kWのスパッタ条件でシリコン酸化膜33B上に膜厚が50nm以下(例えば5nm~20nm)程度のチタン薄膜層を成膜する。プラチナ層形成工程は、例えばガス厚0.5Pa、RFパワー0.5kWのスパッタ条件でチタン薄膜層上に膜厚が200nm程度のプラチナ薄膜層を成膜する。

20

【0126】

第1電極層40は、チタン薄膜層がシリコン酸化膜33Bとの密着性を向上させる作用を奏するとともに、プラチナ層が良好な電極として作用する。第1電極層形成工程は、上述した第1電極層40の形成と同時にダイヤフラム部38から基部22の形成領域へと延長して第1リード31Aと第1端子部25Aとを構成する導体層も形成する。

30

【0127】

圧電膜層形成工程は、上述した第1電極層40上に全面に亘って、例えばチタン酸ジルコン酸鉛(PZT)をスパッタリングして所定の厚みの圧電膜層41を積層形成する。圧電膜層形成工程は、Pb(1+x)(Zr0.53Ti0.47)O_{3-y}酸化物をターゲットとして用いて、例えばガス圧0.7Pa、RFパワー0.5kWのスパッタ条件で第1電極層40上に膜厚が1μm程度のPZT層からなる圧電膜層41を積層形成する。圧電膜層形成工程は、電気炉により圧電膜層41をベーリングすることによって、結晶化熱処理を施す。ベーリング処理は、例えば酸素雰囲気下で、700、10分間の条件で行う。なお、圧電膜層41は、上述した第1電極層40から延長された基部22の形成領域に形成された電極層の一部を被覆して形成される。

40

【0128】

第2電極層形成工程は、上述した圧電膜層41上に全面に亘って、プラチナをスパッタリングしてプラチナ層を形成することによって第2電極層42を積層形成する。第2電極層形成工程は、ガス圧0.5Pa、RFパワー0.5kWのスパッタ条件で圧電膜層41上に膜厚が200nm程度のプラチナ薄膜層を成膜する。

【0129】

[電極形成工程(パターニング)]

次に、最上層に形成された第2電極層42に対してパターニング処理を施す第2電極層

50

パターニング工程が行われる。第2電極層パターニング工程では図21及び図22に示すように所定形状の駆動電極層29と一対の検出電極30R, 30Lとを形成する。

【0130】

駆動電極層29は、上述したように振動子部23を駆動させる所定の駆動電圧が印加される電極であり、振動子部23の幅方向の中央領域に所定の幅をもって長さ方向のほぼ全域に亘って形成される。検出電極30は、振動子部23に発生したコリオリ力を検出する電極であり、駆動電極層29の両側に位置して長さ方向のほぼ全域に亘って互いに絶縁を保持されて平行に形成される。

【0131】

第2電極層パターニング工程は、第2電極層42に対してフォトリソグラフ処理を施して図21に示すように圧電膜層41上に駆動電極層29と検出電極30とを形成する。第2電極層パターニング工程は、駆動電極層29と検出電極30との対応部位にレジスト層を形成し、不要な部位の第2電極層42を例えればイオンエッチング法等によって除去した後にレジスト層を除去する等の工程を経て、駆動電極層29と検出電極30とをパターン形成する。第2電極層パターニング工程は、かかる工程に限定されず、半導体プロセスにおいて採用されている適宜の導電層形成工程を利用して駆動電極層29や検出電極30を形成するようにしてもよいことは勿論である。

10

【0132】

駆動電極層29と検出電極30とは、図21に示すように先端部とともに振動子部23の根元となる根元部位43においても同一となるようにして形成される。この第2電極層パターニング工程においては、根元部位43において一致された駆動電極層29と検出電極30との基端部に、それぞれ幅広とされたリード接続部29-1, 30R-1, 30L-1が一体にパターン形成される。

20

【0133】

第2電極層パターニング工程においては、第2電極層42をパターニングして例えば長さ寸法t12が2mm、幅寸法t13が50μmの駆動電極層29を形成する。そして、この駆動電極層29を挟んで、図21に示すようにそれぞれ幅寸法t14が10μmの第1検出電極30Rと第2検出電極30Lとを、5μmの間隔寸法t15をもってパターン形成する。また、第2電極層パターニング工程は、長さ寸法がそれぞれ50μm、幅寸法もそれぞれ50μmとしたリード接続部29-1, 30R-1, 30L-1をパターン形成する。なお、駆動電極層29と検出電極30とは上述した寸法値に限定されるものではなく、振動子部23の第2主面上に形成することが可能な範囲で適宜形成される。

30

【0134】

続いて、上述した圧電膜層41に対してパターニング処理を施す圧電膜層パターニング工程によって、図23及び図24に示す所定形状の圧電薄膜層28を形成する。圧電薄膜層28は、圧電膜層41に対して上述した駆動電極層29と検出電極30よりも大きな面積の部位を残すようにパターニング処理を施して形成される。圧電薄膜層28は、振動子部23に対して、その幅よりもやや小幅であり基端部から先端部の近傍位置に亘って形成される。

40

【0135】

圧電膜層パターニング工程は、圧電膜層41に対してフォトリソグラフ処理を施して圧電薄膜層28の対応部位にレジスト層を形成し、不要な部位の圧電膜層41を例えればフッ硝酸溶液を用いた湿式エッティング法等によって除去した後に、レジスト層を除去する等の工程を経て、図23及び図24に示す圧電薄膜層28を形成する。なお、上記の例では圧電膜層41を湿式エッティング法によってエッティング処理を施すようにしたが、かかる方法に限定されるものではなく、例えればイオンエッティング法や反応性イオンエッティング法(RIE: Reactive Ion Etching)等の適宜の方法を施すことにより圧電薄膜層28を形成するようにしてもよいことは勿論である。

【0136】

圧電膜層パターニング工程においては、圧電薄膜層28の基端部が図23に示すように

50

振動子部 23 の根元となる根元部位 43において駆動電極層 29 と検出電極 30 とほぼ同形となるようにして形成される。そして、圧電薄膜層 28 は、基端部から駆動電極層 29 や検出電極 30 のリード接続部 29-1, 30R-1, 30L-1 よりもやや大きな面積を有して端子受け部 28-1 が一体にパターン形成される。

【0137】

圧電膜層パターニング工程は、長さ寸法 t_{18} が駆動電極層 29 や検出電極 30 よりもやや長い 2.2 mm 、幅寸法 t_{19} が $90\text{ }\mu\text{m}$ の圧電薄膜層 28 をパターン形成する。圧電薄膜層 28 の基端部に形成される端子受け部 28-1 は、駆動電極層 29 や検出電極 30 のリード接続部 29-1, 30R-1, 30L-1 の周囲に $5\text{ }\mu\text{m}$ の幅寸法を有してパターン形成される。なお、圧電薄膜層 28 は上述した寸法値に限定されるものでなく、駆動電極層 29 や検出電極 30 よりも大きな面積をもって振動子部 23 の第 2 主面 23-2 上に形成することが可能な範囲で適宜形成される。10

【0138】

そして、第 1 電極層 40 に対して、上述した第 2 電極層パターニング工程と同様のパターン処理を施す第 1 電極層パターニング工程によって、図 25 及び図 26 に示すように基準電極層 27 をパターン形成する。第 1 電極層パターニング工程は、基準電極層 27 の対応部位にレジスト層を形成し、不要な部位の第 1 電極層 40 を例えばイオンエッチング法等によって除去した後にレジスト層を除去する等の工程を経て、基準電極層 27 をパターン形成する。なお、第 1 電極層パターニング工程は、かかる工程に限定されず、半導体プロセスにおいて採用されている適宜の導電層形成工程を利用して基準電極層 27 を形成するようにしてもよいことは勿論である。20

【0139】

第 1 電極層パターニング工程においては、振動子部 23 の第 2 主面上においてその幅よりもやや小幅で圧電薄膜層 28 よりも大きな幅を有する基準電極層 27 を形成する。基準電極層 27 の基端部は、図 25 に示すように振動子部 23 の根元となる根元部位 43 において駆動電極層 29 と検出電極 30 及び圧電薄膜層 28 とほぼ同形となるようにして形成される。この第 1 電極層パターニング工程においては、基端部から側方へと一体に引き出されて基部 22 の形成部位上に第 1 リード 31A とその先端部の第 1 端子部 25A とが同時にパターン形成される。

【0140】

第 1 電極層パターニング工程においては、長さ寸法 t_{20} が 2.3 mm 、幅寸法 t_{21} が $94\text{ }\mu\text{m}$ とされ、圧電薄膜層 28 の周囲に $5\text{ }\mu\text{m}$ の幅寸法をもって基準電極層 27 を形成する。なお、第 1 電極層パターニング工程は、基準電極層 27 が上述した寸法値に限定されるものでなく、振動子部 23 の第 2 主面上に形成することが可能な範囲で適宜形成される。30

【0141】

[平坦化層形成工程]

振動素子製造工程においては、上述した各工程を経て基部 22 の形成部位に対応して、駆動電極層 29 と検出電極 30 のリード接続部 29-1, 30R-1, 30L-1 及び端子部 25B ~ 25D を形成するとともに、これら各端子部 25 と一体化されるリード 31B ~ 31D を形成する。この際、リード 31B ~ 31D をリード接続部 29-1, 30R-1, 30L-1 と円滑に接続するために、図 27 及び図 28 に示す平坦化層 24 を形成する。40

【0142】

リード接続部 29-1, 30R-1, 30L-1 と端子部 25B ~ 25D とを接続するリード 31B ~ 31D は、図 29 及び図 30 に示すように、圧電薄膜層 28 の端子受け部 28-1 や基準電極層 27 の端部を通過して基部 22 の形成部位を引き回すようにして形成される。上述したように圧電薄膜層 28 は圧電膜層 41 に湿式エッチング処理を施してパターン形成されることから、エッチング箇所の端部がシリコン基板 21 の第 2 主面 21-2 側に向かって逆テープ或いは垂直な段部となっている。従って、基部 22 の形成部位

にリード31B～31Dを直接形成した場合に、上記段部において断線を生じさせことがある。また、基部22の形成部位に引き回されている第1リード31Aとリード31B～31Dとの絶縁を保持する必要もある。

【0143】

平坦化層形成工程は、基部22の形成部位に形成したレジスト層にフォトリソグラフ処理を施して、リード接続部29-1, 30R-1, 30L-1と第1リード31Aとを被覆するレジスト層をパターン形成する。パターン形成されたレジスト層は、例えば160～300程度の加熱処理が施されることで硬化し平坦化層24を構成する。平坦化層形成工程は、幅寸法t24が200μm、長さ寸法t25が50μm、厚み寸法が2μm(図28では強調して示している。)の平坦化層24を形成する。なお、平坦化層形成工程は、かかる工程に限定されるものではなく、半導体プロセス等に実施される適宜のレジスト層形成工程や適宜の絶縁性材料を用いて平坦化層24を形成するようにしてもよい。10

【0144】

[配線層形成工程]

次に、基部22の形成部位に上述した第2端子部25B～第4端子部25D及び第2リード31B～第4リード31Dを形成する配線層形成工程が施される。配線層形成工程は、基部22の形成部位に全面に亘って感光性のフォトレジスト層を形成するとともに、このフォトレジスト層に対してフォトリソグラフ処理を施して第2端子部25B～第4端子部25Dや第2リード31B～第4リード31Dに対応する開口パターンを形成し、さらにスパッタリングによって各開口部内に導体層を形成して配線層を形成する。配線層形成工程は、所定の導体部を形成した後に、フォトレジスト層を除去して図29及び図30に示す第2端子部25B～第4端子部25D及び第2リード31B～第4リード31Dをパターン形成する。20

【0145】

この配線層形成工程においては、シリコン酸化膜33Bに対する密着性の向上を図るチタン層やアルミナ層が下地層として形成された後に、このチタン層上に電気抵抗が低く低コストの銅層が形成される。この例では、例えばチタン層が20nmの厚みで形成され、銅層が300nmの厚みで形成される。なお、配線層形成工程は、かかる工程に限定されず、例えば半導体プロセスで汎用される各種の配線パターン形成技術によって配線層を形成するようにしてもよい。30

【0146】

[絶縁保護層形成工程]

続いて、上述した工程を経て主面上に端子部25とリード31とを形成した基部22と、各電極層と圧電薄膜層28とを形成した振動子部23の主面上に3層構成の絶縁保護層45を形成する絶縁保護層形成工程が施される。絶縁保護層形成工程は、レジスト層形成工程と、レジスト層パターン形成工程と、第1アルミナ層形成工程と、酸化シリコン層形成工程と、第2アルミナ層形成工程と、レジスト層除去工程とを有する。

【0147】

絶縁保護層形成工程は、レジスト層形成工程とレジスト層パターン形成工程とを経て、図31に示すようにシリコン基板21の第2主面上に絶縁保護層45の形成部位を開口したレジスト層44を形成する。レジスト層形成工程は、シリコン基板21上に全面に亘って感光性レジスト剤を塗布してレジスト層44を形成する。レジスト層パターン形成工程は、レジスト層44に対してフォトリソグラフ処理を施して絶縁保護層45の形成領域に対応する部位を開口して絶縁保護層形成開口部44Aを形成する。なお、レジスト層44は、図示を省略するが端子部25の対応部位がそれぞれ円形に残される。40

【0148】

絶縁保護層形成工程は、スパッタ法によって第1アルミナ層46と酸化シリコン層47と第2アルミナ層48とを積層形成するとともに、不要なスパッタ形成膜をレジスト層44とともに除去してレジスト層44の絶縁保護層形成開口部44A内に3層構造のスパッタ形成層を残すいわゆるリフトオフ法によって所望の絶縁保護層45を形成する。なお、50

図32～図34においては、絶縁保護層形成開口部44Aに形成される各スパッタ膜のみを図示しているが、この絶縁保護層形成開口部44Aを構成するレジスト層44上にも同様にしてスパッタ膜が形成されることは勿論であり、これらスパッタ膜はレジスト層除去工程によってレジスト層44とともに一括して除去される。

【0149】

第1アルミナ層形成工程は、アルミナのスパッタリングを施して、図32に示すように上述した絶縁保護層形成開口部44Aの内部に第1アルミナ層46を形成する。第1アルミナ層46は、50nm程度の厚み寸法t26をもって形成され、絶縁保護層形成開口部44A内において上述したようにシリコン基板21や駆動電極層29或いは検出電極30との密着性を向上させる下地金属層として機能する。

10

【0150】

酸化シリコン層形成工程は、酸化シリコンのスパッタリングを施して、図33に示すように上述した第1アルミナ層46上に酸化シリコン層47を形成する。酸化シリコン層形成工程は、スパッタ槽内におけるアルゴン圧が0.35Paを放電限界の下限とすることから、アルゴン圧を下限値よりもやや高圧とした0.4Paに設定して酸化シリコンのスパッタリングを行って、高密度の酸化シリコン膜47を形成する。酸化シリコン膜形成工程は、駆動電極層29や検出電極30の少なくとも2倍の厚みを有することで充分な絶縁保護機能を奏し、かつリフトオフ法においてバリ発生率が小さい範囲の厚みである1μm以下の厚み寸法t27を有する酸化シリコン層47を形成する。酸化シリコン層47は、具体的には750nmの厚み寸法t27に形成される。

20

【0151】

第2アルミナ層形成工程は、アルミナのスパッタリングを施して、図34に示すように上述した酸化シリコン層47上に第2アルミナ層48を全面に亘って形成する。第2アルミナ層48は、50nm程度の厚み寸法t28をもって形成され、後述する外形溝形成工程に際して形成されるレジスト層との密着性を向上させることで、エッチング剤による酸化シリコン層47の損傷を防止する。

【0152】

[外形溝形成工程]

次に、シリコン基板21の第1主面21-1上に、図34に示すようにエッチングストップ層70を形成する工程が施される。エッチングストップ層70は、後述する外形溝形成工程をシリコン基板21に対して施す際に、第1主面21-1側にプラズマ集中が生じて所定のエッジ形状が形成されない形状不良の発生を抑制する機能を奏する。エッチングストップ層形成工程は、例えばシリコン基板21の第1主面21-1上に、スパッタ法によって全面に亘って厚みが500nm程度の酸化シリコンを形成する。

30

【0153】

外形溝形成工程は、ダイヤフラム部38を貫通して振動子部23の外周部を構成する外形溝39を形成する。外形溝形成工程においては、図35～図37に示すように、ダイヤフラム部38と対向するシリコン基板21の第2主面21-2側から、上述した各電極層を積層形成したシリコン基板21の振動子部23の一方側の根元部位43を始端39Aとし、振動子部23を囲むように他方側の根元部位43を終端39Bとする略コ字状の貫通溝からなる外形溝39が形成される。外形溝39は、上述したように200μmの幅寸法t7をもって形成される。

40

【0154】

外形溝形成工程は、具体的にはシリコン酸化膜33Bを所定形状のコ字状に除去してシリコン基板21の第2主面21-2を露出させる第1エッチング処理工程と、露出されたシリコン基板21に対して外形溝39を形成する第2エッチング処理工程とからなる。

【0155】

第1エッチング工程においては、シリコン酸化膜33B上に全面に亘って感光性のフォトレジスト層を形成するとともに、このフォトレジスト層に対してフォトリソグラフ処理を施して上述した各電極層の形成領域を囲み振動子部23の外形寸法と等しい開口寸法を

50

有するコ字状の開口パターンを形成する。第1エッティング処理工程は、開口パターンを介して露出されたシリコン酸化膜33Bをイオンエッティングによって除去する。なお、第1エッティング処理工程は、例えば湿式エッティングによってシリコン酸化膜33Bをコ字状に除去することも可能であるが、サイドエッティングによる寸法誤差の発生を考慮すると、イオンエッティングが好適に実施される。

【0156】

第2エッティング工程においては、残されたシリコン酸化膜33Bがレジスト膜（エッティング保護膜）として利用される。第2エッティング処理工程は、レジスト膜（シリコン酸化膜33B）との選択比が得られ、かつ振動子部23の外周部が高精度の垂直面によって構成されるようにするために、シリコン基板21に対して例えば反応性イオンエッティングが施される。10

【0157】

第2エッティング処理工程には、高密度なプラズマを生成する誘導結合型プラズマ（ICP：Inductively Coupled Plasma）を生成する機能を有する反応性イオンエッティング（RIE）装置が用いられる。第2エッティング処理工程は、エッティング箇所にSF₆ガスを導入するエッティング処理と、C₄F₈ガスを導入してエッティングした箇所に外周壁を保護するための保護膜形成工程とを繰り返すBosch（Bosch社）プロセスが用いられ、毎分10μm程度の速度で垂直な内壁を有する外形溝39をシリコン基板21に形成する。

【0158】

第2エッティング処理工程の後、シリコン基板21の第1主面21-1に形成されたエッティングトップ層70を除去する工程が施される。エッティングトップ層の除去工程は、例えばフッ化アンモニウムを用いた湿式エッティング処理によって酸化シリコンからなるエッティングトップ層70を除去する。なお、エッティングトップ層除去工程は、上述した外形溝形成工程で形成したフォトレジスト層を除去してしまうと絶縁保護層45も除去されてしまうから、エッティングトップ層70を除去した後に当該フォトレジスト層の除去が行われるようにする。20

【0159】

[分極処理工程]

続いて、シリコン基板21上に形成される各振動素子20の圧電薄膜層28を一括して分極処理する分極処理工程が行われる。分極処理ための分極用配線にはCu配線が用いられる。Cu配線は、後述する分極処理を行った後に湿式エッティング処理によって容易に溶解することで、各振動素子20にダメージを与えることなく除去することが可能である。なお、分極用配線については、Cu配線に限定されず、上述した機能を奏する適宜の導電体によって形成してもよいことは勿論である。30

【0160】

Cu配線の形成には、例えばフォトリソグラフ処理によって所望の形状を開口部とするレジスト層をシリコン基板21の第2主面21-2上にパターン形成した後に、Cu層をスパッタ法により成膜するとともに不要な部位に付着したCu層をレジスト層とともに除去するリフトオフ法が用いられる。Cu配線は、分極処理時の導通を確保するために、例えば幅寸法が30μm以上、厚みが400nm程度とする。40

【0161】

分極処理工程は、Cu配線に形成された印加側パッドとグランド側パッドとを介して各振動素子20を外部電源に一括して接続することによって、効率よく行うことが可能である。なお、分極処理工程は、例えばワイヤボンディング法によって各パッドと外部電源との接続を行うとともに、20V-20minの条件で通電を行って分極処理を施す。分極処理工程は、かかる条件に限定されず、適宜の接続方法や分極条件によって分極処理を施すようにしてもよいことは勿論である。

【0162】

[金パンプ形成工程]

次に、金パンプ形成工程が行われる。振動素子20は、上述したように支持基板2に表50

面実装されることから、各端子部 25 上に金バンプ 26 が形成される。金バンプ形成工程は、各端子部 25 に金ワイヤのボンディングツールを押し当てて所定形状のスタッダードバンプを形成する。金バンプ形成工程においては、必要に応じて基部 22 上にいわゆるダミーバンプも形成される。なお、金バンプ 26 の他の形成方法としては、後述するめっきバンプ法がある。

【0163】

めっきバンプ法は、端子部 25 上に所定の開口部を有するめっきレジスト層を形成する工程と、金めっき処理により各開口部内に金めっき層を所定の高さまで成長させる金めっき工程と、めっきレジスト層を除去する工程とを有する。なお、金バンプ形成工程においては、めっき処理の条件によって形成される金バンプ 26 の厚み（高さ）に限界があり、所望の高さを有する金バンプ 26 が形成し得ないこともある。金バンプ形成工程においては、1回のめっき処理によって所望の金バンプ 26 を得られない場合に、第1層の金めっき層を電極とする2回めっき処理を施していわゆる段付き金バンプ 26 を形成するようにしてもよい。10

【0164】

なお、バンプ形成工程について、上述した方法に限定されず、半導体プロセスで実施されている例えば蒸着法や転写法等によってバンプ形成を行うようにしてもよい。また、振動素子製造工程においては、詳細を省略するが、金バンプ 26 と端子部 25 との密着性を向上させるために、TiW、TiN等のいわゆるバンプ下地金属層が形成される。

【0165】

[切断工程]

続いて、シリコン基板 21 から各振動素子 20 を切り分ける切断工程が実施される。切断工程においては、例えばダイヤモンドカッタ等によって基部 22 の対応部位を切り分けることによって、各振動素子 20 の切り分けが行われる。切断工程では、ダイヤモンドカッタによって切断溝を形成した後に、シリコン基板 21 を折って切り分けが行われる。なお、切断工程は、砥石や研削によりシリコン基板 21 の面方位を利用して切断を行うようにしてもよい。

【0166】

上述した振動素子製造工程においては、例えば基部 22 を共通とし、この基部 22 の隣り合う側面に振動子部をそれぞれ一体に形成することによって2軸の検出信号を得る2軸一体型振動素子との比較において、シリコン基板（ウェーハ）21からの取り数を大幅に向上させることを可能とする。30

【0167】

[補強部形成工程]

ここで、振動子部 23 の基端部位に構成される補強部 129 は、上述した振動素子製造工程を経て形成される。補強部 129 の形成に際しては、外形溝形成工程において、振動子部 23 の外形を切り抜く外形溝 39 の両端部 39A, 39B（図 35）をエッチング凹部 37 の内周壁に形成されたエッティング傾斜面 133 の途中位置に形成される。そして、切断工程では、上述したように基部 22 の外形寸法に対応してシリコン基板 21 が切断されるが、基部 22 の側周部 22-3 の対応部位を外形溝 39 の両端部 39A, 39B と接続するようにエッティング傾斜面 133 の途中で切断する。以上のようにして、図 8 に示したように振動子部 23 の基端部位がエッティング傾斜面 133 の傾斜によって外側面 22-3 に向かって次第に厚みを大きくする形状となる。これにより補強部 129 の縦補強部 129V が構成されるようとする。40

【0168】

一方、上述した外形溝形成工程において、振動子部 23 の基端部位（根元部位 43）に相当する外形溝 39 の両端部 39A, 39B をエッティングで切り抜いた際、特別な操作を必要とすることなく、この外形溝 39 の両端部 39A, 39B が湾曲した形状を呈することになる。そこで、本実施の形態では、補強部 129 の横補強部 129H をこれら外形溝 39 の両端部 39A, 39B の湾曲形状を利用して形成されるようにする。50

【0169】

[実装工程]

以上の工程を経て製造された振動素子20は、シリコン基板21の第2主面21-2側を実装面として、支持基板2の第1主面2-1上に表面実装法によって実装される。振動素子20は、各端子部25に設けられた金バンプ26を支持基板2側の相対するランド4に位置合わせされる。この際、振動素子20は、上述したように位置合わせ用マーク32が読み取られて、実装機により位置と向きを高精度に位置決めされる。

【0170】

振動素子20は、支持基板2に押圧された状態で超音波が印加され、各金バンプ26が相対するランド4に溶着されることで支持基板2の第1主面2-1上に実装される。10 支持基板2には、第1主面2-1上にIC回路素子7や電子部品8が実装され、振動素子20に対して後述する調整工程が行われた後、カバー部材15が取り付けられることで、振動型ジャイロセンサ1が完成する。

【0171】

以上のように、本実施の形態においては、基部22に振動子部23を一体に形成してなる多数個の振動素子20をシリコン基板21に一括して製作し、それぞれを個々に切り分けるようにしている。そして、支持基板2の第1主面2-1上に、同一形状の第1振動素子20Xと第2振動素子20Yとを90°異なる2軸上に実装することで、当該2軸の検出信号を得る振動型ジャイロセンサ1が作製される。

【0172】

[面取り部・溶融面形成工程]

振動素子製造工程においては、後述する調整工程に用いるレーザ装置を利用して、振動子部23に面取り部130或いは溶融面134が形成される。面取り部130或いは溶融面134の形成工程は、調整工程を行った後に振動子部23にレーザ加工を施すとバランスが崩れてしまうことがあることから、その前工程で行われる。

【0173】

第2エッティング処理工程においては、プラズマの流れによって、振動子部23の厚み方向となる側面と第1主面(上面)23-1及びこれらの面に跨る振動子部23の稜線部位に微細な筋状の凹凸部127(図9A参照)を生じさせる。面取り部130或いは溶融面134の形成工程は、図9Bに示したように、振動子部23の所定箇所にレーザを照射してシリコン基板21の表面を溶融することによって微細凹凸部127を除去し、機械的強度が向上された振動素子20を形成する。面取り部130或いは溶融面134の形成工程は、この後に実施される調整工程で用いられるレーザ装置を共用することで一連の工程中で連続して行うことが可能である。30

【0174】

[調整工程]

振動素子製造工程においては、上述したように誘導結合型プラズマを用いたエッティング処理を施してシリコン基板21から各振動素子20の振動子部23をそれぞれ高精度に切り抜くようとするが、材料取りの歩留まり等の条件によって各振動子部23がプラズマの出射中心線上に対して全て左右対称に位置して形成されることが困難である。このため、各振動素子20の位置ずれやその他種々の工程条件等によって各振動子部23の形状にバラツキが生じることがある。振動素子20は、例えば振動子部23の断面形状が台形状又は平行四辺形状に形成された場合に、正規の矩形形状の振動子部23との比較で垂直な上下振動からずれて中心軸線に対して質量が小さな側に傾いた状態で振動動作を行うようになる(図48参照)。

【0175】

そこで、振動子部23の所定箇所にレーザ加工を施して質量の大きな側を研削することによって振動状態を矯正する調整工程が施される。調整工程は、微細な大きさで形成される振動子部23の断面形状を直接視認することが困難であることから、切断した個々の振動素子20について所定の縦共振周波数で振動子部23を振動動作させて左右の検出信号40

10

20

30

40

50

の大きさを比較する方法によって、振動子部 23 の断面形状のバラツキを確認する。調整工程は、左右の検出信号に差異が生じている場合に、レーザ加工によって小さな検出信号を出力する側の振動子部 23 の一部を研削する。

【0176】

調整工程は、例えば対象とする振動素子 20 について、調整前に図 38A に示すように、発振回路 71 の発振出力 G0 を駆動電極層 29 に印加することによって振動素子 20 を縦共振状態で駆動させる。調整工程は、一対の検出電極層 30L, 30R から得る検出信号 G10, Gr0 を加算回路 72 によって加算し、その加算信号を発振回路 71 に帰還させる。そして、検出電極 30L, 30R から得る検出信号 G10, Gr0 に基づいて、発振回路 71 の発振周波数を縦共振周波数 f0 として測定するとともに検出信号 G10, Gr0 の差を差分信号として測定する。10

【0177】

また、調整工程は、図 38B に示すように、発振回路 71 の発振出力 G1 を検出電極 30L に印加することによって振動素子 20 を横共振状態で駆動させる。調整工程は、検出電極 30R から得る検出信号 Gr-1 を発振回路 71 に帰還させるとともに、検出信号 Gr-1 に基づいて、発振回路 71 の発振周波数を横共振周波数 f1 として測定する。なお、横共振周波数は、検出信号 Gr-1 から得る横共振周波数 f1 と検出信号 G1-1 から得る横共振周波数 f2 とは等しいことから、検出電極 30L, 30R のいずれか一方の接続状態で行うようにすればよい。20

【0178】

さらに、調整工程は、図 38C に示すように、発振回路 71 の発振出力 G2 を検出電極 30R に印加することによって振動素子 20 を横共振状態で駆動させる。調整工程は、検出電極 30L から得る検出信号 G1-2 を発振回路 71 に帰還させるとともに、検出信号 G1-2 に基づいて、発振回路 71 の発振周波数を横共振周波数 f2 として測定する。調整工程は、上述した各測定によって得た縦共振周波数 f0 と横共振周波数 f1, f2 の周波数差を離調度とし、離調度が所定の範囲であるか否かを判定する。また、調整工程は、検出電極 30L, 30R から検出される差分信号が所定の範囲であるか否かを判定する。20

【0179】

調整工程は、上述した離調度や差分信号の判定結果に基づいて、その大きさから振動子部 23 に対する調整加工位置を決定してレーザ照射を行って一部を研削して調整を行う。調整工程は、以下同様の測定・レーザ加工を、離調度と差分信号とが目標値に達成するまで施す。30

【0180】

調整工程には、スポット径を調整可能な波長 532 nm のレーザを出射するレーザ装置が用いられる。調整工程は、振動素子 20 の振動子部 23 に対して、例えば側面と第 1 主面 23-1 に跨る稜線部位に対して長さ方向の適宜の場所にレーザを照射することにより調整を行う。振動素子 20 は、振動子部 23 の基端部から先端部に向かうほどレーザ照射による調整の変化量が、周波数差、検出信号バランスとともに小さいことから、基端部側において粗調整を行い、先端部側で微調整を行うことが可能である。40

【0181】

そして、この調整工程は振動素子 20 が支持基板 2 に実装された状態で行われるので、実装前に当該調整を行った際の実装後における再調整が不要となり、振動型ジャイロセンサ 1 の生産性を高められる。この場合、調整用レーザが照射される領域は振動子部 23 の上面 23-2 側であるため、実装後の調整作業性に優れている。また、この振動子部 23 の上面 23-2 は圧電層や電極層が形成されていない面であるため、レーザ加工時に発生する熱により圧電薄膜層 28 の特性が変化したり、分極状態が変化する等の影響を最大限防ぐことが可能である。

【0182】

ところで、振動型ジャイロセンサ 1 は、振動素子 20 が、駆動電極層 29 に対して駆動検出回路部 50 から所定周波数の交流電圧が印加されることによって、振動子部 23 が固50

有の振動数をもって振動する。振動子部 23 は、厚み方向である縦方向に縦共振周波数で共振するとともに幅方向である横方向にも横共振周波数で共振する。振動素子 20 は、縦共振周波数と横共振周波数との差である離調度が小さいほど高感度特性を有する。振動型ジャイロセンサ 1 は、上述したように結晶異方性エッチング処理や反応性イオンエッチング処理を施して振動子部 23 の外周部を精度よく形成することで高離調度化が図られている。

【 0183 】

振動素子 20 は、振動子部 23 の長さ寸法 t_5 の精度によって縦共振周波数特性に大きな影響が生じる。振動素子 20 は、上述したように振動子部 23 の長さ寸法 t_5 を規定する根元部位 43 が、結晶異方性エッチング処理を施すことによって形成されるダイヤフラム部 38 の(100)面及び 55° の角度をなすエッチング傾斜面 133 である(111)面と、平坦面である境界線とに「ずれ」が生じた場合に、この「ずれ」量に応じて離調度が大きくなってしまう。

【 0184 】

すなわち、振動素子 20 は、かかる「ずれ」量が、結晶異方性エッチング処理時のシリコン酸化膜 33B 上に形成するレジスト膜パターンと、反応性イオンエッチング処理時のレジスト膜パターンの位置ずれが原因となる。したがって、振動素子 20 は、例えば工程中でシリコン基板 21 の第 1 , 第 2 主面 21-1 , 21-2 を同時に観察可能な両面アライナー装置により位置決めする対応を図るようにしてもよい。また、振動素子 20 は、シリコン基板 21 の第 1 主面 21-1 上や第 2 主面 21-2 上に適宜の位置決め用パターンやマークを形成し、これらを基準として他方主面の位置規制を行うアライメント装置によって位置決めする対応を図るようにしてもよい。振動素子 20 は、かかる位置決めの対応が支持基板 2 への実装工程に際しても適用可能である。

【 0185 】

なお、振動素子 20 は、上述した「ずれ」量が約 $30 \mu m$ 程度よりも小さな範囲であれば、縦共振周波数と横共振周波数とがほぼ一致する。したがって、振動素子 20 は、やや精度の高いエッチング工程を施すことによって実質的な「ずれ」量による離調度特性の低下を抑制することが可能であり、上述したアライメント装置を用いた対応を不要として製造される。

【 0186 】

[補強部の効果]

以上説明したように本実施の形態の振動型ジャイロセンサ 1 においては、振動素子 20 が、振動子部 23 の基端部位に基部 22 側に向かって次第に断面形状を大きくする補強部 129 (129V, 129H) を形成することで、誤って本体機器を落下させる等によって大きな負荷が加えられた場合でも振動子部 23 の破損が防止される。補強部 129 は、以下の解析実験によって振動子部 23 の機械的強度を向上させることが確認される。

【 0187 】

すなわち、解析実験は、それぞれ長さ寸法 t_{29} を異にする補強部 129 を有する振動素子 20 を用意し、それぞれの駆動電極層 29 に次第に大きな駆動電圧を印加して振動子部 23 を強制的に大きな振幅で振動させた。この解析実験によれば、各振動素子 20 について、振動子部 23 に破損が発生した際の振幅と補強部 129 の長さ寸法との関係で、図 39 に示す実験結果が得られた。なお、振動素子 20 には、計算機シミュレーションの結果によれば、振動子部 23 に対して振幅 $100 \mu m$ で基端部位に約 0.5 GPa の応力が生じる。

【 0188 】

図 39 は、縦軸が振動子部 23 に破損が発生した際の振幅 (μm) - p)、横軸が補強部 129 の長さ寸法 t_{29} (μ 同一形状の第 1 振動素子 20X と第 2 振動素子 20Ym) である。補強部 129 の長さ寸法 t_{29} は、0 値がエッチング凹部 37 のエッチング傾斜面 133 を利用せずに振動子部 23 を基部 22 の外側面 22-3 から形成した場合であり、断面形状が大きな補強部 129 が特に形成されていない振動素子である。補強部 129

10

20

30

40

50

の長さ寸法 t_{29} は、この位置から外形溝 3_9 の基端部をエッティング傾斜面 $1_3 3$ に沿つて開口部側へと移動させることによって次第に大きくなる。

【0189】

同図から明らかなように、振動素子 2_0 は、補強部 $1_2 9$ の長さ寸法 t_{29} が大きくなるにしたがって、大きな振動（振幅）に対して振動子部 2_3 の破損が発生されて機械的強度の向上が図られることが確認される。振動素子 2_0 は、補強部 $1_2 9$ の長さ寸法 t_{29} が $60 \mu m$ を超える範囲となると機械的強度の向上が緩やかとなる。振動素子 2_0 は、上述したようにエッティング処理を施してシリコン基板 2_1 を貫通する外形溝 3_9 を形成して振動子部 2_3 を切り抜くことから、大きな長さ寸法 t_{29} の補強部 $1_2 9$ を形成する場合にエッティング処理の効率が低下する。したがって、振動素子 2_0 は、所定の機械的強度が保持されるとともにエッティング効率とから、上述したように補強部 $1_2 9$ が長さ寸法 t_{29} を $50 \mu m$ 程度として形成される。10

【0190】

次に、上述した振動素子 2_0 を搭載した振動型ジャイロセンサ 1 と、補強部 $1_2 9$ を有しない振動素子を搭載した振動型ジャイロセンサとについて、落下試験を実施して図 4_0 に示す結果を得た。落下試験は、振動型ジャイロセンサ 1 が搭載される本体機器として、ソニー社製ビデオカメラ「ハンディカム」を想定して $200 g$ の剛体を基板として振動型ジャイロセンサ 1 を取り付け、一定の姿勢で落下させる適宜のガイド機構を介して異なる高さ位置から落下させる方法により行った。この落下試験によって、振動子部 2_3 に破損が生じた状態を確認した。20

【0191】

図 $4_0 A$ は、補強部 $1_2 9$ を有していない振動型ジャイロセンサの結果であり、縦軸が数量、横軸が落下の高さ (cm) である。また、同図 B は、長さ寸法 t_{29} が $50 \mu m$ の補強部 $1_2 9$ を有する振動型ジャイロセンサ 1 の結果である。これらの図から明らかなように、振動型ジャイロセンサ 1 は、約 $50 cm$ 程度まで耐落下高さ強度の向上が図られている。

【0192】

図 4_1 は、振動素子 2_0 における補強部 $1_2 9$ の長さ寸法 t_{29} と縦共振周波数の関係を示した図である。振動素子 2_0 は、補強部 $1_2 9$ が長さ寸法 t_{29} を大きくするにしたがって振動子部 2_3 全体の長さ寸法 t_5 も大きくなることで比例的に縦共振周波数も減少する特性となる。振動素子 2_0 は、同図から明らかなように補強部 $1_2 9$ の長さ寸法 t_{29} が $60 \mu m$ を超える範囲となると縦共振周波数の変化が小さくなる。振動素子 2_0 は、補強部 $1_2 9$ が長さ寸法 t_{29} を大きくするにしたがって厚み寸法も大きくなり、剛性が高まって実質的な振動起点の変化が小さくなっていることから、縦共振周波数の変化が小さくなる。したがって、振動素子 2_0 は、縦共振周波数の特性からも補強部 $1_2 9$ の長さ寸法 t_{29} を最大でも $60 \mu m$ 以下とすることが好ましい。30

【0193】

なお、上述した振動素子 2_0 は、振動子部 2_3 に補強部 $1_2 9$ のみを形成し、面取り部 $1_3 0$ 或いは溶融面 $1_3 4$ が形成されたものではない。振動素子 2_0 は、面取り部 $1_3 0$ 或いは溶融面 $1_3 4$ を形成することによって、振動子部 2_3 の機械的強度がさらに向上される。振動素子 2_0 は、振動子部 2_3 に面取り部 $1_3 0$ 或いは溶融面 $1_3 4$ を形成することによって、上述した補強部 $1_2 9$ による基端部位の機械的強度の向上ばかりではなく、振動子部 2_3 の全長に亘っても微細凹凸部 $1_2 7$ に起因する破損等の発生が低減されて機械的強度の向上が図られるようになる。なお、振動素子 2_0 は、補強部 $1_2 9$ に対して稜線部位に面取り部 $1_3 0$ を形成したり、溶融面 $1_3 4$ を形成する対応を図ることも効果的である。40

【0194】

[絶縁保護層の効果]

振動型ジャイロセンサ 1 においては、上述したように各電極層等を封止する絶縁保護層 4_5 を形成した振動素子 2_0 が備えられる。振動型ジャイロセンサ 1 においては、上述し50

た絶縁保護層45の酸化シリコン層47の形成工程において、スパッタ槽のアルゴンガス圧仕様によって特性を異にした振動素子20を得る。図42は、アルゴンガス圧を0.4Pa～0.6Paに変化させ、厚み寸法t27が500nmと固定した酸化シリコン層47をそれぞれ形成して絶縁保護層45を構成した各振動素子20を備えた振動型ジャイロセンサ1の出力電圧におけるノイズの発生率の特性図である。

【0195】

振動型ジャイロセンサ1においては、同図から明らかなようにアルゴンガス圧が高くなるにしたがってノイズ発生率が大きくなる。振動型ジャイロセンサ1においては、アルゴンガス圧が高くなるにしたがって酸化シリコン層47の密度が粗くなるために、この酸化シリコン層47による上述した絶縁保護作用が充分に奏し得なくなる。したがって、振動型ジャイロセンサ1においては、上述したようにスパッタ槽のアルゴンガス圧を0.4Pa以下でかつ放電限界値である0.35Pa以上の条件で酸化シリコン層47を形成した絶縁保護層45を有する振動素子20が用いられるようとする。

【0196】

また、振動型ジャイロセンサ1においては、酸化シリコン層47の厚み寸法によっても出力電圧におけるノイズの発生率が変化する。図43は、スパッタ槽のアルゴンガス圧を0.4Paで一定とし、厚み300nmの第2電極層42上に形成する絶縁保護層45の酸化シリコン層47について、層厚変化による振動型ジャイロセンサ1の出力電圧におけるノイズの発生率の特性図である。

【0197】

振動型ジャイロセンサ1においては、図43から明らかなように、酸化シリコン層47が第2電極層42の厚みよりも2倍の600nm未満である場合に上述した保護絶縁作用が充分に奏し得なくなり、次第にノイズ発生率が高くなる。したがって、振動型ジャイロセンサ1においては、上述したようにバリ発生が抑制される1μm以下でかつ第2電極層42の厚みよりも2倍以上の厚みで形成した酸化シリコン層47を有する振動素子20が用いられるようとする。

【0198】

[非ドープ単結晶シリコン基板の効果]

また、上述した振動素子製造工程においては、半導体プロセスによって、単結晶シリコン基板21の第2主面21-2上に第1電極層40と圧電膜層41と第2電極層42とを薄膜形成した後に、これら各層に対して所定のパターニング処理を施して振動素子20を製造する。ところで、一般的な半導体プロセスにおいては、ボロンやリン等の不純物添加元素のドープ処理を施したNタイプ或いはPタイプのシリコン基板が用いられている。一般的なシリコン基板は、このために体積抵抗率が数十～cmであり、ある程度の導電性を有し、グランド機能や薄膜形成時等に際しての下電極機能等を奏するようしている。

【0199】

一方、本実施の形態では、振動素子製造工程において、上述したようにシリコン基板21として、ドープ処理を施さない純粋シリコン状態の単結晶シリコン基板や体積抵抗率が100～cm以上の単結晶シリコン基板が用いられる。シリコン基板21は、極めて高抵抗値特性を有することで、導電特性が低い。

【0200】

シリコン基板21は、上述したように第1、第2主面21-1、21-2上にシリコン酸化膜33が形成され、このシリコン酸化膜33がエッティング処理等に際して保護膜として機能する。振動素子製造工程においては、所定の厚みの振動子部23を形成するために、シリコン酸化膜33を除去してシリコン基板21にエッティング凹部37を形成する。シリコン基板21は、エッティング処理等に際して塗布されるフォトレジスト材に異物等が混入していた場合に、シリコン酸化膜33が傷付けられる場合がある。シリコン基板21には、外観検査で検出することが困難なシリコン酸化膜33に生じる「す」や微細な傷、或いは工程中の傷等がある。

【0201】

10

20

30

40

50

一般的なシリコン基板を用いた場合に、上述したようにシリコン酸化膜33B上に薄膜形成される第1電極層40が上述した傷等を介してシリコン基板と導通し、さらに導電性が良好なシリコン基板を介して第2電極層42と導通状態となる。振動素子製造工程においては、一般的な導電性シリコン基板を用いた場合に、歩留まり率が図44Bに示す通り約20%程度の短絡不良が発生していた。振動素子製造工程においては、一般的なシリコン基板を用いる場合に、充分な膜厚のシリコン酸化膜33を形成し、高精度の検査や充分な工程管理が必要とされて効率も低下する。

【0202】

これに対して、上述したように低導電性のシリコン基板21を用いて振動素子20を製造した場合、図44Aに示すように短絡不良率が4%程度にまで低減されるようになった。また、振動素子製造工程においては、各工程での温度管理やガス管理も効率的に行うことが可能とされるとともに高精度の薄膜形成も可能となり、工程の大幅な効率化が図られるようになる。

【0203】

振動型ジャイロセンサ1においては、低導電性のシリコン基板21を基材として製造した振動素子20を備えることで、外部光や熱負荷等の外乱に対しても安定した動作が行われるようになる。図45は、上述した低導電性のシリコン基板21を用いた振動素子20と一般的なNタイプ又はPタイプのシリコン基板を用いた比較邸の振動素子に対して、それぞれ蛍光灯、白熱灯及びレーザポインタ（赤色）を照射した場合の圧電薄膜層28の容量変化を示した図である。

【0204】

振動素子20は、図45から明らかなように、全ての光源に対して圧電薄膜層28の容量変化がほとんど生じることなく、安定した検出動作を可能とさせる。これに対して比較邸の振動素子は、特に白熱灯に対して大きな容量変化が生じる結果となった。比較例の振動素子においては、外部光の影響を受けやすく、安定かつ高精度の検出動作が困難である。

【0205】

また、図46は、同様に振動素子20と比較例の振動素子に対して外部光の照射を行った場合の出力信号のオフセット値の変化を示した図である。なお、振動型ジャイロセンサ1においては、回転方向で変化する出力値によって角速度を検知するためにオフセット電圧を印加して予め出力をオフセットして用いる。振動素子20は、同図から明らかなように、全ての光源に対してオフセット電圧値の変化がほとんど生じることなく、安定した動作を可能とさせる。これに対して比較例の振動素子は、全ての光源に対してオフセット電圧値が変化し、特に白熱灯に対する変化が大きい。比較例の振動素子は、外乱の影響によって動作が不安定となる。

【0206】

振動素子20は、上述したように低導電性の単結晶シリコン基板21を基材として製造されることによって、外部光や熱負荷により微小電流が発生しても低導電特性によってこの微小電流の流れが抑制されることで圧電薄膜層28や各電極層への影響が抑制されるようになると思われる。

【0207】

図47は、白熱灯下での体積抵抗率を異にするシリコン基板を用いて製作した振動素子を備える振動型ジャイロセンサのオフセット電圧値の変化を示した図である。同図から明らかなように、体積抵抗率が数十 $\Omega \cdot cm$ である一般的なNタイプやPタイプのシリコン基板を基材とした振動素子の場合、大きなオフセット電圧値の変化がある。一方、振動型ジャイロセンサは、体積抵抗率が100 $\Omega \cdot cm$ 以上のシリコン基板を基材として製造された振動素子を備えることによって、白熱灯下でもオフセット電圧値の変化がほとんど生じない安定した動作が行われる。

【0208】

（第2の実施の形態）

10

20

30

40

50

上述の第1の実施の形態において、シリコン基板21に対して振動子部23の外形を切り抜く外形溝39の形成工程では、ICP-RIE(誘導結合型プラズマ反応性イオンエッティング)法が用いられている。この方法は、シリコン基板21に対して垂直かつ高アスペクト比で溝加工を行える点で非常に優れている。

【0209】

ところが、シリコン基板21の大きさ(ウェーハ径)が大きくなると、図48Aに模式的に示すように、基板上の全ての振動子部23の両側面を理想的な垂直壁で対称に形成することが困難となり、プラズマ処理室内のガス流分布やプラズマ分布等により、特に基板外周部において図48Bに模式的に示すように、振動子部23が左右非対称な形状になる場合がある。10

【0210】

振動子部23の振動方向は、左右対称な形状であれば理想的な垂直方向の振動モードとなり(図48A)、振動子部23の表面に形成された左右の検出電極30L, 30Rから出力される検出信号も差がなくバランスがとれた状態となる。しかしながら、振動子部23が左右非対称な形状の場合、左右の検出電極30L, 30Rから出力される検出信号が各々異なりバランスが取れない状態となる(図48B)。左右の検出信号が異なると、振動子部23に作用する回転方向の角速度の検知量が異なってしまったり、右方向の回転角速度の感度と左方向の回転角速度の感度とが互いに異なる等の不具合が生じてしまう。

【0211】

一方、上述したように、左右検出信号のバランスを調整するため、振動素子の形成後に振動子部23の所定領域をレーザ照射にて研削することが行われている。しかしながら、この方法のみで検出信号のバランスをとるようにすると調整時間が長くなってしまう。また、レーザ照射で調整できる左右信号の差はおよそ30%程度であるため、調整前の検出信号差がこれよりも大きいと製品として利用できなくなり生産性の向上が図れなくなる。20

【0212】

そこで、本実施の形態では、上述の調整工程による作業時間を短くでき良品率を高めることを目的として、後述するように、振動子部23の外形形状を形成するエッティング工程の際、外形溝39の底部に臨む振動子部23の稜線部が湾曲形状に加工されるまでエッティング加工を過剰に行うようにしている。

【0213】

図49Aに示すように、振動子部23の外形を切り抜くようにして形成されるコ字状の外形溝39は、シリコン基板21の第2主面21-2側に形成されたシリコン酸化膜33Bをマスクとするシリコン基板21へのエッティング加工により形成される。このエッティング処理は、通常、シリコン基板21の第1主面21-1側に形成されたエッティング凹部37内において加工深さがダイヤフラム部38の形成厚に相当する深さに達した時点で終了される。このとき、エッティング凹部37上に形成されたエッティングトップ層70が加工量を制限する。30

【0214】

ところで、この外形溝39の形成工程において、加工される溝の底部がエッティングトップ層70に達した後も更にエッティング処理を継続させる(以下、オーバーエッティングともいう。)と、図49Bに模式的に示すように、エッティングトップ層70上の電荷あるいはエッチャントの溜まり(図49Bにおいて「E」で示す)の影響により、エッティング方向が外形溝39の底部側方に向けられる。これにより、図49Bに示すように、ダイヤフラム部38(振動子部23)の下端稜線部が研削されてテーパー状あるいは湾曲状に形成される。40

【0215】

なお、この現象は「ノッチ」とも呼ばれ、通常のプロセスではなるべく生じないようにエッティング条件が管理される。ノッチ現象は、外形溝39の傾きが大きいほど、エッティングトップ層70とのなす角が鋭角となる稜線部側に顕著に現れる。ここで、図49Aは振動子部23の長手方向から見た断面図、図49Bは振動子部23の長手方向に対して垂

直な方向から見た要部断面図である。

【0216】

本実施の形態では、外形溝39の形成時のオーバーエッティングに起因するノッチ現象を利用して、振動子部23の形状の左右非対称性に起因する振動モードの傾きを緩和するようしている。

【0217】

図48Bに示したように、左右非対称な形状を有する振動子部23において、通常のエッティング加工（非オーバーエッティング）で形成された振動子部23の振動モードに比べて、図50Bに示すように上述したオーバーエッティングで形成された振動子部23の振動モードの方が、より垂直方向の振動モードに近くなる。これは、ノッチ現象により湾曲状にエッティングされた振動子部23の左右の稜線部23VL, 23VRのうち鋭角な方の稜線部23VLの被加工量が多くなる結果、左右の非対称性が緩和されて振動子部23の左右重量バランスが改善されることで、振動モードがより垂直方向に矯正されたことに依る。

10

【0218】

一方、図48Aに示したように、左右対称な形状を有する振動子部23においても同様に、オーバーエッティングで外形溝39が形成された場合、図50Aに示すように当該振動子部23の左右の稜線部23VL, 23VRはともにノッチ現象により湾曲状に形成されることになる。しかし、この場合は稜線部23VL, 23VRの被加工量がほぼ同一であるため、形状の左右対称性が損なわれることではなく、非オーバーエッティング時の振動モードと同様に垂直モードが維持される。

20

【0219】

なお、説明の理解容易のため図48及び図50では振動子部23の上下を逆に描いており、実際の振動素子は、検出電極30や駆動電極29が形成される振動子部23の基板対向面23-2側を下に向けて振動する。

【0220】

オーバーエッティング処理は、例えばエッティング時間で管理することができ、処理時間を非オーバーエッティング時よりも長く設定すればよい。ノッチ現象を利用した振動子部23の稜線部23VL, 23VRの端部からの被加工量は、振動子部の大きさや形状、駆動周波数等の仕様に応じて適宜設定可能である。なお上述の第1実施形態で説明した素子形状例においては、5 μm以上である。但し、被加工量が大き過ぎると振動子自体の強度が減少するため、好適には20 μm以下とする。

30

【0221】

以上のように、本実施の形態によれば、元々左右対称形状に形成され振動モードも理想的な振動素子においては、振動子部23の下端稜線部にテーパー状あるいは湾曲状のノッチが現れても理想的な振動モードが保たれる。また、当初形状が左右非対称に形成されていたがために振動モードも斜めに振動していた振動素子も、振動子部23の下端稜線部に現れるノッチで非対称性が緩和され振動モードが垂直方向に近くなる。このため、従来調整不良となっていたアンバランスな振動モードで振動する振動素子も、レーザ照射による調整工程での調整が可能な領域に入ることにより、生産歩留まりの向上を図ることができる。

40

【0222】

なお、本発明者らが確認したところによれば、1枚のシリコン基板から作製された複数の振動素子において、調整工程前における左右の検出信号差が30%未満となる振動素子の良品率（歩留まり）は、従来では約43%であったのに対し、本実施の形態によれば約87%と倍増させることができた。

【0223】

(第3の実施の形態)

上述の第1の実施の形態において、シリコン基板21に対して振動子部23の外形を切り抜く外形溝39の形成工程では、ICP-RIE法が用いられている。この方法は、シリコン基板21に対して垂直かつ高アスペクト比で溝加工を行える点で非常に優れている

50

。

【0224】

一般にエッティング法で直線的な溝を加工する場合、溝の端部が精度良く直角（溝幅方向の側面と溝長さ方向の側面との間が直角）に形成されずに、湾曲した形状となることが多い。したがって、外形溝39の形成工程の際、図51に示すように、振動子部23の両側面と基部22の側周部22-3間の境界部に相当する振動子根元部23R1, 23R2がともに平面的に見て湾曲した形状となる。なお、このエッティング加工特性を利用して上述の第1実施形態で説明した振動子部基端部位の横補強部129Hを形成するようにしている。

【0225】

ところが、このような振動子根元部23R1, 23R2は左右で非対称な形状になりやすい。図52Aに示すように、振動子部23の振動方向は左右が対称な形状であれば理想的な垂直方向の振動モードとなり、振動子部23の表面に形成された検出電極30L, 30Rからの検出信号も左右で差がなくバランスがとれている。これに対して、上述したように振動子根元形状23R1, 23R2が左右非対称な形となった場合、図52Bに示すように振動子部23の振動方向が斜めの振動モードとなってしまう。

【0226】

このような斜めの振動モードをもつ振動子の場合、その左右の検出電極30L, 30Rからの検出信号のバランスがとれない状態となる。左右の検出信号が異なると、振動子部23に作用する回転方向の角速度の検知量が異なってしまったり、右方向の回転角速度の感度と左方向の回転角速度の感度とが互いに異なる等の不具合が生じてしまう。

【0227】

一方、上述したように、左右検出信号のバランスを調整するため、振動素子の形成後に振動子部23の所定領域をレーザ照射にて研削することが行われている。しかしながら、この方法のみで検出信号のバランスをとるようにすると調整時間が長くなってしまう。また、レーザ照射で調整できる左右信号の差はおよそ30%程度であるため、調整前の検出信号差がこれよりも大きいと製品として利用できなくなり生産性の向上が図れなくなる。

【0228】

そこで、本実施の形態では、上述の調整工程による作業時間を短くでき良品率を高めることを目的として、後述するように、振動子部23の外形形状を形成するエッティング工程の際、外形溝39の両端部39A, 39B（図53参照）を外側に向けてテープ状あるいは湾曲状に形成するようにしている。

【0229】

図53は、外形溝形成工程におけるシリコン基板21の概略平面図であり、外形溝39は振動子部23の外形を囲むコ字状に形成され、外形溝39の両端部39A, 39Bは振動子部23の外側に向けて湾曲状に形成されている。外形溝39の形成は、シリコン基板21上のシリコン酸化膜33Bをマスクとするエッティング加工で形成される（このとき圧電薄膜層28や電極層27, 29、端子25やリード31等の配線パターンは保護膜で覆われている）。そこで、このシリコン酸化膜33Bのパターニングの際に、外形溝39の形成領域に対応するコ字状開口の両端部を図53に示すように湾曲して形成する。

【0230】

その結果、外形溝39の両端部39A, 39Bはシリコン酸化膜33Bの開口形状に対応して湾曲形状に形成されることになる。そして、図54に示すように、振動子根元部23R1, 23R2の形状の左右対称性が良くなり、ほぼ同一形状とすることができる。これにより、振動子部23の垂直な振動モードを確保でき、検出信号のバランスを高めることが可能となる。

【0231】

図55A～図55Cは、振動子根元部23R2（23R1）の平面視形状例を示している。図55Aは一定曲率の円形状又は橈円形状に振動子根元部23R2を形成した例を示しており、図55Bは傾斜角の異なるテープ状に振動子根元部23R2を形成した例を示

10

20

30

40

50

している。また、図 55C は基部 22 の側周部 22-3 に対する傾斜角が順次小さくなる複数の傾斜面で振動子根元部 23R2 を形成した例を示している。

【0232】

なお、振動子根元部 23R1, 23R2 の形状は上記の例に限定されず、振動子部 23 の外側に向かって漸次形成幅が大となるように振動子根元部 23R1, 23R2 がテーパ状あるいは湾曲状に形成されればよい。また、振動子根元部 23R1, 23R2 の曲率半径は任意に設定可能であり、例えば 5 μm とされる。また、振動子根元部 23R1, 23R2 の形状によって、横補強部 129H の形状を任意に形成することができる。

【0233】

以上のように、本実施の形態によれば、外形溝 39 の両端部 39A, 39B を当初から湾曲状にパターン形成し、振動子根元部 23R1, 23R2 を湾曲形成させるようにしているので、振動子 23 の形状を左右ほぼ対称に形成して振動モードを理想的な垂直モードに保つことができる。このため、従来調整不良となっていたアンバランスな振動モードで振動する振動素子も、レーザ照射による調整工程での調整が可能な領域に入ることにより、生産歩留まりの向上を図ることができる。

【0234】

なお、本発明者らが確認したところによれば、1枚のシリコン基板から作製された複数の振動素子において、調整工程前における左右の検出信号差が 30 % 未満となる振動素子の良品率（歩留まり）は、従来では 38 % であったのに対し、本実施の形態によれば約 82 % と著しく向上させることができた。なお、このときの振動子根元部の形成曲率半径は 20 μm とした。

【0235】

（第 4 の実施の形態）

上述の第 1 の実施の形態において説明したように、振動素子 20 の振動子部 23 の表面（基板対向面 23-2）には、基準電極層 27、圧電薄膜層 28 および駆動電極層 29 が積層形成され、更にこれらの圧電層及び電極層は、外気中の水分や塵埃の付着から保護するための絶縁保護層 45 で被覆されている。これら圧電薄膜層 28、電極層および保護層は、100 μm 程度の薄い振動子部 23 の表面に形成されるため、これらの形成膜の材料選択によっては材料のもつ応力により振動子部 23 自体が反ってしまう可能性が高い。

【0236】

図 56 に示すように、スパッタで得られる圧電薄膜層 28 は、成膜後に高温でのアニール処理を行い、酸化処理を行っているため、図示するような圧縮方向の応力が加わる。更に圧電薄膜層 28 には特性を安定化させるための分極処理を行う必要があるが、この分極処理の方向が上部電極側から下層電極側に行われた場合、圧電膜自体が図示するような圧縮側の内部応力が発生する。

【0237】

一方、下部電極膜として形成される基準電極層 27 は、膜の特性を向上させるため Ti/Pt を採用しているが、結晶構造を良好にするため低ガス圧でスパッタされる。このため、下部電極膜にも図で示すように圧縮方向の応力が加わっている。さらに、上部電極膜として形成される駆動電極層 29（検出電極 30R, 30L）も、プロセス中の熱処理や酸化されない金属膜が必要とされ、下部電極膜と同じく Pt を採用している。このため、上部電極膜にも図示するような圧縮応力が加わることになる。そして、絶縁保護層 45 も同様に、酸化シリコン層とその上下のアルミナ層を低圧でスパッタ成膜しているため、形成された膜には圧縮応力が加わる。

【0238】

以上のことから、これらの膜が形成される振動子部 23 の表面（基板対向面）23-2 は図 56 において下方側を凸とする方向に反りが生じ易い。振動子 23 に反りが生じた状態で振動させると、反っている方向には振動子部 23 を構成するシリコンの耐性から振動量が小さく、反りと反対側の振動量が大きくなる。このため、図 56 に示すように、振動子部 23 の延長方向 a に対して振動子部 23 の振動中心 b が一致しなくなり、大きな共振

10

20

30

40

50

振幅が得られず検出感度が低下する。なお、図56においては説明を分かり易くするために振動素子20の上下を反対とし、振動子部23の基板対向面23-2側を上方側に向けて示している。

【0239】

そこで、本実施の形態では、振動子部23の反りを抑制して高い出力を安定して得ることを目的として、図57に示すように、振動子部23の電極形成面とは反対側の主面（振動子部23の上面23-1）側に反り制御膜58を形成し、この反り制御膜58が有する圧縮応力で振動子部23の各面に生じる圧縮応力を相殺して、反りを抑制するようにしている。

【0240】

反り制御膜58は、成膜時に振動子部23に対して圧縮応力を付与できる材料であれば特に制限されず、例えば上部電極膜あるいは下部電極膜に用いられる電極材料と同じPt膜や、絶縁保護膜45と同種材料を用いることができる。そして、圧縮応力の大きさは膜厚や成膜条件に依存するから、振動子部23の反り量調整は、例えば当該反り電極膜58の膜厚によって適宜調整することができる。

【0241】

反り制御膜58を形成する工程は、振動素子20を形成した後にスパッタにより形成したり、振動素子20の形成プロセスの途中で導入することができる。また、用いる材料も特に限定されるものではなく、材料、形成方法ともに任意である。

【0242】

図58は、振動子部23の反り量と、このときの共振点での振動振幅との関係を測定した図である。ここで、振動子部23の反り量は、基部22から振動子部23の先端までの高さの差としている。図58から、振動子部23の反り量が水平状態より±5μm以内であれば振幅が大きく保たれているのに対し、反り量が±10μmを超えると振幅が減少していることが確認できる。以上により、振動子部23の反り量を水平より±5μm以下に抑えることで、大きな共振振幅が得られるとともに、高い検出信号及び高い検出感度が得られるようになる。

【0243】

以上のように本明細書に開示した振動型ジャイロセンサは、その他に以下の構成を備えている。

1. 複数個のランドを有する配線パターンが形成された支持基板と、この支持基板の表面に実装された振動素子とを備えた振動型ジャイロセンサにおいて、

上記振動素子は、上記ランドに接続される複数の端子部が形成された実装面を有する基部と、この基部の側周部から片持ち梁状に一体に突設され上記基部の実装面と同一面を構成する基板対向面を有する振動子部とを有し、

上記振動子部の基板対向面には、第1電極層と、この第1電極層の上に積層された圧電層と、この圧電層の上に積層された第2電極層と、これら第1電極層、圧電層及び第2電極層を封止する絶縁保護層とがそれぞれ形成されていることを特徴とする振動型ジャイロセンサ。

2. 上記絶縁保護層は、少なくとも酸化シリコン層を含んでなる上記1に記載の振動型ジャイロセンサ。

3. 上記酸化シリコン層の上層及び下層のうち少なくとも下層側に密着層が形成されている上記2に記載の振動型ジャイロセンサ。

4. 上記密着層はアルミナ層である上記3に記載の振動型ジャイロセンサ。

5. 上記絶縁保護層は、上記第2電極層の少なくとも2倍の厚みを有する上記1に記載の振動型ジャイロセンサ。

6. 上記絶縁保護層は、上記第1電極層よりも幅広で、かつ上記振動子部の外周縁に沿って前記振動子部の基板対向面を露出させて形成されている上記1に記載の振動型ジャイロセンサ。

7. 上記振動子部の上面側には、当該振動子部の反り量を制御する反り制御膜が形成さ

10

20

30

40

50

れている上記 1 に記載の振動型ジャイロセンサ。

8 . 上記振動子部の反り量が $\pm 5 \mu m$ 以内である上記 7 に記載の振動型ジャイロセンサ。

9 . 上記振動素子は、非ドープ単結晶シリコン基板を基材として形成されている上記 1 に記載の振動型ジャイロセンサ。

10 . 上記非ドープ単結晶シリコン基板の体積抵抗率は、 $100 \cdot cm$ 以上である上記 9 に記載の振動型ジャイロセンサ。

11 . 上記支持基板の表面は、遮光性のカバー部材で被覆されている上記 1 に記載の振動型ジャイロセンサ。

12 . 複数の端子部が形成された実装面を有する基部と、この基部の側周部から片持ち梁状に一体に突設され上記基部の実装面と同一面を構成する基板対向面を有する振動子部とを備えた振動型ジャイロセンサの製造方法において、10

上記振動子部の基板対向面に第 1 電極層を形成する工程と、この第 1 電極層の上に圧電層を形成する工程と、この圧電層の上に第 2 電極層を形成する工程と、上記圧電層及び第 1 , 第 2 電極層を被覆する絶縁保護層を形成する工程とを有することを特徴とする振動型ジャイロセンサの製造方法。

13 . 上記絶縁保護層は、上記振動子部の基板対向面上に密着層を形成する工程と、この密着層の上に酸化シリコン層を形成する工程とを有する上記 12 に記載の振動型ジャイロセンサの製造方法。

14 . 上記酸化シリコン層は、 $0.4 Pa$ 以下でかつ放電限界の下限値以上のアルゴンガス雰囲気中でスパッタ法により成膜される上記 13 に記載の振動型ジャイロセンサの製造方法。20

15 . 上記絶縁保護層を形成する工程では、上記酸化シリコン層の上にレジスト密着層を形成する工程を更に有する上記 13 に記載の振動型ジャイロセンサの製造方法。

【図面の簡単な説明】

【0244】

【図 1】本発明の第 1 の実施の形態による振動型ジャイロセンサ 1 のカバー部材 15 を取り外して見たときの全体斜視図である。

【図 2】振動型ジャイロセンサ 1 の振動素子 20 の要部断面図である。

【図 3】振動型ジャイロセンサ 1 を制御基板 100 へ実装したときの状態を示す振動素子 20 の要部断面図である。30

【図 4】振動素子 20 の底面図である。

【図 5】振動型ジャイロセンサ 1 の底面図である。

【図 6】振動型ジャイロセンサの回路構成図である。

【図 7】振動素子 20 の底面側から見た全体斜視図である。

【図 8】振動素子 20 の上面側から見た全体斜視図である。

【図 9】振動素子 20 の振動子部 23 に形成される面取り部 130 及び溶融面 134 の形成工程の説明図である。

【図 10】振動型ジャイロセンサ 1 の製造方法を説明する主要工程フロー図である。

【図 11】振動素子の製造工程に用いるシリコン基板 21 の平面図である。40

【図 12】同シリコン基板 21 の断面図である。

【図 13】フォトレジスト層 34 に振動素子形成部位をパターニングしたシリコン基板 21 の平面図である。

【図 14】同シリコン基板 21 の断面図である。

【図 15】シリコン酸化膜 33A に振動素子形成部位をパターニングしたシリコン基板 21 の平面図である。

【図 16】同シリコン基板 21 の断面図である。

【図 17】振動子部の厚みを規定するダイヤフラム部 38 を構成するエッチング凹部 37 を形成したシリコン基板 21 の平面図である。

【図 18】同シリコン基板 21 の断面図である。50

【図19】エッチング凹部37の拡大断面図である。

【図20】ダイヤフラム部38に第1電極層40と圧電膜層41と第2電極層42とを積層形成した状態の要部断面図である。

【図21】第2電極層42に駆動電極層29と検出電極30とをパターニングした状態の要部平面図である。

【図22】同要部断面図である。

【図23】圧電膜層41に圧電薄膜層28をパターニングした状態の要部平面図である。

【図24】同要部断面図である。

【図25】第1電極層40に基準電極層27をパターニングした状態の要部平面図である。

10

【図26】同要部断面図である。

【図27】平坦化層24を形成した状態の要部平面図である。

【図28】同要部断面図である。

【図29】基部形成領域にリード31を形成した状態の要部平面図である。

【図30】同要部断面図である。

【図31】絶縁保護層形成用のフォトレジスト層44を形成した状態の要部平面図である。

【図32】絶縁保護層の第1アルミナ層46を形成した状態の要部断面図である。

【図33】絶縁保護層の酸化シリコン層47を形成した状態の要部断面図である。

【図34】絶縁保護層の第2アルミナ層48及びエッチングトップ層70を形成した状態の要部断面図である。

20

【図35】振動子部の外形を形成する外形溝39を形成した状態の要部平面図である。

【図36】同振動子部の長手方向と垂直な方向から見た要部断面図である。

【図37】同振動子部の長手方向から見た要部断面図である。

【図38】振動素子20の調整工程の説明図である。

【図39】補強部129の長さ寸法と振動子部23の振幅との関係を示す特性図である。

【図40】落下試験の結果を示す特性図である。

【図41】補強部129の長さ寸法と縦共振周波数との関係を示す特性図である。

【図42】絶縁保護層45の酸化シリコン層47を形成するスパッタ槽内のガス圧条件とノイズ発生率との関係を示す特性図である。

30

【図43】酸化シリコン層47の層厚とノイズ発生率との関係を示す特性図である。

【図44】振動型ジャイロセンサの不良率特性図であり、Aは実施の形態による振動素子20を備えた振動型ジャイロセンサの不良率特性図であり、Bは一般的なシリコン基板により製造した振動素子を備えた比較例振動型ジャイロセンサの不良率特性図である。

【図45】外乱による容量変化の特性図である。

【図46】外乱によるオフセット電圧値変化の特性図である。

【図47】シリコン基板の体積抵抗率とオフセット電圧値変化の特性図である。

【図48】振動子部23の左右形状対称性と振動モードとの関係を説明する図であり、Aは振動子部23の形状が左右対称な状態での振動モードを示し、Bは振動子部23の形状が左右非対称な状態での振動モードを示している。

40

【図49】振動子部23の外形を切り抜く外形溝39の形成工程を説明する図であり、Aは振動子部長手方向から見た要部断面図、Bは振動子部長手方向と直交する方向から見た外形溝39の要部断面図である。

【図50】本発明の第2の実施の形態の作用を説明する図であり、Aは振動子部23の形状が左右対称な状態での振動モードを示し、Bは振動子部23の形状が左右非対称な状態での振動モードを示している。

【図51】振動子部23の基端部位(根元部)の形状を模式的に示す振動素子の要部平面図である。

【図52】振動子部23の根元部の形状の左右対称性と振動モードとの関係を説明する図であり、Aは振動子部23の根元部の形状が左右対称な状態での振動モードを示し、Bは

50

振動子部 23 の根元部の形状が左右非対称な状態での振動モードを示している。

【図 5 3】本発明の第 3 の実施の形態を説明する外形溝 39 の形成工程を示す要部平面図である。

【図 5 4】本発明の第 3 の実施の形態の作用を説明する振動素子の要部平面図である。

【図 5 5】振動子部の根元部の形状の形成例を説明する図である。

【図 5 6】電極層等が表面に形成された振動子部 23 の反り状態を模式的に説明する側断面図である。

【図 5 7】本発明の第 4 の実施の形態を説明する振動素子の側断面図である。

【図 5 8】振動子部の反り量と検出信号出力との関係を示す特性図である。

【符号の説明】

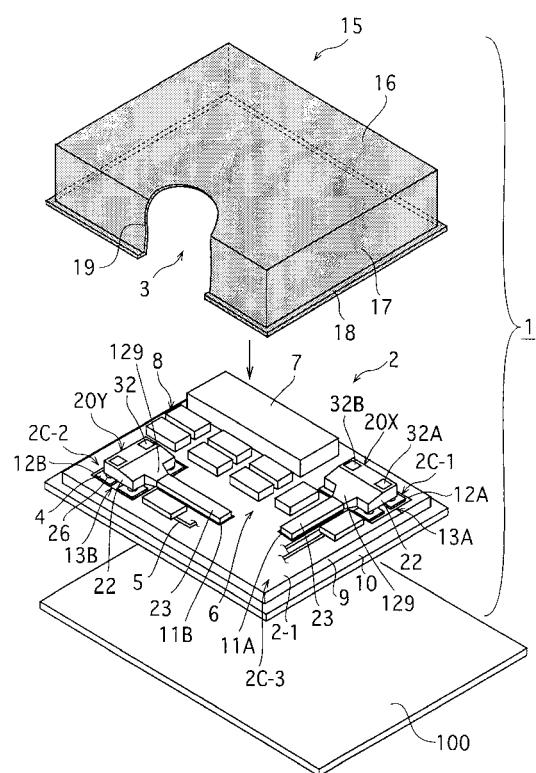
【0 2 4 5】

1 ... 振動型ジャイロセンサ、 2 ... 支持基板、 4 ... ランド、 5 ... 配線パターン、 7 ... I C 回路素子、 8 ... 電子部品、 11 ... 間隔構成凹部、 12, 14 ... 負荷緩衝溝部、 15 ... カバ一部材、 20 ... 振動素子、 21 ... シリコン基板、 22 ... 基部、 22-2 ... 実装面、 22-3 ... 側周部、 23 ... 振動子部、 23-2 ... 基板対向面、 25 ... 端子部、 26 ... 金バンプ、 27 ... 基準電極層、 28 ... 圧電薄膜層、 29 ... 駆動電極層、 30 ... 検出電極、 31 ... リード、 32 ... 位置合わせ用マーク、 33 ... シリコン酸化膜、 37 ... エッチング凹部、 38 ... ダイヤフラム部、 39 ... 外形溝、 45 ... 絶縁保護層、 46, 48 ... アルミナ層、 47 ... 酸化シリコン層、 50 ... 駆動検出回路部、 58 ... 反り制御膜、 100 ... 制御基板、 129 ... 補強部、 129H ... 横補強部、 129V ... 縦補強部、 130 ... 面取り部、 133 ... エッチング傾斜面、 134 ... 溶融面

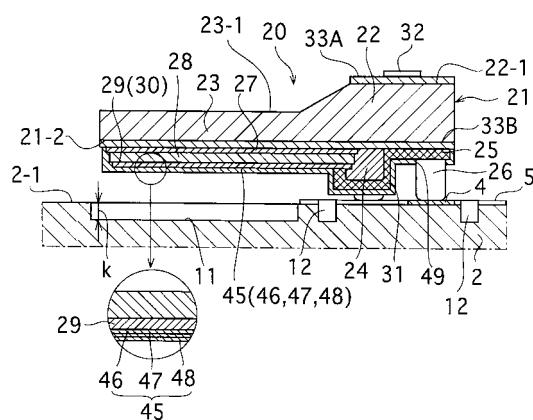
10

20

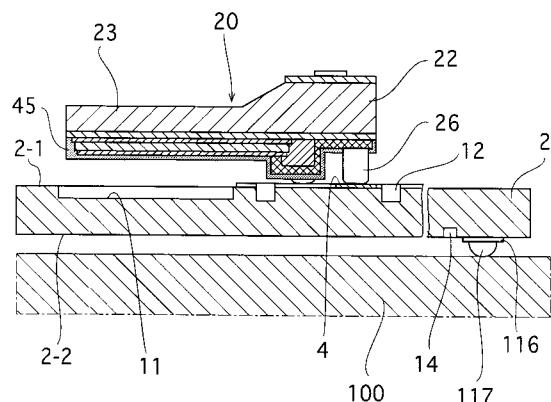
【図 1】



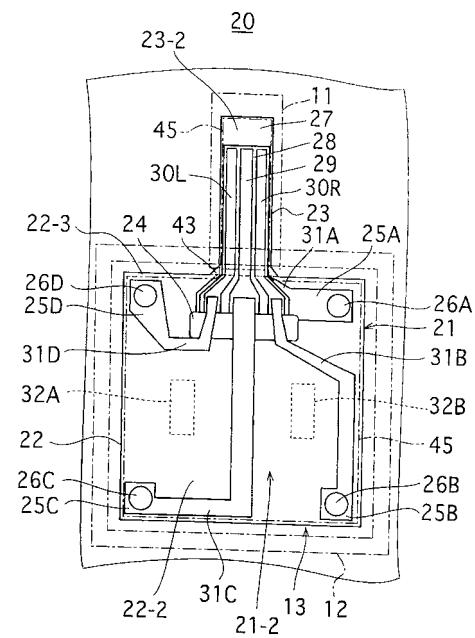
【図 2】



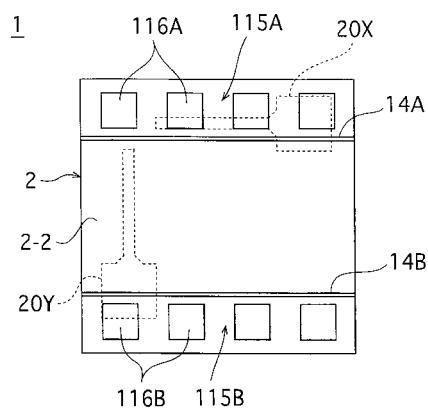
【図3】



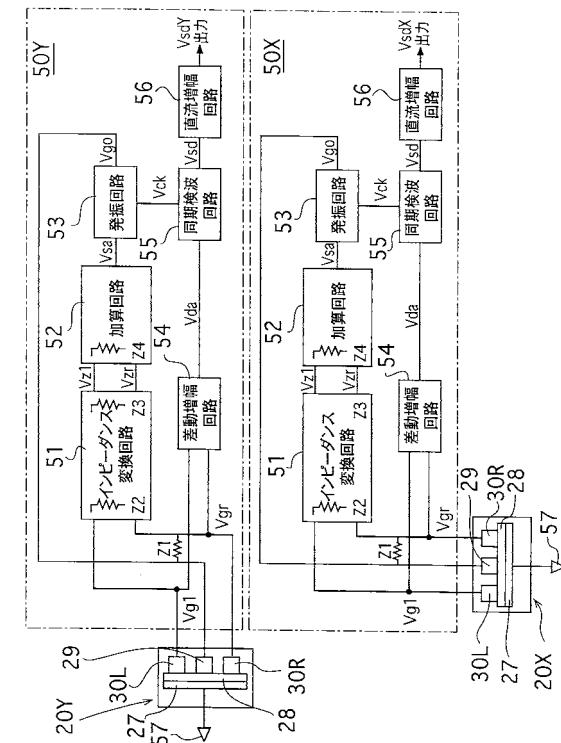
【図4】



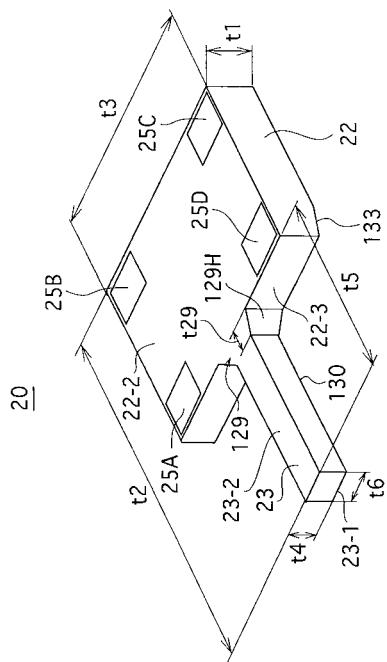
【図5】



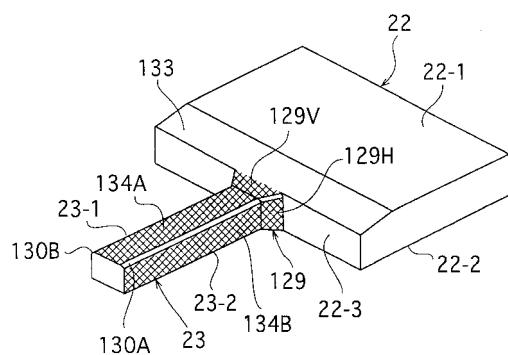
【図6】



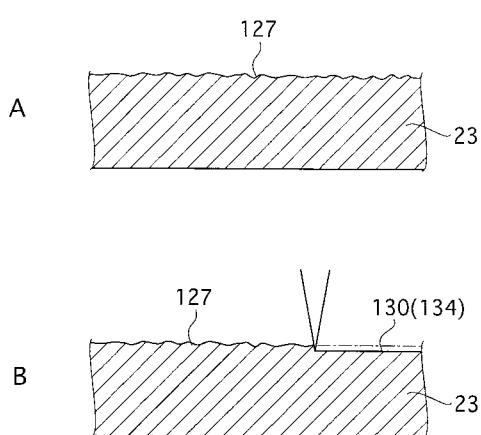
【図7】



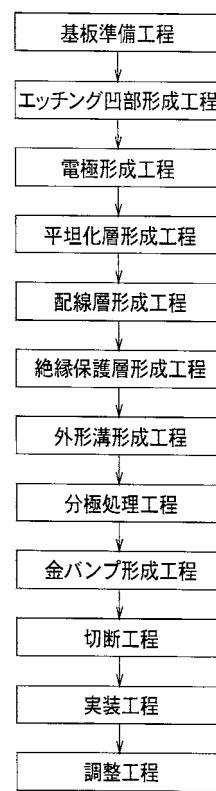
【図8】



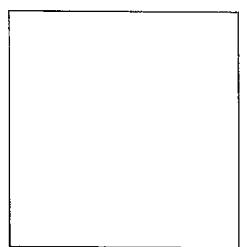
【図9】



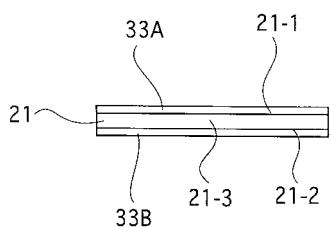
【図10】



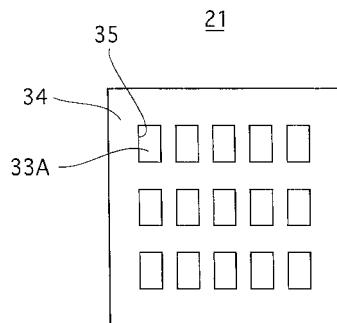
【図11】



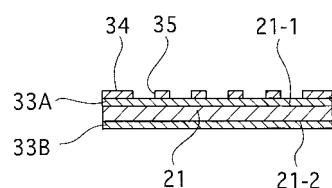
【図12】



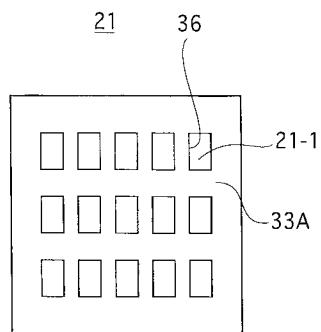
【図13】



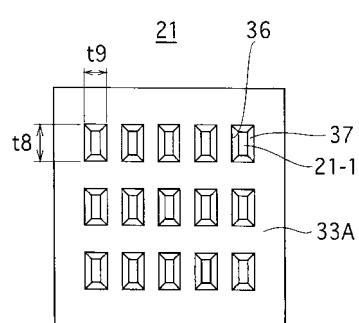
【図14】



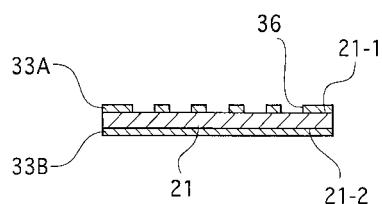
【図15】



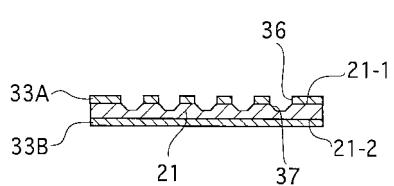
【図17】



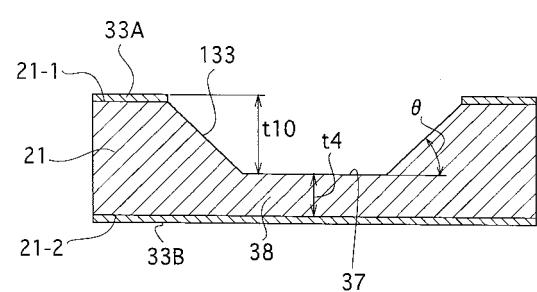
【図16】



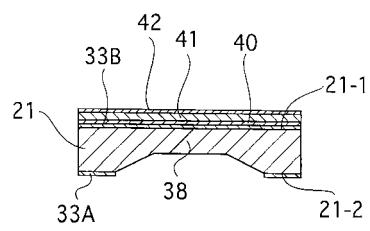
【図18】



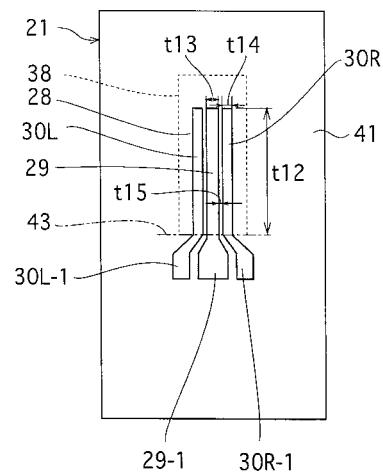
【図19】



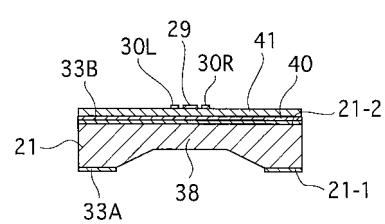
【図20】



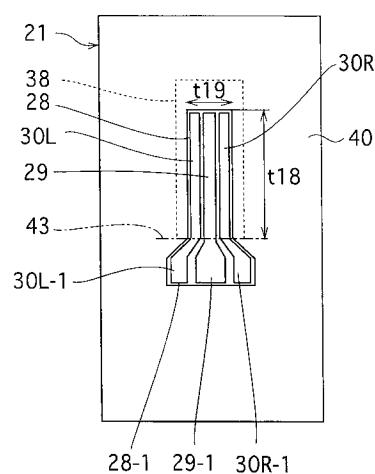
【図21】



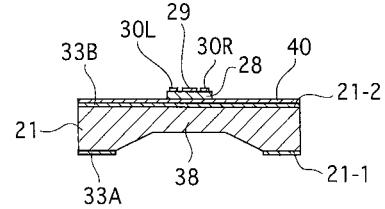
【図22】



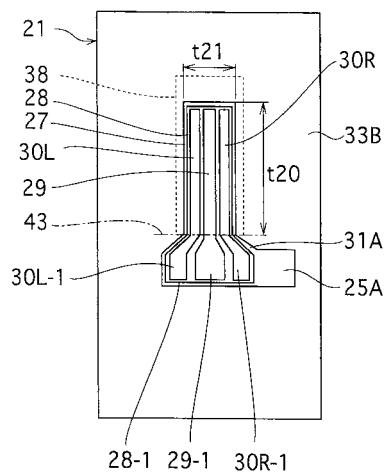
【図23】



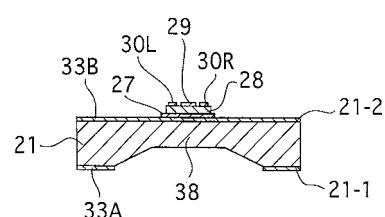
【図24】



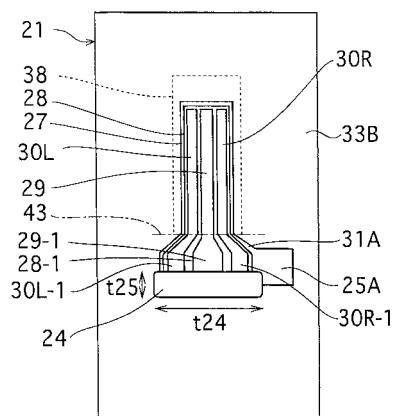
【図25】



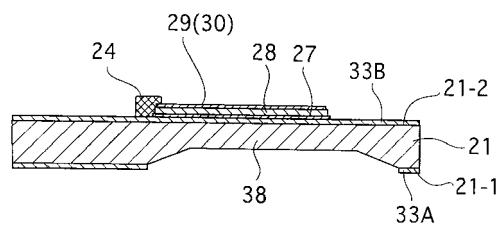
【図26】



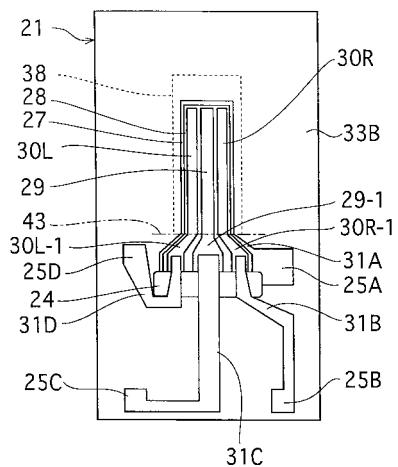
【図27】



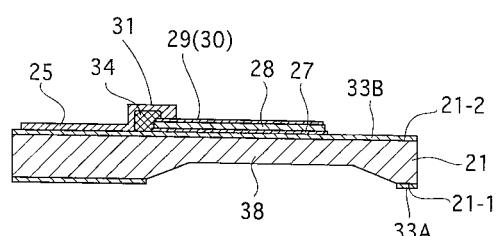
【図28】



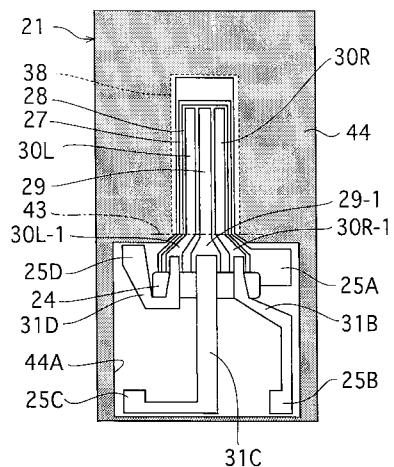
【図29】



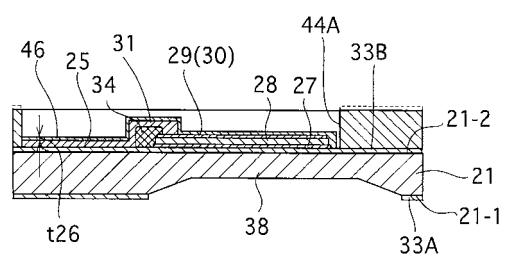
【図30】



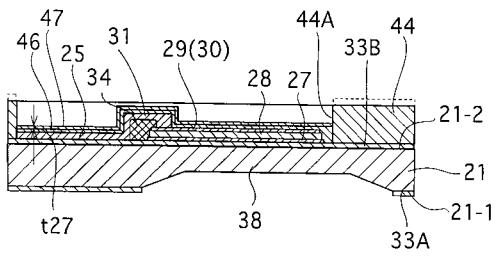
【図31】



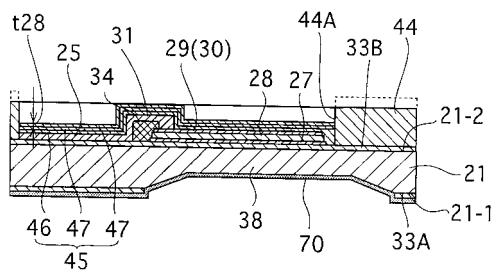
【図32】



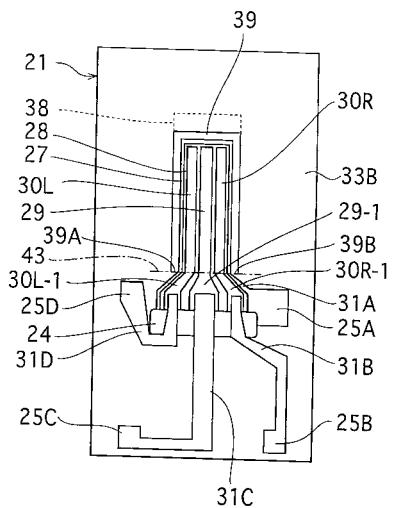
【図33】



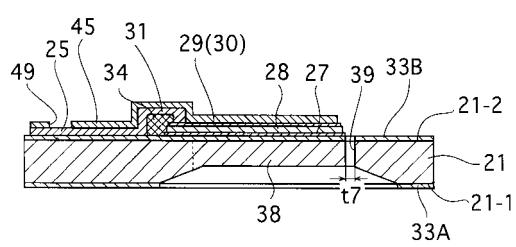
【図34】



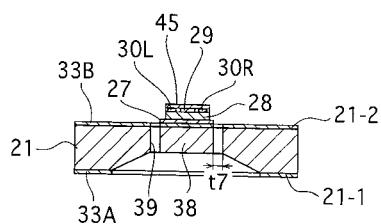
【図35】



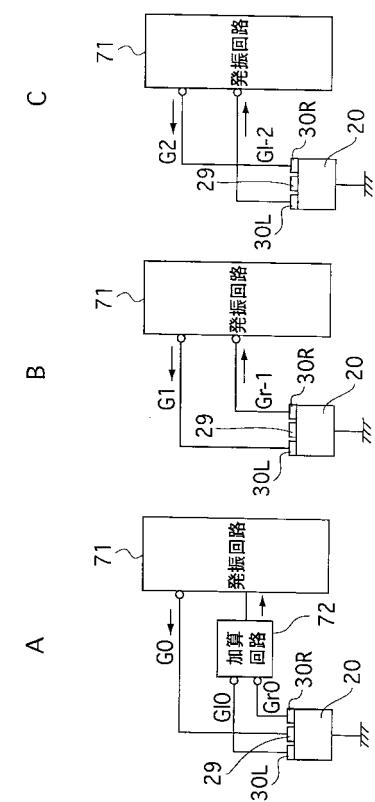
【図36】



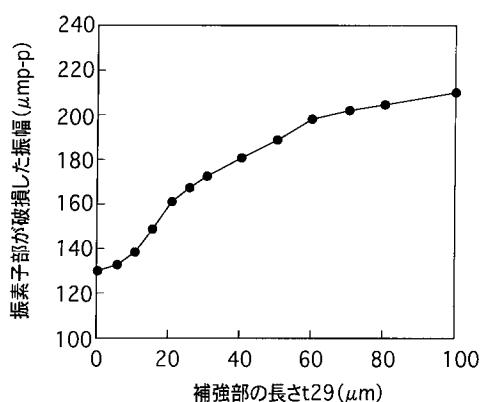
【図37】



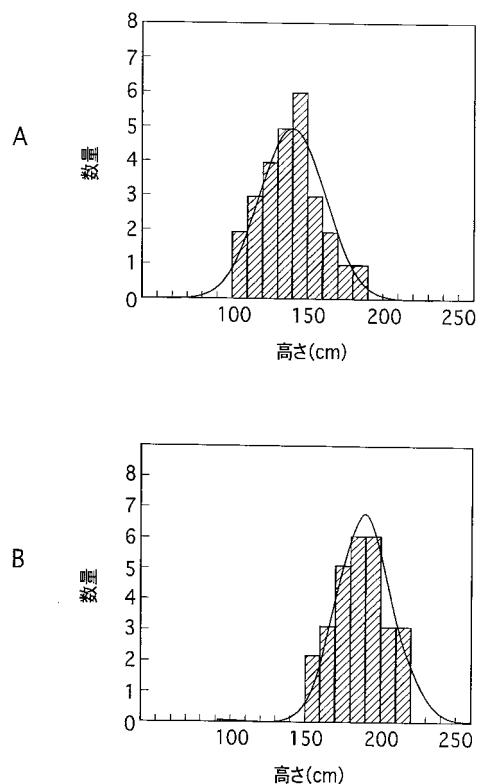
【図38】



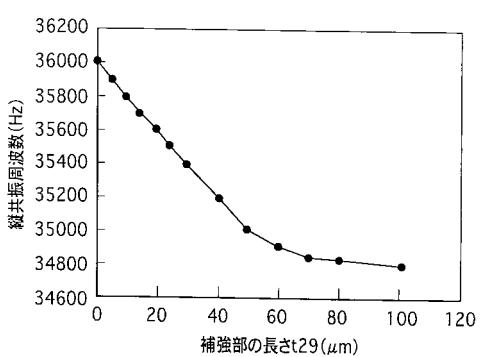
【図 3 9】



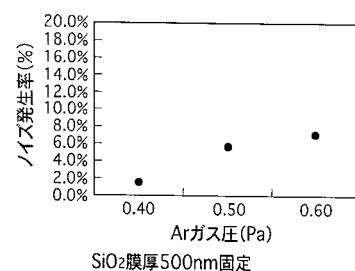
【図 4 0】



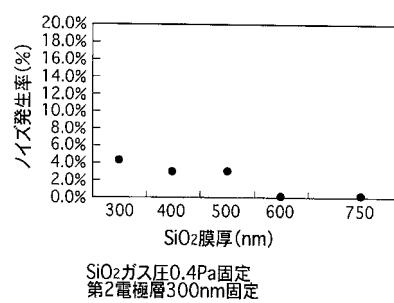
【図 4 1】



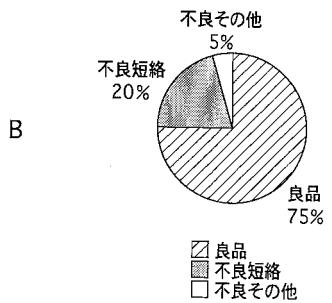
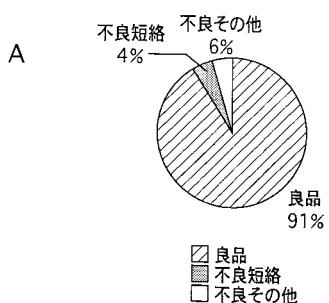
【図 4 2】



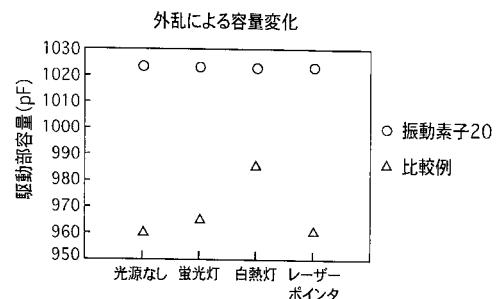
【図 4 3】



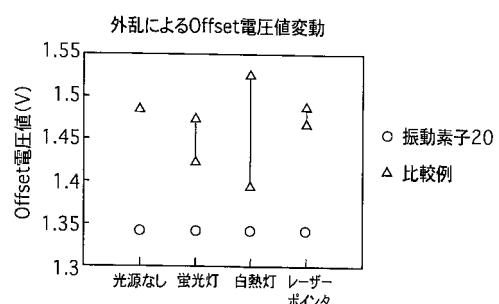
【図44】



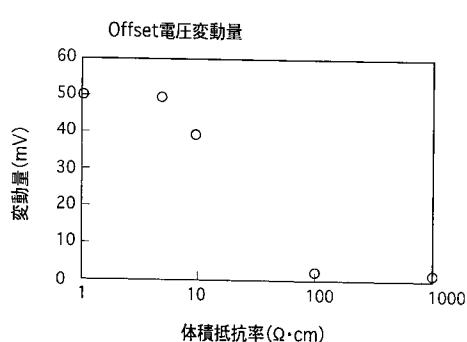
【図45】



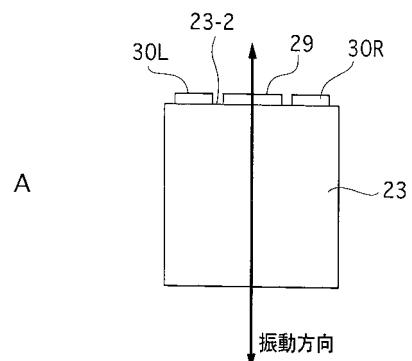
【図46】



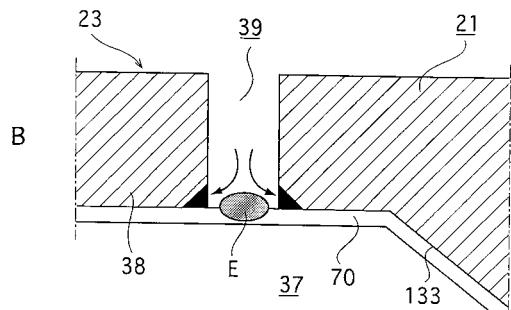
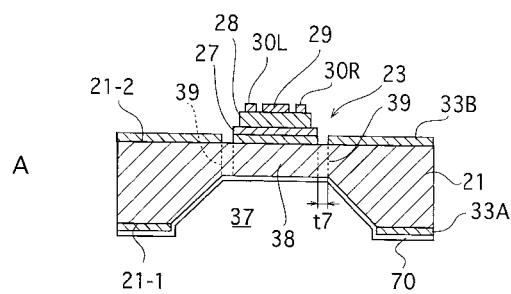
【図47】



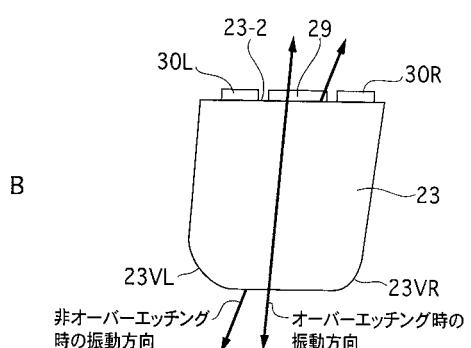
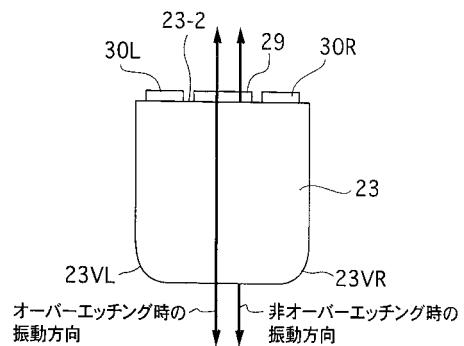
【図48】



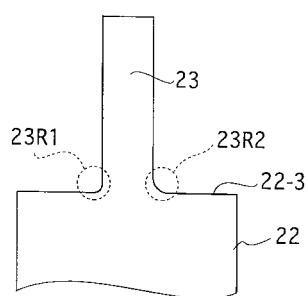
【図 4 9】



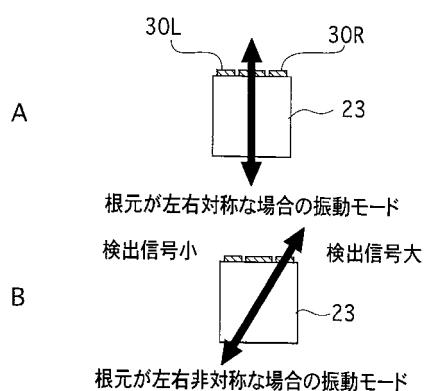
【図 5 0】



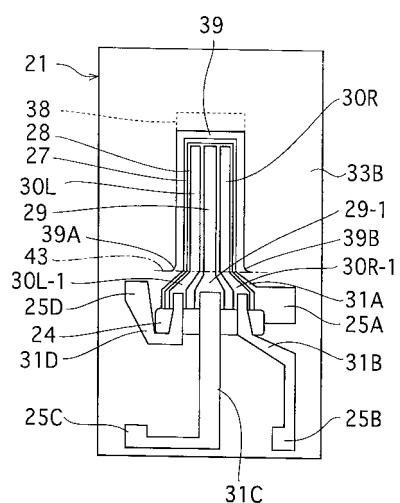
【図 5 1】



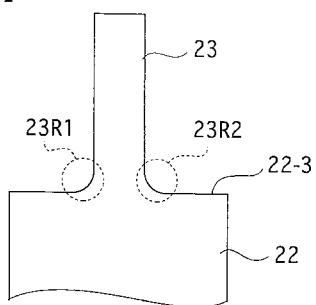
【図 5 2】



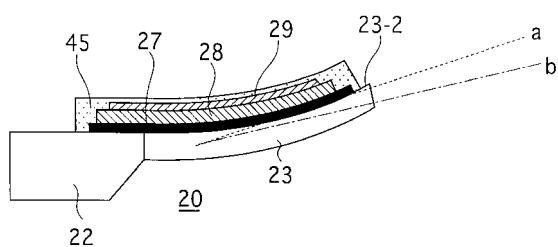
【図 5 3】



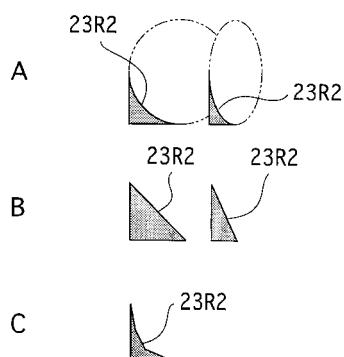
【図 5 4】



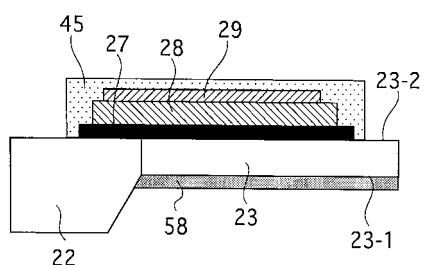
【図 5 6】



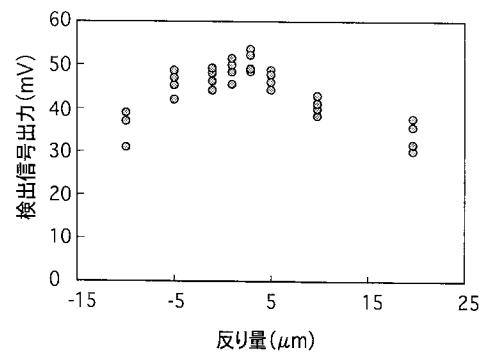
【図 5 5】



【図 5 7】



【図 5 8】



フロントページの続き

(31)優先権主張番号 特願2005-176870(P2005-176870)

(32)優先日 平成17年6月16日(2005.6.16)

(33)優先権主張国 日本国(JP)

前置審査

(72)発明者 高橋 和夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 本多 順一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 中塙 栄治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 岸 智史

(56)参考文献 特開平10-019574 (JP, A)

特開平10-339638 (JP, A)

特開平04-315056 (JP, A)

特開平09-126783 (JP, A)

特開2005-039671 (JP, A)

特開平07-299905 (JP, A)

特開2000-055666 (JP, A)

特開2003-207338 (JP, A)

特開平06-289043 (JP, A)

特開2003-028649 (JP, A)

特開2004-132792 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G01C 19/56

H01L 41/08

H01L 41/18