(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2020 년 2 월 20 일 (20.02.2020)

WIPO | PCT

(10) 국제공개번호
WO 2020/036330 A1

(51) 국제특허분류:
H01L 27/32 (2006.01) *H01L 29/786* (2006.01)
H01L 51/50 (2006.01)

(21) 국제출원번호: PCT/KR2019/009108

(22) 국제출원일: 2019 년 7 월 23 일 (23.07.2019)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2018-0095664 2018 년 8 월 16 일 (16.08.2018) KR

(71) 출원인: 삼성디스플레이 주식회사 (**SAMSUNG DISPLAY CO., LTD.**) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로1, Gyeonggi-do (KR).

(72) 발명자: 김은현 (**KIM, Eun Hyun**); 16687 경기도 수원시 영통구 영통로 111, 305동, Gyeonggi-do (KR). 고은혜 (**KO, Eun Hye**); 17095 경기도 용인시 기흥구 덕영대로2077번길 8, 102동 406호, Gyeonggi-do (KR). 김세령 (**KIM, Se Ryeong**); 31455 충청남도 아산시 탕정면 탕정면로 37, 304동 703호, Chungcheongnam-do (KR). 김억수 (**KIM, Eok Su**); 06798 서울시 서초구 헌릉로8길 10-12, 101동 903호, Seoul (KR). 이선희 (**LEE, Sun Hee**); 06292 서울시 강남구 언주로30길 21, 3903호, Seoul (KR).

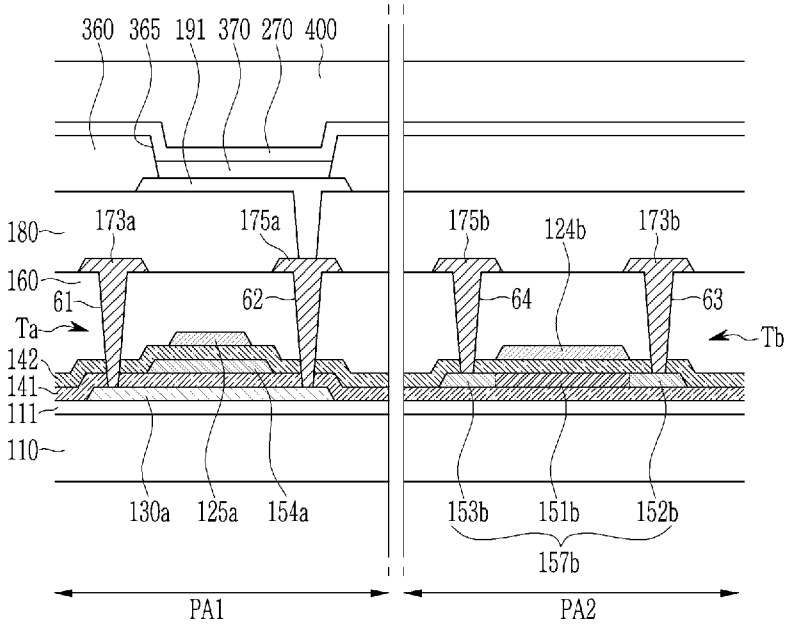
(74) 대리인: 팬코리아특허법인 (**PANKOREA PATENT AND LAW FIRM**); 06234 서울시 강남구 논현로85길 70 13F, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

WO 2020/036330 A1

(54) **Title:** DISPLAY DEVICE

(54) **발명의 명칭:** 표시 장치



(57) **Abstract:** A display device according to one embodiment comprises: a substrate; a first transistor and a second transistor positioned on the substrate and away from each other; a first electrode connected to the first transistor or the second transistor; a second electrode overlapping the first electrode; and a light-emitting layer positioned between the first electrode and second electrode. The first transistor comprises: a first semiconductor layer positioned on the substrate; a first gate electrode positioned on the first semiconductor layer; and a first source electrode and a first drain electrode connected to the first semiconductor layer. The second transistor comprises: a second semiconductor layer positioned on the substrate; a second gate electrode positioned on the second semiconductor layer; and a second source electrode and a second drain electrode connected to the second semiconductor layer. The first gate electrode and second semiconductor layer are positioned on the same layer.

[다음 쪽 계속]

SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) **지정국** (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 일 실시예에 따른 표시 장치는 기판, 상기 기판 위에 위치하며 서로 이격되는 제1 트랜지스터 및 제2 트랜지스터, 상기 제1 트랜지스터 및 상기 제2 트랜지스터 중 어느 하나에 연결되는 제1 전극, 상기 제1 전극과 중첩하는 제2 전극, 그리고 상기 제1 전극과 제2 전극 사이에 위치하는 발광층을 포함하고, 상기 제1 트랜지스터는, 상기 기판 위에 위치하는 제1 반도체층, 상기 제1 반도체층 위에 위치하는 제1 게이트 전극, 상기 제1 반도체층에 연결되는 제1 소스 전극 및 제1 드레인 전극을 포함하고, 상기 제2 트랜지스터는, 상기 기판 위에 위치하는 제2 반도체층, 상기 제2 반도체층 위에 위치하는 제2 게이트 전극, 상기 제2 반도체층과 연결된 제2 소스 전극 및 제2 드레인 전극을 포함하며, 상기 제1 게이트 전극과 상기 제2 반도체층은 동일한 층에 위치한다.

명세서

발명의 명칭: 표시 장치

기술분야

[1] 본 개시는 표시 장치에 관한 것이다.

배경기술

[2] 일반적으로 표시 장치로는 액정 표시 장치(Liquid Crystal Display, LCD), 발광 표시 장치(Light Emitting Diode Display, LED Display) 등이 사용되고 있다.

[3] 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 발광층을 포함하며, 하나의 전극인 캐소드(cathode)로부터 주입된 전자(electron)와 다른 전극인 애노드(anode)로부터 주입된 정공(hole)이 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[4] 발광 표시 장치는 캐소드, 애노드 및 발광층으로 이루어진 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 발광 다이오드를 구동하기 위한 복수개의 트랜지스터 및 커패시터가 형성되어 있다.

[5] 트랜지스터는 게이트 전극, 소스 전극, 드레인 전극 및 반도체층을 포함한다. 반도체층은 트랜지스터의 특성을 결정하는 중요한 요소이다. 이러한 반도체층으로는 규소(Si)가 많이 사용되고 있다. 규소는 결정 형태에 따라 비정질 규소 및 다결정 규소로 나누어진다. 비정질 규소는 제조 공정이 단순한 반면 전하 이동도가 낮아 고성능 트랜지스터를 제조하는데 한계가 있고 다결정 규소는 전하 이동도가 높은 반면 규소를 결정화하는 단계가 요구되어 제조 비용 및 공정이 복잡하다. 최근에는, 비정질 규소보다 전자 이동도가 높고 ON/OFF 비율이 높으며 다결정 규소보다 원가가 저렴하고 균일도가 높은 산화물 반도체를 이용하는 트랜지스터에 대한 연구가 진행되고 있다.

발명의 상세한 설명

기술적 과제

[6] 실시예들은 제조 공정이 단순하여 제조 공정에 소요되는 시간 및 비용이 절감된 표시 장치를 위한 것이다.

과제 해결 수단

[7] 일 실시예에 따른 표시 장치는 기판, 상기 기판 위에 위치하며 서로 이격되는 제1 트랜지스터 및 제2 트랜지스터, 상기 제1 트랜지스터 및 상기 제2 트랜지스터 중 어느 하나에 연결되는 제1 전극, 상기 제1 전극과 중첩하는 제2 전극, 그리고 상기 제1 전극과 제2 전극 사이에 위치하는 발광층을 포함하고, 상기 제1 트랜지스터는, 상기 기판 위에 위치하는 제1 반도체층, 상기 제1 반도체층 위에 위치하는 제1 게이트 전극, 상기 제1 반도체층에 연결되는 제1 소스 전극 및 제1 드레인 전극을 포함하고, 상기 제2 트랜지스터는, 상기 기판 위에 위치하는 제2 반도체층, 상기 제2 반도체층 위에 위치하는 제2 게이트 전극,

상기 제2 반도체층과 연결된 제2 소스 전극 및 제2 드레인 전극을 포함하며, 상기 제1 게이트 전극과 상기 제2 반도체층은 동일한 층에 위치한다.

[8] 상기 제1 게이트 전극은 불순물이 도핑된 다결정 실리콘을 포함할 수 있다.

[9] 상기 제2 반도체층은 다결정 실리콘을 포함할 수 있다.

[10] 상기 제1 반도체층은 산화물 반도체를 포함할 수 있다.

[11] 상기 제1 트랜지스터는 상기 제1 전극과 연결될 수 있다.

[12] 상기 표시 장치는, 상기 기판 위에 위치하는 버퍼층, 그리고 상기 제1 반도체층 위에 위치하는 제1 게이트 절연층을 더 포함하고, 상기 제1 반도체층은 상기 버퍼층과 상기 제1 게이트 절연층 사이에 위치하며, 상기 제2 반도체층과 상기 제1 게이트 전극은 상기 제1 게이트 절연층 위에 위치할 수 있다.

[13] 상기 표시 장치는 상기 제2 반도체층과 상기 제1 게이트 전극 위에 위치하는 제2 게이트 절연층을 더 포함하고, 상기 제2 게이트 전극은 상기 제2 게이트 절연층 위에 위치할 수 있다.

[14] 일 실시예에 따른 표시 장치는 기판, 상기 기판 위에 위치하며 서로 이격되는 제1 트랜지스터 및 제2 트랜지스터, 상기 제1 트랜지스터 및 상기 제2 트랜지스터 중 어느 하나에 연결되는 제1 전극, 상기 제1 전극과 중첩하는 제2 전극, 그리고 상기 제1 전극과 상기 제2 전극 사이에 위치하는 발광층을 포함하고, 상기 제1 트랜지스터는, 상기 기판 위에 위치하는 제1 반도체층, 상기 제1 반도체층 위에 위치하는 제1 게이트 전극, 상기 제1 반도체층과 연결된 제1 소스 전극 및 제1 드레인 전극을 포함하고, 상기 제2 트랜지스터는, 상기 기판 위에 위치하는 제2 반도체층, 상기 제2 반도체층 위에 위치하는 제2 게이트 전극, 상기 제2 반도체층과 연결된 제2 소스 전극 및 제2 드레인 전극을 포함하며, 상기 제1 반도체층과 상기 제2 게이트 전극은 동일한 층에 위치한다.

[15] 상기 제1 반도체층은 다결정 실리콘을 포함하고, 상기 제2 반도체층은 산화물 반도체를 포함할 수 있다.

[16] 상기 제2 게이트 전극은 불순물이 도핑된 다결정 실리콘을 포함할 수 있다.

[17] 상기 표시 장치는, 상기 기판 위에 위치하는 버퍼층, 상기 제2 반도체층 위에 위치하는 절연층, 그리고 상기 제1 반도체층 위에 위치하는 제1 게이트 절연층을 더 포함하고, 상기 제2 반도체층은 상기 버퍼층과 상기 절연층 사이에 위치하며, 상기 제1 반도체층은 상기 절연층과 상기 제1 게이트 절연층 사이에 위치할 수 있다.

[18] 상기 제1 게이트 절연층 위에 상기 제1 게이트 전극이 위치하고, 상기 절연층과 상기 제1 게이트 절연층 사이에 상기 제2 게이트 전극이 위치할 수 있다.

[19] 일 실시예에 따른 표시 장치는 기판, 상기 기판 위에 위치하며 서로 이격되는 제1 트랜지스터 및 제2 트랜지스터, 상기 제1 트랜지스터 및 상기 제2 트랜지스터 중 어느 하나에 연결되는 제1 전극, 상기 제1 전극과 중첩하는 제2 전극, 그리고 상기 제1 전극과 상기 제2 전극 사이에 위치하는 발광층을 포함하고, 상기 제1 트랜지스터는, 상기 기판 위에 위치하는 제1 게이트 전극,

상기 제1 게이트 전극 위에 위치하는 제1 반도체층, 상기 제1 반도체층과 연결된 제1 소스 전극 및 제1 드레인 전극을 포함하고, 상기 제2 트랜지스터는, 상기 기판 위에 위치하는 제2 반도체층, 상기 제2 반도체층 위에 위치하는 제2 게이트 전극, 상기 제2 반도체층과 연결된 제2 소스 전극 및 제2 드레인 전극을 포함하며, 상기 제1 게이트 전극과 상기 제2 반도체층은 동일한 층에 위치한다.

[20] 상기 제1 게이트 전극은 불순물이 도핑된 다결정 실리콘을 포함할 수 있다.

[21] 상기 제1 반도체층은 산화물 반도체를 포함할 수 있다.

[22] 상기 제2 반도체층은 다결정 실리콘을 포함할 수 있다.

[23] 상기 제1 반도체층 위에 위치하는 보조 금속층을 더 포함하고, 상기 보조 금속층은 상기 제2 게이트 전극과 동일한 층에 위치할 수 있다.

[24] 상기 보조 금속층은, 상기 제1 반도체층과 상기 제1 소스 전극 사이, 그리고 상기 제1 반도체층과 상기 제1 드레인 전극 사이에 위치할 수 있다.

[25] 상기 보조 금속층은 상기 제1 반도체층과 직접 접촉할 수 있다.

[26] 상기 기판 위에 위치하는 버퍼층, 그리고 상기 버퍼층 위에 위치하는 게이트 절연층을 더 포함하고, 상기 버퍼층과 상기 게이트 절연층 사이에 상기 제1 게이트 전극 및 상기 제2 반도체층이 위치할 수 있다.

발명의 효과

[27] 실시예들에 따르면 제조 공정이 단순하여 제조 공정에 소요되는 시간 및 비용이 절감된 표시 장치를 제공할 수 있다.

도면의 간단한 설명

[28] 도 1은 일 실시예에 따른 표시 장치의 일부 영역에 대한 단면도이다.

[29] 도 2는 일 실시예에 따른 표시 장치의 일부 영역에 대한 단면도이다.

[30] 도 3은 일 실시예에 따른 표시 장치의 일부 영역에 대한 단면도이다.

[31] 도 4는 일 실시예에 따른 표시 장치의 일부 영역에 대한 단면도이다.

[32] 도 5, 도 6, 도 7 및 도 8 각각은 제조 공정에 따른 표시 장치의 일부 영역에 대한 단면도이다.

[33] 도 9는 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다.

발명의 실시를 위한 형태

[34] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[35] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[36] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러

층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.

[37] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.

[38] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[39] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.

[40] **그러면 일 실시예에 따른 표시 장치에 대하여 도면을 참고로 상세하게 설명한다. 이하에서는 도 1을 참조하여 일 실시예에 따른 표시 장치를 설명한다. 도 1은 일 실시예에 따른 표시 장치의 일부 영역에 대한 단면도이다.**

[41] 도 1을 참조하면, 기판(110)은 제1 트랜지스터(Ta)가 위치하는 제1 영역(PA1)과 제2 트랜지스터(Tb)가 위치하는 제2 영역(PA2)을 포함한다. 우선 제1 영역(PA1)에 대해 먼저 설명하고 이후 제2 영역(PA2)에 대해 설명한다.

[42] 기판(110)은 글래스 기판을 포함하거나, 폴리머층 및 배리어층이 교번하여 적층된 기판을 포함할 수 있다.

[43] 제1 영역(PA1)에 해당하는 기판(110) 상에는 버퍼층(111)이 위치한다. 버퍼층(111)은 산화규소, 질화규소 등과 같은 무기 절연 물질 또는 유기 절연 물질을 포함할 수 있다. 버퍼층(111)은 단일막 또는 다중막일 수 있다. 일 예로 버퍼층(111)이 이중막인 경우, 하부막은 질화규소를 포함하고 상부막은 산화규소를 포함할 수 있다.

[44] 버퍼층(111) 상에는 제1 반도체층(130a)이 위치한다. 일 실시예에 따른 제1 반도체층(130a)은 산화물 반도체를 포함한다.

[45] 상기 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물, 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 조합을 포함할 수 있다. 보다 구체적으로, 산화물 반도체는 산화 아연(ZnO), 아연-주석 산화물(ZTO), 아연-인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO) 중 적어도 하나를 포함할 수 있다.

[46] 제1 반도체층(130a) 위에 제1 게이트 절연층(141)이 위치한다. 제1 게이트 절연층(141)은 질화규소, 산화규소 등과 같은 무기 절연 물질 또는 유기 절연

물질을 포함할 수 있다.

[47] 제1 게이트 절연층(141) 위에는 제1 게이트 전극(154a)이 위치한다. 제1 게이트 전극(154a)은 제1 반도체층(130a)과 중첩한다.

[48] 일 실시예에 따른 제1 게이트 전극(154a)은 불순물이 도핑된 다결정 실리콘을 포함한다. 제1 게이트 전극(154a)은 다결정 실리콘에 불순물이 도핑됨에 따라 도체화된 상태이다. 제1 게이트 전극(154a)에 도핑되는 불순물은 5족 원소일 수 있으며 제1 게이트 전극(154a)은 n+ 도핑된 상태일 수 있다.

[49] 제1 게이트 전극(154a) 및 제1 게이트 절연층(141) 위에는 제2 게이트 절연층(142)이 위치한다. 제2 게이트 절연층(142)은 질화규소, 산화규소 등과 같은 무기 절연 물질 또는 유기 절연 물질을 포함할 수 있다.

[50] 제2 게이트 절연층(142) 위에 스토리지 전극(125a)이 위치한다. 스토리지 전극(125a)은 구리, 구리 합금, 알루미늄, 알루미늄 합금, 몰리브덴, 그리고 몰리브덴 합금 중 적어도 어느 하나를 포함할 수 있다.

[51] 제1 게이트 전극(154a)과 스토리지 전극(125a)는 제2 게이트 절연층(142)을 사이에 두고 평면상 중첩함으로써 유지 축전기를 구성할 수 있다.

[52] 스토리지 전극(125a) 및 제2 게이트 절연층(142) 위에 제1 절연층(160)이 위치한다. 제1 절연층(160)은 질화규소, 산화규소, 및 산화알루미늄 등의 무기 절연 물질을 포함하거나 유기 절연 물질을 포함할 수 있다.

[53] 제1 절연층(160) 위에는 산화물 반도체를 포함하는 제1 반도체층(130a)과 연결되는 제1 소스 전극(173a), 그리고 제1 반도체층(130a)과 연결되는 제1 드레인 전극(175a)이 위치한다.

[54] 제1 소스 전극(173a)은 제1 절연층(160), 제2 게이트 절연층(142) 및 제1 게이트 절연층(141)이 가지는 제1 접촉 구멍(61)을 통해 제1 반도체층(130a)과 연결된다. 제1 드레인 전극(175a)은 제1 절연층(160), 제2 게이트 절연층(142) 및 제1 게이트 절연층(141)이 가지는 제2 접촉 구멍(62)을 통해 제1 반도체층(130a)과 연결된다.

[55] 제1 소스 전극(173a)과 제1 드레인 전극(175a)은 구리, 구리 합금, 알루미늄, 알루미늄 합금, 몰리브덴, 및 몰리브덴 합금 중 적어도 어느 하나를 포함하는 금속막을 포함할 수 있다. 제1 소스 전극(173a)과 제1 드레인 전극(175a)은 실시예에 따라 단일막이거나 다중막을 포함할 수 있다.

[56] 제1 소스 전극(173a) 및 제1 드레인 전극(175a) 위에 제2 절연층(180)이 위치한다. 제2 절연층(180)은 제1 소스 전극(173a) 및 제1 드레인 전극(175a)을 덮어 평탄화시킨다. 제2 절연층(180)은 유기 절연 물질 또는 무기 절연 물질을 포함할 수 있다.

[57] 제2 절연층(180) 위에 제1 전극인 화소 전극(191)이 위치한다. 화소 전극(191)은 제2 절연층(180)에 형성된 접촉 구멍을 통해 제1 드레인 전극(175a)과 연결될 수 있다.

[58] 화소 전극(191) 위에 제2 절연층(180) 및 화소 전극(191)의 일부와 중첩하는 격벽(360)이 위치한다. 격벽(360)은 화소 전극(191)을 드러내는 개구부(365)를

가진다.

[59] 격벽(360)은 폴리아크릴계 수지, 폴리이미드계 수지 등의 유기물 또는 실록산 계열의 무기물을 포함할 수 있다.

[60] 개구부(365)에 의해 노출된 화소 전극(191) 위에는 발광 부재인 발광층(370)이 위치한다. 발광층(370) 및 격벽(360) 위에는 공통 전극(270)이 위치한다. 화소 전극(191), 발광층(370) 및 공통 전극(270)은 발광 다이오드를 형성할 수 있다.

[61] 여기서, 화소 전극(191)은 정공 주입 전극인 애노드이며, 공통 전극(270)은 전자 주입 전극인 캐소드가 된다. 그러나 본 실시예는 반드시 이에 한정되는 것은 아니며, 표시 장치의 구동 방법에 따라 화소 전극(191)이 캐소드가 되고, 공통 전극(270)이 애노드가 될 수도 있다. 화소 전극(191) 및 공통 전극(270)으로부터 각각 정공과 전자가 발광층(370) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저 상태로 떨어질 때 발광이 이루어진다.

[62] 발광층(370)은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물을 포함할 수 있다. 발광층(370)은 발광층과, 정공 주입층, 정공 수송층, 전자 수송층 및 전자 주입층 중 하나 이상을 포함하는 다중막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(191) 상에 위치하고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층될 수 있다.

[63] 공통 전극(270) 상에는 발광 다이오드를 보호하는 봉지층(400)이 위치할 수 있다. 봉지층(400)은 실런트에 의해 기판(110)에 밀봉될 수 있다. 봉지층(400)은 유리, 석영, 세라믹, 폴리머, 및 금속 등 다양한 소재로 형성될 수 있다. 한편, 실런트를 사용하지 않고 공통 전극(270) 상에 무기막과 유기막을 증착하여 봉지층(400)을 형성할 수도 있다.

[64] 이하에서는 제2 영역(PA2)에 대해 설명한다. 제1 영역(PA1)에서 설명한 구성요소에 대한 자세한 설명은 생략하기로 한다.

[65] 제2 영역(PA2)에 해당하는 기판(110) 위에 버퍼층(111)이 위치한다. 그리고 버퍼층(111) 위에는 제1 게이트 절연층(141)이 위치한다.

[66] 제1 게이트 절연층(141) 위에는 제2 반도체층(157b)이 위치한다. 제2 반도체층(157b)은 다결정 실리콘을 포함한다.

[67] 제2 반도체층(157b)은 후술할 소스 전극(173b)과 연결되는 소스 영역(152b), 후술할 드레인 전극(175b)과 연결되는 드레인 영역(153b), 그리고 소스 영역(152b) 및 드레인 영역(153b) 사이에 위치하는 채널 영역(151b)을 포함한다. 소스 영역(152b) 및 드레인 영역(153b)에는 다결정 실리콘에 불순물이 도핑되어 도체화된 상태이다. 소스 영역(152b) 및 드레인 영역(153b)에 도핑되는 불순물은 5족 원소일 수 있으며 n+ 도핑된 상태일 수 있다.

[68] 제2 반도체층(157b) 및 제1 게이트 절연층(141) 위에는 제2 게이트 절연층(142)이 위치한다.

[69] 제2 게이트 절연층(142) 위에는 제2 게이트 전극(124b)이 위치한다. 제2 게이트

전극(124b)은 제2 반도체층(157b)의 채널 영역(151b)과 중첩한다.

[70] 제2 게이트 전극(124b)은 구리, 구리 합금, 알루미늄, 알루미늄 합금, 몰리브덴, 그리고 몰리브덴 합금 중 적어도 어느 하나를 포함할 수 있다.

[71] 제2 게이트 전극(124b) 및 제2 게이트 절연층(142) 위에 제1 절연층(160)이 위치한다.

[72] 제1 절연층(160) 위에는 제2 반도체층(157b)의 소스 영역(152b)과 연결되는 제2 소스 전극(173b), 그리고 제2 반도체층(157b)의 드레인 영역(153b)과 연결되는 제2 드레인 전극(175b)이 위치한다.

[73] 제1 절연층(160) 및 제2 게이트 절연층(142)이 가지는 제3 접촉 구멍(63)을 통해 제2 소스 전극(173b)과 소스 영역(152b)이 연결된다. 또한 제1 절연층(160)과 제2 게이트 절연층(142)이 가지는 제4 접촉 구멍(64)을 통해 제2 드레인 전극(175b)과 드레인 영역(153b)이 연결된다.

[74] 제2 영역(PA2)에서, 제2 소스 전극(173b) 및 제2 드레인 전극(175b) 위에는 제2 절연층(180), 격벽(360), 공통 전극(270) 및 봉지층(400)이 차례로 적층된 형태를 가질 수 있다.

[75] 이하에서는 제1 영역(PA1)에 위치하는 제1 트랜지스터(Ta)와 제2 영역(PA2)에 위치하는 제2 트랜지스터(Tb) 사이의 적층 관계에 대해 살펴본다.

[76] 일 실시예에 따른 제1 반도체층(130a)은 버퍼층(111)과 제1 게이트 절연층(141) 사이에 위치한다.

[77] 제1 게이트 전극(154a)과 제2 반도체층(157b)은 제1 게이트 절연층(141)과 제2 게이트 절연층(142) 사이에 위치한다. 제1 게이트 전극(154a)과 제2 반도체층(157b)은 동일한 층에 위치한다. 제1 게이트 전극(154a)과 제2 반도체층(157b)은 동일한 물질을 포함하고 동일한 제조 공정을 통해 형성될 수 있다.

[78] 제1 게이트 전극(154a)은 제2 반도체층(157b)을 형성하는 공정에서 동시에 형성될 수 있으므로, 별도의 게이트 전극 형성 공정이 필요하지 않아 표시 장치의 제조 공정이 단순해질 수 있다.

[79]

[80] *제1 게이트 전극(154a)과 제2 반도체층(157b)은 다결정 실리콘을 포함한다. 또한 제2 반도체층(157b)의 소스 영역(152b), 드레인 영역(153b) 및 제1 게이트 전극(154a)은 불순물이 도핑된 다결정 실리콘을 포함할 수 있다.

[81] 제2 게이트 절연층(142)과 제1 절연층(160) 사이에 스토리지 전극(125a) 및 제2 게이트 전극(124b)이 위치한다. 스토리지 전극(125a) 및 제2 게이트 전극(124b)은 동일한 공정에서 형성될 수 있으며 동일한 물질을 포함할 수 있다.

[82] 일 실시예에 따른 표시 장치는 산화물 반도체를 포함하는 제1 트랜지스터(Ta)와 다결정 실리콘을 포함하는 제2 트랜지스터(Tb)를 포함할 수 있다. 이때 제1 트랜지스터(Ta)가 포함하는 제1 게이트 전극(154a)은 제2 트랜지스터(Tb)가 포함하는 반도체층(157b)과 동일한 공정을 통해 형성될 수

있으므로, 제조 공정 및 적층 구조가 단순화될 수 있다.

[83] **이하에서는 도 2 내지 도 4를 참조하여 일 실시예에 따른 표시 장치에 대해 설명한다. 도 2, 도 3 및 도 4 각각은 일 실시예에 따른 표시 장치의 단면도이다. 전술한 구성요소와 동일 유사한 구성요소에 대한 설명은 생략하기로 한다.**

[84] 우선 도 2를 참조하면, 기판(110)은 제1 트랜지스터(Ta)가 위치하는 제1 영역(PA1)과 제2 트랜지스터(Tb)가 위치하는 제2 영역(PA2)을 포함한다. 제1 영역(PA1)에 대해 먼저 설명하고 이후 제2 영역(PA2)에 대해 설명한다.

[85] 제1 영역(PA1)에 해당하는 기판(110) 상에 버퍼층(111)이 위치한다. 버퍼층(111) 위에 절연층(131)이 위치한다. 절연층(131)은 무기 절연 물질을 포함하거나 유기 절연 물질을 포함할 수 있다.

[86] 다음 절연층(131) 위에 제1 반도체층(157a)이 위치한다. 제1 반도체층(157a)은 다결정 실리콘을 포함한다.

[87] 제1 반도체층(157a)은 후술할 소스 전극(173a)과 연결되는 소스 영역(152a), 드레인 전극(175a)과 연결되는 드레인 영역(153a), 그리고 소스 영역(152a)과 드레인 영역(153a) 사이에 위치하는 채널 영역(151a)을 포함한다. 소스 영역(152a) 및 드레인 영역(153a)에는 불순물이 도핑되어 도체화된 상태이다.

[88] 절연층(131) 및 제1 반도체층(157a) 위에 제1 게이트 절연층(141)이 위치한다.

[89] 제1 게이트 절연층(141) 위에 제1 게이트 전극(124a)이 위치한다. 제1 게이트 전극(124a)은 제1 반도체층(157a)의 채널 영역(151a)과 중첩한다. 제1 게이트 전극(124a)은 구리, 구리 합금, 알루미늄, 알루미늄 합금, 몰리브덴, 그리고 몰리브덴 합금 중 적어도 어느 하나를 포함할 수 있다.

[90] 제1 게이트 전극(124a) 및 제1 게이트 절연층(141) 위에 제2 게이트 절연층(142)이 위치한다.

[91] 제2 게이트 절연층(142) 위에 스토리지 전극(125a)이 위치한다. 본 명세서는 도시하지 않았으나 스토리지 전극(125a)은 별도의 구동 전압선 등과 연결될 수 있다.

[92] 스토리지 전극(125a)과 제1 게이트 전극(124a)은 제2 게이트 절연층(142)을 사이에 두고 서로 중첩함으로써 유지 축전기를 구성할 수 있다.

[93] 스토리지 전극(125a) 및 제2 게이트 절연층(142) 위에 제1 절연층(160)이 위치한다.

[94] 제1 절연층(160), 제2 게이트 절연층(142) 및 제1 게이트 절연층(141)이 가지는 제1 접촉 구멍(61)을 통해 제1 소스 전극(173a)과 제1 반도체층(157a)의 소스 영역(152a)이 연결된다. 제1 절연층(160), 제2 게이트 절연층(142) 및 제1 게이트 절연층(141)이 가지는 제2 접촉 구멍(62)을 통해 제1 드레인 전극(175a)과 제1 반도체층(157a)의 드레인 영역(153a)이 연결된다.

[95] 제1 소스 전극(173a) 및 제1 드레인 전극(175a) 위에 제2 절연층(180)이 위치한다.

[96] 제2 절연층(180) 위에 제1 전극인 화소 전극(191)이 위치한다. 화소 전극(191)은

제2 절연층(180)에 형성된 접촉 구멍을 통해 제1 드레인 전극(175a)과 연결될 수 있다.

[97] 화소 전극(191) 위에 제2 절연층(180) 및 화소 전극(191)의 일부와 중첩하는 격벽(360)이 위치한다. 격벽(360)이 포함하는 개구부(365)에 의해 노출된 화소 전극(191) 위에는 발광 부재인 발광층(370)이 위치한다. 발광층(370) 및 격벽(360) 위에는 공통 전극(270)이 위치한다. 화소 전극(191), 발광층(370) 및 공통 전극(270)은 발광 다이오드를 형성할 수 있다. 공통 전극(270) 상에는 발광 다이오드를 보호하는 봉지층(400)이 위치할 수 있다.

[98] 이하에서는 제2 영역(PA2)에 위치하는 제2 트랜지스터(Tb)에 대해 설명한다.

[99] 기판(110) 위에 버퍼층(111)이 위치하고, 버퍼층(111) 위에 제2 반도체층(130b)이 위치한다.

[100] 일 실시예에 따른 제2 반도체층(130b)은 산화물 반도체를 포함한다. 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물, 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 조합을 포함할 수 있다. 보다 구체적으로, 산화물 반도체는 산화 아연(ZnO), 아연-주석 산화물(ZTO), 아연-인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO) 중 적어도 하나를 포함할 수 있다.

[101] 제2 반도체층(130b) 및 버퍼층(111) 위에 절연층(131)이 위치한다. 절연층(131)은 무기 절연 물질 또는 유기 절연 물질을 포함할 수 있다. 절연층(131) 위에 제2 게이트 전극(154b)이 위치한다.

[102] 제2 게이트 전극(154b)은 불순물이 도핑된 다결정 실리콘을 포함할 수 있다. 제2 게이트 전극(154b)은 다결정 실리콘에 불순물이 도핑됨에 따라 도체화된 상태이다.

[103] 절연층(131) 및 제2 게이트 전극(154b) 위에 제1 게이트 절연층(141), 제2 게이트 절연층(142) 및 제1 절연층(160)이 차례로 위치한다.

[104] 제1 절연층(160) 위에는 제2 반도체층(130b)과 연결되는 제2 소스 전극(173b), 제2 반도체층(130b)과 연결되는 제2 드레인 전극(175b)이 위치한다.

[105] 제2 소스 전극(173b)은 제3 접촉 구멍(63)을 통해 제2 반도체층(130b)과 연결될 수 있으며, 제2 드레인 전극(175b)은 제4 접촉 구멍(64)을 통해 제2 반도체층(130b)과 연결될 수 있다.

[106] 제2 소스 전극(173b) 및 제2 드레인 전극(175b) 위에는 제2 절연층(180), 격벽(360), 공통 전극(270) 및 봉지층(400)이 차례로 위치한다.

[107] 이하에서는 제1 영역(PA1)에 위치하는 제1 트랜지스터(Ta)와 제2 영역(PA2)에 위치하는 제2 트랜지스터(Tb) 사이의 적층 관계에 대해 살펴본다.

[108] 제2 반도체층(130b)은 버퍼층(111)과 절연층(131) 사이에 위치한다.

[109] 제1 반도체층(157a)과 제2 게이트 전극(154b)은 절연층(131)과 제1 게이트 절연층(141) 사이에 위치한다. 제1 반도체층(157a)과 제2 게이트 전극(154b)은

동일한 층상에 위치한다. 제1 반도체층(157a)과 제2 게이트 전극(154b)은 동일한 물질을 포함할 수 있으며, 동일한 제조 공정을 통해 형성될 수 있다.

[110] 제1 반도체층(157a)과 제2 게이트 전극(154b)은 다결정 실리콘을 포함한다. 제1 반도체층(157a)의 소스 영역(152a), 드레인 영역(153a) 그리고 제2 게이트 전극(154b)은 불순물이 도핑된 다결정 실리콘을 포함할 수 있다.

[111] 제2 게이트 전극(154b)은 제1 반도체층(157a)을 형성하는 공정에서 동시에 형성될 수 있으므로 별도의 게이트 전극의 형성 공정이 필요하지 않아 제조 공정이 단순해질 수 있다.

[112] 일 실시예에 따른 표시 장치는 다결정 실리콘을 포함하는 제1 트랜지스터(Ta)와 산화물 반도체를 포함하는 제2 트랜지스터(Tb)를 포함할 수 있다. 이때 제1 트랜지스터(Ta)가 포함하는 반도체층(157a)과 제2 트랜지스터(Tb)가 포함하는 게이트 전극(154b)은 동일한 공정을 통해 형성될 수 있으므로, 제조 공정 및 적층 구조가 단순화될 수 있다.

[113] 이하에서는 도 3을 참조하여 설명한다. 도 3에서 제1 트랜지스터(Ta)가 위치하는 제1 영역(PA1)에 대해 먼저 설명한다.

[114] 도 3을 참조하면, 버퍼층(111) 위에 제1 게이트 전극(154a)이 위치한다. 제1 게이트 전극(154a)은 불순물이 도핑된 다결정 실리콘을 포함할 수 있다.

[115] 제1 게이트 전극(154a) 및 버퍼층(111) 위에 게이트 절연층(140)이 위치한다.

[116] 게이트 절연층(140) 위에 제1 반도체층(157a)이 위치한다. 일 실시예에 따른 제1 반도체층(157a)은 산화물 반도체를 포함할 수 있다.

[117] 제1 반도체층(157a) 위에는 제1 절연층(160)이 위치한다. 제1 절연층(160) 위에는 제1 접촉 구멍(61)을 통해 산화물 반도체를 포함하는 제1 반도체층(130a)과 연결되는 제1 소스 전극(173a), 그리고 제2 접촉 구멍(62)을 통해 제1 반도체층(130a)과 연결되는 제1 드레인 전극(175a)이 위치한다.

[118] 다음 제2 트랜지스터(Tb)가 위치하는 제2 영역(PA2)을 설명한다.

[119] 기판(110) 위에 위치하는 버퍼층(111) 위에 제2 반도체층(157b)이 위치한다. 제2 반도체층(157b)은 다결정 실리콘을 포함한다.

[120] 제2 반도체층(157b)은 제2 소스 전극(173b)과 연결되는 소스 영역(152b), 제2 드레인 전극(175b)과 연결되는 드레인 영역(153b), 그리고 소스 영역(152b) 및 드레인 영역(153b) 사이에 위치하는 채널 영역(151b)을 포함한다. 소스 영역(152b) 및 드레인 영역(153b)에는 불순물이 도핑되어 도체화된 상태이다.

[121] 제2 반도체층(157b) 및 버퍼층(111) 위에 게이트 절연층(140)이 위치한다. 게이트 절연층(140) 위에는 제2 게이트 전극(124b)이 위치한다. 제2 게이트 전극(124b)은 제2 반도체층(157b)의 채널 영역(151b)과 중첩할 수 있다.

[122] 제2 게이트 전극(124b)은 구리, 구리 합금, 알루미늄, 알루미늄 합금, 몰리브덴, 및 몰리브덴 합금 중 적어도 어느 하나를 포함하는 금속막을 포함할 수 있다. 제2 게이트 전극(124b)은 실시예에 따라 단일막이거나 다중막을 포함할 수 있다.

[123] 제2 게이트 전극(124b) 및 게이트 절연층(140) 위에 제1 절연층(160)이

위치한다.

[124] 제2 소스 전극(173b)은 제1 절연층(160) 및 게이트 절연층(140)이 가지는 제3 접촉 구멍(63)을 통해 소스 영역(152b)과 연결된다. 제2 드레인 전극(175b)은 제1 절연층(160) 및 게이트 절연층(140)이 가지는 제4 접촉 구멍(64)을 통해 드레인 영역(153b)과 연결된다.

[125] 일 실시예에 따른 제1 게이트 전극(154a)과 제2 반도체층(157b)은 버퍼층(111) 및 게이트 절연층(140) 사이에 위치할 수 있다. 제1 게이트 전극(154a)과 제2 반도체층(157b)은 동일한 층에 위치한다. 제1 게이트 전극(154a)과 제2 반도체층(157b)은 동일한 물질을 포함하고 동일한 제조 공정을 통해 형성될 수 있다.

[126] 제1 게이트 전극(154a)과 제2 반도체층(157b)은 다결정 실리콘을 포함한다. 또한 제2 반도체층(157b)의 소스 영역(152b), 드레인 영역(153b) 및 제1 게이트 전극(154a)은 다결정 실리콘에 불순물이 도핑된 상태일 수 있다.

[127] 제1 게이트 전극(154a)은 제2 반도체층(157b)을 형성하는 공정에서 동시에 형성될 수 있으므로, 별도의 게이트 전극의 형성 공정이 필요하지 않아 공정이 단순해질 수 있다.

[128] 본 명세서는 도 3에서 제1 트랜지스터(Ta)에 발광 다이오드가 연결되는 구성을 도시하였으나 이에 제한되지 않고 제2 트랜지스터(Tb)에 연결될 수도 있음은 물론이다.

[129] 이하 도 4를 참조하여 설명한다. 도 4를 참조하면 제1 영역(PA)에 위치하는 제1 반도체층(157a) 위에는 보조 금속층(126a, 127a)이 위치한다. 보조 금속층(126a, 127a) 위에 제1 절연층(160)이 위치한다.

[130] 제1 절연층(160) 위에 제1 소스 전극(173a) 및 제1 드레인 전극(175a)이 위치한다. 제1 소스 전극(173a)은 제1 절연층(160)이 가지는 제1 접촉 구멍(61)을 통해 보조 금속층(126a)과 연결된다. 제1 드레인 전극(175a)은 제1 절연층(160)이 가지는 제2 접촉 구멍(62)을 통해 보조 금속층(127a)과 연결될 수 있다.

[131] 보조 금속층(126a, 127a)은 제2 게이트 전극(124b)과 동일한 층에 위치할 수 있다. 보조 금속층(126a, 127a) 및 제2 게이트 전극(124b)은 게이트 절연층(140)과 제1 절연층(160) 사이에 위치할 수 있다.

[132] **이하에서는 도 5 내지 도 8을 참조하여 일 실시예에 따른 표시 장치의 제조 방법이 대해 설명한다. 도 5, 도 6, 도 7 및 도 8 각각은 제조 공정에 따른 표시 장치의 일부 영역에 대한 단면도이다.**

[133] 우선 도 5에 도시된 바와 같이 기판(110)은 제1 영역(PA1) 및 제2 영역(PA2)을 포함한다. 제1 영역(PA1) 및 제2 영역(PA2)과 중첩하도록 기판(110) 전면에 버퍼층(111)이 위치한다. 또한 제1 영역(PA1)에는 산화물 반도체를 포함하는 제1 반도체층(130a)이 형성된다.

[134] 다음 도 6에 도시된 바와 같이 버퍼층(111) 및 제1 반도체층(130a) 위에 기판(110) 전면과 중첩하는 제1 게이트 절연층(141)이 형성된다.

[135] 제2 영역(PA2)에 위치하는 제1 게이트 절연층(141) 위에 제2 반도체층(157b)이 형성되고, 제1 영역(PA1)에 위치하는 게이트 절연층(141) 위에 제1 게이트 전극(154a)이 형성된다. 제1 게이트 전극(154a)과 제2 반도체층(157b)은 동일한 층상에 형성된다.

[136] 제1 게이트 전극(154a)과 제2 반도체층(157b)은 다결정 실리콘을 포함한다. 또한 제2 반도체층(157b)의 소스 영역(152b), 드레인 영역(153b) 및 제1 게이트 전극(154a)은 다결정 실리콘에 불순물이 도핑된 상태일 수 있다.

[137] 제1 게이트 전극(154a)은 제2 반도체층(157b)을 형성하는 공정에서 동시에 형성될 수 있으므로, 별도의 게이트 전극의 형성 공정이 필요하지 않아 공정이 단순해질 수 있다.

[138] 도 7에 도시된 바와 같이, 제1 게이트 전극(154a), 제2 반도체층(157b) 및 제1 게이트 절연층(141) 위에 기판(110) 전면과 중첩하는 제2 게이트 절연층(142)을 형성한다. 그리고 나서 제2 게이트 절연층(142) 위에 스토리지 전극(125a) 및 제2 게이트 전극(124b)을 형성한다.

[139] 다음 도 8에 도시된 바와 같이 기판(110) 전면과 중첩하는 제1 절연층(160)을 형성한다. 제1 절연층(160), 제2 게이트 절연층(142) 및 제1 게이트 절연층(141)은 제1 반도체층(130a)의 일부를 노출하는 제1 접촉 구멍(61), 그리고 제2 접촉 구멍(62)을 가진다. 또한 제1 절연층(160) 및 제2 게이트 절연층(142)은 소스 영역(152b) 일부를 노출하는 제3 접촉 구멍(63) 그리고 드레인 영역(153b) 일부를 노출하는 제4 접촉 구멍(64)을 가진다.

[140] 다음 제1 절연층(160) 위에 제1 소스 전극(173a), 제1 드레인 전극(175a), 제2 소스 전극(173b) 및 제2 드레인 전극(175b)를 형성하고, 제1 드레인 전극(175a)과 연결되는 발광 다이오드를 형성하여 도 1과 같은 표시 장치를 제공할 수 있다.

[141]

[142] ***이하에서는 도 9를 참조하여 일 실시예에 따른 표시 장치에 대해 설명한다. 도 9는 일 실시예에 따른 표시 장치의 하나의 화소의 등가 회로도이다.**

[143] 도 9에 도시한 바와 같이, 일 실시예에 따른 표시 장치의 하나의 화소(PX)는 복수개의 신호선(151, 152, 153, 154, 155, 156, 171, 172)에 연결되는 복수개의 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 스토리지 커패시터(storage capacitor, Cst), 그리고 발광 다이오드(light emitting diode, LED)를 포함할 수 있다. 본 실시예에서는 7개의 트랜지스터와 1개의 커패시터로 이루어진 구조를 도시하고 있지만, 본 실시예가 반드시 이에 한정되는 것은 아니며 트랜지스터의 수와 커패시터의 수는 다양하게 변형 가능하다.

[144] 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 산화물 반도체를 포함하는 제1 트랜지스터(Ta)와 다결정 실리콘을 포함하는 제2 트랜지스터(Tb)를 포함할 수 있다. 제1 트랜지스터(Ta)는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 동작 제어 트랜지스터(T5), 그리고 발광 제어 트랜지스터(T6)를 포함할 수 있다. 제2 트랜지스터(Tb)는 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 그리고

바이패스 트랜지스터(T7)를 포함할 수 있으나 이에 제한되는 것은 아니다.

[145] 신호선(151, 152, 153, 154, 155, 156, 171, 172)은 제1 스캔선(151), 제2 스캔선(152), 제3 스캔선(153), 발광 제어선(154), 바이패스 제어선(155), 초기화 전압선(156), 데이터선(171), 그리고 구동 전압선(172)을 포함할 수 있다. 하나의 화소(PX)에는 제1 스캔선(151), 제2 스캔선(152), 제3 스캔선(153), 발광 제어선(154), 바이패스 제어선(155), 초기화 전압선(156), 데이터선(171), 그리고 구동 전압선(172)이 연결될 수 있다.

[146] 제1 스캔선(151)은 스위칭 트랜지스터(T2)에 제1 스캔 신호(GW1)를 전달하고, 제2 스캔선(152)은 보상 트랜지스터(T3)에 제2 스캔 신호(GW2)를 전달하며, 제3 스캔선(153)은 초기화 트랜지스터(T4)에 제3 스캔 신호(GI)를 전달할 수 있다. 그리고, 발광 제어선(154)은 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)에 발광 제어 신호(EM)를 전달하고, 바이패스 제어선(155)은 바이패스 트랜지스터(T7)에 바이패스 신호(GB)를 전달할 수 있다. 그리고, 초기화 전압선(156)은 구동 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달할 수 있다.

[147] 데이터선(171)은 데이터 신호(Dm)를 전달하고, 구동 전압선(172)은 구동 전압(ELVDD)을 전달할 수 있다.

[148] 구동 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 구동 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 트랜지스터(T6)를 경유하여 발광 다이오드(LED)의 애노드(anode)와 전기적으로 연결될 수 있다. 구동 트랜지스터(T1)는 스위칭 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 발광 다이오드(LED)에 구동 전류(Id)를 공급할 수 있다.

[149] 스위칭 트랜지스터(T2)의 게이트 전극(G2)은 제1 스캔선(151)과 연결되어 있고, 스위칭 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 트랜지스터(T2)의 드레인 전극(D2)은 구동 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 트랜지스터(T5)을 경유하여 구동 전압선(172)과 연결될 수 있다. 스위칭 트랜지스터(T2)는 제1 스캔선(151)을 통해 전달받은 제1 스캔 신호(GW1)에 따라 턴온되어 데이터선(171)으로 전달된 데이터 신호(Dm)을 구동 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행할 수 있다.

[150] 보상 트랜지스터(T3)의 게이트 전극(G3)은 제2 스캔선(152)에 연결되어 있고, 보상 트랜지스터(T3)의 소스 전극(S3)은 구동 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 트랜지스터(T6)를 경유하여 발광 다이오드(LED)의 애노드(anode)와 연결되어 있으며, 보상 트랜지스터(T3)의 드레인 전극(D3)은 초기화 트랜지스터(T4)의 드레인 전극(D4), 스토리지 커패시터(Cst)의 일단(Cst1) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께

연결될 수 있다. 이러한 보상 트랜지스터(T3)는 제2 스캔선(152)을 통해 전달받은 제2 스캔 신호(GW2)에 따라 턴 온되어 구동 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 트랜지스터(T1)를 다이오드 연결시킬 수 있다. 일 예에 따라 제2 스캔 신호(GW2)는 제1 스캔 신호(GW1)와 레벨이 반전되는 신호로서, 제1 스캔 신호(GW1)가 하이 레벨(high level)이면, 제2 스캔 신호(GW2)는 로우 레벨(low level)이고, 제1 스캔 신호(GW1)가 로우 레벨(low level)이면, 제2 스캔 신호(GW2)는 하이 레벨(high level)일 수 있다.

[151] 초기화 트랜지스터(T4)의 게이트 전극(G4)은 제3 스캔선(153)과 연결되어 있고, 초기화 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(156)과 연결되어 있으며, 초기화 트랜지스터(T4)의 드레인 전극(D4)은 보상 트랜지스터(T3)의 드레인 전극(D3)을 거쳐 스토리지 커패시터(Cst)의 일단(Cst1) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결될 수 있다. 이러한 초기화 트랜지스터(T4)는 제3 스캔선(153)을 통해 전달받은 제3 스캔 신호(GI)에 따라 턴 온되어 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압(Vg)을 초기화시키는 초기화 동작을 수행할 수 있다.

[152] 동작 제어 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(154)과 연결되어 있으며, 동작 제어 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(172)와 연결되어 있고, 동작 제어 트랜지스터(T5)의 드레인 전극(D5)은 구동 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 트랜지스터(T2)의 드레인 전극(D2)에 연결될 수 있다.

[153] 발광 제어 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(154)과 연결되어 있으며, 발광 제어 트랜지스터(T6)의 소스 전극(S6)은 구동 트랜지스터(T1)의 드레인 전극(D1) 및 보상 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 트랜지스터(T6)의 드레인 전극(D6)은 발광 다이오드(LED)의 애노드(anode)와 전기적으로 연결될 수 있다. 이러한 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)는 발광 제어선(154)을 통해 전달받은 발광 제어 신호(EM)에 따라 동시에 턴 온되고 이를 통해 구동 전압(ELVDD)이 다이오드 연결된 구동 트랜지스터(T1)를 통해 보상되어 발광 다이오드(LED)에 전달될 수 있다.

[154] 바이패스 트랜지스터(T7)의 게이트 전극(G7)은 바이패스 제어선(155)과 연결되어 있고, 바이패스 트랜지스터(T7)의 소스 전극(S7)은 발광 제어 트랜지스터(T6)의 드레인 전극(D6) 및 발광 다이오드(LED)의 애노드에 함께 연결되어 있고, 바이패스 트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압선(156) 및 초기화 트랜지스터(T4)의 소스 전극(S4)에 함께 연결될 수 있다.

[155] 스토리지 커패시터(Cst)의 타단(Cst2)은 구동 전압선(172)과 연결되어 있으며, 발광 다이오드(LED)의 캐소드(cathode)는 공통 전압(ELVSS)을 전달하는 공통 전압선(741)과 연결될 수 있다.

[156] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

[157]

[158]

청구범위

[청구항 1] 기판,
상기 기판 위에 위치하며 서로 이격되는 제1 트랜지스터 및 제2 트랜지스터,
상기 제1 트랜지스터 및 상기 제2 트랜지스터 중 어느 하나에 연결되는 제1 전극,
상기 제1 전극과 중첩하는 제2 전극, 그리고
상기 제1 전극과 상기 제2 전극 사이에 위치하는 발광층을 포함하고,
상기 제1 트랜지스터는,
상기 기판 위에 위치하는 제1 반도체층,
상기 제1 반도체층 위에 위치하는 제1 게이트 전극,
상기 제1 반도체층에 연결되는 제1 소스 전극 및 제1 드레인 전극을 포함하고,
상기 제2 트랜지스터는,
상기 기판 위에 위치하는 제2 반도체층,
상기 제2 반도체층 위에 위치하는 제2 게이트 전극,
상기 제2 반도체층과 연결된 제2 소스 전극 및 제2 드레인 전극을 포함하며,
상기 제1 게이트 전극과 상기 제2 반도체층은 동일한 층에 위치하는 표시 장치.

[청구항 2] 제1항에서,
상기 제1 게이트 전극은 불순물이 도핑된 다결정 실리콘을 포함하는 표시 장치.

[청구항 3] 제1항에서,
상기 제2 반도체층은 다결정 실리콘을 포함하는 표시 장치.

[청구항 4] 제1항에서,
상기 제1 반도체층은 산화물 반도체를 포함하는 표시 장치.

[청구항 5] 제1항에서,
상기 제1 트랜지스터는 상기 제1 전극과 연결되는 표시 장치.

[청구항 6] 제1항에서,
상기 표시 장치는,
상기 기판 위에 위치하는 버퍼층, 그리고
상기 제1 반도체층 위에 위치하는 제1 게이트 절연층을 더 포함하고,
상기 제1 반도체층은 상기 버퍼층과 상기 제1 게이트 절연층 사이에 위치하며,

상기 제2 반도체층과 상기 제1 게이트 전극은 상기 제1 게이트 절연층 위에 위치하는 표시 장치.

[청구항 7] 제6항에서,
상기 표시 장치는 상기 제2 반도체층과 상기 제1 게이트 전극 위에 위치하는 제2 게이트 절연층을 더 포함하고,
상기 제2 게이트 전극은 상기 제2 게이트 절연층 위에 위치하는 표시 장치.

[청구항 8] 기판,
상기 기판 위에 위치하며 서로 이격되는 제1 트랜지스터 및 제2 트랜지스터,
상기 제1 트랜지스터 및 상기 제2 트랜지스터 중 어느 하나에 연결되는 제1 전극,
상기 제1 전극과 중첩하는 제2 전극, 그리고
상기 제1 전극과 상기 제2 전극 사이에 위치하는 발광층을 포함하고,
상기 제1 트랜지스터는,
상기 기판 위에 위치하는 제1 반도체층,
상기 제1 반도체층 위에 위치하는 제1 게이트 전극,
상기 제1 반도체층과 연결된 제1 소스 전극 및 제1 드레인 전극을 포함하고,
상기 제2 트랜지스터는,
상기 기판 위에 위치하는 제2 반도체층,
상기 제2 반도체층 위에 위치하는 제2 게이트 전극,
상기 제2 반도체층과 연결된 제2 소스 전극 및 제2 드레인 전극을 포함하며,
상기 제1 반도체층과 상기 제2 게이트 전극은 동일한 층에 위치하는 표시 장치.

[청구항 9] 제8항에서,
상기 제1 반도체층은 다결정 실리콘을 포함하고, 상기 제2 반도체층은 산화물 반도체를 포함하는 표시 장치.

[청구항 10] 제8항에서,
상기 제2 게이트 전극은 불순물이 도핑된 다결정 실리콘을 포함하는 표시 장치.

[청구항 11] 제8항에서,
상기 표시 장치는,
상기 기판 위에 위치하는 버퍼층,
상기 제2 반도체층 위에 위치하는 절연층, 그리고
상기 제1 반도체층 위에 위치하는 제1 게이트 절연층을 더

포함하고
상기 제2 반도체층은 상기 버퍼층과 상기 절연층 사이에 위치하며,
상기 제1 반도체층은 상기 절연층과 상기 제1 게이트 절연층 사이에 위치하는 표시 장치.

[청구항 12] 제11항에서,
상기 제1 게이트 절연층 위에 상기 제1 게이트 전극이 위치하고,
상기 절연층과 상기 제1 게이트 절연층 사이에 상기 제2 게이트 전극이 위치하는 표시 장치.

[청구항 13] 기판,
상기 기판 위에 위치하며 서로 이격되는 제1 트랜지스터 및 제2 트랜지스터,
상기 제1 트랜지스터 및 상기 제2 트랜지스터 중 어느 하나에 연결되는 제1 전극,
상기 제1 전극과 중첩하는 제2 전극, 그리고
상기 제1 전극과 상기 제2 전극 사이에 위치하는 발광층을 포함하고,
상기 제1 트랜지스터는,
상기 기판 위에 위치하는 제1 게이트 전극,
상기 제1 게이트 전극 위에 위치하는 제1 반도체층,
상기 제1 반도체층과 연결된 제1 소스 전극 및 제1 드레인 전극을 포함하고,
상기 제2 트랜지스터는,
상기 기판 위에 위치하는 제2 반도체층,
상기 제2 반도체층 위에 위치하는 제2 게이트 전극,
상기 제2 반도체층과 연결된 제2 소스 전극 및 제2 드레인 전극을 포함하며,
상기 제1 게이트 전극과 상기 제2 반도체층은 동일한 층에 위치하는 표시 장치.

[청구항 14] 제13항에서,
상기 제1 게이트 전극은 불순물이 도핑된 다결정 실리콘을 포함하는 표시 장치.

[청구항 15] 제13항에서,
상기 제1 반도체층은 산화물 반도체를 포함하는 표시 장치.

[청구항 16] 제13항에서,
상기 제2 반도체층은 다결정 실리콘을 포함하는 표시 장치.

[청구항 17] 제13항에서,
상기 제1 반도체층 위에 위치하는 보조 금속층을 더 포함하고,
상기 보조 금속층은 상기 제2 게이트 전극과 동일한 층에 위치하는

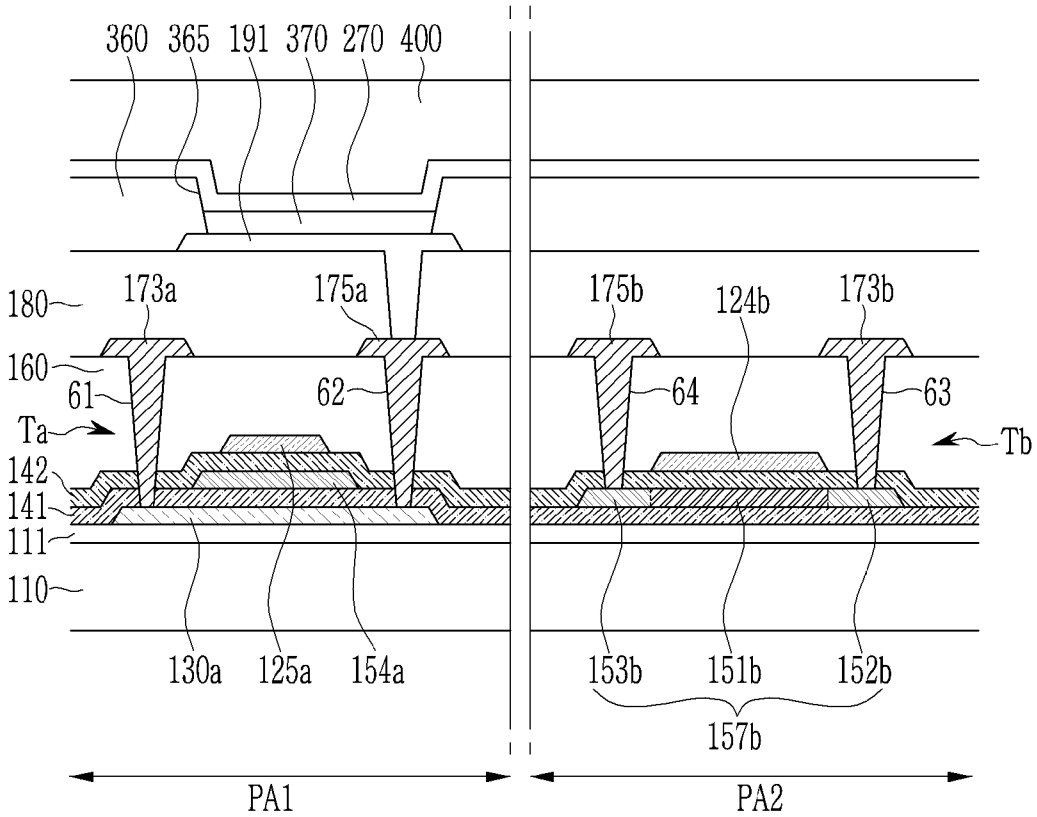
표시 장치.

[청구항 18] 제17항에서,
상기 보조 금속층은,
상기 제1 반도체층과 상기 제1 소스 전극 사이, 그리고 상기 제1 반도체층과 상기 제1 드레인 전극 사이에 위치하는 표시 장치.

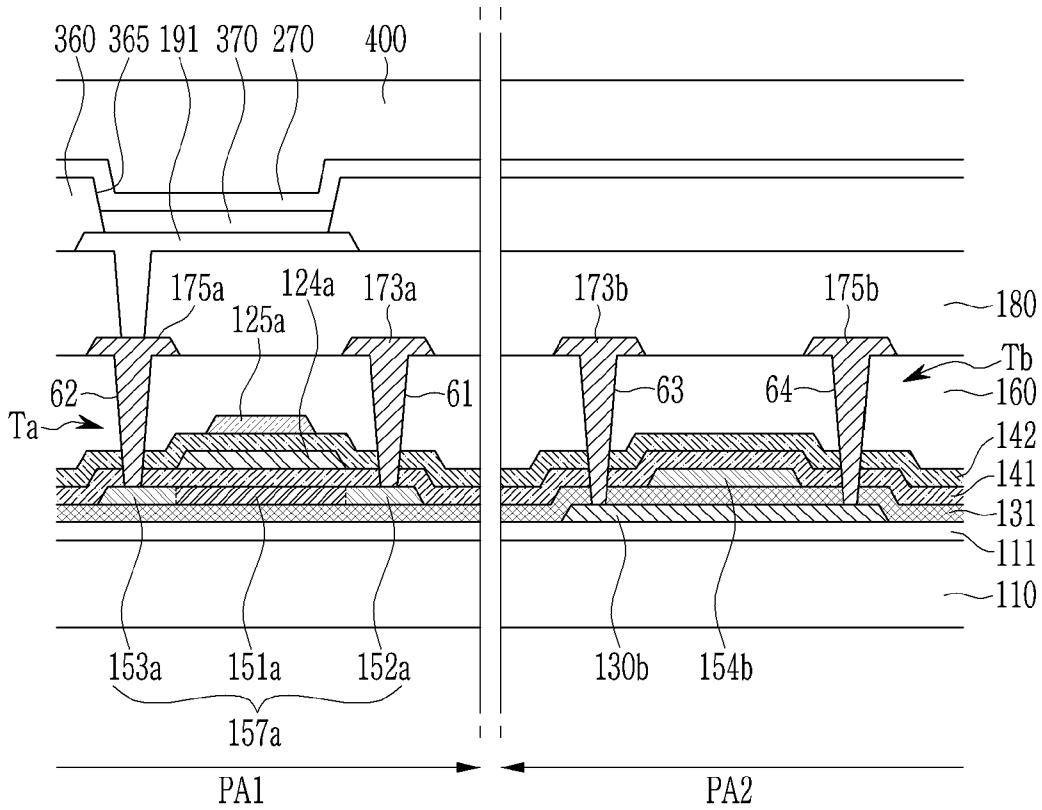
[청구항 19] 제17항에서,
상기 보조 금속층은 상기 제1 반도체층과 직접 접촉하는 표시 장치.

[청구항 20] 제13항에서,
상기 표시 장치는,
상기 기판 위에 위치하는 버퍼층, 그리고
상기 버퍼층 위에 위치하는 게이트 절연층을 더 포함하고,
상기 버퍼층과 상기 게이트 절연층 사이에 상기 제1 게이트 전극 및 상기 제2 반도체층이 위치하는 표시 장치.

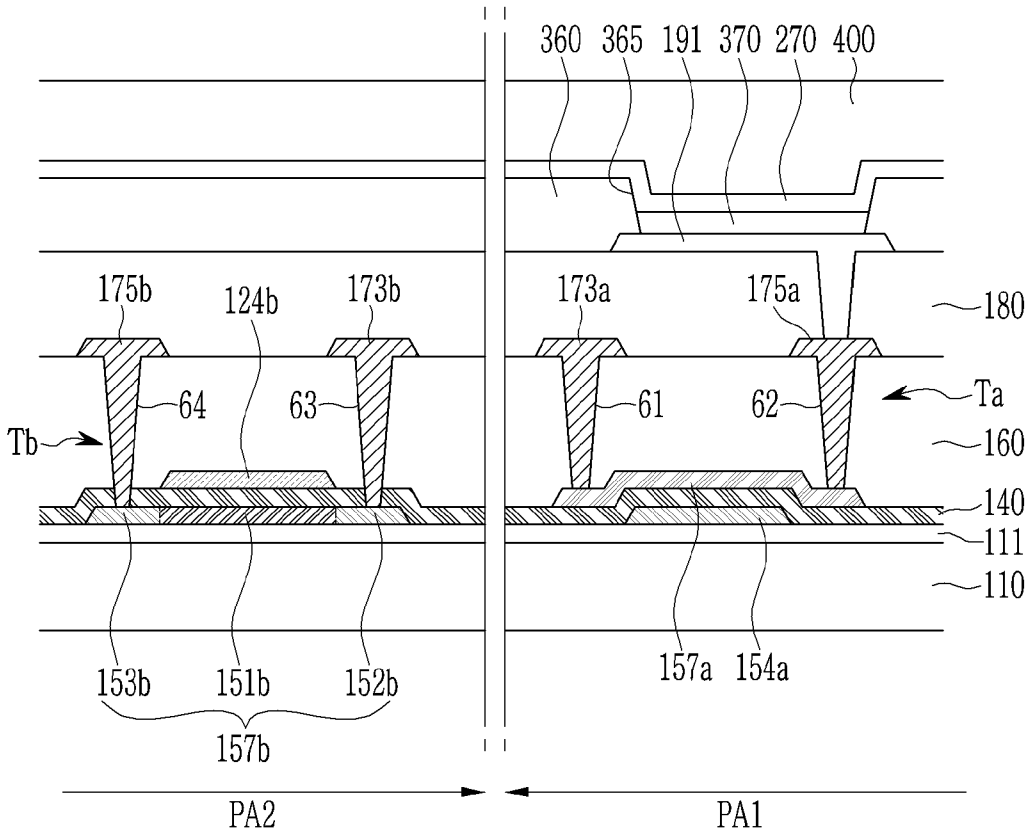
[Fig. 1]


360
365
191
370
270
400
180
173a
175a
175b
124b
173b
160
61
62
64
63
Ta
Tb
142
141
111
110
130a
125a
154a
153b
151b
152b
157b
PA1
PA2

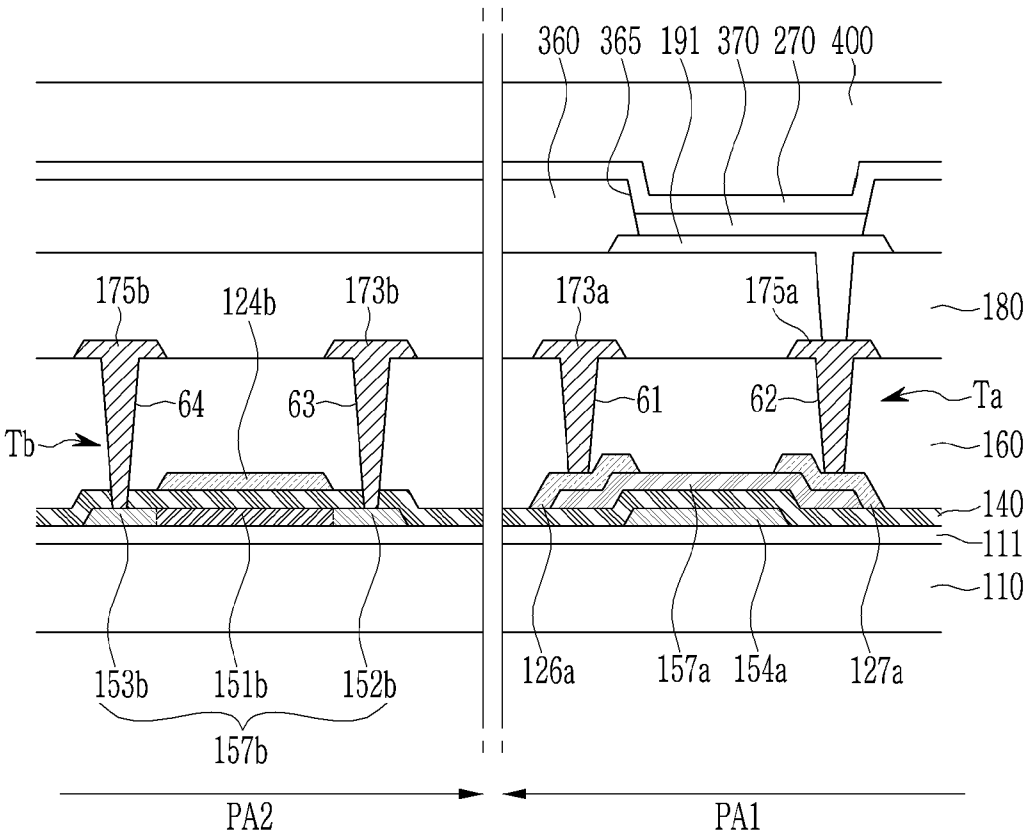
[Fig. 2]


360
365
191
370
270
400
175a
124a
173a
125a
173b
175b
180
Tb
62
61
63
64
160
Ta
142
141
131
111
110
153a
151a
152a
130b
154b
157a
PA1
PA2

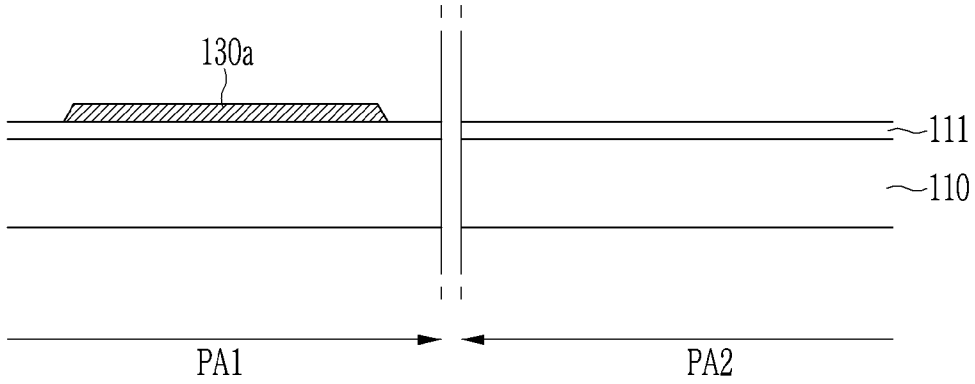
[Fig. 3]


360
365
191
370
270
400
175b
124b
173b
173a
175a
180
64
63
61
62
Ta
Tb
160
140
111
110
153b
151b
152b
157a
154a
157b
PA2
PA1

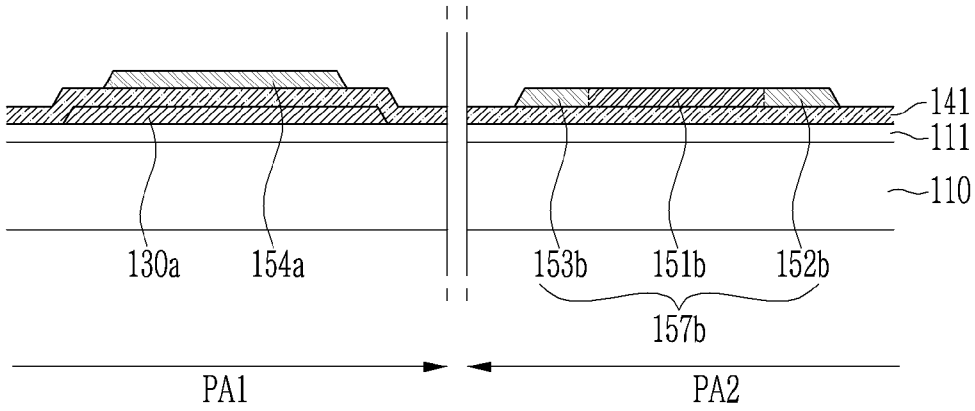
[Fig. 4]


360
365
191
370
270
400
175b
124b
173b
173a
175a
180
64
63
61
62
Ta
Tb
160
140
111
110
153b
151b
152b
126a
157a
154a
127a
157b
PA2
PA1

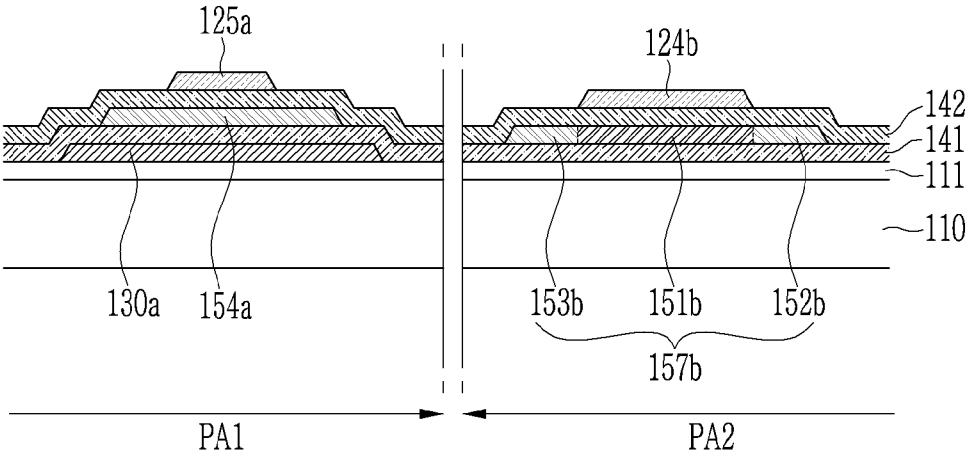
[Fig. 5]



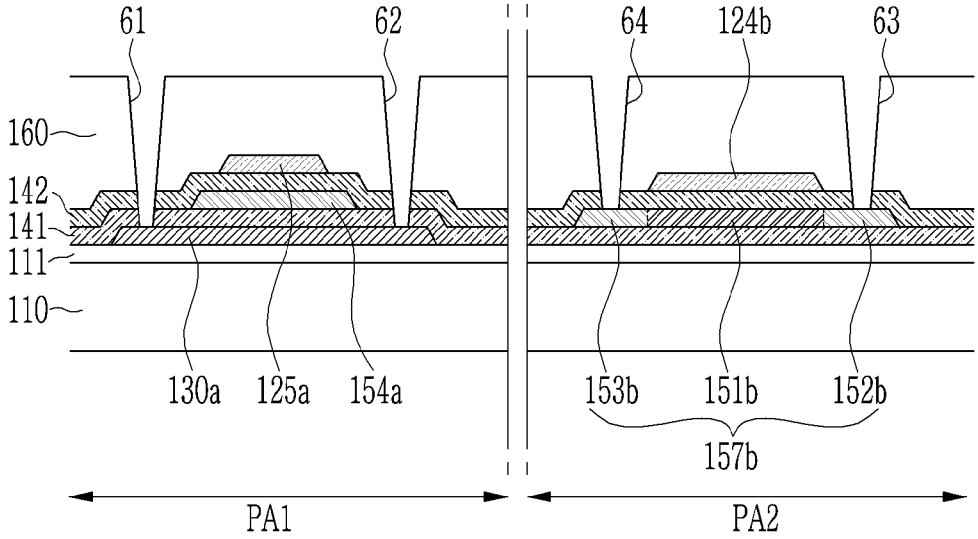
[Fig. 6]



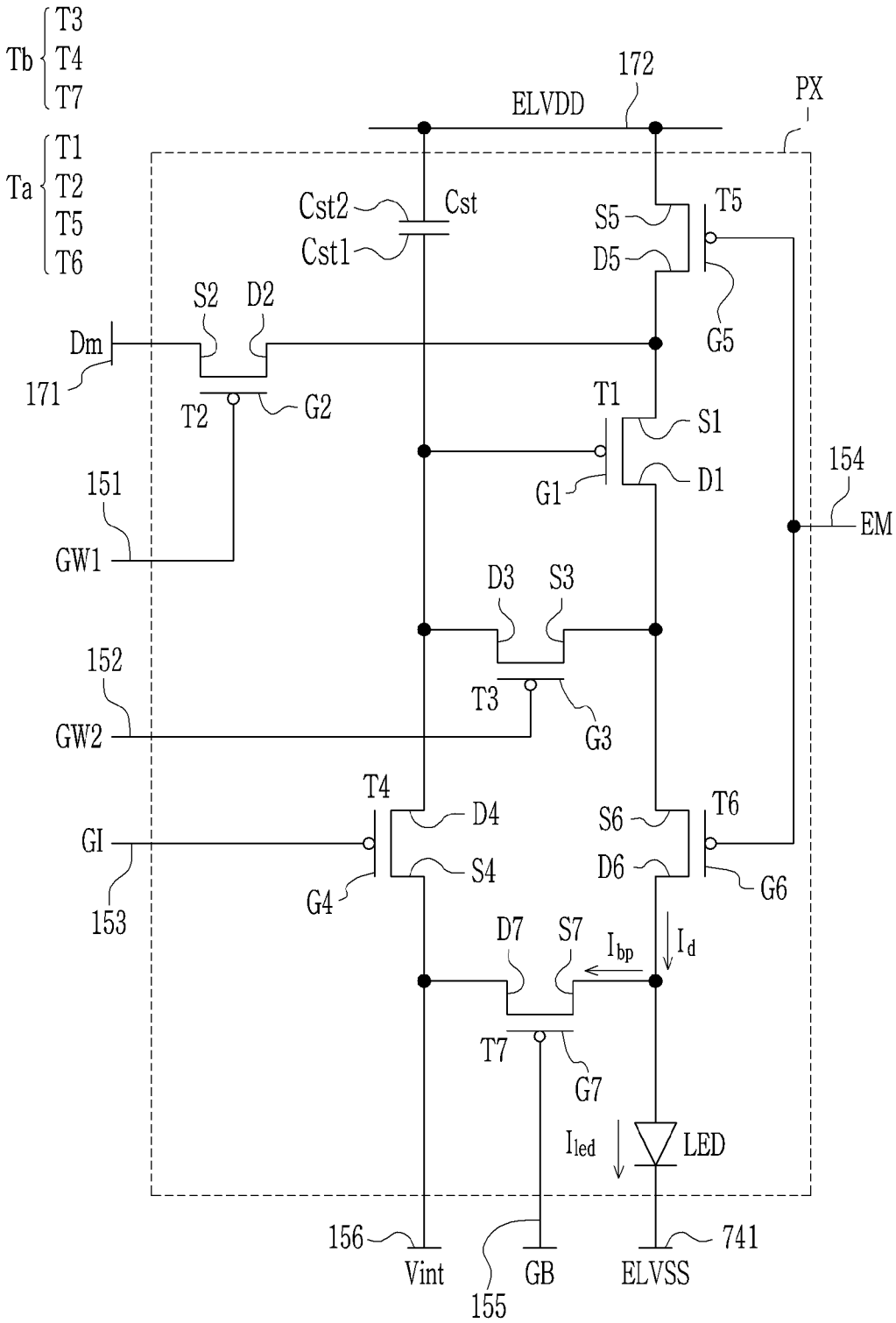
[Fig. 7]



[Fig. 8]


61
62
64
124b
63
160
142
141
111
110
130a
125a
154a
153b
151b
152b
157b
PA1
PA2

[Fig. 9]


Tb
T3
T4
T7
Ta
T1
T2
T5
T6
ELVDD
172
PX
Cst2
Cst
Cst1
S5
T5
D5
G5
S2
D2
Dm
171
T2
G2
T1
S1
G1
D1
154
EM
151
GW1
D3
S3
152
GW2
T3
G3
T4
D4
S4
G4
GI
153
S6
T6
D6
G6
D7
S7
Ibp
Id
T7
G7
Iled
LED
156
Vint
155
GB
ELVSS
741

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2019/009108

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/32(2006.01)i, H01L 51/50(2006.01)i, H01L 29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/32; G09G 3/3233; H01L 21/336; H01L 27/12; H01L 29/786; H01L 51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: display device, transistor, semiconductor layer, gate electrode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2015-0051824 A (SAMSUNG DISPLAY CO., LTD.) 13 May 2015 See paragraphs [0032]-[0121] and figures 1-6.	1,5-8,11-12
Y		2-4,9-10,17-19
A		13-16,20
X	KR 10-2011-0024935 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 09 March 2011 See paragraphs [0032]-[0072] and figures 1-6.	13-16,20
Y		2-4,9-10,17-19
A	KR 10-2017-0101203 A (LG DISPLAY CO., LTD.) 05 September 2017 See paragraphs [0062]-[0077] and figures 6a-6h.	1-20
A	KR 10-2018-0025354 A (SAMSUNG DISPLAY CO., LTD.) 09 March 2018 See paragraphs [0042]-[0067] and figures 3-5.	1-20
A	KR 10-2018-0026610 A (SAMSUNG DISPLAY CO., LTD.) 13 March 2018 See paragraphs [0072]-[0101] and figure 3.	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 NOVEMBER 2019 (27.11.2019)	**27 NOVEMBER 2019 (27.11.2019)**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2019/009108

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2015-0051824 A	13/05/2015	US 2015-0123084 A1	07/05/2015
		US 9147719 B2	29/09/2015
KR 10-2011-0024935 A	09/03/2011	CN 102013432 A	13/04/2011
		JP 2011-054936 A	17/03/2011
		JP 5368381 B2	18/12/2013
		TW 201110343 A	16/03/2011
		TW I567966 B	21/01/2017
		US 2011-0049507 A1	03/03/2011
		US 8421090 B2	16/04/2013
KR 10-2017-0101203 A	05/09/2017	CN 105612620 A	25/05/2016
		CN 105612620 B	16/07/2019
		CN 107004682 A	01/08/2017
		CN 107078135 A	18/08/2017
		CN 107112330 A	29/08/2017
		EP 3113226 A1	04/01/2017
		EP 3113226 B1	08/05/2019
		EP 3241209 A1	08/11/2017
		EP 3241209 A4	13/12/2017
		EP 3241240 A1	08/11/2017
		EP 3241240 A4	22/08/2018
		EP 3241241 A1	08/11/2017
		EP 3241241 A4	13/12/2017
		KR 10-1672091 B1	02/11/2016
		KR 10-1687069 B1	15/12/2016
		KR 10-1773661 B1	12/09/2017
		KR 10-1962860 B1	27/03/2019
		KR 10-2015-0100459 A	02/09/2015
		KR 10-2015-0100462 A	02/09/2015
		KR 10-2015-0100515 A	02/09/2015
		KR 10-2015-0100516 A	02/09/2015
		KR 10-2016-0075461 A	29/06/2016
		KR 10-2017-0017990 A	15/02/2017
		KR 10-2017-0100503 A	04/09/2017
		KR 10-2017-0101892 A	06/09/2017
		US 2015-0243203 A1	27/08/2015
		US 2015-0243220 A1	27/08/2015
		US 2015-0243718 A1	27/08/2015
		US 2015-0243719 A1	27/08/2015
		US 2015-0243720 A1	27/08/2015
		US 2015-0243722 A1	27/08/2015
		US 2016-0141347 A1	19/05/2016
		US 2016-0240565 A1	18/08/2016
		US 9276050 B2	01/03/2016
		US 9406705 B2	02/08/2016
		US 9449994 B2	20/09/2016
		US 9489882 B2	08/11/2016
		US 9490276 B2	08/11/2016

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2019/009108

Patent document cited in search report	Publication date	Patent family member	Publication date
		US 9595546 B2	14/03/2017
		US 9627462 B2	18/04/2017
		US 9634038 B2	25/04/2017
		WO 2015-130082 A1	03/09/2015
		WO 2016-108464 A1	07/07/2016
		WO 2016-108473 A1	07/07/2016
		WO 2016-108476 A1	07/07/2016
KR 10-2018-0025354 A	09/03/2018	CN 107799064 A	13/03/2018
		US 2018-0061922 A1	01/03/2018
KR 10-2018-0026610 A	13/03/2018	CN 107799535 A	13/03/2018
		US 10340472 B2	02/07/2019
		US 2018-0069190 A1	08/03/2018
		US 2019-0326543 A1	24/10/2019

국 제 조 사 보 고 서

국제출원번호
PCT/KR2019/009108

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 27/32(2006.01)i, H01L 51/50(2006.01)i, H01L 29/786(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 27/32; G09G 3/3233; H01L 21/336; H01L 27/12; H01L 29/786; H01L 51/50

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 표시 장치(display), 트랜지스터(transistor), 반도체층(semiconductor layer), 게이트 전극(gate electrode)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2015-0051824 A (삼성디스플레이 주식회사) 2015.05.13 단락 [0032]-[0121] 및 도면 1-6 참조.	1,5-8,11-12
Y		2-4,9-10,17-19
A		13-16,20
X	KR 10-2011-0024935 A (삼성모바일디스플레이주식회사) 2011.03.09 단락 [0032]-[0072] 및 도면 1-6 참조.	13-16,20
Y		2-4,9-10,17-19
A	KR 10-2017-0101203 A (엘지디스플레이 주식회사) 2017.09.05 단락 [0062]-[0077] 및 도면 6a-6h 참조.	1-20
A	KR 10-2018-0025354 A (삼성디스플레이 주식회사) 2018.03.09 단락 [0042]-[0067] 및 도면 3-5 참조.	1-20
A	KR 10-2018-0026610 A (삼성디스플레이 주식회사) 2018.03.13 단락 [0072]-[0101] 및 도면 3 참조.	1-20

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"D" 본 국제출원에서 출원인이 인용한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2019년 11월 27일 (27.11.2019)	2019년 11월 27일 (27.11.2019)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-481-8578

심사관
장기정
전화번호 +82-42-481-8364

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2019/009108

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2015-0051824 A	2015/05/13	US 2015-0123084 A1	2015/05/07
		US 9147719 B2	2015/09/29
KR 10-2011-0024935 A	2011/03/09	CN 102013432 A	2011/04/13
		JP 2011-054936 A	2011/03/17
		JP 5368381 B2	2013/12/18
		TW 201110343 A	2011/03/16
		TW I567966 B	2017/01/21
		US 2011-0049507 A1	2011/03/03
		US 8421090 B2	2013/04/16
KR 10-2017-0101203 A	2017/09/05	CN 105612620 A	2016/05/25
		CN 105612620 B	2019/07/16
		CN 107004682 A	2017/08/01
		CN 107078135 A	2017/08/18
		CN 107112330 A	2017/08/29
		EP 3113226 A1	2017/01/04
		EP 3113226 B1	2019/05/08
		EP 3241209 A1	2017/11/08
		EP 3241209 A4	2017/12/13
		EP 3241240 A1	2017/11/08
		EP 3241240 A4	2018/08/22
		EP 3241241 A1	2017/11/08
		EP 3241241 A4	2017/12/13
		KR 10-1672091 B1	2016/11/02
		KR 10-1687069 B1	2016/12/15
		KR 10-1773661 B1	2017/09/12
		KR 10-1962860 B1	2019/03/27
		KR 10-2015-0100459 A	2015/09/02
		KR 10-2015-0100462 A	2015/09/02
		KR 10-2015-0100515 A	2015/09/02
		KR 10-2015-0100516 A	2015/09/02
		KR 10-2016-0075461 A	2016/06/29
		KR 10-2017-0017990 A	2017/02/15
		KR 10-2017-0100503 A	2017/09/04
		KR 10-2017-0101892 A	2017/09/06
		US 2015-0243203 A1	2015/08/27
		US 2015-0243220 A1	2015/08/27
		US 2015-0243718 A1	2015/08/27
		US 2015-0243719 A1	2015/08/27
		US 2015-0243720 A1	2015/08/27
		US 2015-0243722 A1	2015/08/27
		US 2016-0141347 A1	2016/05/19
		US 2016-0240565 A1	2016/08/18
		US 9276050 B2	2016/03/01
		US 9406705 B2	2016/08/02
		US 9449994 B2	2016/09/20
		US 9489882 B2	2016/11/08
		US 9490276 B2	2016/11/08

국 제 조 사 보 고 서
대응특허에 관한 정보

국제출원번호
PCT/KR2019/009108

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		US 9595546 B2	2017/03/14
		US 9627462 B2	2017/04/18
		US 9634038 B2	2017/04/25
		WO 2015-130082 A1	2015/09/03
		WO 2016-108464 A1	2016/07/07
		WO 2016-108473 A1	2016/07/07
		WO 2016-108476 A1	2016/07/07
KR 10-2018-0025354 A	2018/03/09	CN 107799064 A	2018/03/13
		US 2018-0061922 A1	2018/03/01
KR 10-2018-0026610 A	2018/03/13	CN 107799535 A	2018/03/13
		US 10340472 B2	2019/07/02
		US 2018-0069190 A1	2018/03/08
		US 2019-0326543 A1	2019/10/24