



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0073163
(43) 공개일자 2014년06월16일

(51) 국제특허분류(Int. Cl.)

H01L 23/48 (2006.01)

(21) 출원번호 10-2012-0140996

(22) 출원일자 2012년12월06일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

안진호

서울 강남구 남부순환로 2912, 12동 609호 (대치동, 우성아파트)

박병률

서울 강남구 남부순환로395길 30, 3동 102호 (대치동, 국제아파트)

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

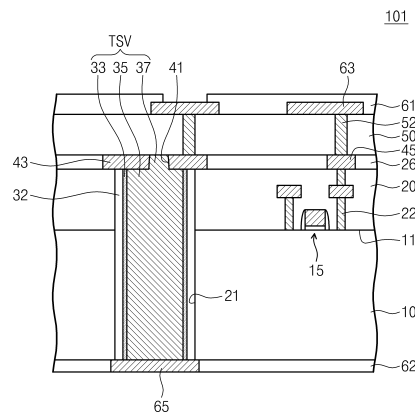
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치 및 그의 형성방법

(57) 요약

반도체 장치의 형성방법이 개시된다. 기판의 제1 면으로부터 상기 제1 면에 대향하는 제2 면으로 향하는 비아홀을 형성하고, 상기 비아홀 내에 제1 도전 패턴을 형성하고, 상기 기판의 제1 면 상에 상기 제1 도전 패턴을 노출하는 오프닝을 갖는, 패드 절연막을 형성하고, 상기 제1 도전 패턴을 열처리하여 상기 제1 도전 패턴의 상부면으로부터 상기 오프닝으로 돌출된 돌출부를 형성하고, 그리고 상기 오프닝 내에 제2 도전 패턴을 형성하는 것을 포함한다.

대표도 - 도9



(72) 발명자

이소영

경기 수원시 영통구 신원로 112-10, 더하우스 306
호 (망포동)

최길현

서울 강남구 남부순환로363길 30, 쌍용 예가아파트
103동 602호 (도곡동, 도곡)

특허청구의 범위

청구항 1

제1 면 및 상기 제1 면에 대향하는 제2 면을 갖는 기관;
 상기 기관을 관통하는 비아홀 내의 관통 전극;
 상기 관통 전극과 이격되어 상기 기관의 제1 면에 제공된 집적 회로;
 상기 기관의 제1 면 상에, 상기 관통 전극에 연결되는 제1 패드; 및
 상기 기관의 제2 면 상에, 상기 관통 전극에 연결되는 제2 패드를 포함하고,
 상기 관통 전극은 상기 비아홀을 채우는 제1 도전 패턴, 및 상기 제1 도전 패턴으로부터 상기 제1 패드 속으로 연장된 돌출부를 포함하는 반도체 장치.

청구항 2

청구항 1에 있어서,
 상기 제1 패드는 상기 제1 패드의 하부면으로부터 그의 상부로 연장하는 리세스 영역을 갖고, 상기 돌출부는 상기 제1 패드의 리세스 영역과 접촉하는 반도체 장치.

청구항 3

청구항 2에 있어서,
 상기 기관의 제1 면 상에, 상기 집적 회로를 덮는 층간 절연막을 더 포함하고, 상기 비아 홀은 상기 층간 절연막을 관통하고, 상기 제1 패드는 상기 층간 절연막 상에 제공되는 반도체 장치.

청구항 4

청구항 2에 있어서,
 상기 리세스 영역은 상기 제1 패드의 상부면으로 연장되고, 상기 돌출부는 상기 제1 패드를 관통하는 반도체 장치.

청구항 5

청구항 2에 있어서,
 상기 돌출부의 상부면은 상기 제1 패드의 상부면보다 낮고, 상기 돌출부의 상부면은 상기 리세스 영역과 접촉하는 반도체 장치.

청구항 6

기관의 제1 면으로부터 상기 제1 면에 대향하는 제2 면으로 향하는 비아홀을 형성하고;
 상기 비아홀 내에 제1 도전 패턴을 형성하고;
 상기 기관의 제1 면 상에, 상기 제1 도전 패턴을 노출하는 오프닝을 갖는, 패드 절연막을 형성하고;
 상기 제1 도전 패턴을 열처리하여, 상기 제1 도전 패턴의 상부면으로부터 상기 오프닝으로 돌출된 돌출부를 형성하고; 그리고
 상기 오프닝 내에 제2 도전 패턴을 형성하는 것을 포함하는 반도체 장치의 형성방법.

청구항 7

청구항 6에 있어서,
 상기 제2 도전 패턴을 형성하는 것은:

상기 오프닝 내에 제2 도전막을 형성하고; 그리고
 상기 패드 절연막이 노출되도록, 상기 제2 도전막을 평탄화하는 것을 포함하고,
 상기 제2 도전 패턴은 상기 패드 절연막의 상부면과 동일한 높이의 상부면을 갖는 반도체 장치의 형성방법.

청구항 8

청구항 7에 있어서,
 상기 열처리에 의하여, 상기 돌출부의 상부면은 상기 패드 절연막의 상부면보다 높게 되는 반도체 장치의 형성 방법.

청구항 9

청구항 8에 있어서,
 상기 평탄화에 의하여, 상기 돌출부의 상부면은 상기 패드 절연막의 상부면과 동일한 높이로 되는 반도체 장치의 형성 방법.

청구항 10

청구항 6에 있어서,
 상기 비아홀을 형성하기 전에,
 상기 비아홀과 이격되어 상기 제1 면에 집적 회로를 형성하고; 그리고
 상기 집적회로를 덮는 층간 절연막을 형성하는 것을 더 포함하고,
 상기 비아홀은 상기 층간 절연막을 관통하고, 상기 패드 절연막은 상기 층간 절연막 상에 형성되는 반도체 장치의 형성 방법.

명세서

기술분야

[0001] 본 발명은 반도체 장치 및 그 형성 방법에 관한 것으로, 보다 구체적으로는 실리콘 관통 전극을 갖는 반도체 장치 및 그 형성 방법에 관한 것이다.

배경기술

[0002] 오늘날 전자산업의 추세는 경량화, 소형화, 고속화, 다기능화, 및 고성능화된 제품을 저렴한 가격으로 제조하는 것이다. 이러한 목표를 달성하기 위하여 멀티 칩 적층 패키지(multi-chip stacked package) 기술 또는 시스템 인 패키지(system in package) 기술이 사용된다. 멀티 칩 적층 패키지 또는 시스템 인 패키지는 복수 개의 단위 반도체 장치들의 기능을 하나의 반도체 패키지에서 수행할 수 있다. 멀티 칩 적층 패키지 또는 시스템 인 패키지는 통상적인 단일 칩 패키지에 비하여 다소 두꺼울 수 있지만, 평면적으로는 단일 칩 패키지와 크기와 거의 유사하므로, 휴대전화기, 노트북 컴퓨터, 메모리 카드, 휴대용 캠코더 등과 같은 고기능이면서 동시에 소형 내지 이동성이 요구되는 제품들에 주로 사용된다.

[0003] 멀티 칩 적층 패키지 기술 또는 시스템 인 패키지 기술은 실리콘 관통 전극(through silicon via: TSV) 기술을 사용한다. 관통 전극은 반도체 장치의 성능에 영향을 미칠 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하려는 과제는, 전기적 특성이 향상된 반도체 장치를 제공하는 데 있다.

[0005] 본 발명이 해결하려는 다른 과제는, 전기적 특성이 향상된 반도체 장치 형성방법을 제공하는 데 있다.

과제의 해결 수단

- [0006] 본 발명의 실시예들은 반도체 장치를 제공한다. 상기 장치는 제1 면 및 상기 제1 면에 대향하는 제2 면을 갖는 기관; 상기 기관을 관통하는 비아홀 내의 관통 전극; 상기 관통 전극과 이격되어 상기 기관의 제1 면에 제공된 집적 회로; 상기 기관의 제1 면 상에, 상기 관통 전극에 연결되는 제1 패드; 및 상기 기관의 제2 면 상에, 상기 관통 전극에 연결되는 제2 패드를 포함하고, 상기 관통 전극은 상기 비아홀을 채우는 제1 도전 패턴, 및 상기 제1 도전 패턴으로부터 상기 제1 패드 속으로 연장된 돌출부를 포함한다.
- [0007] 상기 제1 패드는 상기 돌출부와 접촉한다.
- [0008] 상기 제1 패드는 상기 제1 패드의 하부면으로부터 그의 상부로 연장하는 리세스 영역을 갖고, 상기 돌출부는 상기 제1 패드의 리세스 영역과 접촉할 수 있다.
- [0009] 상기 제1 패드의 하부면으로부터 멀어질수록, 상기 리세스 영역의 크기는 줄어들 수 있다.
- [0010] 상기 장치는 상기 기관의 제1 면 상에, 상기 집적 회로를 덮는 층간 절연막을 더 포함하고, 상기 비아 홀은 상기 층간 절연막을 관통하고, 상기 제1 패드는 상기 층간 절연막 상에 제공될 수 있다.
- [0011] 일 실시예에서, 상기 리세스 영역은 상기 제1 패드의 상부면으로 연장되고, 상기 돌출부는 상기 제1 패드를 관통할 수 있다.
- [0012] 상기 돌출부의 상부면은 상기 제1 패드의 상부면과 공면을 이룰 수 있다.
- [0013] 일 실시예에서, 상기 돌출부의 상부면은 상기 제1 패드의 상부면보다 낮고, 상기 돌출부의 상부면은 상기 리세스 영역과 접촉할 수 있다.
- [0014] 본 발명의 실시예들은 반도체 장치의 형성방법을 제공한다. 상기 방법은 기관의 제1 면으로부터 상기 제1 면에 대향하는 제2 면으로 향하는 비아홀을 형성하고; 상기 비아홀 내에 제1 도전 패턴을 형성하고; 상기 기관의 제1 면 상에, 상기 제1 도전 패턴을 노출하는 오프닝을 갖는, 패드 절연막을 형성하고; 상기 제1 도전 패턴을 열처리하여, 상기 제1 도전 패턴의 상부면으로부터 상기 오프닝으로 돌출된 돌출부를 형성하고; 그리고 상기 오프닝 내에 제2 도전 패턴을 형성하는 것을 포함할 수 있다.
- [0015] 상기 열처리는 400°C 이상에서 수행될 수 있다.
- [0016] 상기 제2 도전 패턴을 형성하는 것은: 상기 오프닝 내에 제2 도전막을 형성하고; 그리고 상기 패드 절연막이 노출되도록, 상기 제2 도전막을 평탄화하는 것을 포함하고, 상기 제2 도전 패턴은 상기 패드 절연막의 상부면과 동일한 높이의 상부면을 가질 수 있다.
- [0017] 상기 열처리에 의하여, 상기 돌출부의 상부면은 상기 패드 절연막의 상부면보다 높게 될 수 있다.
- [0018] 상기 평탄화에 의하여, 상기 돌출부의 상부면은 상기 패드 절연막의 상부면과 동일한 높이로 될 수 있다.
- [0019] 상기 방법은 상기 비아홀을 형성하기 전에, 상기 비아홀과 이격되어 상기 제1 면에 집적 회로를 형성하고; 그리고 상기 집적회로를 덮는 층간 절연막을 형성하는 것을 더 포함하고, 상기 비아홀은 상기 층간 절연막을 관통하고, 상기 패드 절연막은 상기 층간 절연막 상에 형성될 수 있다.
- [0020] 상기 방법은 상기 기관의 제2 면을 식각하여, 상기 제1 도전 패턴의 하부면을 노출하고; 그리고 상기 기관의 제2 면 상에, 상기 제1 도전 패턴의 하부면과 연결되는 패드를 형성하는 것을 더 포함할 수 있다.

발명의 효과

- [0021] 본 발명의 실시예들에 따르면, 반도체 장치의 형성공정의 열처리에 의하여, 집적회로의 특성이 변화하는 것을 최소화할 수 있다. 후속 공정에서의 관통 전극의 돌출 현상을 최소화하여 관통 전극 상의 층간 절연막의 크랙을 방지하고 그 위의 배선과의 박리를 방지하여 접촉저항을 줄일 수 있다.

도면의 간단한 설명

- [0022] 도 1 내지 도 9는 본 발명의 개념의 일 실시예에 따른 반도체 장치의 형성방법을 설명하는 단면도들이다.
- 도 10은 본 발명의 개념의 다른 실시예에 따른 반도체 장치를 설명하는 단면도이다.
- 도 11은 본 발명의 개념의 또 다른 실시예에 따른 반도체 장치를 설명하는 단면도이다.
- 도 12 내지 도 14는 본 발명의 실시예들에 따른 반도체 패키지들을 나타낸다.

- 도 15는 본 발명의 실시예들에 따른 패키지 모듈을 보여주는 평면도이다.
- 도 16은 본 발명의 실시예들에 따른 메모리 카드를 보여주는 개략도이다.
- 도 17은 본 발명의 실시예들에 따른 전자 시스템을 보여주는 블록도이다.
- 도 18은 도 17의 전자 시스템이 모바일 기기에 적용되는 예를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 첨부한 도면을 참조하여 본 발명의 실시예들을 설명함으로써 본 발명을 상세하게 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 여러 가지 형태로 구현될 수 있고 다양한 변경을 가할 수 있다. 단지, 본 실시예들의 설명을 통해 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 첨부된 도면에서 구성 요소들은 설명의 편의를 위하여 그 크기가 실제보다 확대하여 도시한 것이며, 각 구성 요소의 비율은 과장되거나 축소될 수 있다.
- [0024] 어떤 구성 요소가 다른 구성 요소에 "상에" 있거나 "연결되어" 있다고 기재된 경우, 다른 구성 요소에 상에 직접 맞닿아 있거나 또는 연결되어 있을 수 있지만, 중간에 또 다른 구성 요소가 존재할 수 있다고 이해되어야 할 것이다. 반면, 어떤 구성 요소가 다른 구성 요소의 "바로 위에" 있거나 "직접 연결되어" 있다고 기재된 경우에는, 중간에 또 다른 구성 요소가 존재하지 않는 것으로 이해될 수 있다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 예를 들면, "~사이에"와 "직접 ~사이에" 등도 마찬가지로 해석될 수 있다.
- [0025] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제 2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0026] 단수의 표현은 문맥상 명백하게 다르게 표현하지 않는 한, 복수의 표현을 포함한다. "포함한다" 또는 "가진다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하기 위한 것으로, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들이 추가될 수 있는 것으로 해석될 수 있다.
- [0027] 본 발명의 실시예들에서 사용되는 용어들은 다르게 정의되지 않는 한, 해당 기술 분야에서 통상의 지식을 가진 자에게 통상적으로 알려진 의미로 해석될 수 있다. 또한, "적어도 하나"는 최소한 하나와 동일한 의미로 사용되며 하나 또는 그 이상을 선택적으로 지칭할 수 있다.
- [0028] 본 발명의 개념의 일 실시예에 따른 반도체 장치(101)의 형성방법이 설명된다. 도 1 내지 도 9는 본 발명의 개념의 일 실시예에 따른 반도체 장치의 형성방법을 설명하는 단면도들이다.
- [0029] 도 1을 참조하여, 제1 면(11) 및 제1 면(11)에 대향하는 제2 면(12)을 갖는 기판(10)이 제공된다. 기판(10)은 예를 들면 P형의 불순물로 도핑된 실리콘 기판일 수 있다.
- [0030] 직접회로(15)가 기판(10)의 제1 면(11)에 형성될 수 있다. 집적회로(15)는 스위칭 소자, 캐패시터, 저항, 또는 수직형 메모리 셀을 포함할 수 있다. 스위칭 소자는 예를 들면, 다이오드, NMOS, PMOS, 또는 바이폴라 트랜지스터일 수 있다. 수직형 메모리 셀은 기판(10)으로부터 수직으로 연장된 수직 기둥 및 수직 기둥에 결합된 메모리 요소를 포함할 수 있다.
- [0031] 제1 층간 절연막(20)이 기판(10)의 제1 면(11) 상에 형성되어, 집적회로(15)를 덮는다. 제1 층간 절연막(20)은 실리콘 산화막을 포함할 수 있다. 제1 콘택(22)이 제1 층간 절연막(20)을 관통하여 형성된다. 제1 콘택(22)은 예를 들면, 알루미늄 또는 텅스텐으로 형성될 수 있다. 제1 콘택(22)은 집적회로(15)의 불순물 영역, 예를 들면 MOS 트랜지스터의 소스/드레인에 연결될 수 있다. 식각 정지막(24)이 제1 층간 절연막(20) 상에 형성될 수 있다. 식각 정지막(24)은 실리콘 질화막을 포함할 수 있다.
- [0032] 식각 정지막(24) 상에 마스크 패턴(미도시)이 형성된다. 마스크 패턴(미도시)을 사용하여 식각 정지막(24), 제1 층간 절연막(20) 및 기판(10)을 식각하여, 비아 홀(21)을 형성한다. 비아 홀(21)은 드릴링 방법, 보쉬(Bosch) 에칭, 또는 스테디(Steady State) 에칭 방법을 사용하여 형성될 수 있다. 비아 홀(21)은 식각 정지막(24) 및 제 1 층간 절연막(20)을 관통하고, 기판(10)의 제1 면(11)으로부터 제2 면(12)을 향하여 연장할 수 있다. 비아 홀(21)은 기판(10)을 관통하지 않는 깊이까지 연장할 수 있다. 비아 홀(21)의 깊이는 대략 50 μ m 이상일 수 있다.

비아 홀(21)의 깊이는 디자인 룰 (Design Rule)이나 소자 요구 특성에 의해 변화될 수 있다.

- [0033] 도 2를 참조하여, 비아 홀 절연막(32)이 비아 홀(21) 내에 형성될 수 있다. 비아 홀 절연막(32)은 실리콘 산화막 또는 실리콘 질화막과 같은 절연성 물질을 증착하여 형성할 수 있다. 비아 홀 절연막(32)은 비아홀(21)의 내벽을 따라 실질적으로 콘포말하게 증착될 수 있다. 비아 홀 절연막(32)은 제1 층간 절연막(20) 상으로 연장될 수 있다. 비아 홀 절연막(32)은, 예를 들어 원자층 증착 방법 또는 화학 기상 증착 방법에 의하여 형성될 수 있다.
- [0034] 제1 배리어막(34)이 비아 홀 절연막(32) 상에 형성될 수 있다. 제1 배리어막(34)은 비아 홀(21)의 내면을 따라 형성되고, 제1 면(11) 상으로 연장될 수 있다. 제1 배리어막(34)은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 루테튬, 코발트, 망간, 텅스텐 질화물, 니켈, 니켈 붕화물 또는 티타늄/티타늄 질화물의 이중막을 포함할 수 있다. 제1 배리어막(34)은 스퍼터링 방법으로 형성될 수 있다. 제1 배리어막(34)의 형성 온도는, 예를 들면 375°C일 수 있다. 제1 배리어막(34)은 후술하는 제1 도전막(36)의 금속이 기관(10)으로 확산하는 것을 줄일 수 있다.
- [0035] 제1 도전막(36)은 제1 배리어막(34) 상에 형성되어, 비아 홀(21) 내부를 채울 수 있다. 제1 도전막(36)은 제1 면(11) 상으로 연장될 수 있다. 제1 도전막(36)은, 전해 도금 방법, 무전해 도금 방법 또는 선택적 증착 방법을 이용하여 형성될 수 있다. 전해 도금 방법은, 제1 배리어막(34)이 형성된 비아 홀(21)의 내면에 시드막(미도시)을 형성하고, 그리고 시드막 상에 도전물질을 도금하는 것을 포함할 수 있다. 제1 도전막(36)의 형성 온도는 예를 들면, 상온일 수 있다. 시드막은 스퍼터링 방법으로 형성된 구리막일 수 있다. 도전막(36)은 금속막일 수 있다. 금속막은 은, 금, 구리, 텅스텐, 또는 인듐을 포함할 수 있다. 일 예로, 전해도금 방법은 CuSO_4 , H_2SO_4 , 및 Cl을 포함하는 전해 용액에 기관을 담구어 수행될 수 있다.
- [0036] 제1 배리어막(34) 및 제1 도전막(36)의 형성 후, 제1 열처리 공정이 수행될 수 있다. 제1 열처리 공정은 100 ~ 500°C의 온도에서 수행될 수 있다. 제1 열처리 공정은 제1 도전막(36)을 구성하는 금속의 그레인 성장(grain growth)을 유도할 수 있다.
- [0037] 도 3을 참조하여, 식각 정지막(24)이 노출되도록 제1 도전막(36)을 평탄화한다. 이때 식각 정지막(24) 상의 제1 배리어막(34) 및 비아 홀 절연막(32)이 제거될 수 있다. 이에 따라, 제1 배리어 패턴(33) 및 제1 도전 패턴(35)을 포함하는 관통 전극(TSV)이, 비아 홀(21) 내에 형성된다. 이후, 식각 정지막(24)은 제거될 수 있다. 이후, 추가적 열처리 공정이 수행될 수 있다. 추가적 열처리 공정은 100 ~ 500°C의 온도에서 수행될 수 있다.
- [0038] 도 4를 참조하여, 제1 층간 절연막(20) 상에 패드 절연막(26)이 형성될 수 있다. 패드 절연막(26)은 관통 전극(TSV) 및 제1 콘택(22)을 각각 노출하는 제1 및 제2 오프닝들(27, 28)을 가질 수 있다. 제1 및 제2 오프닝들(27, 28)의 폭들은 각각 관통 전극(TSV) 및 제1 콘택(22)의 폭보다 넓을 수 있다. 패드 절연막(26)은 실리콘 산화막을 포함할 수 있다. 패드 절연막(26)은, 예를 들어 순서대로 적층된 SiCN, SiCOH 및 SiON을 포함할 수 있다.
- [0039] 도 5를 참고하여, 제2 열처리 공정이 수행될 수 있다. 제2 열처리 공정은 제1 열처리 공정 보다 높은 온도에서 수행될 수 있다. 제2 열처리 공정은, 예를 들어 300 ~ 500°C의 온도에서 수행될 수 있다. 제1 도전 패턴(35)을 구성하는 금속(예를 들면, 구리)과 기관(예를 들면, 실리콘) 사이의 열팽창 계수의 차이로 인하여, 제1 도전 패턴(35)을 구성하는 금속이 압축 응력(compressive stress)을 받는다. 이에 따라, 제1 도전막(36)을 구성하는 금속이 팽창하여 부풀어 오를 수 있다. 제1 도전 패턴(35)을 구성하는 금속이 위로 돌출되어, 제1 오프닝(27) 내에 돌출부(37)가 형성될 수 있다. 돌출부(37)는 제1 도전 패턴(35) 상부면으로부터 제1 오프닝(27)으로 돌출될 수 있다. 돌출부(37)는 패드 절연막(26)의 상부면보다 높은 상부면을 가질 수 있다.
- [0040] 도 6을 참조하여, 패드 절연막(26) 상에 제2 도전막(40)이 형성되어, 제1 및 제2 오프닝들(27, 28)을 채울 수 있다. 제2 도전막(40)은 제1 도전막(36)과 유사한 방법으로 형성될 수 있다. 제2 도전막(40) 형성 전에, 제2 배리어막(미도시) 및 시드막(미도시)이 추가로 형성될 수 있다. 제1 오프닝(27)에서, 제2 도전막(40)은 그의 하부면으로부터 그의 상부로 연장하는 리세스 영역(41)을 갖는다. 리세스 영역(41)은 돌출부(37)의 형상에 대응하는 모양을 가질 수 있다. 돌출부(37)는 제2 도전막(40)의 리세스 영역(41)과 접촉한다.
- [0041] 도 7을 참조하여, 패드 절연막(26)이 노출되도록, 제2 도전막(40)을 평탄화하여, 제2 도전 패턴을 형성한다. 제2 배리어막(미도시) 또한 평탄화되어, 제2 배리어 패턴을 형성할 수 있다. 제1 오프닝(27)에서 제1 패드(43)가 형성되고, 제2 오프닝(28)에서 제2 패드(45)가 형성될 수 있다. 제1 패드(43)는 관통 전극(TSV)과 접촉하고, 제2 패드(45)는 제1 콘택(22)과 접촉할 수 있다. 패드들(43, 45) 각각은 제2 도전 패턴 및 제2 배리어 패턴(미도

시)을 포함할 수 있다. 제1 및 제2 패드들(43, 45)의 상부면은 패드 절연막(26)의 상부면과 동일한 높이를 가질 수 있다.

- [0042] 이와 함께, 돌출부(37) 또한 평탄화될 수 있다. 돌출부(37)의 상부면은 제1 패드(43)의 상부면과 동일한 높이로 될 수 있다. 리세스 영역(41)은 제1 패드(43)의 상부면으로 연장되고, 돌출부(37)는 제1 패드(43)를 관통하여 제1 패드(43)의 상부면으로 노출될 수 있다.
- [0043] 도 8을 참조하여, 패드 절연막(26) 상에 제2 층간 절연막(50)이 형성될 수 있다. 제2 층간 절연막(50)은 실리콘 산화막을 포함할 수 있다. 제2 층간 절연막(50)은 CVD 공정으로 형성될 수 있다. 제2 층간 절연막(50)은, 예를 들면 TEOS 산화막일 수 있다. 제2 층간 절연막(50)의 형성 온도는, 예를 들면 400°C일 수 있다.
- [0044] 제2 콘택(52)이 제2 층간 절연막(50) 내에 형성될 수 있다. 제2 콘택(52)은 제2 층간 절연막(50)을 패터닝하여 제1 및 제2 패드들(43, 45)을 노출하는 오프닝을 형성하고, 알루미늄 또는 텅스텐으로 오프닝을 채워 형성될 수 있다.
- [0045] 제3 패드(63)가 제2 층간 절연막(50) 상에 형성될 수 있다. 제3 패드(63)는, 제2 콘택(52)과 연결될 수 있다. 제2 층간 절연막(50)을 덮고 제3 패드(63)의 일부를 노출하는 제1 패시베이션막(61)이 형성된다. 제1 패시베이션막(61)은 집적회로(15)를 외부 환경으로부터 보호할 수 있고, 실리콘 산화물, 실리콘 질화물, 또는 그들의 조합으로 형성될 수 있다. 제3 패드(63)는 알루미늄 또는 구리로 형성될 수 있다.
- [0046] 도 9를 참조하여, 기관(10)의 제2 면(12)을 연마하는 공정이 수행될 수 있다. 제2 면(12)으로 관통 전극(TSV)이 노출될 수 있다. 연마 공정이 보다 상세하게 설명된다.
- [0047] 먼저, 기관(10)의 제1 패시베이션막(61) 상에, 접착층(미도시)을 이용하여, 캐리어(carrier, 미도시)가 부착될 수 있다. 캐리어는 기관(10)의 제2 면(12)을 연마하는 과정에서 기관(10)에 작용하는 기계적인 스트레스를 완화하고, 연마 공정 이후에 박형화된 기관(10)에서 발생하는 휨을 방지할 수 있다. 캐리어는 유리기관, 또는 수지기관을 포함할 수 있다. 접착층은 자외선 접착제 또는 열가소성 접착제를 포함할 수 있다. 다음, 비아 홀 절연막(32)이 노출되도록, 기관(10)의 제2 면(12)이 연마된다. 기관(10)을 연마하는 것은, 예를 들어, CMP, Etch-back, Spin Etch 방법을 각각 또는 혼용하는 그라인딩(grinding) 방법을 이용하여 수행될 수 있다.
- [0048] 다음, 비아 홀 절연막(32)으로 둘러싸인 관통 전극(TSV)이 기관(10)의 제2 면(12)으로부터 돌출되도록, 기관(10)이 선택적으로 식각될 수 있다. 선택적 식각은 비아 홀 절연막(32)에 비하여 큰 식각 선택비를 갖는 습식 식각 또는 건식 식각 공정을 이용하여 기관(10)을 식각하는 것일 수 있다. 예를 들어, 비아 홀 절연막(32)이 실리콘 산화막일 경우, SF6 식각 가스를 이용하여 기관(10)이 선택적으로 식각될 수 있다.
- [0049] 연마된 제2 면(12) 상에 제2 패시베이션막(62)이 형성될 수 있다. 식각 공정에 의하여, 관통 전극(TSV)을 덮는 제2 패시베이션막(62) 및 비아 홀 절연막(32)이 제거되어, 관통 전극(TSV)이 노출된다. 제2 패시베이션막(62) 상에 제4 패드(65)가 형성되어, 관통 전극(TSV)에 연결된다. 제2 패시베이션막(62)은 실리콘 산화물, 실리콘 질화물, 또는 그들의 조합으로 형성될 수 있다. 제4 패드(65)는 구리로 형성될 수 있다.
- [0050] 도 9를 재차 참조하여, 본 발명의 개념의 일 실시예에 따른 반도체 장치(101)가 설명된다. 본 발명의 개념의 일 실시예에 따른 반도체 장치(101)는 기관(10)을 관통하는 관통 전극(TSV)을 포함할 수 있다.
- [0051] 기관(10)은 제1 면(11) 및 제1 면(11)에 대향하는 제2 면(12)을 가질 수 있다. 기관(10)은 예를 들면 P형의 불순물로 도핑된 실리콘 기관일 수 있다. 집적 회로(15)가 기관(10)의 제1 면(11)에 형성될 수 있다. 집적회로(15)는 스위칭 소자, 캐패시터, 저항 또는 수직형 메모리 셀을 포함할 수 있다. 스위칭 소자는 예를 들면, 다이오드, NMOS, PMOS 또는 바이폴라 트랜지스터일 수 있다. 수직형 메모리 셀은 기관(10)으로부터 수직으로 연장된 수직 기둥 및 수직 기둥에 결합된 메모리 요소를 포함할 수 있다.
- [0052] 제1 층간 절연막(20)이 기관(10)의 제1 면(11) 상에 형성되어, 집적회로(15)를 덮는다. 제1 층간 절연막(20)은 실리콘 산화막을 포함할 수 있다. 제1 콘택(22)이 제1 층간 절연막(20)을 관통한다. 제1 콘택(22)은 예를 들면, 알루미늄 또는 텅스텐으로 형성될 수 있다. 제1 콘택(22)은 집적회로(15)의 불순물 영역, 예를 들면 MOS 트랜지스터의 소스/드레인에 연결될 수 있다.
- [0053] 관통 전극(TSV)은 기관(10) 및 제1 층간 절연막(20)을 관통하는 비아홀(21) 내에 형성된다. 비아홀 절연막(32)이 관통 전극(TSV)과 비아홀(21)의 측벽 사이에 제공될 수 있다. 비아 홀 절연막(32)은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 관통 전극(TSV)은 기관(10)의 제1 면(11) 및 제2 면(12)으로 노출될 수 있다. 관통 전극(TSV)은 제1 배리어 패턴(33) 및 제1 도전 패턴(35)을 포함할 수 있다. 관통 전극(TSV)은 제1 도전 패턴(35)

이 그의 상부면으로부터 위로 돌출된 돌출부(37)를 더 포함할 수 있다. 제1 도전 패턴(35)은 금속막일 수 있다. 금속막은 은, 금, 구리, 텅스텐, 또는 인듐을 포함할 수 있다. 제1 배리어 패턴(33)은 비아홀 절연막(32)과 제1 도전 패턴(35) 사이에 제공될 수 있다. 제1 배리어 패턴(33)은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 루테튬, 코발트, 망간, 텅스텐 질화물, 니켈, 니켈 붕화물 또는 티타늄/티타늄 질화물의 이중막을 포함할 수 있다.

- [0054] 패드 절연막(26)이 제1 층간 절연막(20) 상에 제공될 수 있다. 패드 절연막(26)은 관통 전극(TSV) 및 제1 콘택(22)을 노출할 수 있다.
- [0055] 제1 패드(43) 및 제2 패드(45)가 제1 층간 절연막(20) 상에 제공되어, 각각 관통 전극(TSV) 및 제1 콘택(22)에 연결된다. 제1 패드(43) 및 제2 패드(45)는 제2 도전 패턴 및 제2 배리어 패턴을 포함할 수 있다. 제2 도전 패턴은 금속막일 수 있다. 금속막은 은, 금, 구리, 텅스텐, 또는 인듐을 포함할 수 있다. 제2 배리어 패턴은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 루테튬, 코발트, 망간, 텅스텐 질화물, 니켈, 니켈 붕화물 또는 티타늄/티타늄 질화물의 이중막을 포함할 수 있다. 제1 패드(43)는 그의 하부면으로부터 그의 상부로 연장하는 리세스 영역(41)을 갖는다. 리세스 영역(41)은 돌출부(37)의 형상에 대응하는 모양을 가진다. 제1 패드(43)의 하부면으로부터 멀어질수록 리세스 영역(41)의 크기는 줄어들 수 있다. 돌출부(37)는 제1 도전 패턴(35)으로부터 제1 패드(43) 속으로 연장될 수 있다. 돌출부(37)는 제1 패드(43)의 리세스 영역(41)과 접촉한다. 일 예로, 돌출부(37)의 상부면은 제1 패드(43)의 상부면과 동일한 높이를 가질 수 있다. 돌출부(37)는 제1 패드(43)를 관통하여 제1 패드(43)의 상부면으로 노출될 수 있다.
- [0056] 제2 층간 절연막(50)이 패드 절연막(26) 상에 제공된다. 제2 층간 절연막(50)은 실리콘 산화막을 포함할 수 있다. 제2 콘택(52)이 제2 층간 절연막(50) 내에 형성될 수 있다. 제2 콘택(52)은 제1 및 제2 패드들(43, 45)에 연결될 수 있다.
- [0057] 제3 패드(63)가 제2 층간 절연막(50) 상에 형성될 수 있다. 제3 패드(63)는 제2 콘택(52)과 연결될 수 있다. 제2 층간 절연막(50)을 덮고 제3 패드(63)의 일부를 노출하는 제1 패시베이션막(61)이 형성된다. 제1 패시베이션막(61)은 집적회로(15)를 외부 환경으로부터 보호할 수 있고, 실리콘 산화물, 실리콘 질화물, 또는 그들의 조합으로 형성될 수 있다. 제3 패드(63)는 알루미늄 또는 구리로 형성될 수 있다.
- [0058] 제2 패시베이션막(62)이 기판(10)의 제2 면(12) 상에 형성될 수 있다. 제2 패시베이션막(62)은 관통 전극(TSV)을 노출한다. 제2 패시베이션막(62) 상에 제4 패드(65)가 형성되어, 관통 전극(TSV)에 연결된다. 제2 패시베이션막(62)은 실리콘 산화물, 실리콘 질화물, 또는 그들의 조합으로 형성될 수 있다. 제4 패드(65)는 구리로 형성될 수 있다.
- [0059] 본 발명의 개념의 다른 실시예에 따른 반도체 장치(102)가 설명된다. 도 10은 본 발명의 개념의 다른 실시예에 따른 반도체 장치를 설명하는 단면도이다. 설명의 간략화를 위하여 도 1 내지 도 9의 동일한 구성에 대한 설명은 생략된다. 돌출부(37)의 상부면은 제1 패드(43)의 상부면보다 낮고, 돌출부(37)의 상부면은 리세스 영역(41)과 접촉한다. 돌출부(37)는 제1 패드(43)를 관통하지 않는다.
- [0060] 본 발명의 개념의 또 다른 실시예에 따른 반도체 장치(103)가 설명된다. 도 11은 본 발명의 개념의 또 다른 실시예에 따른 반도체 장치를 설명하는 단면도이다. 설명의 간략화를 위하여 도 1 내지 도 9의 동일한 구성에 대한 설명은 생략된다.
- [0061] 도 11을 참조하여, 제1 층간 절연막(20)이 기판(10)의 제1 면(11) 상에 형성되어, 집적회로(15)를 덮는다. 제1 층간 절연막(20)은 실리콘 산화막을 포함할 수 있다.
- [0062] 제1 콘택(22)이 제1 층간 절연막(20)을 관통하여 집적회로(15)에 연결될 수 있다. 제1 패드(42)가 제1 층간 절연막(20) 상에 형성될 수 있다. 제1 패드(42)는 제1 콘택(22)에 연결될 수 있다. 제2 층간 절연막(50)이 제1 층간 절연막(20)을 덮도록 형성된다. 제2 층간 절연막(50)은 실리콘 산화막을 포함할 수 있다. 제2 콘택(52)이 제2 층간 절연막(50)을 관통하여 제1 패드(42)에 연결될 수 있다.
- [0063] 반도체 장치(103)의 비아 홀(21)은 제1 및 제3 층간 절연막들(20, 50)을 관통한다. 비아 홀(21)은 제2 층간 절연막(50)의 상부면으로부터 기판(10)으로 연장된다.
- [0064] 관통 전극(TSV)이 비아 홀(21)을 채운다. 관통 전극(TSV)은 제2 층간 절연막(50)의 상부면에서 노출될 수 있다. 관통 전극(TSV)은, 제1 층간 절연막(20)에 대항하는, 제2 층간 절연막(50)의 상부면으로 연장한다. 관통 전극(TSV)과 비아 홀(21) 사이에 비아 홀 절연막(32)이 개재될 수 있다.

- [0065] 제2 및 제3 패드들(43, 45)이 제2 층간 절연막(50) 상에 형성될 수 있다. 제2 패드(43)는 관통 전극(TSV)과 연결될 수 있다. 제3 패드(45)는 제2 콘택(52)과 연결될 수 있다. 제2 및 제3 패드들(43, 45)은 일 실시예의 제1 및 제2 패드들(43, 45)과 유사한 구조를 가질 수 있다. 제2 층간 절연막(50)을 덮고 제2 및 제3 패드들(43, 45)의 일부를 노출하는 제1 패시베이션막(61)이 형성된다.
- [0066] 제2 패시베이션막(62)이 기판(10)의 제2 면(12) 상에 형성될 수 있다. 제2 패시베이션막(62) 상에 제4 패드(65)가 형성되고, 관통 전극(TSV)에 연결된다. 제2 패시베이션막(62)은 실리콘 산화물, 실리콘 질화물, 또는 그들의 조합으로 형성될 수 있다. 제4 패드(65)는 구리로 형성될 수 있다.
- [0067] 도 11을 참조하여 설명된 본 발명의 개념의 또 다른 실시예에 따른 반도체 장치(103)의 형성방법은, 전술한 반도체 장치(101)의 것과 유사하다. 간략화를 위하여 전술한 일 실시예의 것과의 차이점을 중심으로 설명된다.
- [0068] 도 11을 재차 참조하여, 본 발명의 또 다른 실시예에 따른 반도체 장치(103)의 비아 홀(21)의 형성공정은, 전술한 일 실시예와는 달리, 제1 층간 절연막(20) 상에 제2 층간 절연막(50)을 형성한 후 수행된다.
- [0069] 그 후, 제2 및 제3 패드들(43, 45)이 제2 층간 절연막(50) 상에 형성될 수 있다. 제2 층간 절연막(50)을 덮고 제2 및 제3 패드들(43, 45)의 일부를 노출하는 제1 패시베이션막(61)이 형성된다. 제1 패시베이션막(61)은 실리콘 산화물, 실리콘 질화물, 또는 그들의 조합으로 형성될 수 있다.
- [0070] 제2 패시베이션막(62)이 기판(10)의 제2 면(12) 상에 형성될 수 있다. 제2 패시베이션막(62) 상에 제4 패드(65)가 형성되고, 관통 전극(TSV)에 연결된다. 제2 패시베이션막(62)은 실리콘 산화물, 실리콘 질화물, 또는 그들의 조합으로 형성될 수 있다. 제4 패드(65)는 구리로 형성될 수 있다.
- [0071] 일반적인 기술에 따르면, 관통 전극 및 그 위의 층간 절연막 형성 후의 열적 부담(thermal budget)에 의하여 관통 전극(TSV)을 구성하는 금속이 팽창할 수 있다. 이에 따라, 관통 전극과 그 위의 배선과의 연결성(connectivity)에 문제를 야기하여, 접촉저항 증가와 같은 신뢰성 문제를 야기할 수 있다. 이에 반하여, 본 발명의 실시예들에 따르면, 관통 전극(TSV) 형성 후 돌출부를 형성하고 이를 제거하는 것에 의하여, 이러한 관통 전극의 돌출의 문제를 최소화할 수 있다.
- [0072] 전술한 본 발명의 실시예들에 따르면, 패드 절연막(50)의 형성 후 상기 제2 열처리 공정이 수행되므로, 집적회로의 특성이 변화하는 것을 최소화할 수 있다. 즉, 패드 절연막(50)이, 제2 열처리 공정의 열적 부담(thermal budget)으로 인하여 집적회로를 구성하는 트랜지스터들의 임계전압(V_{th})이 변화되는 것을 최소화할 수 있다. 이에 반하여, 패드 절연막(50)이 형성되기 전에 관통 전극의 돌출을 위한 제2 열처리 공정이 수행되면, 집적회로를 구성하는 트랜지스터들의 임계전압(V_{th})이 크게 변화되는 문제가 있다.
- [0073] 도 12 내지 도 14는 본 발명의 실시예들에 따른 반도체 패키지들을 나타낸다.
- [0074] 도 12를 참조하여, 본 발명의 실시예들에 따른 반도체 패키지(401)의 일 예는 패키지 기판(200)과 그 위에 실장된 반도체 장치(100)를 포함한다. 패키지 기판(200)은 인쇄회로 기판일 수 있다. 패키지 기판(200)은 절연 기판(201), 절연 기판(201) 내의 재배선(215), 절연 기판(201)의 상하부면에 배치되는 도전 패턴들(211, 213) 및 도전 패턴들(211, 213)을 일부 덮는 패키지 기판 절연막들(205, 203)을 포함할 수 있다. 반도체 장치(100)는 도 1 내지 도 11을 참조하여 설명된 반도체 장치에 대응될 수 있다.
- [0075] 반도체 장치(100)는, 기판(10)의 제2 면(12)이 패키지 기판(200)에 마주보도록, 패키지 기판(200) 상에 실장될 수 있다. 즉, 반도체 장치(100)는 제1 범프(71)에 의해 패키지 기판(200)에 전기적으로 연결될 수 있다. 패키지 기판(200)의 하부에는 제2 범프(73)가 부착될 수 있다. 범프들(71, 73)은 솔더볼, 도전성 범프, 도전성 스페이서, 핀 그리드 어레이 또는 이들의 조합일 수 있다. 반도체 패키지(401)는 반도체 장치(100)를 덮는 몰드막(310)을 더 포함할 수 있다. 몰드막(310)은 에폭시 몰딩 컴파운드를 포함할 수 있다.
- [0076] 도 13을 참조하여, 본 발명의 실시예들에 따른 반도체 패키지(402)의 다른 예는 패키지 기판(200)과 그 위에 실장된 제1 반도체 장치(100)와 제2 반도체 장치(300)를 포함한다. 패키지 기판(200)은 인쇄회로 기판일 수 있다. 제1 반도체 장치(100)는 도 1 내지 도 11을 참조하여 설명된 반도체 장치에 대응될 수 있다. 제2 반도체 장치(300)는 제1 반도체 장치(100)와는 다른 반도체 장치로, 메모리 칩이나 로직 칩에 대응될 수 있다. 제2 반도체 장치(300)는 관통 전극을 포함하지 않을 수 있다.
- [0077] 제1 반도체 장치(100)는 제1 범프(71)에 의해 패키지 기판(200)에 전기적으로 연결될 수 있다. 제2 반도체 장치(300)는 제1 반도체 장치(100)에 플립 칩 본딩 방식으로 실장될 수 있다. 제2 반도체 장치(300)는 제3 범프(75)에 의해 제1 반도체 장치(100)에 전기적으로 연결될 수 있다. 제1 반도체 장치(100)는 인터포저의 기능을 할

수 있다. 제3 범프들(75) 사이의 간격은 관통 전극들(TSV) 사이의 간격과 다를 수 있다.

- [0078] 패키지 기판(200)의 하부에는 제2 범프(73)가 부착될 수 있다. 범프들(71, 73, 75)은 솔더볼, 도전성 범프, 도전성 스페이서, 핀 그리드 어레이 또는 이들의 조합일 수 있다. 반도체 패키지(402)는 제1 및 제2 반도체 장치들(100, 300)을 덮는 몰드막(310)을 더 포함할 수 있다. 몰드막(310)은 에폭시 몰딩 컴파운드를 포함할 수 있다.
- [0079] 도 14를 참조하여, 본 발명의 실시예들에 따른 반도체 패키지(403)의 또 다른 예는 패키지 기판(200)과 그 위에 실장된 제1 반도체 장치(100a)와 제2 반도체 장치(100b)를 포함한다. 본 발명의 실시예들에 따른 반도체 패키지(403)는 멀티 칩 패키지일 수 있다. 제1 반도체 장치(100a)와 제2 반도체 장치(100b)는 동일한 종류 및 구조를 가질 수 있다.
- [0080] 패키지 기판(200)은 인쇄회로 기판일 수 있다. 제1 및 제2 반도체 장치들(100a, 100b)은 도 1 내지 도 11을 참조하여 설명된 반도체 장치에 대응될 수 있다.
- [0081] 제1 반도체 장치(100a) 및 제2 반도체 장치(100b)는 각각 제1 관통 전극(TSVa) 및 제2 관통 전극(TSVb)을 포함할 수 있다. 제1 관통 전극(TSVa)과 제2 관통 전극(TSVb)은 서로 중첩되어 연결될 수 있다. 제1 관통 전극(TSVa)과 제2 관통 전극(TSVb)은 제3 범프(75)에 의하여 서로 연결될 수 있다.
- [0082] 제1 범프(71)에 의해 제1 반도체 장치(100)는 패키지 기판(200)에 전기적으로 연결될 수 있다. 제1 반도체 장치(100)는 인터포저의 기능을 할 수 있다. 패키지 기판(200)의 하부에는 제2 범프(73)가 부착될 수 있다. 범프들(71, 73, 75)은 솔더볼, 도전성 범프, 도전성 스페이서, 핀 그리드 어레이 또는 이들의 조합일 수 있다. 반도체 패키지(403)는 제1 및 제2 반도체 장치들(100a, 100b)을 덮는 몰드막(310)을 더 포함할 수 있다. 몰드막(310)은 에폭시 몰딩 컴파운드를 포함할 수 있다.
- [0083] 전술한 본 발명의 실시예들에 따른 패키지들은 모두 관통 전극을 통하여 상기 패키지 기판에 전기적으로 연결되는 것을 설명하고 있으나, 이에 한정되지 않는다. 예를 들면 일부의 패드들은 와이어 본딩에 의하여 상기 패키지 기판과 전기적으로 연결될 수 있다.
- [0084] 도 15는 본 발명의 실시예들에 따른 패키지 모듈(500)을 보여주는 평면도이다. 도 15를 참조하여, 패키지 모듈(500)은 외부 연결 단자(508)가 구비된 모듈 기판(502)과, 모듈 기판(502)에 실장된 반도체 칩(504) 및 QFP(Quad Flat Package)된 반도체 패키지(506)를 포함할 수 있다. 반도체 칩(504) 및/또는 반도체 패키지(506)는 본 발명의 실시예들에 따른 반도체 장치를 포함할 수 있다. 패키지 모듈(500)은 외부 연결 단자(508)를 통해 외부 전자 장치와 연결될 수 있다.
- [0085] 도 16은 본 발명의 실시예들에 따른 메모리 카드(600)를 보여주는 개략도이다. 도 16을 참조하여, 카드(600)는 하우징(620) 내에 제어기(620)와 메모리(630)를 포함할 수 있다. 제어기(620)와 메모리(630)는 전기적인 신호를 교환할 수 있다. 예를 들어, 제어기(620)의 명령에 따라서, 메모리(630)와 제어기(620)는 데이터를 주고받을 수 있다. 이에 따라, 메모리 카드(600)는 메모리(630)에 데이터를 저장하거나 또는 메모리(630)로부터 데이터를 외부로 출력할 수 있다.
- [0086] 제어기(620) 및/또는 메모리(630)는 본 발명의 실시예들에 따른 반도체 장치 또는 반도체 패키지 중 적어도 하나를 포함할 수 있다. 이러한 메모리 카드(600)는 다양한 휴대용 기기의 데이터 저장 매체로 이용될 수 있다. 예를 들어, 메모리 카드(600)는 멀티미디어 카드(multi media card; MMC) 또는 보안 디지털(secure digital; SD) 카드를 포함할 수 있다.
- [0087] 도 17은 본 발명의 실시예들에 따른 전자 시스템(700)을 보여주는 블록도이다. 도 17을 참조하여, 전자 시스템(700)은 본 발명의 실시예들에 따른 반도체 장치 또는 반도체 패키지를 적어도 하나 포함할 수 있다. 전자 시스템(700)은 모바일 기기나 컴퓨터 등을 포함할 수 있다. 예를 들어, 전자 시스템(700)은 메모리 시스템(712), 프로세서(714), 램(716), 및 유저인터페이스(718)를 포함할 수 있고, 이들은 버스(Bus, 720)를 이용하여 서로 데이터 통신을 할 수 있다. 프로세서(714)는 프로그램을 실행하고 전자 시스템(700)을 제어하는 역할을 할 수 있다. 램(716)은 프로세서(714)의 동작 메모리로서 사용될 수 있다. 예를 들어, 프로세서(714) 및 램(716)은 각각 본 발명의 실시예들에 따른 반도체 장치 또는 반도체 패키지를 포함할 수 있다. 또는 프로세서(714)와 램(716)이 하나의 패키지에 포함될 수 있다. 유저 인터페이스(718)는 전자 시스템(700)에 데이터를 입력 또는 출력하는데 이용될 수 있다. 메모리 시스템(712)은 프로세서(714)의 동작을 위한 코드, 프로세서(714)에 의해 처리된 데이터 또는 외부에서 입력된 데이터를 저장할 수 있다. 메모리 시스템(712)은 제어기 및 메모리를 포함할 수 있다.

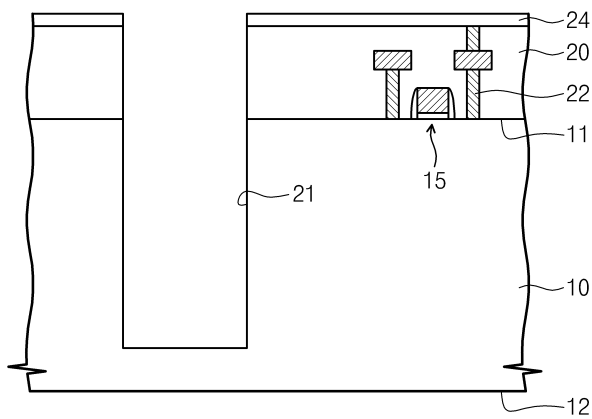
며, 도 30의 메모리 카드(600)와 실질적으로 동일하게 구성될 수 있다.

[0088] 전자 시스템(도 17의 700)은 다양한 전자기기들의 전자 제어 장치에 적용될 수 있다. 도 18은 전자 시스템(도 17의 700)이 모바일 폰(800)에 적용되는 예를 도시한다. 그 밖에, 전자 시스템(도 31의 700)은 휴대용 노트북, MP3 플레이어, 네비게이션(Navigation), 고상 디스크(Solid state disk; SSD), 자동차 또는 가전 제품(Household appliances)에 적용될 수 있다.

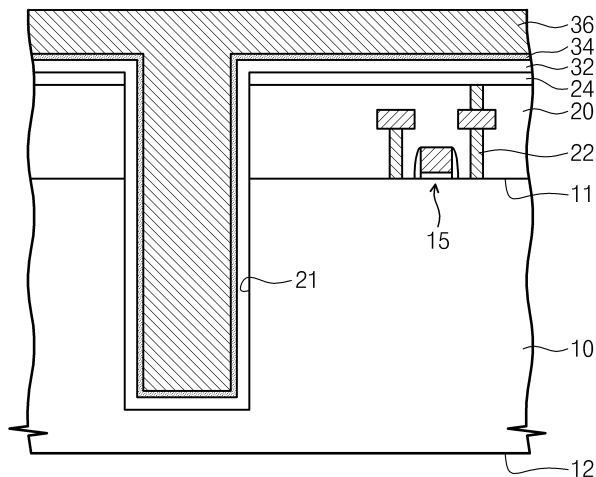
[0089] 발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 따라서 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

도면

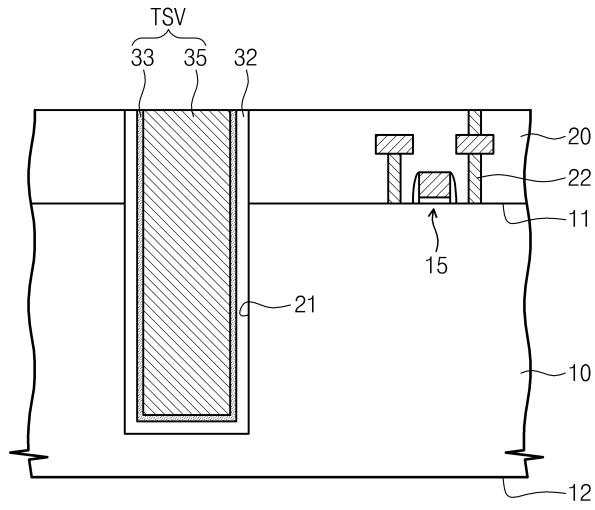
도면1



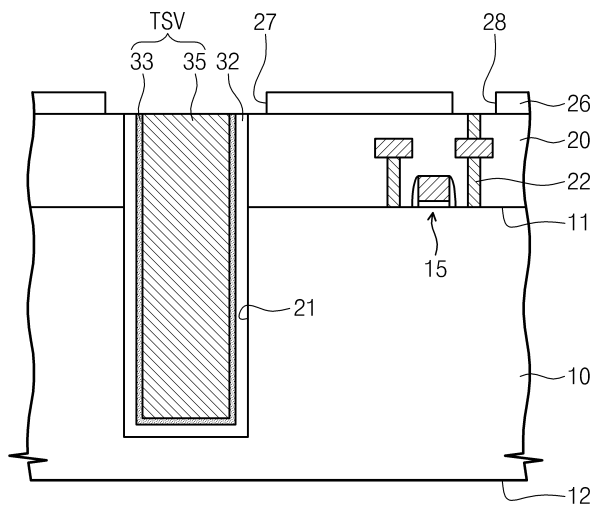
도면2



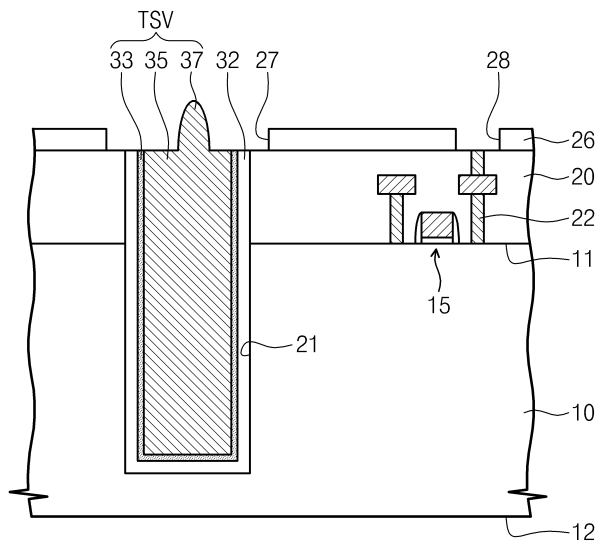
도면3



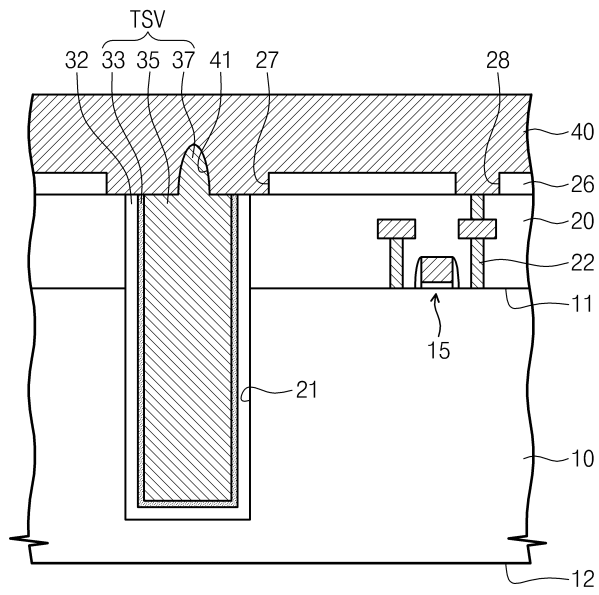
도면4



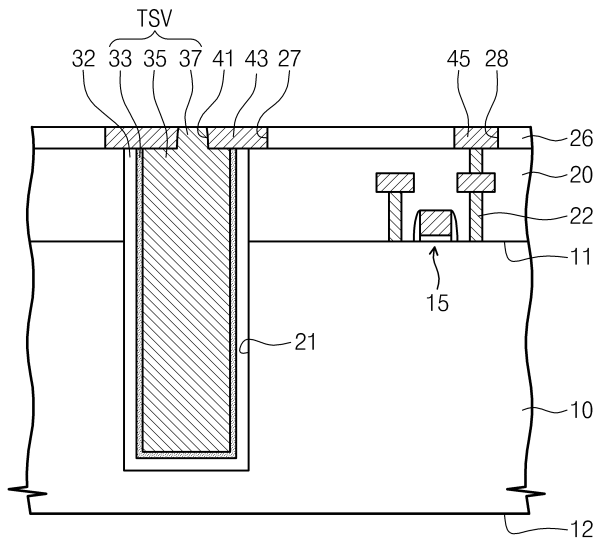
도면5



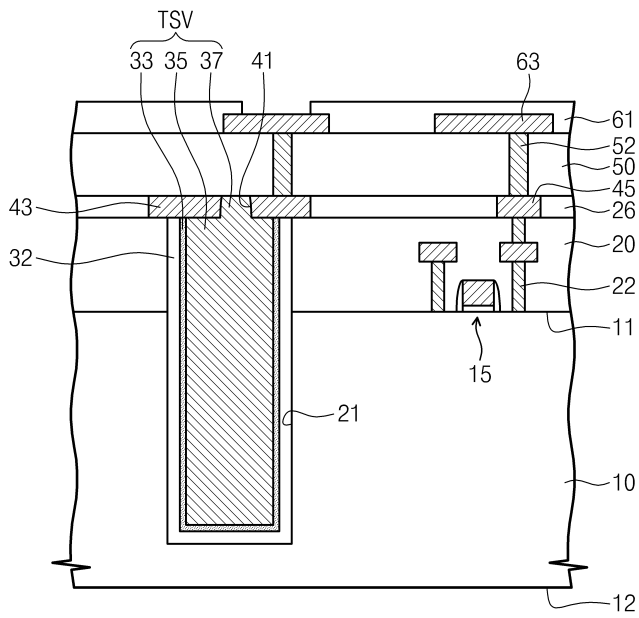
도면6



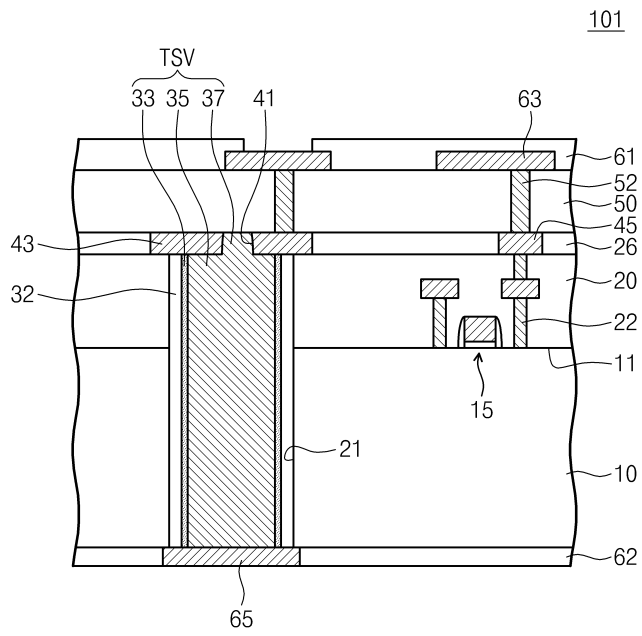
도면7



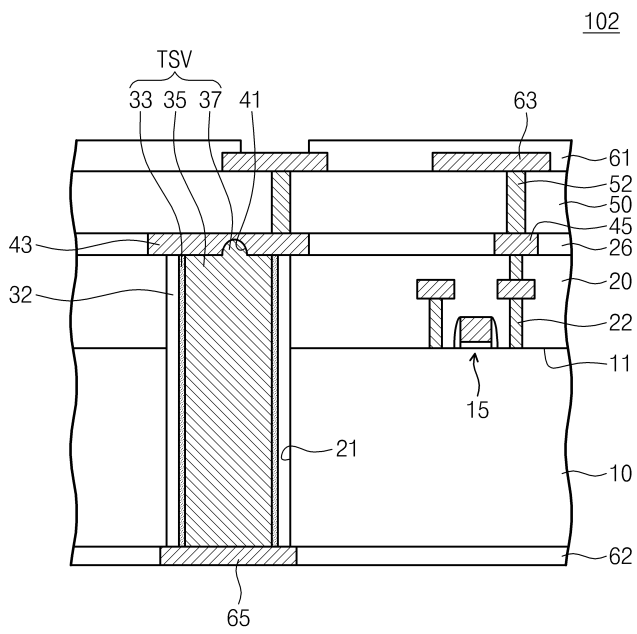
도면8



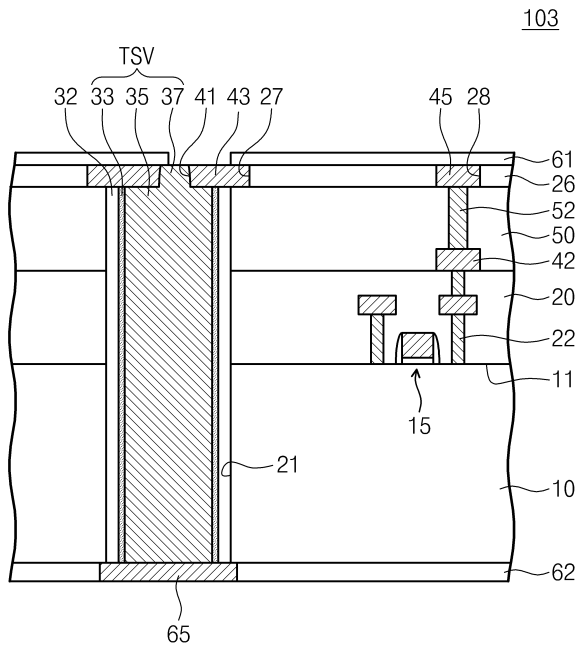
도면9



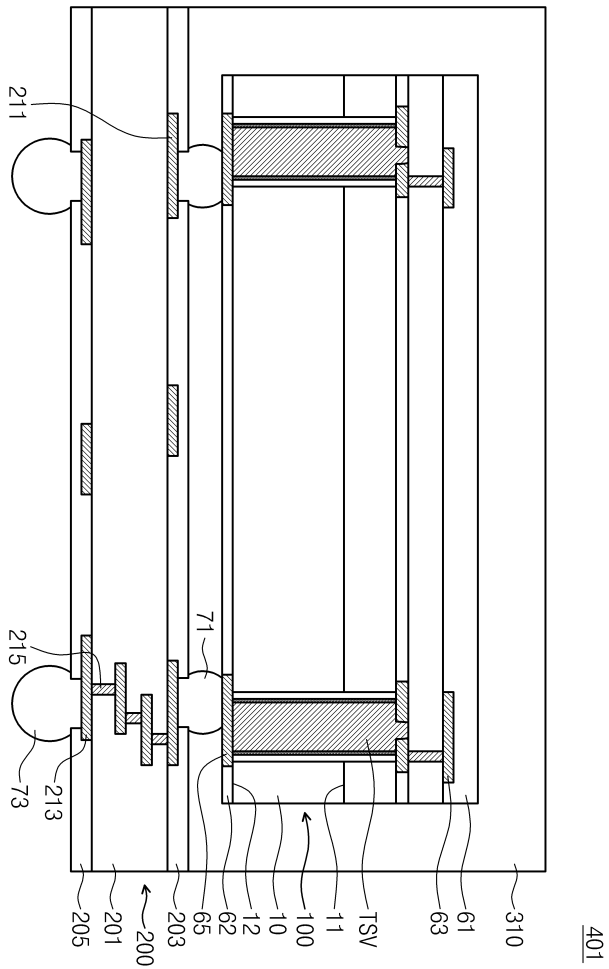
도면10



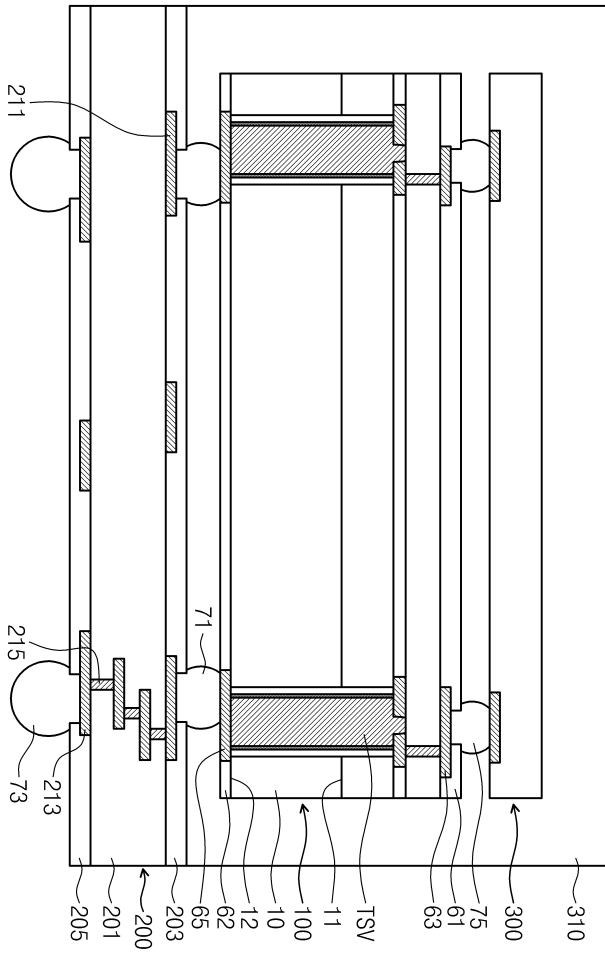
도면11



도면12

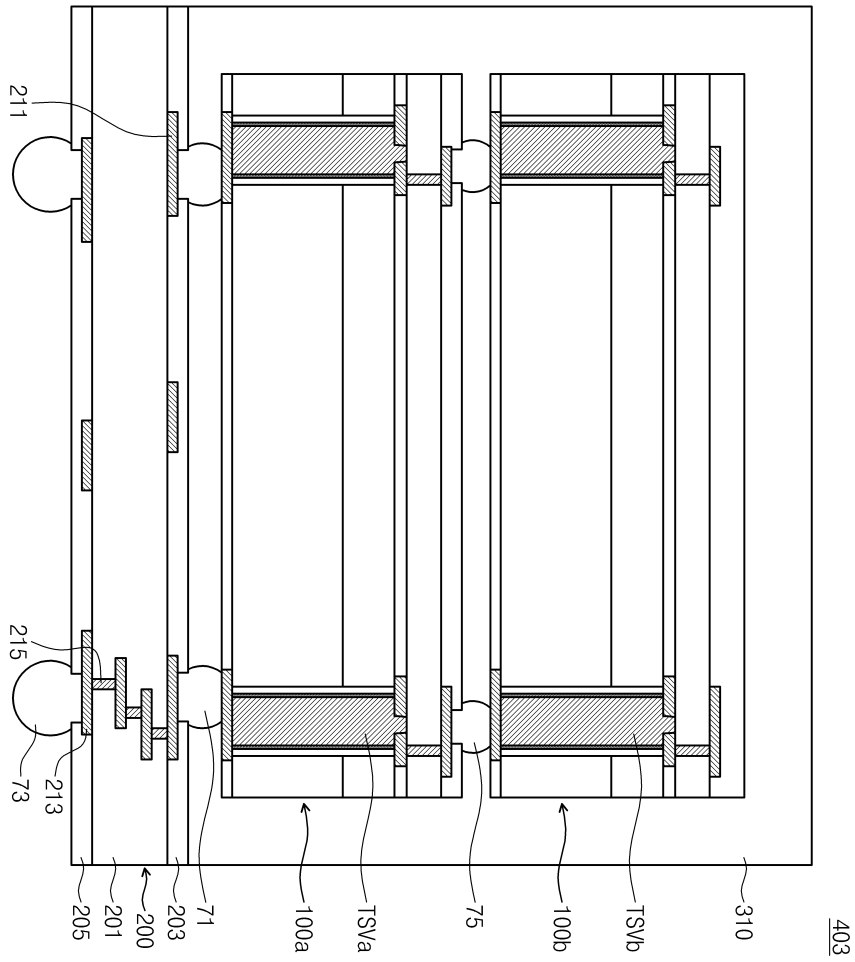


도면13

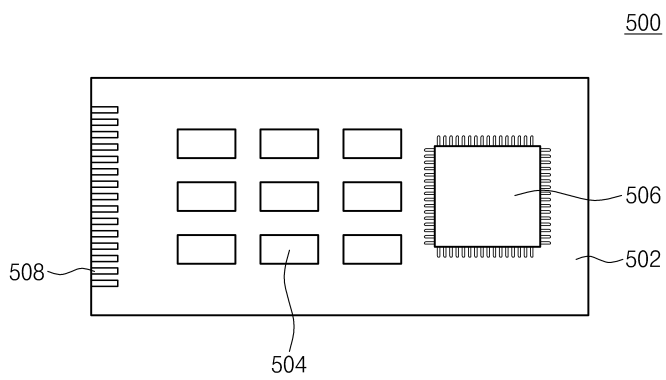


402

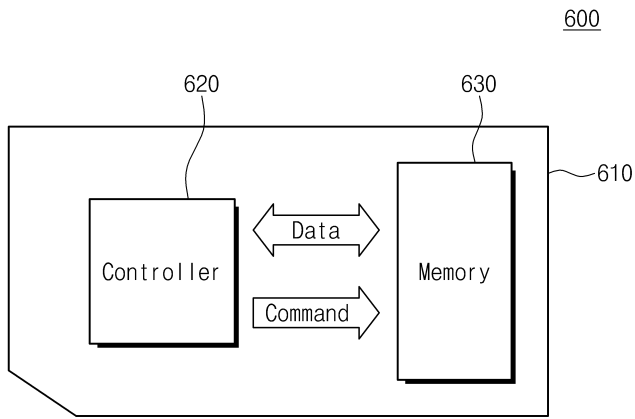
도면14



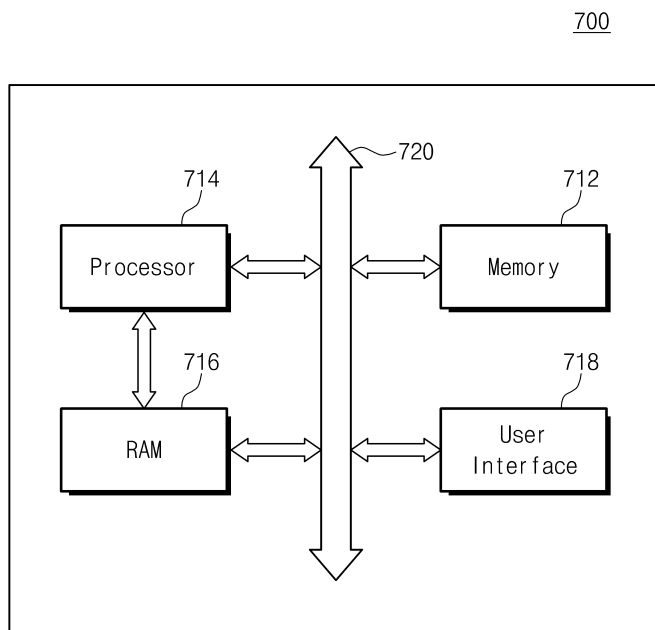
도면15



도면16



도면17



도면18

800

