

19 RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
COURBEVOIE

11 N° de publication : 3 098 075

(à n'utiliser que pour les  
commandes de reproduction)

21 N° d'enregistrement national : 19 07148

51 Int Cl<sup>8</sup> : H 04 N 5/374 (2019.01), H 01 L 27/146, H 04 N 5/355

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 28.06.19.

30 Priorité :

43 Date de mise à la disposition du public de la  
demande : 01.01.21 Bulletin 20/53.

56 Liste des documents cités dans le rapport de  
recherche préliminaire : *Se reporter à la fin du  
présent fascicule*

60 Références à d'autres documents nationaux  
apparentés :

○ Demande(s) d'extension :

71 Demandeur(s) : STMICROELECTRONICS (CROLLES  
2) SAS Société par actions simplifiée — FR.

72 Inventeur(s) : ROY Francois et DALLEAU Thomas.

73 Titulaire(s) : STMICROELECTRONICS (CROLLES 2)  
SAS Société par actions simplifiée.

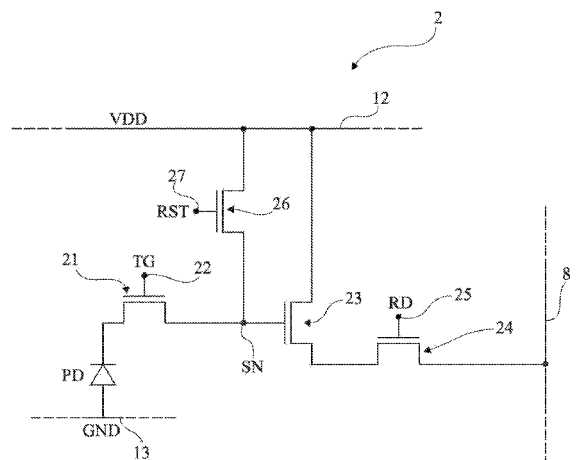
74 Mandataire(s) : CABINET BEAUMONT.

54 Pixel et son procédé de commande.

57 Pixel et son procédé de commande

La présente description concerne un pixel (2)  
comprenant : un noeud de détection (SN) ; un premier tran-  
sistor (26) normalement passant connecté entre le noeud  
de détection (SN) et un rail (12) d'application d'un premier  
potentiel (VDD) ; et un deuxième transistor (23) dont la grille  
est connectée au noeud de détection (SN).

Figure pour l'abrégé: Fig. 2



FR 3 098 075 - A1



## Description

### **Titre de l'invention : *Pixel et son procédé de commande***

#### **Domaine technique**

[0001] La présente description concerne de façon générale les circuits électroniques, et plus particulièrement un pixel d'un capteur d'image.

#### **Technique antérieure**

[0002] On connaît des capteurs d'image comprenant des pixels. La dynamique d'un pixel d'un capteur d'image est dépendante du potentiel maximal, en valeur absolue, qui peut être fourni au pixel pour polariser les transistors du pixel et pour commander ces transistors. Plus particulièrement, en augmentant le potentiel maximal fourni à un pixel, on peut augmenter sa dynamique mais on augmente également sa consommation. Ainsi, en fonction de l'application visée, un compromis doit être trouvé entre la dynamique maximale des pixels du capteur et la consommation des pixels du capteur.

#### **Résumé de l'invention**

[0003] Il existe un besoin de pallier tout ou partie des inconvénients des pixels connus, en particulier, il serait souhaitable d'augmenter la dynamique d'un pixel sans augmenter le potentiel maximal fourni au pixel, ou de diminuer la consommation d'un pixel sans réduire sa dynamique.

[0004] Un mode de réalisation pallie tout ou partie des inconvénients des pixels connus.

[0005] Un mode de réalisation prévoit un pixel comprenant : un noeud de détection ; un premier transistor normalement passant connecté entre le noeud de détection et un rail d'application d'un premier potentiel ; et un deuxième transistor dont la grille est connectée au noeud de détection.

[0006] Selon un mode de réalisation, le drain du deuxième transistor est relié, de préférence connecté, audit rail.

[0007] Selon un mode de réalisation, le pixel comprend en outre : une zone photosensible, de préférence une photodiode pincée ; et un dispositif de transfert de charges connecté entre ladite zone et le noeud de détection.

[0008] Selon un mode de réalisation, le dispositif est une grille de transfert.

[0009] Selon un mode de réalisation, la source du deuxième transistor est reliée à un noeud de lecture du pixel.

[0010] Selon un mode de réalisation, le pixel comprend en outre un troisième transistor connecté entre la source du deuxième transistor et le noeud de lecture.

[0011] Un autre mode de réalisation prévoit un procédé comprenant une étape d'initialisation d'un noeud de détection d'un pixel consistant à appliquer un premier potentiel sur la

grille d'un premier transistor normalement passant du pixel, le premier transistor étant connecté entre un rail au premier potentiel et le noeud de détection, et la grille d'un deuxième transistor du pixel étant connectée au noeud de détection.

- [0012] Selon un mode de réalisation, le drain du deuxième transistor est relié, de préférence connecté, audit rail.
- [0013] Selon un mode de réalisation, le pixel comprend en outre une zone photosensible, et un dispositif de transfert de charge, de préférence un grille de transfert, connecté entre ladite zone et le noeud de détection.
- [0014] Selon un mode de réalisation, la source du deuxième transistor est reliée à un noeud de lecture du pixel, de préférence par un troisième transistor connecté entre la source du deuxième transistor et le noeud de lecture.
- [0015] Selon un mode de réalisation, le premier transistor est un transistor à canal enterré comprenant de préférence une région dopée du même type que sa source et son drain, ladite région s'étendant sous la grille, depuis la source jusqu'au drain.
- [0016] Selon un mode de réalisation, les transistors sont des transistors MOS à canal N.
- [0017] Selon un mode de réalisation, les transistors sont des transistors MOS à canal P.
- [0018] Un autre mode de réalisation prévoit un capteur d'image comprenant : une pluralité de pixels tels que décrits ; et un premier circuit configuré pour appliquer, lors d'une étape d'initialisation du noeud de détection, le premier potentiel à la grille du premier transistor.
- [0019] Selon un mode de réalisation, le capteur comprend en outre un deuxième circuit configuré pour fournir le premier potentiel audit rail et au premier circuit.

### **Brève description des dessins**

- [0020] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :
- [0021] [fig.1] la figure 1 représente, de manière schématique et sous forme de blocs, un mode de réalisation d'un capteur d'image ; et
- [0022] [fig.2] la figure 2 représente, sous la forme d'un circuit, un mode de réalisation d'un pixel.

### **Description des modes de réalisation**

- [0023] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.
- [0024] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, les étapes des

procédés de commande connus des pixels d'un capteur, les circuits de lecture connus des pixels d'un capteur, et les applications ou dispositifs électroniques dans lesquels peut être prévu un capteur d'image n'ont pas été détaillés, les modes de réalisation décrits étant compatibles avec les étapes de ces procédés de commande connus, ces circuits de lecture connus et ces applications ou dispositifs connus.

- [0025] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés ou couplés entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés ou couplés par l'intermédiaire d'un ou plusieurs autres éléments.
- [0026] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.
- [0027] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.
- [0028] La figure 1 représente schématiquement, sous forme de blocs, un mode de réalisation d'un capteur d'image 1.
- [0029] Le capteur 1 comprend une pluralité de pixels 2, par exemple organisés en une matrice 3 de lignes 4 de pixels 2 et de colonnes 5 de pixels 2. Dans cet exemple, la matrice 3 comprend trois lignes 4 et trois colonnes 5, donc neuf pixels 2, bien que, en pratique, une telle matrice puisse comprendre plusieurs milliers, voire plusieurs millions de pixels 2.
- [0030] Le capteur 1 comprend un circuit 6 de commande des pixels 2. Le circuit 6 est configuré pour fournir des signaux de commande 7 à chaque pixel 2 du capteur 1. De préférence, comme cela est représenté de manière schématique, le circuit 6 fournit les mêmes signaux de commande 7 à tous les pixels d'une même ligne 4. En particulier, l'un des signaux de commande 7 permet de sélectionner une ligne 4 donnée, c'est-à-dire simultanément tous les pixels 2 de cette ligne 4. Lorsqu'un pixel 2 est sélectionné, cela revient en pratique à le relier électriquement à au moins un noeud ou rail 8 de lecture, généralement commun à tous les pixels d'une même colonne 5. Dans cet exemple, chaque pixel 2 peut être relié à un unique rail 8 correspondant, commun à tous les pixels 2 d'une même colonne 5.
- [0031] Le capteur 1 comprend également un circuit 9 de lecture des pixels 2. Le circuit 9 est connecté à tous les rails 8 pour recevoir, pour chaque colonne 5, un signal de sortie du pixel 2 de cette colonne 5 qui est sélectionné par le circuit 6. Le circuit 9 fournit alors un signal OUT, par exemple un signal numérique, représentatif de la lumière reçue par

chacun des pixels 2 de la ligne 4 sélectionnée.

- [0032] Un circuit de traitement, non représenté, est configuré pour reconstruire une image à partir des signaux OUT qu'il reçoit du circuit 9 lorsque le circuit 6 sélectionne, les unes après les autres, toutes les lignes 5 du capteur 1.
- [0033] Le capteur 1 comprend un circuit 10 configuré pour fournir, par exemple à partir d'une source d'alimentation électrique 11 telle qu'une batterie, un potentiel VDD et un potentiel de référence, typiquement la masse GND. Les potentiels VDD et GND sont notamment fournis à des rails conducteurs d'alimentation respectivement 12 et 13.
- [0034] Les circuits 6 et 9 sont connectés aux rails 12 et 13 pour être alimentés électriquement. En outre, le circuit 6 utilise les potentiels VDD et GND pour fournir des signaux de commande 7 binaires dont un premier état binaire, par exemple '1', correspond à l'un des potentiels VDD et GND, par exemple au potentiel VDD, et dont un deuxième état binaire, par exemple '0', correspond à l'autre de ces potentiels, par exemple le potentiel de masse GND.
- [0035] Bien que cela ne soit pas représenté en figure 1, chaque pixel 2 est relié, de préférence connecté, aux rails 12 et 13 pour être alimenté, notamment pour polariser des transistors du pixel.
- [0036] Le circuit 10 peut fournir un ou plusieurs autres potentiels (non représentés), par exemple un potentiel négatif, à un autre rail conducteur ou noeud. Ces autres potentiels correspondent par exemple à un état binaire '0' ou '1' d'un signal de commande 7, par exemple, un signal 7 dont l'état '1' correspond au potentiel VDD et dont l'état '0' correspond à un autre potentiel que le potentiel de référence GND.
- [0037] On considère ici que tous les potentiels fournis par le circuit 10 et reçus par les pixels 2 sont référencés par rapport au potentiel de masse GND. On considère en outre que le potentiel VDD, par exemple positif, est, en valeur absolue, le plus haut niveau de potentiel fourni aux pixels 2. Le potentiel VDD est alors le potentiel maximal dans le capteur 1, et en particulier dans les pixels 2.
- [0038] La consommation du capteur 1 est liée au potentiel maximal VDD, cette consommation augmentant avec la valeur absolue du potentiel VDD.
- [0039] La figure 2 représente, de manière schématique et sous la forme d'un circuit, un mode de réalisation d'un pixel, par exemple d'un pixel 2 du capteur de la figure 1. Dans cet exemple, le pixel 2 est un pixel à quatre transistors, couramment appelé pixel 4T.
- [0040] Le pixel 2 comprend une zone photosensible PD. La zone photosensible PD est configurée pour que des charges y soient générées et accumulées lorsqu'elle reçoit de la lumière, c'est-à-dire des photons. Dans cet exemple, la zone photosensible PD est une photodiode pincée bien que la zone photosensible puisse être différente d'une photodiode pincée, par exemple être une photogrille ("photogate" en anglais). La photodiode PD à une de ses bornes reliée, de préférence connectée, à un rail ou noeud

d'alimentation, c'est-à-dire un rail ou noeud d'application d'un potentiel d'alimentation, et une autre de ses bornes reliée à un noeud de détection SN par un dispositif 21 de transfert de charges. Une borne de commande du dispositif 21 est reliée, de préférence connectée, à un rail ou noeud 22 d'application d'un signal de commande TG. Le signal TG correspond par exemple à l'un des signaux 7 fournis par le circuit 6 du capteur 1 (figure 1).

- [0041] Dans cet exemple où les charges photogénérées utiles du pixel 2 sont des électrons, l'anode de la photodiode PD est reliée, de préférence connectée, au rail 13 d'application du potentiel de référence GND, sa cathode étant reliée au noeud SN par une grille de transfert 21 connectée au noeud 22. Plus particulièrement, la grille de transfert 21 s'étend entre une région dopée de type N formant tout ou partie de la cathode de la photodiode PD, et une région dopée de type N correspondant, au moins en partie, au noeud SN.
- [0042] Le pixel 2 comprend un transistor MOS 23, dans cet exemple à canal N, dont la grille est reliée, de préférence connectée au noeud SN. Le transistor 23 est couramment dit "à source suiveuse" ("source follower" en anglais). Une première borne de conduction du transistor 23, dans cet exemple son drain, est reliée, de préférence connectée, à un rail ou noeud d'alimentation, c'est-à-dire un rail ou noeud d'application d'un potentiel d'alimentation, dans cet exemple le rail ou noeud 12 d'application du potentiel VDD. Une deuxième borne de conduction du transistor 23, dans cet exemple sa source, est reliée à un rail ou noeud de lecture du pixel 2, dans cet exemple un rail 8 de lecture (figure 1).
- [0043] Plus particulièrement, le transistor 23 est relié au rail 8 par l'intermédiaire d'un transistor MOS 24, dans cet exemple à canal N. Les bornes de conduction du transistor 24 sont respectivement reliées, de préférence connectées, au transistor 23, ici à la source du transistor 23, et au rail 8 de lecture. La grille, ou borne de commande, du transistor 24 est reliée, de préférence connectée, à un rail ou noeud 25 d'application d'un signal de commande RD. Le signal RD correspond par exemple à l'un des signaux 7 fournis par le circuit 6 du capteur 1 (figure 1), et plus particulièrement au signal permettant de sélectionner tous les pixels 2 d'une même ligne 4.
- [0044] Le pixel 2 comprend un transistor MOS 26, dans cet exemple à canal N. Les bornes de conduction du transistor 26 sont reliées, de préférence connectées, respectivement au rail 12 et au noeud SN. La grille du transistor 26 est reliée, de préférence connectée, à un rail ou noeud 27 d'application d'un signal de commande RST. Par exemple, le signal RST correspond à l'un des signaux 7 fournis par le circuit 7 du capteur 1 (figure 1).
- [0045] Dans ce mode de réalisation, contrairement aux pixels 4T connus, le transistor 26 est configuré pour être normalement passant ("normally on" en anglais). Dit autrement,

cela signifie que, pour un potentiel de zéro volt appliqué sur sa source, sur sa grille, et, dans le cas d'un transistor sur substrat massif, sur son caisson, le transistor 26 est passant. Dit encore autrement, pour un transistor MOS à canal N, cela signifie que sa tension de seuil est négative, et, pour un transistor MOS à canal P, cela signifie que sa tension de seuil est positive.

- [0046] Un exemple de transistor configuré pour être normalement passant est un transistor dans lequel, sous la grille du transistor, la zone ou région de formation de canal s'étendant de la source jusqu'au drain du transistor comprend une région dopée du même type de conductivité que la source et le drain, cette région s'étendant de la source jusqu'au drain du transistor. La zone de formation de canal peut même être entièrement dopée du même type de conductivité que les régions de drain et de source qu'elle sépare l'une de l'autre. Un tel transistor est couramment appelé transistor à canal enterré ("burried channel" en anglais) du fait que, à l'état passant du transistor, entre la source et le drain du transistor, les charges circulent en profondeur, et non pas juste sous la surface de l'isolant de grille. Un tel transistor est aussi appelé transistor MOS à appauvrissement ("depletion mode transistor" en anglais). Ce type de transistor peut être réalisé dans et/ou sur un substrat semiconducteur massif. Ce type de transistor peut aussi être réalisé dans et/ou sur une couche semiconductrice d'une structure de type SOI ("Semiconductor On Insulator").
- [0047] Un exemple de transistor configuré pour être normalement passant est un transistor réalisé dans et/ou sur une couche semiconductrice de type SOI, notamment une couche semiconductrice mince dont la faible épaisseur, par exemple inférieure à 20 nm, entraîne que le transistor est complètement déplété (FDSOI – "Fully Depleted SOI"), un potentiel de polarisation, par exemple fourni par le circuit 10 (figure 1) étant appliqué à la grille arrière du transistor, c'est-à-dire à la région ou au matériau disposé au contact de la couche isolante de la structure SOI, du côté opposé à la région de formation de canal, pour que le transistor soit normalement passant.
- [0048] Le fonctionnement du pixel 2 est le suivant.
- [0049] Lors d'une phase d'initialisation du noeud SN, le transistor 26 est commuté à l'état passant. Ainsi, le potentiel VDD du rail 12, correspondant ici au potentiel de drain du transistor 26, par exemple 3,5 V, se retrouve sur la source du transistor 26, donc sur le noeud SN.
- [0050] Pour que le transistor 26, dont la tension de seuil est négative dans cet exemple, commute à l'état passant, le signal RST est commuté à un potentiel tel que la tension grille-source,  $V_{gs}$ , du transistor 26 soit supérieure à sa tension de seuil. Ce potentiel est par exemple fourni par le circuit 10 au circuit 6 (figure 1). De préférence, le signal RST est commuté au potentiel VDD, ce qui revient à avoir une tension  $V_{gs}$  et une tension grille-drain,  $V_{gd}$ , nulles.

- [0051] Plus généralement, pendant la phase d'initialisation du noeud SN, le signal RST est maintenu à un potentiel de signe opposé à celui de la tension de seuil du transistor 26, ou, de façon préférentiel, à un potentiel identique au potentiel sur le drain du transistor 26, la tension  $V_{gd}$  étant alors nulle.
- [0052] De préférence, pendant la phase d'initialisation, le transistor 21 est maintenu à l'état bloqué. Ainsi, le noeud SN est isolé électriquement de la photodiode PD. La façon dont peut être initialisée la zone photosensible PD, c'est-à-dire la façon de vider la zone PD de toutes les charges photogénérées qui pourraient s'y trouver, est à la portée de l'homme du métier et ne sera pas détaillée ici.
- [0053] A la fin de la phase d'initialisation du noeud SN, le transistor 26 est commuté à l'état bloqué. Pour que le transistor 26, dont la tension de seuil est négative dans cet exemple, soit commuté à l'état bloqué, le signal RST est commuté à un potentiel bas tel que la tension  $V_{gs}$  du transistor 26 soit inférieure à sa tension de seuil. Ce potentiel est par exemple fourni par le circuit 10 au circuit 6, de sorte que le circuit 6 génère le signal RST. De préférence, ce potentiel est, en valeur absolue, inférieur au potentiel VDD, par exemple égal à 0 V.
- [0054] En outre, ce potentiel est tel que le transistor 26 reste bloqué quand des charges accumulées dans la zone PD seront transférées sur le noeud SN. Dans cet exemple, ce transfert de charges peut faire diminuer le potentiel du noeud SN au maximum jusqu'au potentiel de déplétion de la photodiode PD, par exemple 1,5 V. Il suffit alors que le potentiel bas du signal RST soit tel que le potentiel de déplétion du canal du transistor 26, c'est-à-dire le potentiel dans la région de formation de canal du transistor 26, soit inférieur au potentiel de déplétion de la photodiode PD, donc au potentiel minimal du noeud SN, lorsque le potentiel bas du signal RST est appliqué à la grille du transistor 26.
- [0055] Pendant une phase de lecture, le transistor 24 est commuté à l'état passant, par exemple en commutant le signal RD du potentiel GND (transistor 24 bloqué) au potentiel VDD. Cela revient à sélectionner le pixel 2. Un premier potentiel représentatif du potentiel initial, ou potentiel d'initialisation, du noeud SN se retrouve alors sur le rail 8 de lecture.
- [0056] Le dispositif 21 est ensuite rendu passant et les charges photogénérées qui se sont accumulées dans la zone PD depuis le début de la phase d'intégration sont transférées vers le noeud SN. La variation du potentiel du noeud SN qui en résulte est représentative de la lumière reçue par le pixel 2 pendant la phase d'intégration et entraîne une variation correspondante du potentiel du rail 8 de lecture qui se retrouve à un deuxième potentiel. La différence entre les premier et deuxième potentiels (CDS – double échantillonnage corrélé) est représentative de la lumière reçue par le pixel 2 pendant la phase d'intégration.

- [0057] On comprend que la dynamique du pixel 2 est liée à l'amplitude maximale de la variation du potentiel du noeud SN, donc à la valeur absolue du potentiel VDD. En effet, dès que la quantité de charges photogénérées transférées à la fin d'une période d'intégration entraîne une variation maximale du potentiel du noeud SN par rapport à son potentiel d'initialisation VDD, il n'est plus possible de distinguer cette quantité de charges photogénérées d'une quantité plus importantes de charges photogénérées qui serait transférée vers le noeud SN, par exemple lors après une autre phase d'intégration, du fait qu'elle entraînerait la même variation maximale du potentiel du noeud SN.
- [0058] Dans un pixel 4T où le transistor 26 serait un transistor normalement bloqué et dans lequel le signal RST serait au potentiel VDD lors de la phase d'initialisation, le potentiel d'initialisation du noeud SN serait au plus égal au potentiel VDD moins la tension de seuil du transistor 26. Ainsi, dans un pixel à transistor 26 normalement bloqué, la variation maximale du potentiel du noeud SN serait plus faible que celle du pixel 2, pour une valeur donnée du potentiel VDD. Autrement dit, la quantité maximale de charges photogénérées transférées entraînant une variation maximale du potentiel du noeud SN, c'est-à-dire la quantité maximale de charges photogénérées détectable par le pixel, serait plus faible que celle du pixel 2, pour une valeur donnée du potentiel VDD. Pour une valeur donnée du potentiel VDD, donc une consommation donnée, le pixel 2 a une dynamique plus grande qu'un pixel similaire à transistor 26 normalement bloqué.
- [0059] Pour obtenir la même dynamique dans un pixel 2 et dans un pixel similaire à transistor 26 normalement bloqué, il faudrait que, lors de la phase d'initialisation, le signal RST du pixel à transistor 26 normalement bloqué soit à un potentiel VDD1 égal au potentiel VDD plus la tension de seuil du transistor 26 normalement bloqué, donc à un potentiel VDD1 supérieur au potentiel VDD. Il en résulterait que, pour une même dynamique, la consommation du pixel 2 serait plus faible que celle d'un pixel similaire à transistor 26 normalement bloqué. Il en résulterait en outre une complexification du pixel à transistor 26 normalement bloqué par rapport au pixel 2, du fait de la prévision d'un rail d'alimentation supplémentaire.
- [0060] A titre d'exemple, le potentiel VDD et/ou le potentiel haut du signal RST (transistor 26 passant) sont égaux à environ 3,5 V ou à environ 2,5 V, de préférence à 3,5 V ou 2,5 V. Le potentiel bas du signal RST (transistor 26 bloqué) est par exemple égal à 0 V pour une tension de seuil du transistor 26 égale à -1 V.
- [0061] On a décrit ci-dessus en relation avec les figures 1 et 2, un mode de réalisation d'un pixel 4T dans lequel le transistor 26 permettant d'initialiser le potentiel le noeud de détection 26 du pixel, ou transistor d'initialisation 26, est normalement passant. Dans des variantes de réalisation non illustrées, un transistor d'initialisation normalement passant peut être prévu dans d'autres types de pixels qu'un pixel 4T, en y procurant les

mêmes avantages en termes de consommation et/ou de dynamique. Par exemple, on peut prévoir un transistor d'initialisation normalement passant dans un pixel à obturation globale, c'est-à-dire un pixel d'un capteur d'image à obturation globale.

[0062] Divers modes de réalisation et variantes ont été décrits. L'homme de l'art comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à l'homme de l'art. En particulier, l'homme du métier est en mesure d'adapter les modes de réalisation et variantes décrits ci-dessus au cas de pixels réalisés avec des transistors à canal P et/ou au cas de pixels réalisés avec des transistors d'une filière ou d'une technologie autre que la technologie ou filière MOS.

[0063] Enfin, la mise en oeuvre pratique des modes de réalisation et variantes décrits est à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus. En particulier, la réalisation pratique du transistor 26 normalement passant, notamment le choix de sa tension de seuil et des potentiels haut et bas du signal RST, et plus généralement la réalisation pratique de pixels comprenant un tel transistor, est à la portée de l'homme du métier à partir des indications fonctionnelles données ci-dessus. Par ailleurs, la génération, par exemple par le circuit 10, des potentiels haut et bas du signal RST permettant maintenir le transistor 26 respectivement passant et bloqué, est à la portée de l'homme du métier.

## Revendications

- [Revendication 1] Pixel (2) comprenant :
- un noeud de détection (SN) ;
  - un premier transistor (26) normalement passant connecté entre le noeud de détection (SN) et un rail (12) d'application d'un premier potentiel (VDD) ; et
  - un deuxième transistor (23) dont la grille est connectée au noeud de détection (SN).
- [Revendication 2] Pixel selon la revendication 1, dans lequel le drain du deuxième transistor (23) est relié, de préférence connecté, audit rail (12).
- [Revendication 3] Pixel selon la revendication 1 ou 2, comprenant en outre :
- une zone photosensible (PD), de préférence une photodiode pincée ; et
  - un dispositif (21) de transfert de charges connecté entre ladite zone (PD) et le noeud de détection (SN).
- [Revendication 4] Pixel selon la revendication 3, dans lequel ledit dispositif (21) est une grille de transfert.
- [Revendication 5] Pixel selon l'une quelconque des revendications 1 à 4, dans lequel la source du deuxième transistor (26) est reliée à un noeud (8) de lecture du pixel (2).
- [Revendication 6] Pixel selon la revendication 5, comprenant en outre un troisième transistor (24) connecté entre la source du deuxième transistor (23) et le noeud (8) de lecture.
- [Revendication 7] Procédé comprenant une étape d'initialisation d'un noeud de détection (SN) d'un pixel (2) consistant à appliquer un premier potentiel (VDD) sur la grille d'un premier transistor (26) normalement passant du pixel (2), le premier transistor (26) étant connecté entre un rail (12) au premier potentiel (VDD) et le noeud de détection (SN), et la grille d'un deuxième transistor (23) du pixel (2) étant connectée au noeud de détection (SN).
- [Revendication 8] Procédé selon la revendication 7, dans lequel le drain du deuxième transistor (23) est relié, de préférence connecté, audit rail (12).
- [Revendication 9] Procédé selon la revendication 7 ou 8 dans lequel :
- le pixel (2) comprend en outre une zone photosensible (PD), et un
  - dispositif (21) de transfert de charge, de préférence une grille de transfert, connecté entre ladite zone (PD) et le noeud de détection (SN).
- [Revendication 10] Procédé selon l'une quelconque des revendications 7 à 9, dans lequel la source du deuxième transistor (23) est reliée à un noeud (8) de lecture

- du pixel (2), de préférence par un troisième transistor (24) connecté entre la source du deuxième transistor (23) et le noeud (8) de lecture.
- [Revendication 11] Pixel selon l'une quelconque des revendications 1 à 6, dans lequel le premier transistor (26) est un transistor à canal enterré comprenant de préférence une région dopée du même type que sa source et son drain, ladite région s'étendant sous la grille, depuis la source jusqu'au drain.
- [Revendication 12] Pixel selon l'une quelconque des revendications 1 à 6 et 11, dans lequel les transistors (23, 24, 26) sont des transistors MOS à canal N.
- [Revendication 13] Pixel selon l'une quelconque des revendications 1 à 6 et 11, dans lequel les transistors (23, 24, 26) sont des transistors MOS à canal P.
- [Revendication 14] Capteur d'image (1) comprenant :  
une pluralité de pixels (2) selon l'une quelconque des revendications 1 à 6, 11, 12 et 13 ; et  
un premier circuit (6) configuré pour appliquer, lors d'une étape d'initialisation du noeud de détection (SN), le premier potentiel (VDD) à la grille du premier transistor (23).
- [Revendication 15] Capteur selon la revendication 14 comprenant en outre un deuxième circuit (10) configuré pour fournir le premier potentiel (VDD) audit rail (12) et au premier circuit (6).

[Fig. 1]

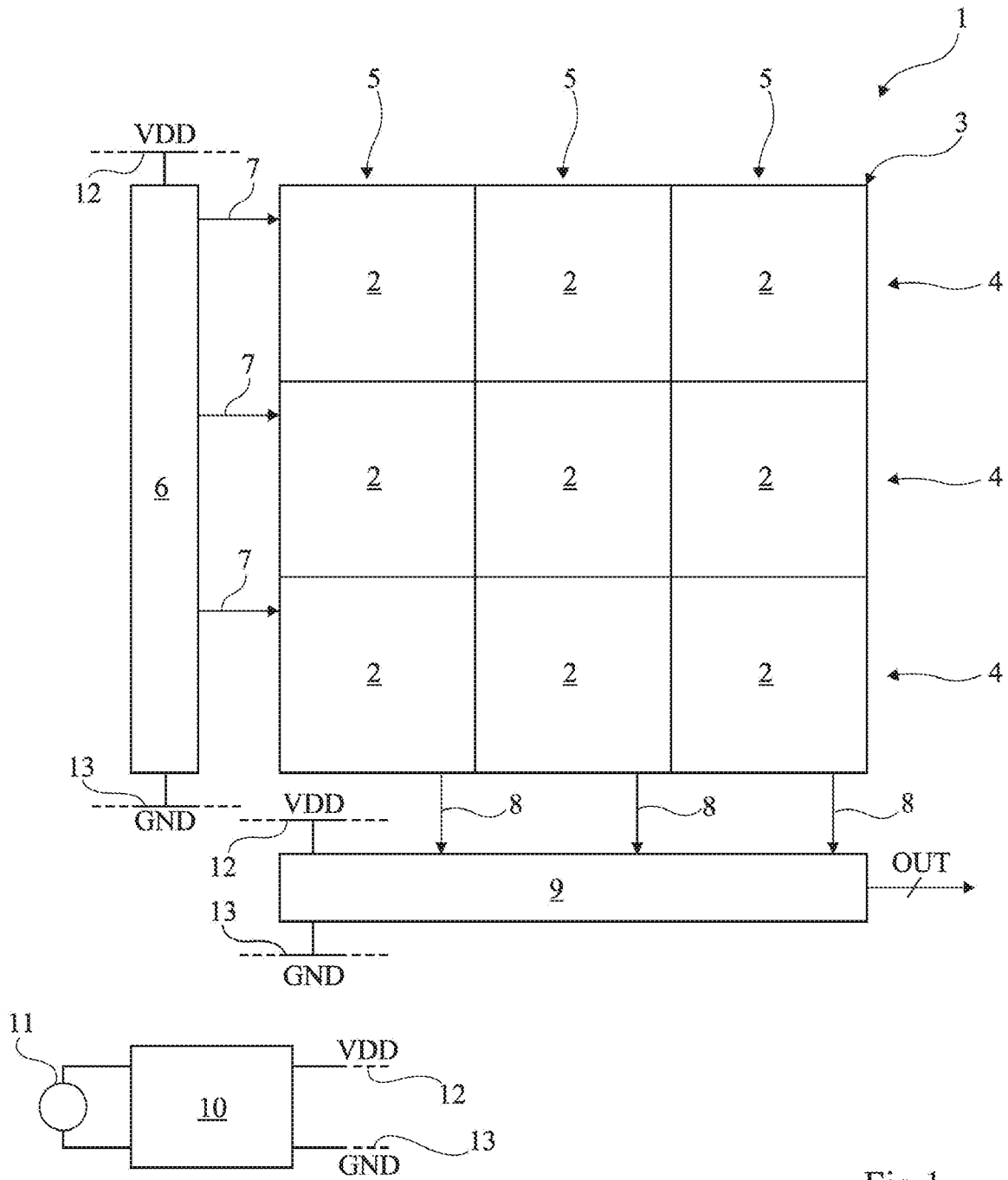


Fig 1

[Fig. 2]

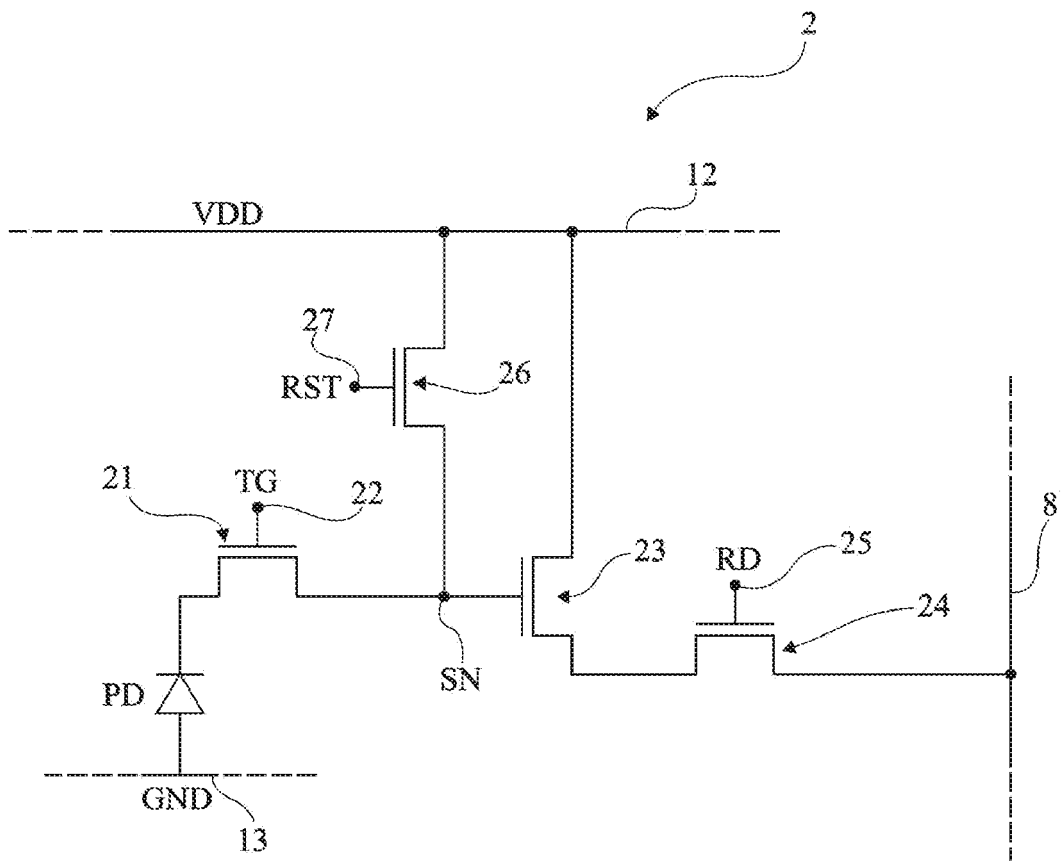


Fig 2

**RAPPORT DE RECHERCHE  
 PRÉLIMINAIRE**

 établi sur la base des dernières revendications  
 déposées avant le commencement de la recherche

 N° d'enregistrement  
 national

 FA 870548  
 FR 1907148

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	ZHOU YANGFAN ET AL: "A low power global shutter pixel with extended FD voltage swing range for large format high speed CMOS image sensor", SCIENCE CHINA INFORMATION SCIENCES, SCIENCE CHINA PRESS, HEIDELBERG, vol. 58, no. 4, 12 février 2015 (2015-02-12), pages 1-10, XP035469867, ISSN: 1674-733X, DOI: 10.1007/S11432-014-5272-8 [extrait le 2015-02-12]	1-10, 12-15	H04N5/374 H01L27/146 H04N5/355
Y	* abrégé * * figures 1(a), 1(b) * * page 2, ligne 7 * * page 3, lignes 1,13-15 *	11	
X	US 2008/224191 A1 (AHN JUNG-CHAK [JP] ET AL) 18 septembre 2008 (2008-09-18) * abrégé * * alinéas [0074], [0079] * * figure 2 *	1,7	DOMAINES TECHNIQUES RECHERCHÉS (IPC)
Y	US 2010/230579 A1 (WATANABE KAZUFUMI [JP]) 16 septembre 2010 (2010-09-16) * abrégé * * alinéa [0053] *	11	H04N H01L
A	US 6 184 055 B1 (YANG WOODWARD [KR] ET AL) 6 février 2001 (2001-02-06) * le document en entier *	1-15	
Date d'achèvement de la recherche		Examineur	
21 février 2020		Lauri, Lauro	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		.....	
P : document intercalaire		& : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE  
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1907148 FA 870548**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.  
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **21-02-2020**  
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2008224191 A1	18-09-2008	KR 20080083475 A	18-09-2008
		US 2008224191 A1	18-09-2008
-----			
US 2010230579 A1	16-09-2010	CN 101835003 A	15-09-2010
		CN 102790864 A	21-11-2012
		JP 5369779 B2	18-12-2013
		JP 2010213140 A	24-09-2010
		US 2010230579 A1	16-09-2010
		US 2013070141 A1	21-03-2013
-----			
US 6184055 B1	06-02-2001	CN 1231516 A	13-10-1999
		CN 1534790 A	06-10-2004
		DE 19908457 A1	02-09-1999
		FR 2775541 A1	03-09-1999
		FR 2779870 A1	17-12-1999
		GB 2334817 A	01-09-1999
		JP 4390896 B2	24-12-2009
		JP H11317512 A	16-11-1999
		KR 19990072885 A	27-09-1999
		NL 1011381 C2	15-02-2000
		NL 1014309 C2	27-01-2004
		TW 457644 B	01-10-2001
		US 6180969 B1	30-01-2001
		US 6184055 B1	06-02-2001
-----			