

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 1 月 11 日 (11.01.2024)



(10) 国际公布号
WO 2024/007356 A1

- (51) 国际专利分类号:
H01L 21/60 (2006.01) **H01L 21/67** (2006.01)
- (21) 国际申请号: PCT/CN2022/105548
- (22) 国际申请日: 2022 年 7 月 13 日 (13.07.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202210787178.X 2022年7月4日 (04.07.2022) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (72) 发明人: 卢宗正 (LU, Zongzheng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

- (74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,

(54) **Title:** SEMICONDUCTOR STRUCTURE, PACKAGING DEVICE, AND MANUFACTURING METHOD FOR SEMICONDUCTOR STRUCTURE

(54) 发明名称: 一种半导体结构、封装器件及半导体结构的制造方法

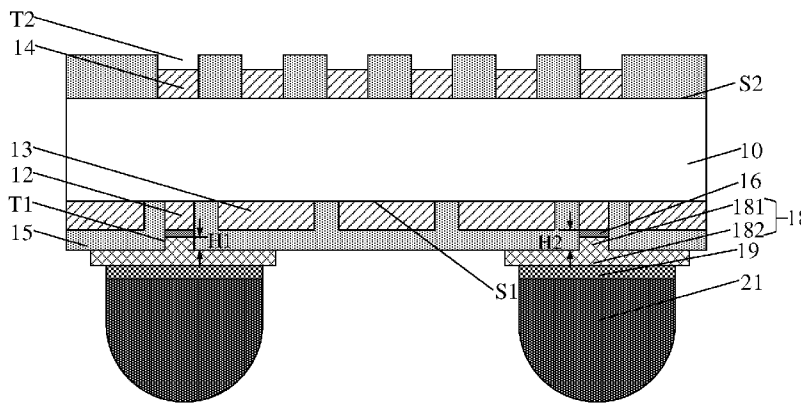


图 1

(57) **Abstract:** Disclosed in the embodiments of the present disclosure are a semiconductor structure, a packaging device, and a manufacturing method for the semiconductor structure. The semiconductor structure comprises: a substrate, which comprises a first surface; a first pad, which is located on the first surface; an adapter part, which is located on the first pad and comprises a first sub-part covering the first pad and a second sub-part covering the first sub-part, orthographic projections of the first sub-part and the first pad on the first surface falling into an orthographic projection of the second sub-part on the first surface; and a solder ball, which is located on the second sub-part.

(57) **摘要:** 本公开实施例公开了一种半导体结构、封装器件及半导体结构的制造方法, 所述半导体结构包括: 衬底, 所述衬底包括第一表面; 第一焊垫, 位于所述第一表面上; 转接部, 位于所述第一焊垫上; 所述转接部包括覆盖所述第一焊垫的第一子部和覆盖所述第一子部的第二子部, 其中, 所述第一子部、所述第一焊垫在所述第一表面上的正投影落入所述第二子部在所述第一表面上的正投影内; 焊球, 位于所述第二子部上。



RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种半导体结构、封装器件及半导体结构的制造方法

相关申请的交叉引用

本公开基于申请号为 202210787178.X、申请日为 2022 年 07 月 04 日、发明名称为“一种半导体结构、封装器件及半导体结构的制造方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体制造领域，尤其涉及一种半导体结构、封装器件及半导体结构的制造方法。

背景技术

半导体结构，例如封装基板，通常包括衬底，衬底表面设置有焊垫以及位于焊垫之间的信号传输线，焊垫用于焊接焊球。

然而，由于焊球的尺寸较大，且焊垫与焊球的尺寸相等或接近，焊垫与焊球在衬底表面占用的面积较大，挤压信号传输线在衬底表面占用的面积，使得信号传输线设计的较细，容易发生断裂，且为了避开焊垫，信号传输线往往具有较长的绕线，从而引起信号完整性问题。

发明内容

本公开实施例提供一种半导体结构，包括：

衬底，所述衬底包括第一表面；

第一焊垫，位于所述第一表面上；

转接部，位于所述第一焊垫上；所述转接部包括覆盖所述第一焊垫的第一子部和覆盖所述第一子部的第二子部，其中，所述第一子部、所述第一焊垫在所述第一表面上的正投影落入所述第二子部在所述第一表面上的正投影内；

焊球，位于所述第二子部上。

在一些实施例中，所述焊球在所述第一表面上的正投影与所述第二子部在所述第一表面上的正投影完全重叠，或者所述焊球在所述第一表面上的正投影落入所述第二子部在所述第一表面上的正投影内。

在一些实施例中，所述第一子部在所述第一表面上的正投影与所述第一焊垫在所述第一表面上的正投影完全重叠，或者所述第一子部在所述第

一表面上的正投影落入所述第一焊垫在所述第一表面上的正投影内。

在一些实施例中，在垂直于所述第一表面且由所述第一焊垫指向所述第二子部的方向上，所述第一子部的宽度逐渐增加。

5 在一些实施例中，所述半导体结构还包括：复合增强层，所述复合增强层位于所述第一子部和所述第一焊垫之间。

在一些实施例中，所述半导体结构还包括：可焊层，所述可焊层位于所述焊球和所述第二子部之间。

10 在一些实施例中，所述半导体结构还包括：传输线，所述传输线位于所述第一表面上；介质层，所述介质层覆盖所述传输线且填充所述第一焊垫和所述传输线之间的空隙；其中，所述介质层内形成有暴露出所述第一焊垫的第一开口，所述第一子部位于所述第一开口内，所述第二子部覆盖所述第一子部及部分所述介质层。

15 在一些实施例中，所述半导体结构还包括：多个第二焊垫，位于所述衬底与所述第一表面相对的第二表面上，所述介质层还填充所述多个第二焊垫之间的空隙；其中，所述介质层内形成有多个第二开口，所述第二开口暴露所述第二焊垫。

本公开实施例还提供了一种封装器件，所述封装器件包括：至少一个芯片以及如上所述的任一半导体结构，所述至少一个芯片与所述半导体结构键合连接。

20 本公开实施例还提供了一种半导体结构的制造方法，包括：

提供衬底，所述衬底包括第一表面；

在所述第一表面上形成第一焊垫；

25 在所述第一焊垫上形成转接部，所述转接部包括覆盖所述第一焊垫的第一子部和覆盖所述第一子部的第二子部，其中，所述第一子部、所述第一焊垫在所述第一表面上的正投影落入所述第二子部在所述第一表面上的正投影内；

在所述第二子部上形成焊球。

在一些实施例中，在所述第一表面上形成第一焊垫，包括：

形成第一导电材料层，所述第一导电材料层至少覆盖所述第一表面；

30 刻蚀覆盖所述第一表面的所述第一导电材料层以在所述第一表面上形成所述第一焊垫和传输线。

在一些实施例中，在所述第一焊垫上形成转接部之前，所述方法还包括：

35 形成介质层，所述介质层至少覆盖所述第一焊垫、所述传输线并填充所述第一焊垫、所述传输线之间的空隙。

在一些实施例中，在所述第一焊垫上形成转接部，所述转接部包括覆盖所述第一焊垫的第一子部和覆盖所述第一子部的第二子部，包括：

刻蚀覆盖所述第一焊垫的所述介质层以形成第一开口，所述第一开口

暴露所述第一焊垫；

在所述第一表面上形成第二导电材料层，所述第二导电材料层填充所述第一开口并覆盖所述介质层；

刻蚀覆盖所述介质层的部分所述第二导电材料层以形成所述转接部，其中，所述转接部位于所述第一开口内的部分构成所述第一子部，覆盖所述第一子部及部分所述介质层的部分构成所述第二子部。

在一些实施例中，在所述第一表面上形成第二导电材料层之前，所述方法还包括：在所述第一开口内形成复合增强层，所述复合增强层覆盖所述第一焊垫。

在一些实施例中，在形成焊球之前，所述方法还包括：形成可焊层，所述可焊层覆盖所述第二子部待与所述焊球电连接的表面。

在一些实施例中，形成第一导电材料层，所述第一导电材料层至少覆盖所述第一表面，包括：形成第一导电材料层，所述第一导电材料层覆盖所述第一表面及所述衬底的与所述第一表面相对的第二表面；

在刻蚀覆盖所述第一表面的所述第一导电材料层以在所述第一表面上形成所述第一焊垫和传输线的同一步骤中，所述方法还包括：刻蚀覆盖所述第二表面的所述第一导电材料层，以形成多个第二焊垫。

在一些实施例中，形成介质层，所述介质层至少覆盖所述第一焊垫、所述传输线并填充所述第一焊垫、所述传输线之间的空隙，包括：

在所述第一表面和所述第二表面上形成所述介质层，所述介质层还覆盖所述多个第二焊垫并填充位于所述多个第二焊垫之间的空隙。

在一些实施例中，在刻蚀覆盖所述第一焊垫的所述介质层以形成第一开口，所述第一开口暴露所述第一焊垫的同一步骤中，所述方法还包括：

刻蚀覆盖所述第二焊垫的介质层以形成第二开口，所述第二开口暴露所述第二焊垫。

本公开实施例提供的半导体结构、封装器件及半导体结构的制造方法，其中，所述半导体结构包括：衬底，所述衬底包括第一表面；第一焊垫，位于所述第一表面上；转接部，位于所述第一焊垫上；所述转接部包括覆盖所述第一焊垫的第一子部和覆盖所述第一子部的第二子部，其中，所述第一子部、所述第一焊垫在所述第一表面上的正投影落入所述第二子部在所述第一表面上的正投影内；焊球，位于所述第二子部上。焊球通过转接部与第一焊垫电连接，且焊球位于具有更大尺寸的第二子部上，如此，在不改变焊球尺寸的情况下，可以通过缩小第一焊垫的尺寸，减小第一焊垫在衬底表面占用的面积，从而允许传输线在衬底表面占用更大的面积，传输线可以设计的更宽，减小或消除传输线断裂的风险，避免传输线距离过近引起的电磁干扰、信号串扰，且由于第一焊垫的尺寸较小，能够避免或缓解传输线传输路径较长的问题。

本公开的一个或多个实施例的细节在下面的附图和描述中提出。本公

开的其它特征和优点将从说明书附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开实施例提供的半导体结构的示意图；

图 2 为本公开另一实施例提供的半导体结构的示意图；

图 3 为本公开又一实施例提供的半导体结构的示意图；

图 4 为本公开实施例提供的封装器件的示意图；

图 5 为本公开实施例提供的半导体结构的制造方法的流程框图；

图 6 至图 12 为本公开实施例提供的半导体结构的制造方法的工艺流程图；

图 13 至图 16 为本公开另一实施例提供的半导体结构的制造方法的工艺流程图；

图 17 为本公开又一实施例提供的半导体结构的制造方法的工艺流程图。

具体实施方式

下面将参照附图更详细地描述本公开公开的示例性实施方式。虽然附图中显示了本公开的示例性实施方式，然而应当理解，可以以各种形式实现本公开，而不应被这里阐述的具体实施方式所限制。相反，提供这些实施方式是为了能够更透彻地理解本公开，并且能够将本公开公开的范围完整的传达给本领域的技术人员。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管

可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论的第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

半导体结构，例如封装基板，通常包括衬底，衬底表面设置有焊垫以及位于焊垫之间的信号传输线，焊垫用于焊接焊球。

然而，由于焊球的尺寸较大，且焊垫与焊球的尺寸相等或接近，因此焊垫与焊球在衬底表面占用的面积较大，挤压信号传输线在衬底表面占用的面积，使得信号传输线设计的较细，容易发生断裂，且为了避开焊垫，信号传输线往往具有较长的绕线，从而引起信号完整性问题。

基于此，提出了本公开实施例的以下技术方案。下面结合附图对本公开的具体实施方式做详细的说明。在详述本公开实施例时，为便于说明，示意图会不依一般比例做局部放大，而且所述示意图只是示例，其在此不应限制本公开的保护范围。

图 1 为本公开实施例提供的半导体结构的示意图，图 2 为本公开另一实施例提供的半导体结构的示意图，图 3 为本公开又一实施例提供的半导体结构的示意图。以下结合图 1 至图 3 对本公开实施例提供的半导体结构再作进一步说明。

如图所示，半导体结构包括：衬底 10，衬底 10 包括第一表面 S1；第

一焊垫 12, 位于第一表面 S1 上; 转接部 18, 位于第一焊垫 12 上; 转接部 18 包括覆盖第一焊垫 12 的第一子部 181 和覆盖第一子部 181 的第二子部 182, 其中, 第一子部 181、第一焊垫 12 在第一表面 S1 上的正投影落入第二子部 182 在第一表面 S1 上的正投影内; 焊球 21, 位于第二子部 182 上。

在实际操作中, 本公开实施例提供的半导体结构可以是封装基板, 例如球栅阵列 (BGA) 封装基板。但不限于此, 半导体结构还可以是任何包括焊球的半导体结构。

衬底 10 的材料可以为有机绝缘材料、混纤维的有机绝缘材料或混颗粒的有机绝缘材料等, 例如环氧树脂、聚酰亚胺、双马来酰亚胺/三嗪基树脂、氰酸脂或其玻璃纤维的复合材料等。但不限于此, 衬底 10 的材料还可以为半导体材料, 例如硅。在一些实施例中, 衬底 10 内形成有导电通孔 (未图示)。

第一焊垫 12、转接部 18、焊球 21 的数量均为多个, 多个焊球 21 通过转接部 18 与多个第一焊垫 12 一一对应电连接。在一实施例中, 半导体结构还包括: 传输线 13, 传输线 13 位于第一表面 S1 上, 且设置在多个第一焊垫 12 之间, 用于传输电信号。本公开实施例中, 第一子部 181、第一焊垫 12 在第一表面 S1 上的正投影落入第二子部 182 在第一表面 S1 上的正投影内, 且焊球 21 与具有更大尺寸的第二子部 182 焊接, 如此, 在不改变焊球 21 尺寸的情况下, 可以通过缩小第一焊垫 12 的尺寸, 减小第一焊垫 12 在第一表面 S1 上占用的面积, 从而允许传输线 13 在第一表面 S1 上占用更大的面积, 传输线 13 可以设计的更宽, 减小或消除传输线 13 断裂的风险, 避免传输线距离过近引起的电磁干扰、信号串扰, 且由于第一焊垫 12 的尺寸较小, 能够避免或缓解传输线 13 传输路径较长的问题。

如图 1 所示, 在一实施例中, 在垂直于第一表面 S1 且由第一焊垫 12 指向第二子部 182 的方向上, 第一子部 181 具有均匀的宽度。在一些实施例中, 第一子部 181 在第一表面 S1 上的正投影与第一焊垫 12 在第一表面 S1 上的正投影完全重叠, 或者第一子部 181 在第一表面 S1 上的正投影落入第一焊垫 12 在第一表面 S1 上的正投影内, 即, 第一子部 181 的横截面的面积小于或等于第一焊垫 12 的横截面的面积, 如此, 避免了第一子部 181 由于尺寸过大与传输线 13 接触, 造成短路。

但不限于此, 如图 2 所示, 在另一实施例中, 在垂直于第一表面 S1 且由第一焊垫 12 指向第二子部 182 的方向上, 第一子部 181 的宽度逐渐增加, 如此, 增加了第一子部 181 和第二子部 182 的接触面积, 降低接触电阻, 实现更好的信号传输, 且避免了第一子部 181 由于靠近第一焊垫 12 的一侧的尺寸过大与传输线 13 接触。在一些实施例中, 第一焊垫 12 的形状为圆形柱, 第一焊垫 12 的直径在 $20\mu\text{m}$ 至 $420\mu\text{m}$ 之间, 厚度在 $15\mu\text{m}$ 至 $30\mu\text{m}$ 之间, 当第一焊垫 12 的直径较小时, 例如直径小于 $50\mu\text{m}$ 时, 可以设计在垂直于第一表面 S1 且由第一焊垫 12 指向第二子部 182 的方向上, 第

一子部 181 的宽度逐渐增加, 以实现更好的信号传输, 避免由于第一焊垫 12 的尺寸过小, 影响信号传输。

第二子部 182 的横截面的面积和第一焊垫 12 的横截面的面积的比值不宜过大也不宜过小; 比值过大, 第一焊垫 12 的横截面的面积太小, 第一焊垫 12 与转接部 18 的接触面积较小, 增加接触电阻, 会导致第一焊垫 12 传输信号的效果不佳; 比值过小, 第一焊垫 12 的横截面的面积和第二子部 182 的横截面的面积的差值过小, 第一焊垫 12 尺寸缩小的效果不佳, 无法为传输线 13 预留较多的布线面积。在一实施例中, 第二子部 182 的横截面的面积和第一焊垫 12 的横截面的面积的比值在 2 至 50 之间, 例如, 在 2 至 16 之间。但不限于此, 第二子部 182 的横截面的面积和第一焊垫 12 的横截面的面积的比值还可以更大, 例如在 50 至 100 之间。在一些实施例中, 第二子部 182 和第一焊垫 12 的形状均为圆形柱, 第二子部 182 的直径和第一焊垫 12 的直径的比值范围在 1.1 至 7 之间, 例如, 在 1.4 至 4 之间。但不限于此, 第二子部 182 的直径和第一焊垫 12 的直径的比值范围还可以更大, 例如在 7 至 10 之间。

在一实施例, 焊球 21 在第一表面 S1 上的正投影与第二子部 182 在第一表面 S1 上的正投影完全重叠, 或者焊球 21 在第一表面 S1 上的正投影落入第二子部 182 在第一表面 S1 上的正投影内, 即第二子部 182 的横截面的尺寸大于或等于焊球 21 的横截面的尺寸, 允许焊球 21 和第二子部 182 具有更大的接触面积, 降低接触电阻, 且有助于焊球 21 与第二子部 182 焊接的更牢固。在一些实施例中, 第二子部 182 的形状为圆形柱, 第二子部 182 的直径与焊球 21 的直径的比值在 1 至 1.2 之间, 例如 1.1。在一具体实施例中, 第二子部 182 的直径的范围在 $40\mu\text{m}$ 至 $510\mu\text{m}$ 之间, 厚度在 $10\mu\text{m}$ 至 $20\mu\text{m}$ 之间; 焊球 21 的直径的范围在 $40\mu\text{m}$ 至 $420\mu\text{m}$ 之间。

第一子部 181 的材料和第二子部 182 的材料可以相同或不同, 第一焊垫 12 和传输线 13 的材料可以相同或不同, 第一子部 181、第二子部 182、第一焊垫 12、传输线 13 的材料包括钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、镍 (Ni)、铬 (Cr)、金 (Au)、银 (Ag)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合金或其任何组合。在一实施例中, 第一子部 181 的材料和第二子部 182 的材料相同, 例如, 铜; 第一焊垫 12 和传输线 13 的材料相同, 例如, 铜。焊球 21 可以为含铅锡球或不含铅锡球。

在一些实施例中, 半导体结构还包括: 复合增强层 16, 复合增强层 16 位于第一子部 181 和第一焊垫 12 之间。复合增强层 16 的材料可以为合金材料, 例如钛, 钛具有导电性好、强度高、易焊接等优点, 起到良好的连接作用。但不限于此, 任何符合上述要求的材料都可以作为本公开实施例中的复合增强层 16 使用。

在一实施例中, 半导体结构还包括: 可焊层 19, 可焊层 19 位于焊球 21 和第二子部 182 之间, 可焊层 19 有助于使焊球 21 和第二子部 182 焊接

的更牢固。可焊层 19 邻近焊球 21 一面的材料可以是锡 (Sn)、金 (Au)、银 (Ag)。

在一实施例中, 半导体结构还包括: 介质层 15, 介质层 15 覆盖传输线 13 且填充第一焊垫 12 和传输线 13 之间的空隙, 用于保护传输线 13 和第一焊垫 12 不被氧化或损坏。介质层 15 的材料可以为石墨烯、油墨、绿漆、环氧树脂等, 例如, 绿油。

在一实施例中, 介质层 15 内形成有暴露出第一焊垫 12 的第一开口 T1。如图 1 或图 2 所示, 在一具体的实施例中, 第一子部 181 位于第一开口 T1 内, 第二子部 182 覆盖第一子部 181 及部分介质层 15。更具体的, 第一子部 181 的高度 H1 等于或小于第一开口 T1 的高度 H2。但不限于此, 如图 3 所示, 在另一些实施例中, 第一子部 181 部分位于第一开口 T1 内, 第一子部 181 的高度 H1 大于第一开口 T1 的高度 H2, 第二子部 182 距离传输线 13 较远, 如此, 当半导体结构在工作时, 能够减小第二子部 182 与传输线 13 之间的信号干扰。

在一实施例中, 半导体结构还包括: 多个第二焊垫 14, 位于衬底 10 与第一表面 S1 相对的第二表面 S2 上, 介质层 15 还填充多个第二焊垫 14 之间的空隙; 其中, 介质层 15 内形成有多个第二开口 T2, 第二开口 T2 暴露第二焊垫 14, 第二焊垫 14 可以用于后续连接其他结构。但不限于此, 在另一些实施例中, 介质层 15 的上表面还可以与第二焊垫 14 的上表面齐平, 或者移除位于多个第二焊垫 14 之间的介质层 15, 如此, 便于在实际操作中将第二焊垫 14 与其他结构连接, 本公开实施例在此不做过多限制。

在一些实施例中, 位于第一表面 S1 上的第一焊垫 12、传输线 13 与位于第二表面 S2 上的第二焊垫 14 通过位于衬底 10 内的导电通孔 (未图示) 电连接。第二焊垫 14 的材料与第一焊垫 12 的材料可以相同或不同。在一具体实施例中, 第二焊垫 14 的材料与第一焊垫 12 的材料相同, 例如, 铜。

本公开实施例还提供了一种封装器件, 如图 4 所示, 封装器件包括: 至少一个芯片 22 以及如上所述的任一半导体结构 100, 至少一个芯片 22 与半导体结构 100 键合连接。

具体的, 半导体结构 100 包括: 衬底 10, 衬底 10 包括第一表面 S1; 第一焊垫 12, 位于第一表面 S1 上; 转接部 18, 位于第一焊垫 12 上; 转接部 18 包括覆盖第一焊垫 12 的第一子部 181 和覆盖第一子部 181 的第二子部 182, 其中, 第一子部 181、第一焊垫 12 在第一表面 S1 上的正投影落入第二子部 182 在第一表面 S1 上的正投影内; 焊球 21, 位于第二子部 182 上。在一些实施例中, 半导体结构 100 还包括: 多个第二焊垫 14, 位于衬底 10 与第一表面 S1 相对的第二表面 S2 上。

在一实施例中, 芯片 22 的数量可以为一个; 封装器件还包括: 凸块 23, 凸块 23 位于设置在芯片 22 和半导体结构 100 之间, 多个凸块 23 与多个第二焊垫 14 一一对应连接, 凸块 23 的材料包括铜。但不限于此, 在其他实

实施例中，芯片 22 的数量为多个，多个芯片 22 在竖直方向上堆叠设置且彼此键合连接。芯片 22 还可以通过键合线与第二焊垫 14 连接。

在一实施例中，封装器件还包括：封装层 24，封装层 24 至少覆盖芯片 22 及衬底 10 的第二表面 S2。封装层 24 的材料包括环氧树脂模塑料。

5 本公开实施例还提供了一种半导体结构的制造方法，如图 5 所示，方法包括以下步骤：

步骤 501、提供衬底，衬底包括第一表面；

步骤 502、在第一表面上形成第一焊垫；

10 步骤 503、在第一焊垫上形成转接部，转接部包括覆盖第一焊垫的第一子部和覆盖第一子部的第二子部，其中，第一子部、第一焊垫在第一表面上的正投影落入第二子部在第一表面上的正投影内；

步骤 504、在第二子部上形成焊球。

下面结合图 6 至图 17、图 1 至图 3 对本公开实施例的半导体结构的制造方法再做进一步详细的说明，其中，图 6 至图 12 为本公开实施例提供的
15 半导体结构的制造方法的工艺流程图，图 13 至图 16 为本公开另一实施例提供的半导体结构的制造方法的工艺流程图，图 17 为本公开又一实施例提供的半导体结构的制造方法的工艺流程图。

首先，执行步骤 501，如图 6 所示，提供衬底 10，衬底 10 包括第一表面 S1。

20 衬底 10 还包括与第一表面 S1 相对的第二表面 S2。衬底 10 的材料可以为有机绝缘材料、混纤维的有机绝缘材料或混颗粒的有机绝缘材料等，例如环氧树脂、聚酰亚胺、双马来酰亚胺/三嗪基树脂、氰酸脂或其玻璃纤维的复合材料等。但不限于此，衬底 10 的材料还可以为半导体材料，例如硅。在一实施例中，衬底 10 内形成有导电通孔（未图示）。

25 接着，执行步骤 502，如图 7 至图 8 所示，在第一表面 S1 上形成第一焊垫 12。

具体的，在第一表面 S1 上形成第一焊垫 12，包括：

形成第一导电材料层 11，第一导电材料层 11 至少覆盖第一表面 S1；

30 刻蚀覆盖第一表面 S1 的第一导电材料层 11 以在第一表面 S1 上形成第一焊垫 12 和传输线 13。

再次参见图 7 至图 8，在一实施例中，形成第一导电材料层 11，第一导电材料层 11 至少覆盖第一表面 S1，包括：形成第一导电材料层 11，第一导电材料层 11 覆盖第一表面 S1 及衬底 10 的与第一表面 S1 相对的第二表面 S2；

35 在刻蚀覆盖第一表面 S1 的第一导电材料层 11 以在第一表面 S1 上形成第一焊垫 12 和传输线 13 的同一过程中，方法还包括：刻蚀覆盖第二表面 S2 的第一导电材料层 11，以形成多个第二焊垫 14。

本公开实施例通过在相同的工艺步骤中形成第一焊垫 12 和第二焊垫

14, 简化了工艺。但不限于此, 第二焊垫 14 与第一焊垫 12 还可以在不同的工艺步骤中形成。

这里, 第一导电材料层 11 可以使用化学气相沉积 (CVD)、等离子增强 CVD (PECVD)、物理气相沉积 (PVD)、原子层沉积 (ALD)、电镀、化学镀、溅射等工艺形成在衬底 10 的第一表面 S1 和第二表面 S2 上。第一导电材料层 11 的材料包括钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、镍 (Ni)、铬 (Cr)、金 (Au)、银 (Ag)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合金或其任何组合, 例如, 铜。

如图 8 所示, 第一焊垫 12 的数量为多个, 传输线 13 位于多个第一焊垫 12 之间。在一些实施例中, 位于第一表面 S1 上的第一焊垫 12、传输线 13 与位于第二表面 S2 上的第二焊垫 14 通过位于衬底 10 内的导电通孔(未图示)电连接。

在一实施例中, 第一焊垫 12 的形状为圆形柱, 第一焊垫 12 的直径在 $20\mu\text{m}$ 至 $420\mu\text{m}$ 之间, 厚度在 $15\mu\text{m}$ 至 $30\mu\text{m}$ 之间。

接下来, 执行步骤 503, 如图 10 至图 12 所示, 在第一焊垫 12 上形成转接部 18, 转接部 18 包括覆盖第一焊垫 12 的第一子部 181 和覆盖第一子部 181 的第二子部 182, 其中, 第一子部 181、第一焊垫 12 在第一表面 S1 上的正投影落入第二子部 182 在第一表面 S1 上的正投影内。

如图 9 所示, 在一实施例中, 在第一焊垫 12 上形成转接部 18 之前, 方法还包括: 形成介质层 15, 介质层 15 至少覆盖第一焊垫 12、传输线 13 并填充第一焊垫 12、传输线 13 之间的空隙。

再次参见图 9, 在一实施例中, 形成介质层 15, 介质层 15 至少覆盖第一焊垫 12、传输线 13 并填充第一焊垫 12、传输线 13 之间的空隙, 包括: 在第一表面 S1 和第二表面 S2 上形成介质层 15, 介质层 15 还覆盖多个第二焊垫 14 并填充位于多个第二焊垫 14 之间的空隙。本公开实施例通过在相同的工艺步骤中在第一表面 S1 和第二表面 S2 上形成介质层 15, 简化了工艺。但不限于此, 位于第一表面 S1 上的介质层 15 和位于第二表面 S2 上的介质层 15 还可以在不同的工艺步骤中形成。介质层 15 用于保护第一焊垫 12、传输线 13、第二焊垫 14 在后续的工艺步骤中不被氧化或损坏。介质层 15 的材料可以为石墨烯、油墨、绿漆、环氧树脂等, 例如, 绿油。

再次参见图 10 至图 12, 在第一焊垫 12 上形成转接部 18, 转接部 18 包括覆盖第一焊垫 12 的第一子部 181 和覆盖第一子部 181 的第二子部 182, 包括:

刻蚀覆盖第一焊垫 12 的介质层 15 以形成第一开口 T1, 第一开口 T1 暴露第一焊垫 12;

在第一表面 S1 上形成第二导电材料层 17, 第二导电材料层 17 填充第一开口 T1 并覆盖介质层 15;

刻蚀覆盖介质层 15 的部分第二导电材料层 17 以形成转接部 18, 其中,

转接部 18 位于第一开口 T1 内的部分构成第一子部 181, 覆盖第一子部 181 及部分介质层 15 的部分构成第二子部 182。

这里, 第二导电材料层 17 可以使用化学气相沉积 (CVD)、等离子增强 CVD (PECVD)、物理气相沉积 (PVD)、原子层沉积 (ALD)、电镀、化学镀、溅射等工艺形成在衬底 10 的第一表面 S1 上。第二导电材料层 17 的材料包括钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、镍 (Ni)、铬 (Cr)、金 (Au)、银 (Ag)、氮化钛 (TiN)、氮化钽 (TaN)、金属硅化物、金属合金或其任何组合, 例如, 铜。

继续参见图 10, 在一实施例中, 在刻蚀覆盖第一焊垫 12 的介质层 15 以形成第一开口 T1, 第一开口 T1 暴露第一焊垫 12 的同一过程中, 方法还包括: 刻蚀覆盖第二焊垫 14 的介质层 15 以形成第二开口 T2, 第二开口 T2 暴露第二焊垫 14, 第二焊垫 14 可以用于后续连接其他结构。本公开实施例通过在同一过程中形成 T1 和 T2, 简化了工艺。但不限于此, 第一开口 T1 和第二开口 T2 还可以在不同的过程中形成。在一些实施例中, 后续还可以继续刻蚀位于第二表面 S2 上的介质层 15, 使得介质层 15 的上表面与第二焊垫 14 的上表面齐平, 或者移除位于多个第二焊垫 14 之间的介质层 15, 如此, 便于在实际操作中将第二焊垫 14 与其他结构连接, 本公开实施例在此不做过多限制。

继续参见图 11, 在第一表面 S1 上形成第二导电材料层 17 之前, 方法还包括: 在第一开口 T1 内形成复合增强层 16, 复合增强层 16 覆盖第一焊垫 12。复合增强层 16 的材料可以为合金材料, 例如钛, 钛具有导电性好、强度高、易焊接等优点, 起到良好的连接作用。但不限于此, 任何符合上述要求的材料都可以作为本公开实施例中的复合增强层 16 使用。

接着, 执行步骤 504, 在第二子部 182 上形成焊球 21, 形成如图 1 或图 2 所示的半导体结构。

焊球 21 可以为含铅锡球或不含铅锡球。在一实施例, 焊球 21 在第一表面 S1 上的正投影与第二子部 182 在第一表面 S1 上的正投影完全重叠, 或者焊球 21 在第一表面 S1 上的正投影落入第二子部 182 在第一表面 S1 上的正投影内, 即第二子部 182 的横截面的尺寸大于或等于焊球 21 的横截面的尺寸, 允许焊球 21 和第二子部 182 具有更大的接触面积, 降低接触电阻, 且有助于焊球 21 与第二子部 182 焊接的更牢固。在一些实施例中, 第二子部 182 的形状为圆形柱, 第二子部 182 的直径与焊球 21 的直径的比值在 1 至 1.2 之间, 例如 1.1。在一具体实施例中, 第二子部 182 的直径的范围在 40 μm 至 510 μm 之间, 厚度在 10 μm 至 20 μm 之间; 焊球 21 的直径的范围在 40 μm 至 420 μm 之间。

再次参见图 1 或图 2, 在一实施例中, 在形成焊球 21 之前, 方法还包括: 形成可焊层 19, 可焊层 19 覆盖第二子部 182 待与焊球 21 电连接的表面, 可焊层 19 有助于使焊球 21 和第二子部 182 焊接的更牢固。可焊层 19

待与焊球 21 电连接的一面的材料可以是锡 (Sn)、金 (Au)、银 (Ag)。

图 12、图 1 至图 2 示出的转接部 18 的第一子部 181 形成于第一开口 T1 内，第一子部 181 的高度 H1 等于或小于第一开口 T1 的高度 H2。在本公开的另一实施例中，第一子部 181 仅部分形成于第一开口 T1 内，第一子部 181 的高度 H1 大于第一开口 T1 的高度 H2，如图 13 至 16、图 3 所示。

具体的，如图 13 所示，在形成介质层 15，介质层 15 至少覆盖第一焊垫 12、传输线 13 并填充第一焊垫 12、传输线 13 之间的空隙之后，方法还包括：形成绝缘层 25，绝缘层 25 覆盖位于第一表面 S1 上的介质层 15。在后续工艺中，在形成转接部 18 之后，将去除绝缘层 25，因此，在预设的刻蚀条件下，绝缘层 25 的刻蚀速率大于介质层 15 的刻蚀速率。

接下来，如图 14 所示，刻蚀覆盖介质层 15 的绝缘层 25 以及覆盖第一焊垫 12 的介质层 15 以分别形成第三开口 T3、第一开口 T1，第三开口 T3 和第一开口 T1 暴露第一焊垫 12。

接下来，如图 15 所示，在第一表面 S1 上形成第二导电材料层 17，第二导电材料层 17 填充第一开口 T1、第三开口 T3 并覆盖绝缘层 25。

接下来，如图 16 所示，刻蚀覆盖绝缘层 25 的部分第二导电材料层 17 以形成转接部 18，其中，转接部 18 位于第一开口 T1、第三开口 T3 内的部分构成第一子部 181，覆盖第一子部 181 及部分绝缘层 25 的部分构成第二子部 182。

接下来，去除绝缘层 25 并在第二子部 182 上形成焊球 21，形成如图 3 所示的半导体结构。

在该实施例中，第一子部 181 部分位于第一开口 T1 内，第一子部 181 的高度 H1 大于第一开口 T1 的高度 H2，第二子部 182 距离传输线 13 较远，如此，当半导体结构在工作时，能够减小第二子部 182 与传输线 13 之间的信号干扰。

在上述实施例中，在第一焊垫 12 上形成转接部 18 的方式均是先形成覆盖第一焊垫 12 的第二导电材料层 17，接着刻蚀第二导电材料层 17 形成转接部 18。但不限于此，如图 17 所示，在本公开又一实施例中，在第一焊垫 12 上形成转接部 18，包括：刻蚀覆盖第一焊垫 12 的介质层 15 以形成第一开口 T1，第一开口 T1 暴露第一焊垫 12；提供转接部 18，转接部 18 包括第一子部 181 和覆盖第一子部 181 的第二子部 182；将转接部 18 的第一子部 181 与第一焊垫 12 进行焊接。

在一些实施例中，在将转接部 18 的第一子部 181 与第一焊垫 12 进行焊接之前，还包括：形成覆盖第一子部 181 的复合增强层 16，连接部 18 通过复合增强层 16 与第一焊垫 12 焊接，复合增强层 16 起到良好的连接作用。

可以看出，本公开实施例中，焊球 21 与第二子部 182 进行焊接，第一焊垫 12 与第一子部 181 连接，在不改变焊球 21 尺寸的情况下，可以通过缩小第一焊垫 12 的尺寸，减小第一焊垫 12 在第一表面 S1 上占用的面积，

从而允许传输线 13 在第一表面 S1 上占用更大的面积，传输线 13 可以设计的更宽，减小或消除传输线 13 断裂的风险，避免传输线距离过近引起的电磁干扰、信号串扰，且由于第一焊垫 12 的尺寸较小，能够避免或缓解传输线 13 传输路径较长的问题。

- 5 应当说明的是，本领域技术人员能够对上述步骤顺序进行变换而并不离开本公开的保护范围，以上所述，仅为本公开的可选实施例而已，并非用于限定本公开的保护范围，凡在本公开的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本公开的保护范围之内。

工业实用性

- 10 本公开实施例提供的半导体结构、封装器件及半导体结构的制造方法，其中，所述半导体结构包括：衬底，所述衬底包括第一表面；第一焊垫，位于所述第一表面上；转接部，位于所述第一焊垫上；所述转接部包括覆盖所述第一焊垫的第一子部和覆盖所述第一子部的第二子部，其中，所述
15 第一子部、所述第一焊垫在所述第一表面上的正投影落入所述第二子部在所述第一表面上的正投影内；焊球，位于所述第二子部上。焊球通过转接部与第一焊垫电连接，且焊球位于具有更大尺寸的第二子部上，如此，在不改变焊球尺寸的情况下，可以通过缩小第一焊垫的尺寸，减小第一焊垫在衬底表面占用的面积，从而允许传输线在衬底表面占用更大的面积，传输线可以设计的更宽，减小或消除传输线断裂的风险，避免传输线距离过
20 近引起的电磁干扰、信号串扰，且由于第一焊垫的尺寸较小，能够避免或缓解传输线传输路径较长的问题。

权利要求书

1、一种半导体结构，包括：

衬底，所述衬底包括第一表面；

第一焊垫，位于所述第一表面上；

5 转接部，位于所述第一焊垫上；所述转接部包括覆盖所述第一焊垫的第一子部和覆盖所述第一子部的第二子部，其中，所述第一子部、所述第一焊垫在所述第一表面上的正投影落入所述第二子部在所述第一表面上的正投影内；

焊球，位于所述第二子部上。

10 2、根据权利要求1所述的半导体结构，其中，所述焊球在所述第一表面上的正投影与所述第二子部在所述第一表面上的正投影完全重叠，或者所述焊球在所述第一表面上的正投影落入所述第二子部在所述第一表面上的正投影内。

15 3、根据权利要求1所述的半导体结构，其中，所述第一子部在所述第一表面上的正投影与所述第一焊垫在所述第一表面上的正投影完全重叠，或者所述第一子部在所述第一表面上的正投影落入所述第一焊垫在所述第一表面上的正投影内。

20 4、根据权利要求1所述的半导体结构，其中，在垂直于所述第一表面且由所述第一焊垫指向所述第二子部的方向上，所述第一子部的宽度逐渐增加。

5、根据权利要求1所述的半导体结构，其中，所述半导体结构还包括：复合增强层，所述复合增强层位于所述第一子部和所述第一焊垫之间。

6、根据权利要求1所述的半导体结构，其中，所述半导体结构还包括：可焊层，所述可焊层位于所述焊球和所述第二子部之间。

25 7、根据权利要求1所述的半导体结构，其中，所述半导体结构还包括：传输线，所述传输线位于所述第一表面上；介质层，所述介质层覆盖所述传输线且填充所述第一焊垫和所述传输线之间的空隙；其中，所述介质层内形成有暴露出所述第一焊垫的第一开口，所述第一子部位于所述第一开口内，所述第二子部覆盖所述第一子部及部分所述介质层。

30 8、根据权利要求7所述的半导体结构，其中，所述半导体结构还包括：多个第二焊垫，位于所述衬底与所述第一表面相对的第二表面上，所述介质层还填充所述多个第二焊垫之间的空隙；其中，所述介质层内形成有多个第二开口，所述第二开口暴露所述第二焊垫。

35 9、一种封装器件，所述封装器件包括：至少一个芯片以及如权利要求1至8所述的任一半导体结构，所述至少一个芯片与所述半导体结构键合连接。

10、一种半导体结构的制造方法，包括：

提供衬底，所述衬底包括第一表面；

在所述第一表面上形成第一焊垫；

在所述第一焊垫上形成转接部，所述转接部包括覆盖所述第一焊垫的第一子部和覆盖所述第一子部的第二子部，其中，所述第一子部、所述第一焊垫在所述第一表面上的正投影落入所述第二子部在所述第一表面上的正投影内；

在所述第二子部上形成焊球。

11、根据权利要求 10 所述的制造方法，其中，在所述第一表面上形成第一焊垫，包括：

形成第一导电材料层，所述第一导电材料层至少覆盖所述第一表面；

刻蚀覆盖所述第一表面的所述第一导电材料层以在所述第一表面上形成所述第一焊垫和传输线。

12、根据权利要求 11 所述的制造方法，其中，在所述第一焊垫上形成转接部之前，所述方法还包括：

形成介质层，所述介质层至少覆盖所述第一焊垫、所述传输线并填充所述第一焊垫、所述传输线之间的空隙。

13、根据权利要求 12 所述的制造方法，其中，在所述第一焊垫上形成转接部，所述转接部包括覆盖所述第一焊垫的第一子部和覆盖所述第一子部的第二子部，包括：

刻蚀覆盖所述第一焊垫的所述介质层以形成第一开口，所述第一开口暴露所述第一焊垫；

在所述第一表面上形成第二导电材料层，所述第二导电材料层填充所述第一开口并覆盖所述介质层；

刻蚀覆盖所述介质层的部分所述第二导电材料层以形成所述转接部，其中，所述转接部位于所述第一开口内的部分构成所述第一子部，覆盖所述第一子部及部分所述介质层的部分构成所述第二子部。

14、根据权利要求 13 所述的制造方法，其中，在所述第一表面上形成第二导电材料层之前，所述方法还包括：在所述第一开口内形成复合增强层，所述复合增强层覆盖所述第一焊垫。

15、根据权利要求 14 所述的制造方法，其中，在形成焊球之前，所述方法还包括：形成可焊层，所述可焊层覆盖所述第二子部待与所述焊球电连接的表面。

16、根据权利要求 12 所述的制造方法，其中，

形成第一导电材料层，所述第一导电材料层至少覆盖所述第一表面，包括：形成第一导电材料层，所述第一导电材料层覆盖所述第一表面及所述衬底的与所述第一表面相对的第二表面；

在刻蚀覆盖所述第一表面的所述第一导电材料层以在所述第一表面上

形成所述第一焊垫和传输线的同一步骤中，所述方法还包括：刻蚀覆盖所述第二表面的所述第一导电材料层，以形成多个第二焊垫。

17、根据权利要求 16 所述的制造方法，其中，形成介质层，所述介质层至少覆盖所述第一焊垫、所述传输线并填充所述第一焊垫、所述传输线之间的空隙，包括：

在所述第一表面和所述第二表面上形成所述介质层，所述介质层还覆盖所述多个第二焊垫并填充位于所述多个第二焊垫之间的空隙。

18、根据权利要求 17 所述的制造方法，其中，在刻蚀覆盖所述第一焊垫的所述介质层以形成第一开口，所述第一开口暴露所述第一焊垫的同一步骤中，所述方法还包括：

刻蚀覆盖所述第二焊垫的介质层以形成第二开口，所述第二开口暴露所述第二焊垫。

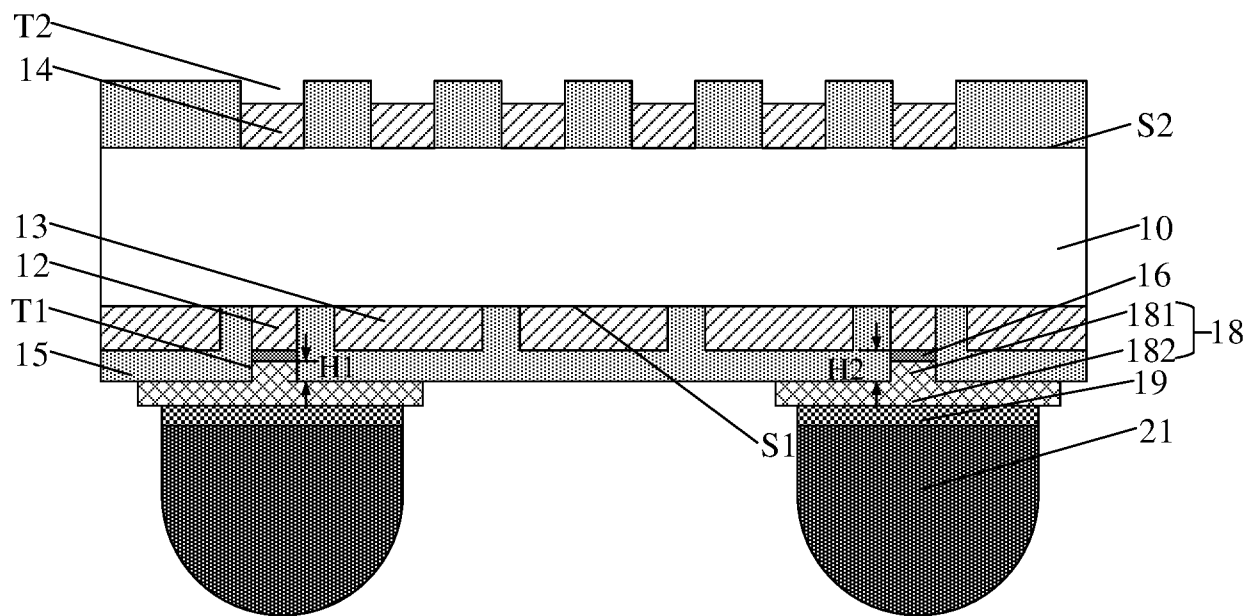


图 1

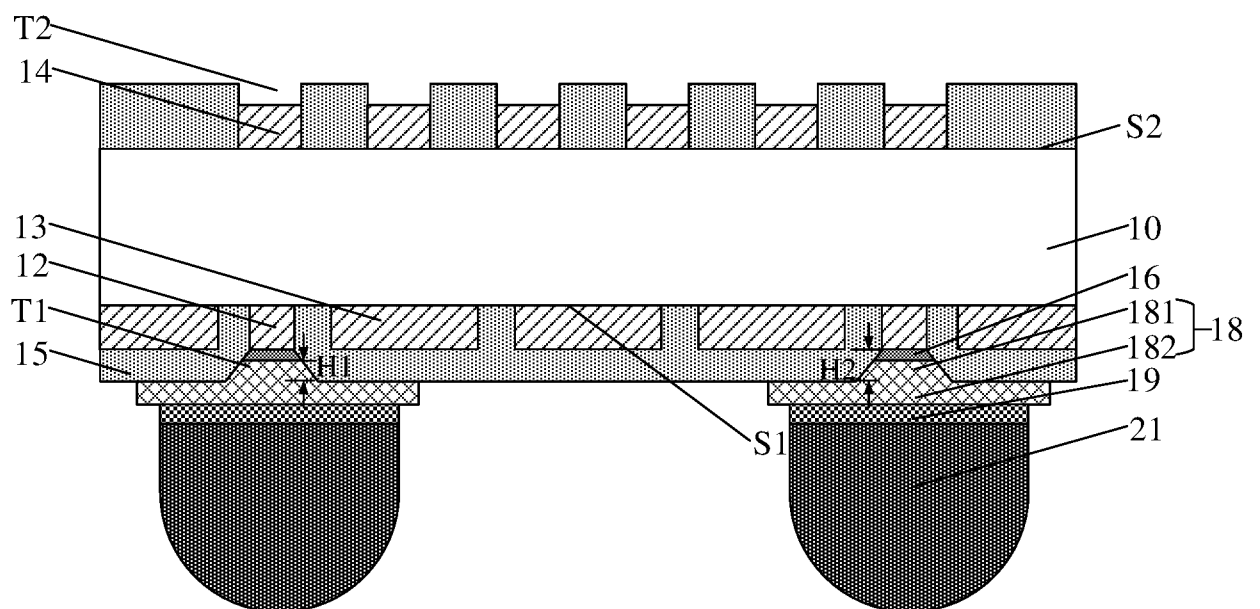


图 2

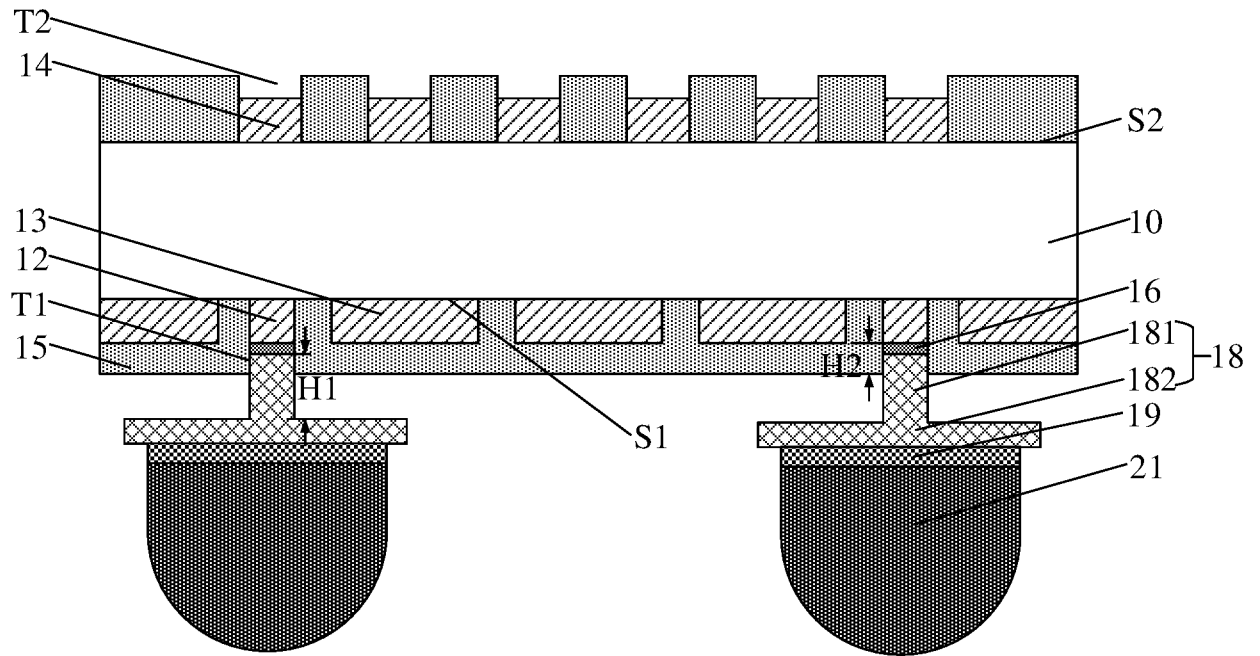


图 3

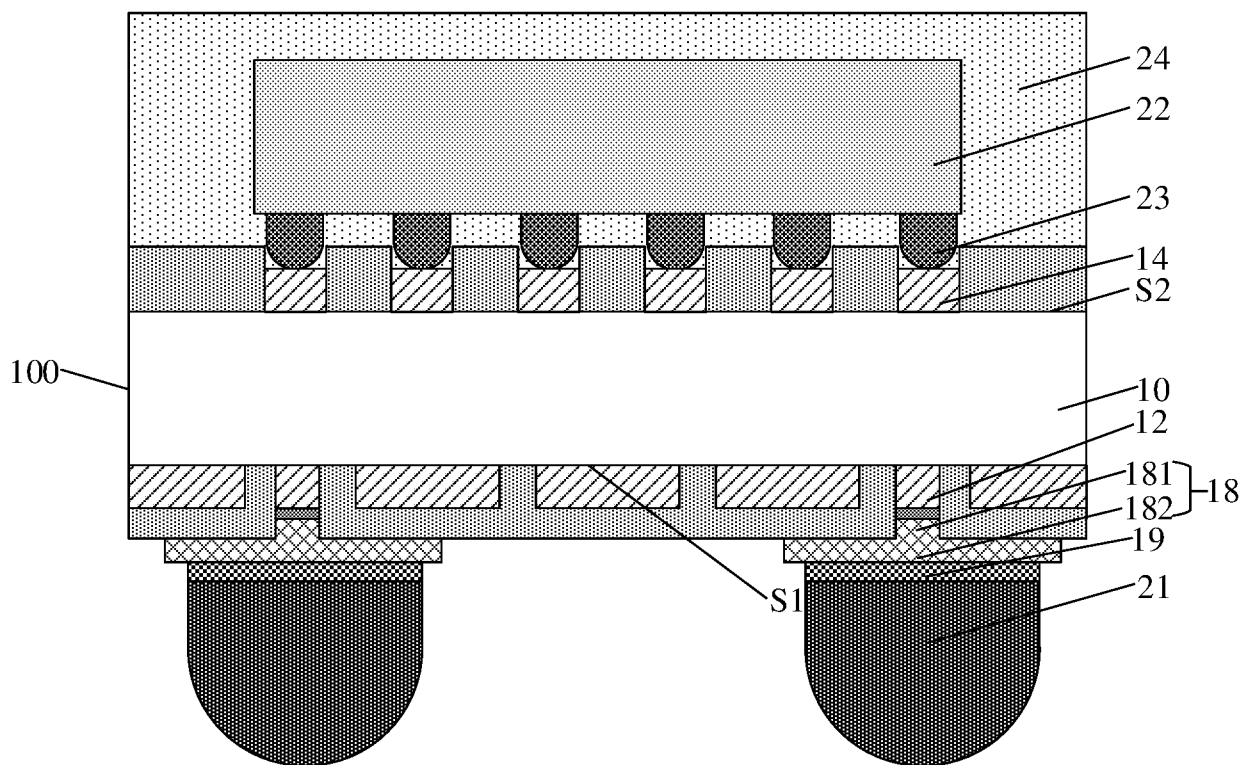


图 4

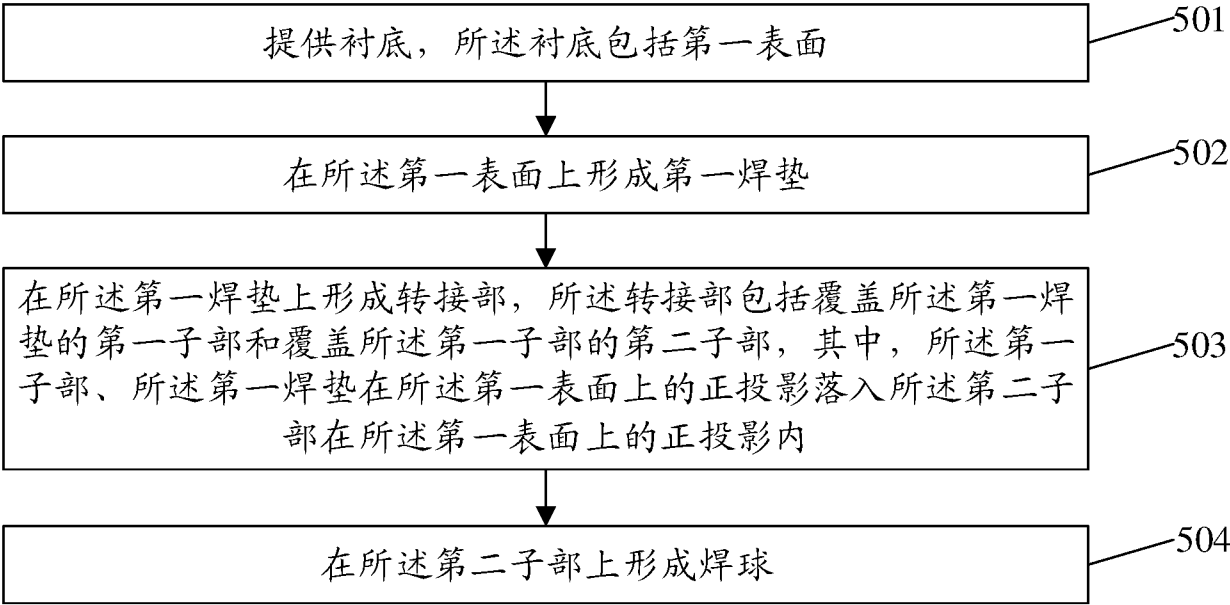


图 5

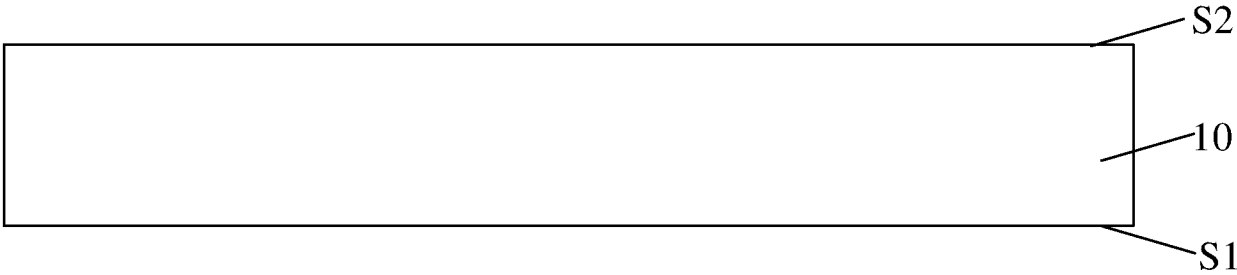


图 6

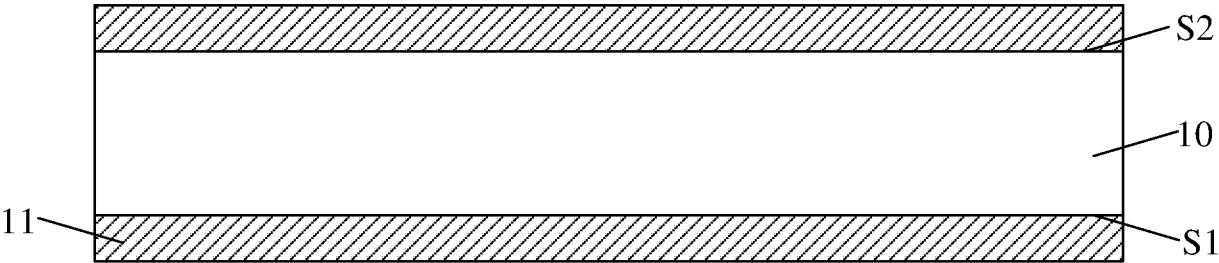


图 7

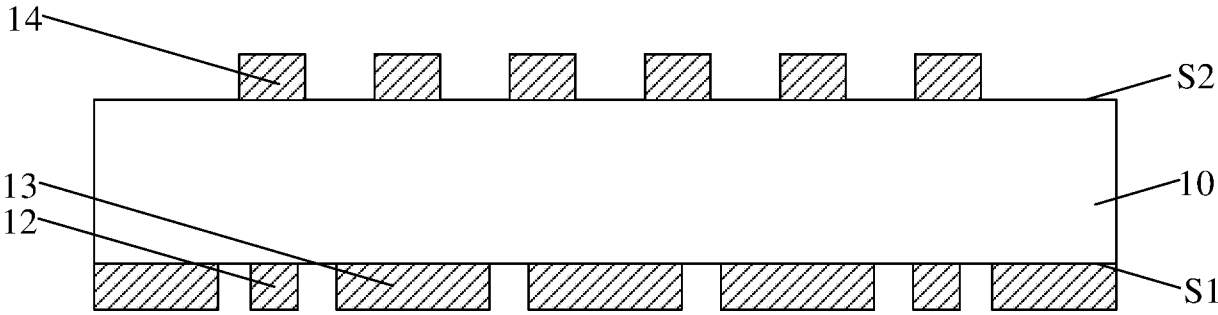


图 8

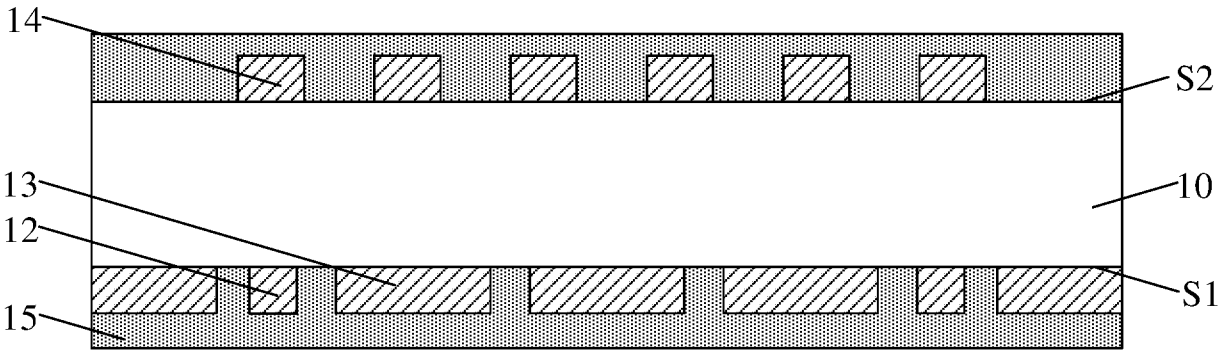


图 9

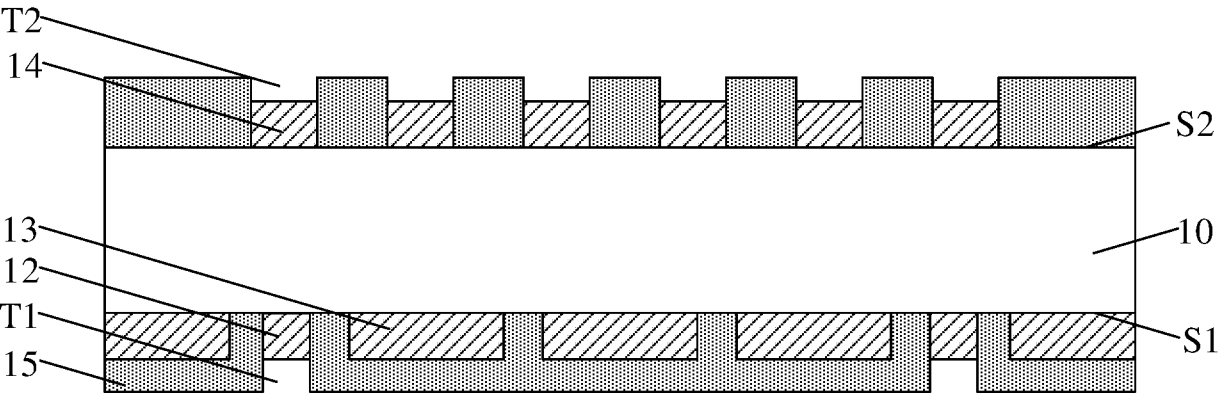


图 10

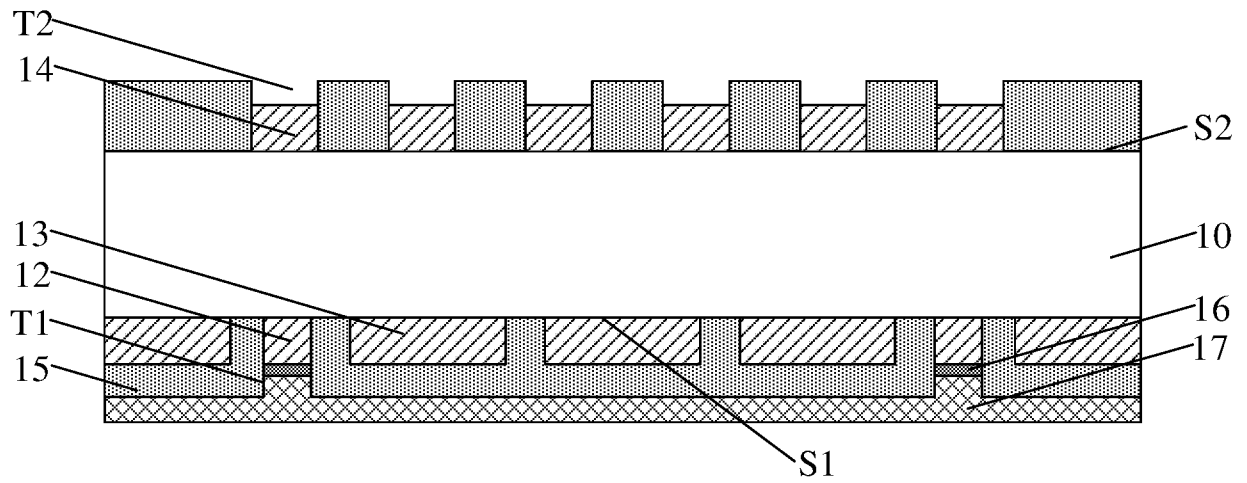


图 11

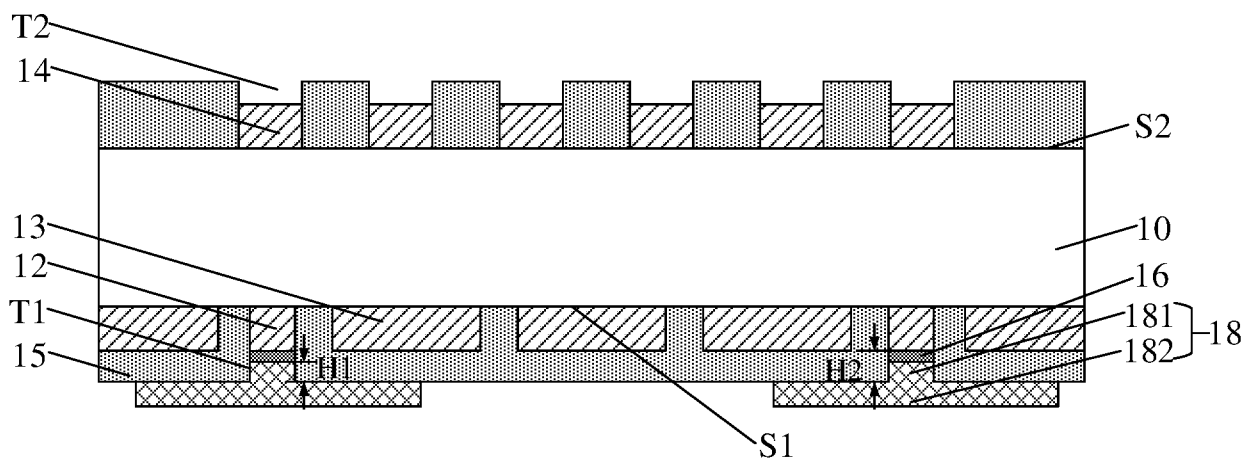


图 12

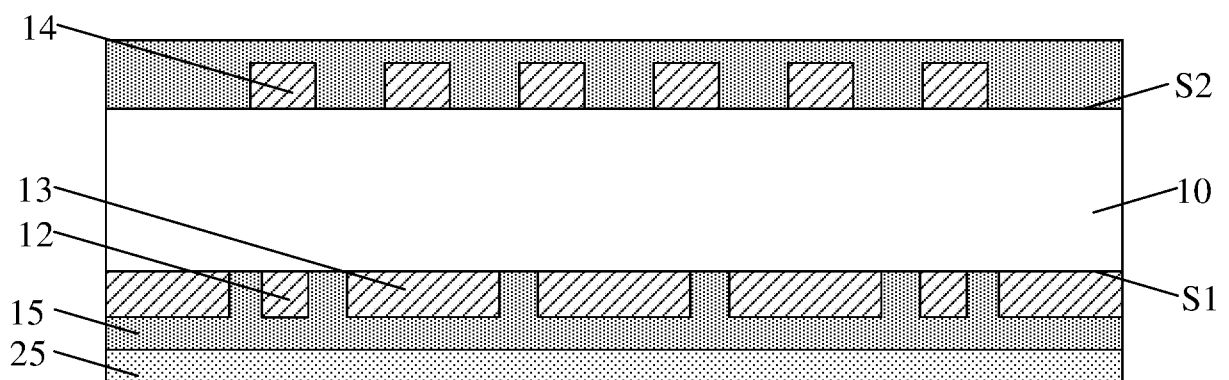


图 13

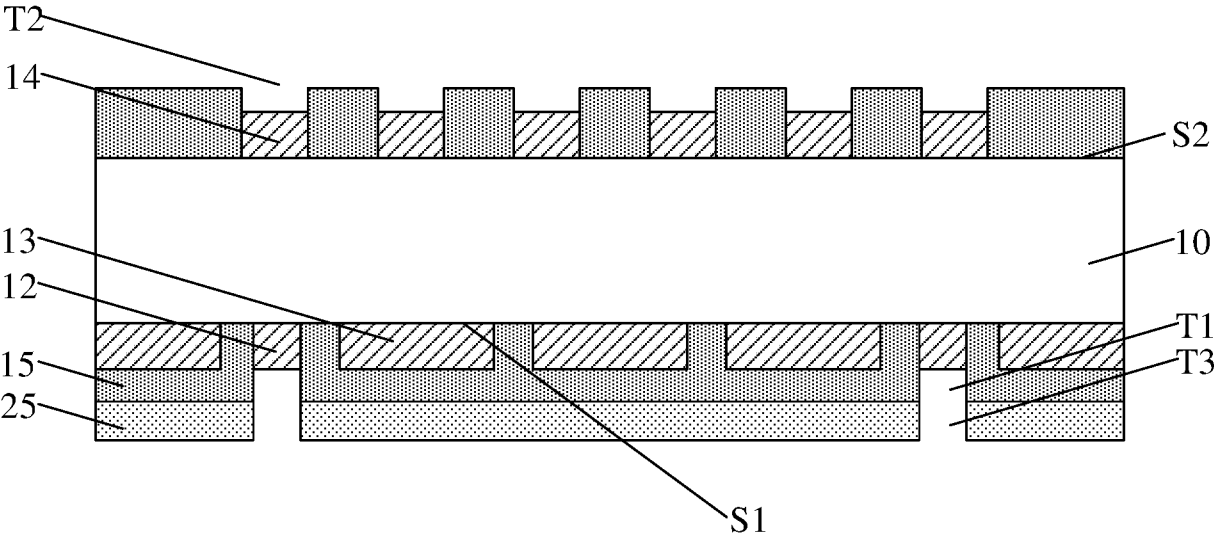


图 14

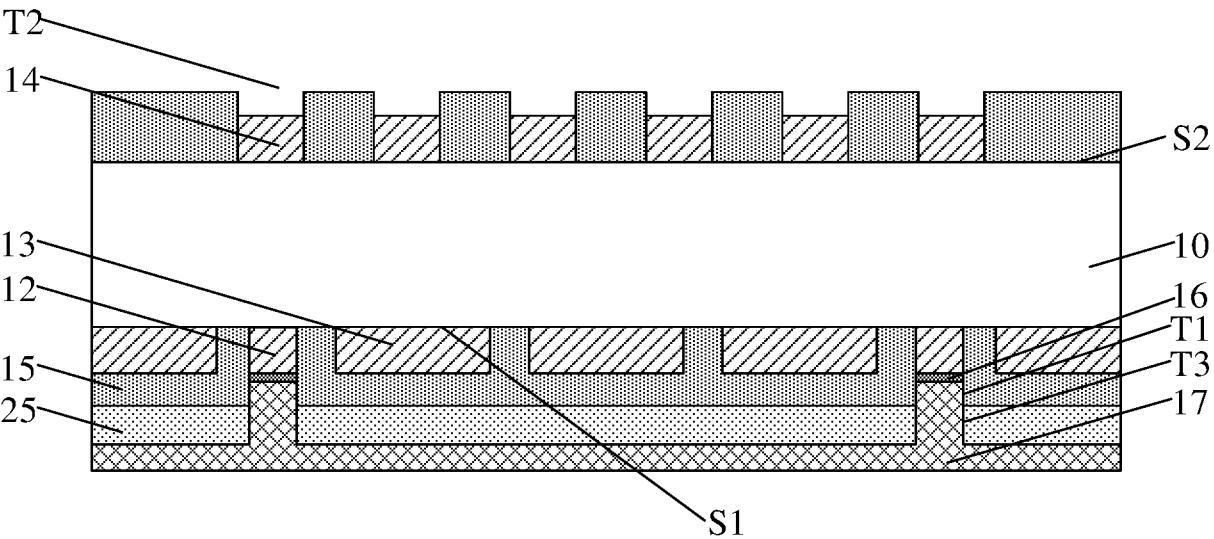


图 15

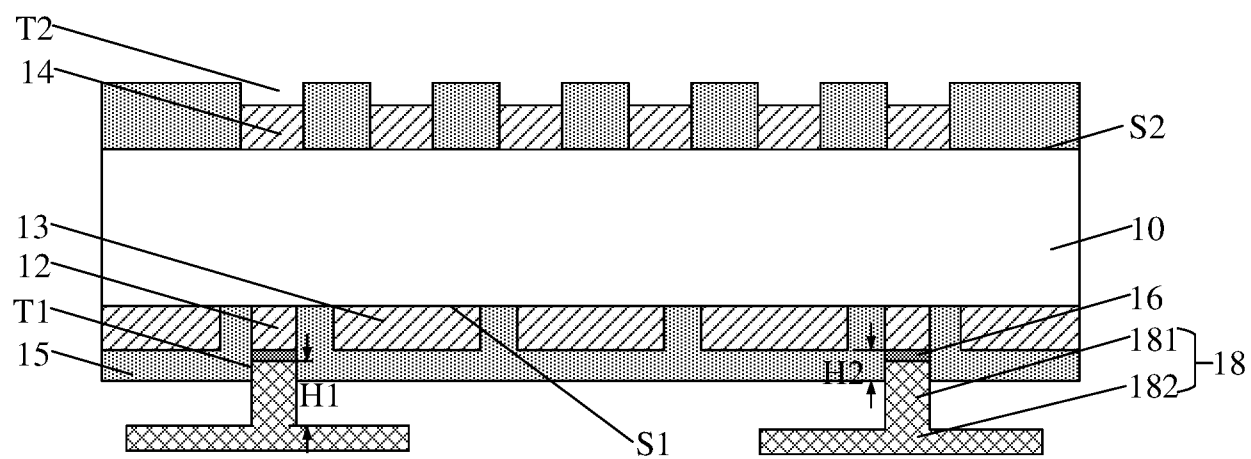


图 16

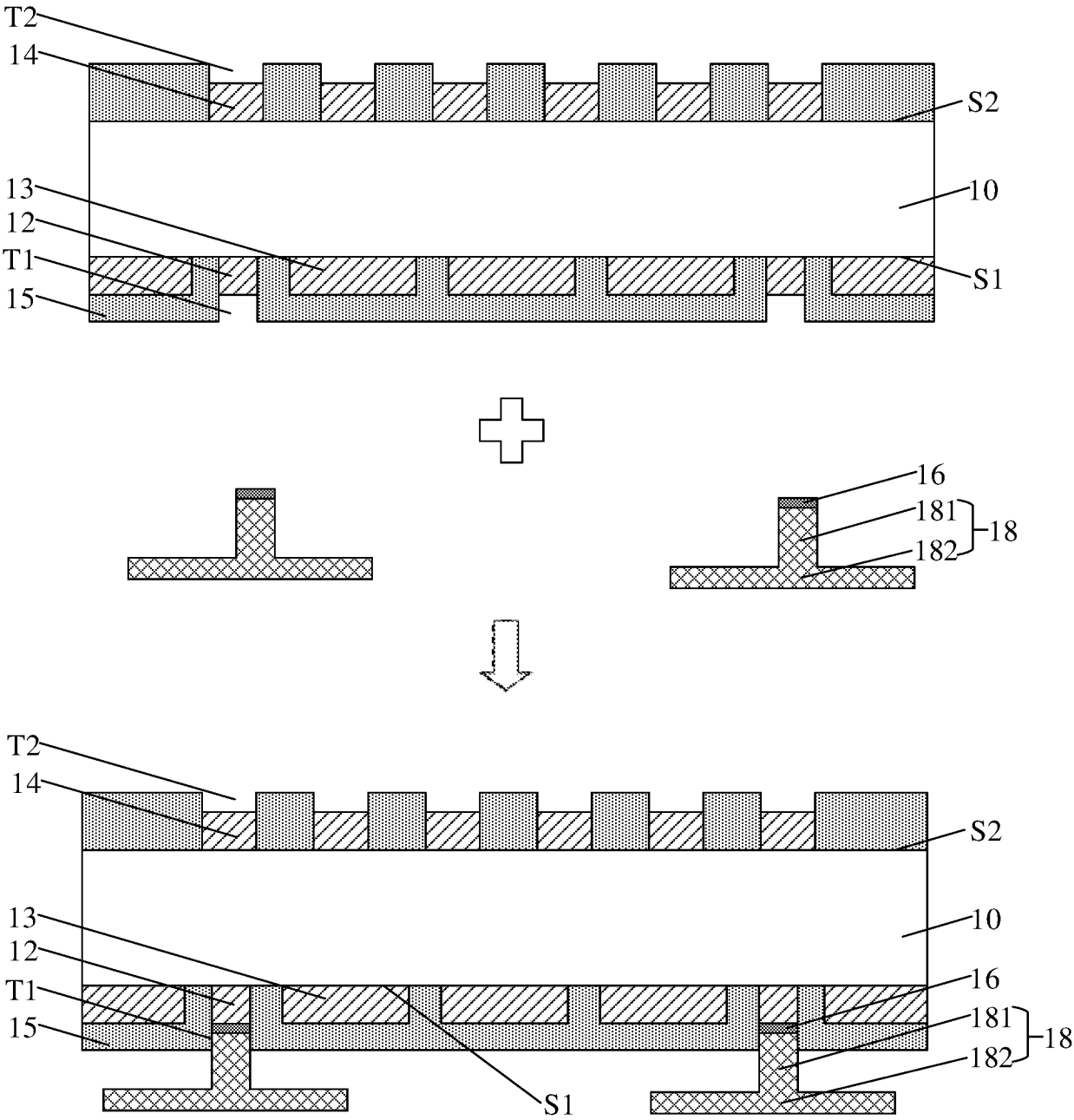


图 17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/105548

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/60(2006.01)i; H01L 21/67(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, CNPAT, CNKI, IEEE: 导电垫, 连接, 转接, 焊球, 焊垫, 布线, 导线, 传输线, 开口, 芯片, 键合, conductive pads, connections, interconnects, solder balls, solder pads, routing, wires, transmission lines, opening, chip, bonding

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	TW 476361 U (UNIMICRON TECHNOLOGY CORP.) 11 April 2014 (2014-04-11) description, paragraphs 0018-0019 and 0026-0032, and figures 1-2 and 4A-4J	1-6, 9-10
X	CN 103413770 A (NANTONG FUJITSU MICROELECTRONICS CO., LTD.) 27 November 2013 (2013-11-27) description, paragraphs 0049-0074, and figures 6-12	1-3, 5-6, 9-10
Y	TW 476361 U (UNIMICRON TECHNOLOGY CORP.) 11 April 2014 (2014-04-11) description, paragraphs 0018-0019 and 0026-0032, and figures 1-2 and 4A-4J	7-8, 11-18
Y	CN 111199933 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 26 May 2020 (2020-05-26) description, paragraphs 0084-0089, and figure 10	7-8, 11-18
A	WO 2017177631 A1 (HUATIAN TECHNOLOGY KUNSHAN ELECTRONICS CO., LTD.) 19 October 2017 (2017-10-19) entire document	1-18
A	WO 2021189817 A1 (CHINA WAFER LEVEL CSP CO., LTD.) 30 September 2021 (2021-09-30) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 December 2022

Date of mailing of the international search report

26 December 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/105548

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
TW	476361	U	11 April 2014	TW	M476361	U	11 April 2014
CN	103413770	A	27 November 2013	None			
CN	111199933	A	26 May 2020	None			
WO	2017177631	A1	19 October 2017	CN	105702696	A	22 June 2016
				CN	105702696	B	25 October 2019
WO	2021189817	A1	30 September 2021	CN	111370375	A	03 July 2020
				CN	211555854	U	22 September 2020

国际检索报告

国际申请号

PCT/CN2022/105548

A. 主题的分类 H01L 21/60(2006.01)i; H01L 21/67(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																							
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI, CNPAT, CNKI, IEEE:导电垫, 连接, 转接, 焊球, 焊垫, 布线, 导线, 传输线, 开口, 芯片, 键合, conductive pads, connections, interconnects, solder balls, solder pads, routing, wires, transmission lines, opening, chip, bonding																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>TW 476361 U (欣兴电子股份有限公司) 2014年4月11日 (2014 - 04 - 11) 说明书第0018-0019、0026-0032段, 附图1-2、4A-4J</td> <td>1-6, 9-10</td> </tr> <tr> <td>X</td> <td>CN 103413770 A (南通富士通微电子股份有限公司) 2013年11月27日 (2013 - 11 - 27) 说明书第0049-0074段、附图6-12</td> <td>1-3, 5-6, 9-10</td> </tr> <tr> <td>Y</td> <td>TW 476361 U (欣兴电子股份有限公司) 2014年4月11日 (2014 - 04 - 11) 说明书第0018-0019、0026-0032段, 附图1-2、4A-4J</td> <td>7-8, 11-18</td> </tr> <tr> <td>Y</td> <td>CN 111199933 A (长鑫存储技术有限公司) 2020年5月26日 (2020 - 05 - 26) 说明书第0084-0089段、附图10</td> <td>7-8, 11-18</td> </tr> <tr> <td>A</td> <td>WO 2017177631 A1 (HUATIAN TECH.KUNSHAN ELECTRONICS CO., LTD.) 2017年10月19日 (2017 - 10 - 19) 全文</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>WO 2021189817 A1 (CHINA WAFER LEVEL CSP CO., LTD.) 2021年9月30日 (2021 - 09 - 30) 全文</td> <td>1-18</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	TW 476361 U (欣兴电子股份有限公司) 2014年4月11日 (2014 - 04 - 11) 说明书第0018-0019、0026-0032段, 附图1-2、4A-4J	1-6, 9-10	X	CN 103413770 A (南通富士通微电子股份有限公司) 2013年11月27日 (2013 - 11 - 27) 说明书第0049-0074段、附图6-12	1-3, 5-6, 9-10	Y	TW 476361 U (欣兴电子股份有限公司) 2014年4月11日 (2014 - 04 - 11) 说明书第0018-0019、0026-0032段, 附图1-2、4A-4J	7-8, 11-18	Y	CN 111199933 A (长鑫存储技术有限公司) 2020年5月26日 (2020 - 05 - 26) 说明书第0084-0089段、附图10	7-8, 11-18	A	WO 2017177631 A1 (HUATIAN TECH.KUNSHAN ELECTRONICS CO., LTD.) 2017年10月19日 (2017 - 10 - 19) 全文	1-18	A	WO 2021189817 A1 (CHINA WAFER LEVEL CSP CO., LTD.) 2021年9月30日 (2021 - 09 - 30) 全文	1-18
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	TW 476361 U (欣兴电子股份有限公司) 2014年4月11日 (2014 - 04 - 11) 说明书第0018-0019、0026-0032段, 附图1-2、4A-4J	1-6, 9-10																					
X	CN 103413770 A (南通富士通微电子股份有限公司) 2013年11月27日 (2013 - 11 - 27) 说明书第0049-0074段、附图6-12	1-3, 5-6, 9-10																					
Y	TW 476361 U (欣兴电子股份有限公司) 2014年4月11日 (2014 - 04 - 11) 说明书第0018-0019、0026-0032段, 附图1-2、4A-4J	7-8, 11-18																					
Y	CN 111199933 A (长鑫存储技术有限公司) 2020年5月26日 (2020 - 05 - 26) 说明书第0084-0089段、附图10	7-8, 11-18																					
A	WO 2017177631 A1 (HUATIAN TECH.KUNSHAN ELECTRONICS CO., LTD.) 2017年10月19日 (2017 - 10 - 19) 全文	1-18																					
A	WO 2021189817 A1 (CHINA WAFER LEVEL CSP CO., LTD.) 2021年9月30日 (2021 - 09 - 30) 全文	1-18																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 2022年12月12日		国际检索报告邮寄日期 2022年12月26日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 李艳红 电话号码 86-(10)-53961221																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/105548

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
TW	476361	U	2014年4月11日	TW	M476361 U 2014年4月11日
CN	103413770	A	2013年11月27日	无	
CN	111199933	A	2020年5月26日	无	
WO	2017177631	A1	2017年10月19日	CN	105702696 A 2016年6月22日
				CN	105702696 B 2019年10月25日
WO	2021189817	A1	2021年9月30日	CN	111370375 A 2020年7月3日
				CN	211555854 U 2020年9月22日