



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년07월22일  
(11) 등록번호 10-0908991  
(24) 등록일자 2009년07월16일

(51) Int. Cl.

H01L 29/78 (2006.01)

(21) 출원번호 10-2002-0057533  
(22) 출원일자 2002년09월23일  
                  심사청구일자 2007년09월19일  
(65) 공개번호 10-2003-0025889  
(43) 공개일자 2003년03월29일

(30) 우선권주장  
09/961,477 2001년09월21일 미국(US)

### (56) 선행기술조사문항

US6387758 B1

IP03225873 A

TP04294585 A

US6436770 B1

저체 청구할 수 : 총 10 학

심사관 : 김영경

#### (54) 다중 작동 접속 수직 대체-게이트 트랜지스터

(73) 특허권자

에이저 시스템즈 가디언 코포레이션

미국 플로리다주, 32819 올란도 사우스 존 영 파크웨이 9333

(72) 발명자

레이먼파울아더

미국, 플로리다 32835, 올랜도, 캐논레이크서클 7893  
**맥매켄존러셀**

미국, 플로리다32835, 올랜도, 바인랜드오크스블러버드8124

(뒷면에 계속)

대리인

(EZ)  $\oplus$   $\oplus$

(37) 二、

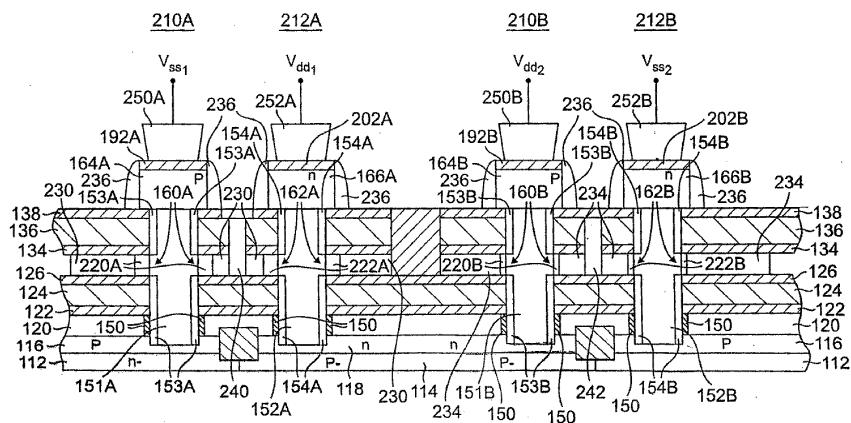
## (57) 요약

(57) 요약

본 발명은 다수의 작동 전압 MOSFET들의 형성 구조에 관한 것이다. 일반적으로, 집적 회로 구조는 평면을 따라 형성된 주 표면, 및 상기 표면에 형성된 제 1 및 제 2 이격되어 형성된 도핑된 영역들을 갖는, 반도체 영역을 포함한다. 상기 제 1 영역과 서로 다른 도전성 유형을 가지는 채널을 형성하는 제 3 도핑된 영역은 상기 제 1 영역 위에 위치한다. 다른 도전성의 및 채널을 형성하는 제 4 도핑된 영역은 상기 제 2 영역 위에 위치한다. 상기 두 트랜지스터들 각각에 대한 상기 게이트 구조 형성 공정은 상기 두 트랜지스터들 사이에 서로 다른 두께의 산화물 층들의 형성이 허용된다. 그 결과로, 상기 트랜지스터들은 다른 작동 전압들(다른 문턱 전압들 포함)에서 동작할 수 있다. 각각의 트랜지스터들은 또한, 상기 제 3 및 제 4 영역들 위에 각각 위치하고 상기 제 3 및 제 4 영역들에 반대되는 도전성 유형을 갖는 제 5 및 제 6 층들을 더 포함한다.

상기 반도체 디바이스 제조의 방법과 관련하여, 제 1 및 제 2 소스/드레인 영역들은 반도체층에 형성된다. 채널 및 게이트 전극을 포함하는 제 1 전계 효과 트랜지스터 게이트 영역은 상기 제 1 소스/드레인 영역 위에 형성되고, 제 2 전계 효과 트랜지스터 게이트 영역은 상기 제 2 소스/드레인 영역 위에 형성된다. 그 후에, 제 5 및 제 6 소스/드레인 영역들은 상기 제 1 및 제 2 전계 효과 트랜지스터들 각각에 대해 형성되고 또한, 적절한 도전성 유형을 갖는다. 다양한 두께의 게이트 산화물들은 적절하게, 마스킹, 에칭, 및 재-성장하는 게이트 산화물들에 의해 형성된다. 따라서, 다른 작동 전압에서 동작하는 복수의 트랜지스터들(상기 게이트 산화물 두께의 기능)은 집적 회로에 형성될 수 있다.

대 표 도



(72) 발명자

톰슨제이.로스

미국, 플로리다34711, 클러몬트, 섬머우드드라이브556

셔드리사미르

미국, 플로리다32836, 올랜도, 오크사이드코트10039

차오재킹셍

미국, 펜실바니아18069, 오레필드, 오버룩로드6662

## 특허청구의 범위

### 청구항 1

집적 회로 구조에 있어서,  
 평면을 따라 형성된 주 표면을 갖는 반도체층;  
 상기 표면에 형성된 제 1 및 제 2 이격되어 도핑된 영역;  
 상기 제 1 도핑된 영역 위의, 상기 제 1 도핑된 영역과는 상이한 도전성 유형의 제 3 도핑된 영역;  
 상기 제 2 도핑된 영역 위의, 상기 제 2 도핑된 영역과는 상이한 도전성 유형의 제 4 도핑된 영역;  
 상기 제 3 도핑된 영역에 이웃한, 제 1 미리 결정된 두께의 제 1 산화물층; 및  
 상기 제 4 도핑된 영역에 이웃한, 제 2 미리 결정된 두께의 제 2 산화물층을 포함하는, 집적 회로 구조.

### 청구항 2

제 1 항에 있어서,

상기 제 1 도핑된 영역은 제 1 MOSFET의 제 1 소스/드레인 영역이고, 상기 제 3 도핑된 영역은 상기 제 1 MOSFET의 채널 영역이고, 상기 제 3 도핑된 영역은 제 2 MOSFET의 제 1 소스/드레인 영역이고, 상기 제 4 도핑된 영역은 상기 제 2 MOSFET의 채널 영역인, 집적 회로 구조.

### 청구항 3

제 2 항에 있어서,

상기 제 1 산화물층은 상기 제1 MOSFET의 게이트 산화물층이고, 상기 제 2 산화물층은 상기 제 2 MOSFET의 게이트 산화물층이고, 상기 제 1 및 제 2 MOSFET들은 상이한 문턱 전압을 갖는, 집적 회로 구조.

### 청구항 4

제 1 항에 있어서,

상기 제 3 도핑된 영역 위의, 상기 제 3 도핑된 영역과는 상이한 도전성 유형의 제 5 도핑된 영역으로서, 제 1 MOSFET의 제 2 소스/드레인 영역인, 상기 제5 도핑된 영역; 및

상기 제 4 도핑된 영역 위의, 상기 제 4 도핑된 영역과는 상이한 도전성 유형의 제 6 도핑된 영역으로서, 제 2 MOSFET의 제 2 소스/드레인 영역인, 상기 제6 도핑된 영역을 더 포함하고,

상기 제 1 및 제 2 MOSFET들은 상이한 문턱 전압들을 갖는, 집적 회로 구조.

### 청구항 5

제 1 항에 있어서,

상기 제 1 및 제 2 도핑된 영역들은 제 1 및 제 2 소스/드레인 영역들이고, 상기 제 3 및 제 4 도핑된 영역들은 채널 영역들이며,

상기 집적 회로 구조는,

상기 제 3 및 제 4 도핑된 영역들 중의 하나와 각각 수직으로 정렬되는 제 5 및 제 6 이격된 소스/드레인 영역으로서, 상기 제 5 및 제 6 도핑된 영역들은 각각 이웃한 상기 제 3 및 제 4 도핑된 영역들에 반대되는 도전성 유형이고, 상기 제 1, 제 3, 및 제 5 도핑된 영역들은 상기 제 1 트랜지스터를 형성하고, 상기 제 2, 제 4, 제 6 도핑된 영역들은 상기 제 2 트랜지스터를 형성하는, 상기 제 5 및 제 6 이격된 소스/드레인 영역들; 및

각각의 제 1 및 제 2 트랜지스터의 작동을 제어하기 위해 상기 제 1 및 제 2 산화물층들에 각각 이웃한 제 1 및 제 2 도전성 요소로서, 상기 제 1 및 제 2 MOSFET들의 파괴 전압은 각각 제 1 산화물층 두께 및 제 2 산화물층 두께에 관계되는, 상기 제1 및 제2 도전성 요소를 더 포함하는, 집적 회로 구조.

**청구항 6**

복수의 트랜지스터들을 갖는 반도체 디바이스를 제조하는 방법에 있어서,

반도체층 상에 제 1 및 제 2 이격된 확산 영역들을 형성하는 단계;

상기 제 1 확산 영역 위에, 상기 제 1 확산 영역과는 반대되는 도전성 유형을 갖는 제 3 반도체 영역을 형성하는 단계;

상기 제 2 확산 영역 위에, 상기 제 2 확산 영역과는 반대되는 도전성 유형을 갖는 제 4 반도체 영역을 형성하는 단계;

상기 제 3 반도체 영역에 이웃한, 제 1 미리 결정된 두께의 제 1 게이트 산화물을 형성하는 단계;

상기 제 4 반도체 영역에 이웃한, 제 2 미리 결정된 두께의 제 2 게이트 산화물을 형성하는 단계를 포함하는, 반도체 디바이스 제조 방법.

**청구항 7**

제 6 항에 있어서,

상기 제 1 게이트 산화물 위에 제 1 채널 영역을 형성하고, 상기 제 2 게이트 산화물 위에 제 2 채널 영역을 형성하는 단계를 더 포함하는, 반도체 디바이스 제조 방법.

**청구항 8**

제 6 항에 있어서,

상기 제 3 및 제 4 반도체 영역들 중의 하나 위에 각각 위치하는, 제 5 및 제 6 반도체 영역들을 형성하는 단계를 더 포함하고,

상기 제 3 및 제 5 영역들은 상기 제 1 및 제 2 영역들 중의 하나와 수직으로 정렬되고, 상기 제 4 및 제 6 영역들은 상기 제 1 및 제 2 영역들 중의 다른 하나와 수직으로 정렬하도록 하여, 그 결과 구조물이 2개의 트랜지스터들을 제공하는, 반도체 디바이스 제조 방법.

**청구항 9**

제 6 항에 있어서,

상기 제 3 반도체 영역에 이웃한, 제 1 미리 결정된 두께의 상기 제 1 게이트 산화물을 형성하는 단계, 및 상기 제 4 반도체 영역에 이웃한, 상기 제 2 미리 결정된 두께의 상기 제 2 게이트 산화물을 형성하는 단계는,

상기 제 3 반도체 영역에 이웃한, 제 1 미리 결정된 두께의 제 1 게이트 산화물을 형성하는 단계;

상기 제 4 반도체 영역에 이웃한, 상기 제 1 미리 결정된 두께의 제 2 게이트 산화물을 형성하는 단계;

상기 제 1 게이트 산화물을 제거하는 단계;

상기 제 3 반도체 영역에 이웃한, 제 2 미리 결정된 두께의 제 3 게이트 산화물을 형성하는 단계; 및

상기 제 4 반도체 영역에 이웃한, 상기 제 3 미리 결정된 두께의 상기 제 3 게이트 산화물을 형성하는 단계를 포함하며,

상기 제 4 반도체 영역에 이웃한 게이트 산화물 두께는 상기 제 1 미리 결정된 두께 및 상기 제 2 미리 결정된 두께의 합인, 반도체 디바이스 제조 방법.

**청구항 10**

제 6 항에 있어서,

상기 제 1 및 제 2 게이트 산화물들은 제 1 및 제 2 MOSFET와 연관되고, 상기 제 1 및 제 2 MOSFET들은 상보적 MOSFET 디바이스를 형성하며, 상기 제 3 및 제 4 게이트들은 제 3 및 제 4 MOSFET와 각각 연관되고, 상기 제 3 및 제 4 MOSFET들은 제 2 상보적 MOSFET 디바이스를 형성하며, 상기 제 1 상보적 MOSFET 디바이스의 상기 게이트 단자들은 상기 제 1 미리 결정된 두께에 관련된 제 1 파괴 전압을 갖고, 상기 제 2 MOSFET 디바이스의 상기

게이트 단자들은 상기 제 2 미리 결정된 두께에 관련된 제 2 파괴 전압을 갖는, 반도체 디바이스 제조 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 전류 전도를 위해 설계된 여러 도전성 유형들의 접합들을 포함하는 반도체 디바이스들, 및 그러한 디바이스들의 제조 방법들에 관한 것이다. 특히, 본 발명은 다른 작동 전압들에서 동작하는 수직 대체-게이트(VRG) 전계 효과 트랜지스터 디바이스들, 및 상기 디바이스들을 포함하는 접적 회로들을 제조하는 방법들에 관한 것이다.
- <12> 반도체 산업에 있어서, 반도체 디바이스의 성능 향상 및 디바이스 밀도(단위 면적당 디바이스들의 수)의 증가는 중요한 목표들이다. 디바이스 밀도는 개개의 디바이스들을 더 작게하고 디바이스들을 조밀하게 팩킹함으로써 증가한다. 그러나, 디바이스 크기[특징 크기](feature size) 또는 디자인 규격.design rules이라고도 함]가 감소함에 따라, 디바이스들 및 그들의 구성 요소들을 형성하는 방법들은 적응되어야 한다. 예를 들어, 생산 디바이스 크기는 지속적인 소형화 추세에 따라 현재 0.25미크론 내지 0.18미크론의 범위에 있다. 그러나, 상기 디바이스 크기가 감소함에 따라, 특정한 제조상의 한계들이 나타나는데, 특히 리소그래픽 공정들에 관련하여 나타난다. 실제로, 현재의 리소그래픽 공정들은 요즘의 디바이스 사용자들이 요구하는 최소 크기에서 정확한 디바이스 제작을 할 수 없는 시점에 이르렀다.
- <13> 현재 대부분의 금속 산화물 반도체 전계 효과 트랜지스터들(MOSFETs)은 측면 구조로 형성되며, 그 전류는 상기 기판 또는 본체 표면의 평면에 평행하게 흐른다. 증가된 디바이스 밀도를 얻기 위해 이 MOSFET 디바이스들의 크기를 감소시킴에 따라, 제조 공정은 점차적으로 어려워진다. 특히, 리소그래픽 패턴에 어떤 이미지를 묘사하기 위해 사용된 방사 과장이 디바이스 크기에 접근함에 따라, 게이트 채널 형성을 위한 리소그래픽 공정은 문제가 된다. 그러므로, 측면의 MOSFET들에 대한 게이트 길이는 리소그래픽 기술을 통해 정밀하게 제어될 수 있는 곳까지 접근하고 있다.
- <14> 밀도를 팩킹하는 최근의 진보들을 통해 수직 MOSFET에서 몇가지 변화들이 일어났다. 특히, Takato, H., et al의 "초 고밀도 대규모 접적 회로에 대한 주변 게이트 트랜지스터(SGT)의 영향", IEEE Transactions on Electron Devices, 권 38(3), 573-577(1991) 쪽에서 설명되는 수직 디바이스는 평면 MOSFET 디바이스들의 하나의 대안으로써 제시되어 있다. 최근에는, 수직 대체-게이트 트랜지스터로 특징지어지는 MOSFET에 대해 논의되고 있다. Hergenrother, et al의 1999년, "수직 대체-게이트(VRG) MOSFET, 리소그래피-독립 게이트 길이를 갖는 50-nm 수직 MOSFET", Technical Digest of the International Electron Devices Meeting, 75쪽을 보자.
- <15> 접적 회로 칩 위에 조립된 복수의 평면 MOSFET 활성 디바이스들을 도 1의 단면도에 도시하였다. 기판(9)은 p+ 영역(50) 및 p- 층(52)을 포함하고, 일반적으로 후자는 에피택시얼(epitaxial) 방법에 의해 성장한다. MOSFET 들(금속 산화물 반도체 전계 효과 트랜지스터)(2,4,6)은 상기 기판(9)에 제조된다. 상기 MOSFET(2)는 LOCOS(실리콘 기판 상의 국부적 산화) 영역(12)에 의해 상기 MOSFET(4)로부터 분리된다. 유사하게는, 상기 MOSFET(6)는 LOCOS 영역(12)에 의해 MOSFET(4)로부터 분리된다. 대안적으로, MOSFET들(2, 4, 6)은 얕은 트렌치 아이솔레이션(STI;(shallow trench isolation)] 기술들에 의해 전기적으로 분리될 수 있다. 상기 MOSFET(2)는 n형 벽(20)에 확산되는 게이트(14) 및 소스 영역(16)과, 드레인 영역(18)을 포함한다. 상기 MOSFET(4)는 p형 벽(34)에 확산된 게이트(28) 및 소스 영역(30)과, 드레인 영역(32)을 포함한다. 마지막으로, 상기 MOSFET(6)는 n형 벽(44)에 확산된 게이트(38) 및 소스(40)영역과, 드레인 영역(42)을 포함한다. 상기 게이트들(14, 28, 38)은 게이트 산화물층이라 언급되는 실리콘 이산화물층(46)에 의해 기판(9)으로부터 분리된다. 도 1이 접적 회로의 일부를 간략하게 도시하도록 의도된 것이므로, 상기 여러 접촉들, 상호 접속들, 비아 및 금속층들은 도시되지 않고, 상기 특징들은 축소 비율에 따라 도시되지 않는다. 특히 디지털 애플리케이션들에서, 어떤 칩의 이웃한 영역들에 n채널 및 p채널 MOSFET들의 결합을 제조하는 것은 매우 이로운 것이다. 이 상보적 MOSFET(CMOS) 구성은 도 2에서, 기본적 인버터 회로의 형태로 도시된다. 상기 MOSFET들[예를 들어, 도 1에서 상기 MOSFET들(2, 4)]의 드레인들은 함께 접속되고 출력( $V_{out}$ )을 형성한다. 입력 단자( $V_{in}$ )는 상기 MOSFET 게이트들[예를 들어, 도 1의 상기 게이트들(14, 28)]의 공통 접속에 의해 형성된다. 작동 전압은  $V_{DD}$ 로 표시하였다. 도 2의 개략도에서, 도 1의 단면도에서 도시되는 상기 MOSFET(2)는 PMOS 디바이스이고 상기 MOSFET(4)는 NMOS 디바이스이다.

- <16> 최신식의 집적 회로 제조는 많은 다른 기능들 및 서브시스템들을 단일 칩에 결합하는데, 예를 들어 서로 다른 유형의 논리 회로들, 논리 패밀리들(familis) 및 메모리 요소들을 결합한다. 최적의 성능 및 최소의 전력 소비를 위해, 집적 회로 내의 개개의 디바이스들은 서로 다른 전압으로 동작한다. 따라서, 상기 활성 디바이스들은 선택된 작동 전압을 수용하기 위해 필요한 물리적 특성들을 통해 제조되어야 한다. 그러나 이 물리적 디바이스 특성들을 형성할 때, 제조 공정 단계들의 수를 최소화하고 단순화하는 것이 바람직하다.
- <17> 예를 들어, 도 1의 상기 MOSFET들(2, 4, 6) 각각은 서로 다른 작동 전압, 즉,  $V_{dd}/V_{ss}$ 에서 동작하도록 구성될 수 있다. 상기 디바이스들의 전력 소모 및 전체적인 상기 칩의 전력 소모를 최소화하도록 바람직한 성능을 제공하는 최소값에서, 상기 디바이스 작동 전압을 규정하는 것이 바람직하다. 그러나, 상기 디바이스 작동 전압이 감소함에 따라 상기 디바이스 작동 속도 또한 감소한다는 역효과의 발생은 공지된 사실이다. 그러므로, 이 두 패러미터들에 대한 최적값을 규정하기 위해서, 개개의 디바이스들을 바람직한 속도 성능에 부합하는 작동 전압들에서 동작하는 것이 필요하다. 다중 작동 전압들을 제공하기 위해, 여러개의 집적 회로들을 갖는 인쇄 회로 기판은 최적의 작동 전압을 각각의 칩에 공급하는 다중 전압 레귤레이터들을 포함한다. 또한, 개개의 칩은 온-칩(on-ship)에 전압 분배기 및 레귤레이터 회로를 포함하고, 상기 칩 내부의 상기 디바이스들은 상기 최적의 작동 전압을 공급받는다.
- <18> 칩상에서 다중 작동 전압들이 주어질 경우, 상기 칩의 활성 요소들 및 회로들에 의해 생산되는 다중 출력 전압들 또한 존재한다. 따라서, 앞선 출력 전압에 반응하는 상기 입력 회로 또는 디바이스는 그 출력 전압을 수용할 수 있어야 한다. 예를 들어, 제 1 온-칩 회로(CMOS 회로와 같은, 단일 활성 요소 또는 복수의 활성 요소들을 포함)는 각각이 이진수 0 및 이진수 1을 나타내는, 0 V부터 2 V까지의 범위의 출력 전압을 갖는다. 다른 회로의 출력 전압은 이진수 0에 대해 0 V 및 이진수 1에 대해 5 V이다. 그러므로, 상기 MOSFET 게이트 단자(상기 MOSFET 디바이스의 입력 단자)는 상기 출력 신호의 전압 범위를 상기 회로 체인의 선행 디바이스들로부터 수용하도록 구성되어야 한다. 따라서, 상기 예로 돌아가서, 특정 MOSFET 게이트 전압들은 0 V 내지 2 V의 전압 범위를 수용해야 하고, 그 동안 다른 것들은 0 V 내지 5 V의 전압 범위를 수용해야 한다. 상기 게이트 구동 전압이 알려지면, 상기 MOSFET 게이트는 그 전압을 견디도록 설계되고 제조되어야 한다. 따라서, 보다 높은 게이트 전압들에서 동작하는 MOSFET들은 상기 보다 높은 작동 전압들에서 게이트 산화물 파괴를 방지하도록 더 두꺼운 산화물들을 가질 것이다. 상기 게이트 산화물 두께는 문턱 전압에 영향을 미치므로, 상기 MOSFET는 상기 게이트 입력 전압에 의해 도전성을 갖도록 구동되는 것이 또한 필요하다. 이것은 상기 문턱 전압에 영향을 미치는, 채널 영역의 도핑 레벨과 상기 채널 및 게이트 물질들의 작동 기능과 같은, 다른 요소들을 조정하여 실행될 수 있다.
- <19> 산화물 성장의 두께를 변화시키는 하나의 기술은 산화될 물질에의 질소 주입을 포함하는 것이다. 1996년 C.T. Liu, 등에 의한 명칭이 "질소 주입된 실리콘 기판들에 성장된 25Å 게이트 산화물을 갖는 고성능 0.2  $\mu\text{m}$  CMOS"인, 문헌 499-502쪽을 예로 보자. 공기된 바와 같이, 열 산화물 성장 공정 전의 질소 주입은 상기 산화물 성장을 억제한다. 대량의 질소 투입은 얇은 산화물을 생성한다. 이 공정은 본 발명의 교시에 따라 구조된 MOSFET에 적용될 수 없는데, 그 이유는 허용 가능한 액세스가, 질소 주입을 위해 게이트가 형성되는 영역에서 얻어질 수 없기 때문이다.
- 발명이 이루고자 하는 기술적 과제**
- <20> 반도체 디바이스들에 대한 다중 작동 전압들의 사용에 있어서 그 이상의 진보를 제공하기 위해, 상이한 문턱 전압들에서 동작하는 수직 대체-게이트(VRG) MOSFET 디바이스에 대한 구조를 제공한다.
- <21> 본 발명의 일 실시예에 따라, 반도체 디바이스는 반도체 물질의 제 1 층 및, 그 내부에 형성된 제 1 및 제 2 이격되어 도핑된 영역들을 포함한다. 상기 제 1 및 제 2 영역들과 다른 도전성 유형을 가지는 제 3 도핑된 영역은 상기 제 1 영역 위에 형성된다. 제 4 도핑된 영역은 상기 제 2 도핑된 영역과 다른 도전성 유형을 갖는 상기 제 2 도핑된 영역 위에 형성된다. 상이한 두께의 제 1 및 제 2 산화물층들은 각각 상기 제 3 및 제 4 도핑된 영역들에 이웃하여 형성된다.
- <22> 상기 제 1 이격되는 영역은 제 1 전계 효과 트랜지스터의 소스/드레인 영역이고, 상기 제 3 도핑된 영역은 채널이다. 상기 제 2 전계 효과 트랜지스터의 소스/드레인 영역은 상기 제 2 이격되어 도핑된 영역을 포함하고, 제 4 도핑된 영역은 그것의 채널을 형성한다. 각각의 MOSFET에 대한 제 2 소스/드레인 영역은 상기 채널들 각각의 위에 형성된다.
- <23> 상술한 바와 같이, 칩상의 하나의 활성 디바이스의 출력 전압은 회로 체인에서 다음 활성 디바이스에 대한 입

력 전압으로 작용할 수 있으므로, 후자는 그 성능 패러미터들 내에서 상기 입력 전압을 핸들링할 수 있어야 한다. MOSFET에 대한 상기 입력 단자는 게이트이므로, 상기 MOSFET 게이트는 선행 디바이스로부터의 상기 출력 전압을 견디도록 설계되어야 한다. CMOS 회로에서, 상기 출력 전압은 일반적으로 상기 작동 전압 또는  $V_{dd}$ 이다.

그러므로, 상기 게이트는 상기 게이트에 응답하는 상기 디바이스의 작동 전압을 견뎌야 한다. 게이트 파괴를 피하기 위해 중요시 되는 상기 게이트 파라미터는 상기 게이트 산화물 두께이다. 상기 MOSFET 문턱 전압은 또한 상기 게이트 산화물 두께의 함수이므로, 상기 입력 작동 전압을 수용하기 위해 상기 두께를 변경하는 것(예를 들어, 상기 게이트 산화물을 더 두껍게 만드는 것)은 상기 문턱 전압에 해로운 영향을 미칠 수 있다. 그러나, 상기 요구되는 산화물 두께로부터 얻어진 상기 문턱 전압이 적합하지 않다면, 상기 문턱 전압에 영향을 미치는 하나 이상의 다른 요소들의 변경에 의해 수정될 수 있고, 예로써, 상기 MOSFET 물질들의 작업 기능의 상이함, 또는 표면 전위에 영향을 미치는 채널 도핑과 같은 요소가 있다.

<24> 제조에 연관된 방법에서, 집적 회로 구조는 디바이스 형성에 대한 적절한 반도체층을 제공하는 단계, 및 제 1 평면을 따라 형성된 표면을 갖는 단계에 의해 제조된다. 제 1 수직 전계 효과 트랜지스터에 대하여, 제 1 디바이스 영역은 상기 반도체층에 형성되고, 상기 디바이스 영역은 소스 및 드레인 영역 사이로부터 선택된다. 제 2 수직 전계 효과 트랜지스터에 대하여, 제 2 디바이스 영역은 상기 반도체층에 형성되고, 상기 제 2 디바이스 영역은 소스 및 드레인 영역 사이로부터 선택된다. 상기 제 1 및 제 2 전계 효과 트랜지스터들 각각에 대한 게이트 영역들은 각각 제 1 및 제 2 디바이스 영역들 위에 형성된다. 각각의 게이트 영역들은 상기 두 디바이스들이 상이한 문턱 전압들에서 동작할 경우, 상이한 두께를 갖는다. 상기 수직 트랜지스터들의 제조에 있어서, 상기 게이트 산화물층 두께는 마스킹 및 에칭 단계를 사용하여 제어된다. 이 기술을 통해, 복수의 전계 효과 트랜지스터가 형성되고, 각각은 선행 회로 요소로부터의 출력 신호와 적절하게 인터페이스하도록 규정된 문턱 전압을 갖는다.

### 발명의 구성 및 작용

<25> 전술된 실시예에는 CMOS 구조들 및 그 관련된 제조 기술들을 포함한다. CMOS 수직 MOSFET들의 제조 공정은 1999, 1, 18에 출원된, 발명의 명칭이 "수직 트랜지스터들을 포함하는 CMOS 집적 회로 및 그 제조 공정"인, 공동 소유된 미국 특허 출원 제 290,533호에 개시되어 있으며, 이는 참조에 의해 본원에 통합된다. 수직 트랜지스터 MOSFET들(NMOS 또는 PMOS형)의 구조 및 제조 방법에 대한 일반적 설명은 공동으로 양도된 미국 특허 제 6,027,975호에 설명되어있으며, 또한 이는 참조에 의해 본원에 통합된다.

<26> 도 3은 CMOS 디바이스들의 두 쌍들을 예시하는 CMOS 집적 회로(68)의 부분 개략도이다. PMOS(70) 및 NMOS(72)는 제 1 CMOS 쌍을 형성한다; PMOS(74) 및 NMOS(76)는 제 2 CMOS 쌍을 형성한다.  $V_{in1}$ 은 PMOS(70) 및 NMOS(72)에 대한 상기 게이트 구동 신호이고, 공통 드레인 접속에서 출력 신호( $V_{out1}$ )를 생성한다.  $V_{in2}$ 는 PMOS(74) 및 NMOS(76)에 대한 상기 게이트 신호이고, 출력 신호  $V_{out2}$ 를 생성한다. PMOS(70)은 드레인 전압  $V_{dd1}$ 에 응답하고, PMOS(74)는 드레인 전압  $V_{dd2}$ 에 응답한다는 점을 주목해야 한다. 도 3에서는 오프-칩 전압 소스로부터 생성된 것처럼 도시되었지만, 상기 드레인 전압들  $V_{dd1}$  및  $V_{dd2}$ 는 온-칩 또는 오프-칩으로 생성될 수 있다. 일 실시예에서  $V_{dd1}$  및  $V_{dd2}$ 는 동일하지 않기 때문에,  $V_{out1}$ 은  $V_{out2}$ 와 동일하지 않다. 일반적 회로 구성에서, 출력 신호들  $V_{out1}$  및  $V_{out2}$ 는 회로 체인에서 다음 활성 요소를 구동한다. 예를 들어,  $V_{out1}$ 은 상기 입력 신호  $V_{in2}$ 로써 이용될 수 있고,  $V_{out2}$ 는 상기 집적 회로(68)에서 다른 회로에 의해 생성되거나 오프-칩 소스로부터 생성될 수 있다. 어떤 경우에서도, 다른 작동 전압들(상기 작동 전압들  $V_{dd1}$  및  $V_{dd2}$ 에 의해 규정된 것과 같음)의 사용은 상기 CMOS 회로의 출력 단자들에서 다른 출력 전압들을 생성한다. 결과적으로, PMOS(70) 및 NMOS(72)를 포함하는 상기 CMOS 쌍은  $V_{in1}$ 처럼, 제공되는 입력 신호들의 제 1 범위에 응답하여 제조되어야 한다. 또한,  $V_{dd1}$ 이  $V_{dd2}$ 와 동일하지 않을 경우, PMOS(74) 및 NMOS(76)을 포함하는 상기 CMOS 쌍은  $V_{in2}$ 에 의해 나타내지는 입력 전압들의 범위를 수용해야 한다. 특히, PMOS(70), NMOS(72), PMOS(74) 및 NMOS(76)의 상기 게이트 회로들은 각각의 입력 전압들  $V_{in1}$  및  $V_{in2}$ 의 범위를 수용하도록 제조되어야 한다.

<27> 도 4는 NMOS 디바이스(82, 84)를 포함하는 집적 회로(78)의 다른 예를 도시한다. 도 3과 마찬가지로, 상기 입력 신호들  $V_{g1}$  및  $V_{g2}$ 는 동일한 전압 범위 내에 있을 수 있으므로, 상기 NMOS 디바이스들(82, 84)은 적용가능한 입

력 신호 범위를 수용하도록 제조되어야 한다. NMOS(82, 84)의 드레인 단자가 단일 공급 전압  $V_{dd}$ 에 접속되는 경우에 주목하자. 각각의 트랜지스터가 동일한 공급 전압으로부터 동작된다는 사실은 상기 게이트 입력 신호들을 수용하기에 필요한 상기 게이트 구조의 결정 요인이 아니다. 각각의 트랜지스터에 대한 상기 드레인 전압(각각이 동일하거나, 다른 경우)은 상기 디바이스로부터 오직 상기 출력 전압만 결정한다. 상기 MOSFET 작동 전압들은 다수의 설계 및 작동 특성들에 기초하여 선택되었기 때문에, 여러개의 작동 전압들은 최신식의 집적 회로에서 이용될 것이다.

<28> 트랜지스터들 및 집적 회로들의 제조에 있어서, 상기 용어 "주 표면"은 예를 들어, 평탄화 공정에서, 복수의 트랜지스터들이 제조되는 상기 반도체층의 표면을 의미한다. 여기서 사용될 때, 상기 용어 "수직"은 실제적으로, 상기 주 표면에 직교하는 것을 의미한다. 일반적으로, 상기 주 표면은 상기 전계 효과 트랜지스터 디바이스들이 제조되는 단결정 실리콘층의 평면(100)을 따른다. 상기 용어 "수직 트랜지스터"는 전류가 소스로부터 드레인까지 수직으로 흐르도록 상기 주 표면에 수직으로 방향이 맞춰진 개개의 반도체 커먼드트들을 갖는 트랜지스터를 의미한다. 예를 들어, 수직 MOSFET에 대하여, 소스, 채널 및 드레인 영역들은 상기 주 표면에 상대적으로 수직 정렬하여 형성된다.

<29> 도 5 내지 도 17은 본 발명에 따른 일반적인 회로 기능을 구성하기 위한 여러 제조 단계 중의 집적 회로 구조(10)의 단면도들을 도시한다. 상기 설명으로부터, 복수의 수직 CMOS 트랜지스터들이 집적 회로를 형성하기 위해 어떻게 단일로 또는 예를 들어 양극성 결합 트랜지스터들, 커패시터들 또는 레지스터들과 같은, 다른 디바이스들과 결합하여 구성될 수 있는지 명백해진다. 도 13 내지 14의 완성된 회로 구조는 본 발명의 교시들에 따른 상기 상이한 게이트 산화물 두께들을 도시한다.

<30> 도 5를 참조하면, 층(100)의 상부 위에 결정면을 따라 형성된 노출된 주 표면(106)을 갖는 단결정 반도체층(100)이 도시된다. 종래 기술들에 의해 상기 표면(106)에 형성된 아이솔레이션 트렌치(108)는 침착된 실리콘 이산화물(110)로 채워져 있다. 상기 트렌치의 한가지 목적은 상보적 전계 효과 트랜지스터들의 전형적인 쌍이 형성된 두 영역들 사이에 전기적 아이솔레이션에 영향을 미치는 것이다. 이 예에서, n-터브 영역(112) 및 p-터브 영역(114)은 상기 트렌치(108)의 상이한 측면 각각에 상기 표면(106)을 따라 전기적 아이솔레이션으로 종래 방식대로 형성된다. 예를 들어, 상기 n-터브 영역(112)은 봉소 주입(300 KeV 내지 500 KeV,  $1 \times 10^{13}/\text{cm}^2$ )을 통해 형성되고, 상기 p 영역(114)은 인 주입(300 KeV 내지 500 KeV,  $1 \times 10^{13}/\text{cm}^2$ )을 받을 수 있다. 상기 터브 영역들(112, 114)의 형성에 따라, p형 소스/드레인 영역(116)은 상기 터브 영역(112)에 형성되고, n형 소스/드레인 영역(118)은 상기 터브 영역(114)에 형성된다. 소스/드레인 영역들 양쪽 모두 상기 표면(106)을 따라 형성되고, 이온 주입에 의해 형성되는데, 예를 들어, 상기 p형 소스/드레인 영역(116)은 상기 터브 영역(112) 위에  $3 \times 10^{13}/\text{cm}^2$  내지  $10 \times 10^{15}/\text{cm}^2$ 의 50 KeV 내지 100 KeV 봉소 주입에 의해 형성되고, 상기 n형 소스/드레인 영역(118)은 상기 터브 영역(114) 위에  $3 \times 10^{15}/\text{cm}^2$  내지  $10 \times 10^{15}/\text{cm}^2$ 의 50 KeV 내지 100 KeV 인 주입에 의해 형성된다.

<31> 도 6을 참조하면, 복합층들은 상기 반도체층(100) 위에 형성되고, 상기 소스/드레인 영역들(116, 118)에 이웃하거나 위쪽에 위치하는 전도층(120)을 기점으로 하여, 상기 아이솔레이션 트렌치(108) 위로 더 연장된다. 상기 전도층(120)의 시트 저항을 감소시키기 위해 금속을 포함하며, 양호한 실시예에서는 화학 기상 성장법에 의해 형성된 텅스텐 실리사이드(WSi) 같은 금속 실리사이드를 포함한다. 다른 물질들로는 티타늄 질화물 및 텅스텐 질화물 뿐만 아니라, 코발트 실리사이드를 포함한다. 특히, 50 ohm/square 보다 낮은 시트 저항을 갖는, 다른 낮은 시트 저항 물질들은 상기 전도층(120)을 형성하기 위해 사용된다. 도 6에서 도시되는 바와 같이, 유전성 물질의 수개의 층들은 상기 전도층(120) 위에 형성되고, 얇은 절연층(122)을 기점으로 한다. 양호하게는, 상기 층(122)은 실리콘 질화물로 형성되고, 후술되는 고체 확산에 의해 확산하는 n형 및 p형 도편트들에 대한 확산 배리어로 및 또한 에칭 억제층으로 동작하도록 약 5 nm 내지 50 nm 범위의 두께를 갖는다. 상기 층(122) 위에, 다른 얇은 절연층(126)의 침착에 연속하여 상대적으로 두꺼운 절연층(124)이 침착된다. 상기 층(126)은 또한, 확산 배리어 및 에칭 억제층으로서 동작한다. 실리콘 질화물은 상기 절연층(126)에 대한 적절한 물질로써 고려된다.

<32> 실리콘 이산화물을 포함하는 층(130)은 상기 층(126) 위에 침착된다. 상기 층(130)은 회생층이고, 이는 상기 참조된 특허 번호 6,027,975에서 교시되는 상기 대체-게이트 공정에 따라 나중에 제거된다. 상기 층(130)의 두께는 상기 연속하여 형성된 MOSFET 게이트들의 길이를 규정한다. 상기 층(130)의 실리콘 이산화물은 테트라시오소실리케이트[TEOS;(tetraethylorthosilicate)] 선구 물체로부터 종래 침착 방법에 의해 형성된다.

<33> 절연층들(134, 136, 138)은 상기 실리콘 이산화물층(130) 위에 연속하여 침착된다. 양호하게는, 실리콘 질화물

인 상기 층(134)은 상기 층(126)과 두께 및 기능면에서 유사하다. 상기 층(130)의 양쪽 측면에서 두 층들(126, 134)은 오프셋 스페이서(offset spacer) 및 에칭 억제 기능들을 제공한다. 그 각각은 약 5 nm 및 50 nm 범위의 두께를 갖고, 일반적으로 상기 층(130)의 제거 시간 동안 에칭을 방해하는 물질을 포함한다. 특히, 이들 에칭 억제층들의 두께는 상기 에칭 공정 중에, 제거될 위 또는 아래층의 상기 물질의 깊이와 관련된, 선택 에칭제에 대한 에칭 억제 물질의 저항에 크게 의존한다. 즉, 효과적 에칭 억제를 위해, 에칭제는 에칭제가 제거될 상기 층 또는 층들을 에칭하는 시간동안, 상기 에칭 억제층을 침투할 수 없다. 또한, 상기 층들(126, 134)은 후술하는 바와 같이, 상기 층들(124, 136)로부터 고상(solid phase) 확산에 의해 확산되는 상기 n형 및 p형 도편트들에 대한 도편트 확산 배리어들로서 작용함으로서, 상기 각각의 트랜지스터의 게이트에 관련된 연속 형성된 소스/드레인 연장들의 공간 및 길이를 규정한다.

<34> 후술되는 후속 공정 단계들 동안, 상기 절연층들(124, 136)은 고상 확산 공정을 통해 각각의 트랜지스터의 소스/드레인 연장을 형성하기 위한 채널 영역들을 도핑하도록 이용되고, 상기 게이트 산화물에 이웃한 낮은 저항 연장 영역들을 형성한다. 실리콘 산화물 도핑 소스들의 예로는 예를 들어, 강화 플라즈마 화학 기상 성장법 (PECVD)에 의해 침착될 수 있는, PSG[(phosphosilicate glass), 즉 인으로 도핑된 실리콘 산화물] 및 BSG[(boro-silicate glass), 즉 봉소로 도핑된 실리콘 산화물]가 있다. 상기 층들(124, 136)에 대한 적절한 두께는 약 25 nm 내지 250 nm의 범위이다. 이를 위해서, 상기 층들(124, 136)은 고농도(약  $1 \times 10^{21}/\text{cm}^3$ )의 도편트를 포함한다. 이 CMOS 디바이스에서의 n형 및 p형 트랜지스터들을 형성하기 위해, 상기 층들(124, 136)은 대응하는 트랜지스터들에 대한 적절한 도편트 유형을 제공하기 위해 분기되어야 한다. 이것을 얻기 위한 하나의 수단은 한 도편트 유형의 균일한 막을 침착하고, 종래 리소그래피를 통해, 상기 침착된 층의 부분들을 제거하기 위해 마스킹 및 에칭하는 것이다. 다음에, 반대되는 도편트 유형의 층은 제거된 영역에 선택적으로 침착된다. 다른 실시예에서는, 도핑되지 않은 층이 침착된다. 상기 층의 하나의 영역은 마스킹되고, 마스킹되지 않은 영역에 주입되는 제 1 도편트 유형이다. 그 때, 상기 주입된 영역은 마스킹되고, 마스킹되지 않은 영역에 주입되는 제 2 도편트 유형이다. 그것들이 형성됨에 따라, 상기 층들(124, 136)은 화학적/기계적 공정(CMP)을 이용하여 평탄화된다.

<35> 층(138)은 상기 층(136) 위에 형성되고, 물질의 성분 및 두께에서 상기 층들(126, 134)과 비교된다. 상기 층(138)은 후속 공정에서 CMP 억제층으로 동작하고, 이 기능에 맞추어 두께를 갖는데, 예로써, 적어도 약 25 nm이다. 상기 층(138)은 또한, 상기 고상 확산 공정 동안, n형 및 p형 도편트들에 대한 확산 배리어로서 동작한다.

<36> 상기 모든 층들(122, 124, 126, 130, 134, 136, 138)은 종래의 화학 기상 성장(CVD) 공정이나 다른 공지의 침착 기술들을 이용하여 침착될 수 있다. 상술된 일련의 층들에 대해서, 다른 실시예들이 예를 들어, 보다 적은 침착된 층들과 같은 상당한 변화를 포함할 수 있는 것에 주목해야 한다. 어떤 경우에 있어서도, 최종 구조는 상기 CMOS 디바이스에서 상기 전계 효과 트랜지스터들 각각에 대한 수직 채널 영역을 형성할 것이다.

<37> 도 7은 상기 n형 터브 영역(112) 위에 형성된 제 1 트렌치 또는 윈도우(142), 및 상기 p형 터브 영역(114) 위에 형성된 제 2 트렌치 또는 윈도우(144)를 도시한다. 상기 트렌치들(142, 144)은 비등방성 에칭이 뒤따르는 포토레지스트에 의한 종래 패턴 방식에 의해 형성되고, 이것은 상기 복합층들의 수직 부분들만 제거하며, 상기 소스/드레인 영역들(116, 118)에서 정지한다. 상기 에칭 화학 반응 및 상기 트렌치들(142, 144)의 형성에 대한 다른 세부 항목들은 공지되어 있으므로, 본 명세서에서 부가하여 기술하지 않는다.

<38> 도 8에서 도시된 바와 같이, 리세스들(146)은 상기 트렌치들(142, 144)의 형성동안 노출된 상기 전도층(120)의 일부를 제거하는 선택적 등방성 에칭 공정에 의해 상기 트렌치들(142, 144) 내에 형성된다. 상기 적절한 에칭 화학 반응의 선택은 상기 전도층(120)의 혼합물에 의존한다. 예를 들어, 선택적 실리사이드 습식 에칭을 위한 적절한 화학 반응은 황산 및 과산화수소의 혼합물이다.

<39> 상기 리세스들(146)의 형성을 뒤따라, 실리콘 이산화물의 얇은 컨포멀층(thin conformal layer)(148)은 상기 층(138)의 노출된 표면 위뿐만 아니라 상기 트렌치들(142, 144)의 벽 및 바닥을 따라 침착된다. 상기 실리콘 이산화물층(148)은 또한, 도 9에서 도시된 바와 같이, 상기 리세스들(146) 내에서 침착한다.

<40> 상기 실리콘 이산화물층(148)의 비등방성 에칭은 실리콘 이산화물 유전 영역들(150)을 상기 리세스들(146)에 남아있도록 하면서, 상기 트렌치들(142, 144)의 바닥 및 많은 벽으로부터 상기 산화물을 제거한다. 도 10을 보자. 상기 유전 영역들(150)은 이 실시예에서 실리콘 이산화물을 포함하지만, 다른 절연 물질들(도핑되거나 되지 않음)이 대신 사용될 수 있다.

<41> 상기 트렌치들(142, 144)을 형성하는 상기 에칭 공정에 의해 노출되는 상기 소스/드레인 영역들(116, 118)의 일

부(도 11 참조)를 통해, 단결정 실리콘은 각각의 상기 트렌치들(142, 144) 내에 디바이스적으로 우수한(device-quality) 결정 실리콘층들(151, 152)을 형성하기 위해 상기 트렌치들(142, 144)의 바닥에서 이 영역들로부터 에피택시얼적으로(epitacially) 성장된다. 상기 결정 실리콘층(151)은 채널 영역(160) 위 및 아래에 소스/드레인 연장 영역들(153)을 형성하기에 적절하다. 상기 결정층(152)은 채널 영역(162) 위 및 아래에 소스/드레인 연장 영역들(154)을 형성하기에 적절하다. 상기 상부 소스/드레인 연장들(153, 154)은 상기 절연층(124)으로부터 고상 확산에 의해 형성되고, 상기 하부 소스/드레인 연장들(153, 154)은 상기 절연층(136)으로부터 고상 확산에 의해 각각 형성된다. 상기 채널 영역(160)은 도핑되지 않거나 n형 물질을 통해 가볍게 도핑될 수 있다. 상기 채널 영역(162)은 도핑되지 않거나 p형 물질을 통해 가볍게 도핑될 수 있다. 양호하게는, 상기 채널 영역들(160, 162)을 형성하는 상기 반도체 물질은 실리콘-게르마늄 및 실리콘-게르마늄-탄소를 포함한다. 상기 채널 영역들(160, 162)이 도핑되지 않은 상태로 형성되면, 나중에 도핑될 수 있다. 또한, 상기 결정층들(151, 152)의 결정 물질은 비결정이나 다결정층으로서 침착될 수 있고, 이어서 예를 들어, 종래의 노 어닐(furnace anneal) 또는 레이저 어닐에 의해 재결정화된다. 상기 층(138) 위에 연장하는 상기 결정층들(151, 152)의 임의의 부분은 예를 들어, CMP에 의해 제거되고, 상기 층(138)으로 상기 결정층들(151, 152)을 평탄화한다.

<42> 도 12를 참조하면, 다결정 패드 영역들(164, 166)이 표준 침착, 주입, 리소그래피 및 에칭 기술들에 의해 형성된다. 상기 패드 영역들(164, 166)은 각각의 연관된 채널 영역(160, 162)의 상기 도전성에 관련하여 소스/드레인 영역들을 제공하기 위해 적절히 도핑된다. 상기 패드 영역들(164, 166)은 각각 유전체층(192, 202)에 의해 각각 피복된다. 실리콘 질화물은 상기 층들(192, 202)에 대한 적절한 물질들로 간주된다. 도 13으로 알수 있는 바와 같이, 상기 층들(192, 202)이 침착된 후에, 상기 희생 실리콘 이산화물층(130)은 제거된다(예, 선택적 HF 에칭을 이용함).

<43> 공정 내에서, 이 때에, 상기 게이트 산화물 유전체 영역들은 열적으로 성장된다. 도 14 내지 16에는 제 1 CMOS 쌍을 형성하는 MOSFET(210A, 212A), 및 제 2 CMOS 쌍을 형성하는 MOSFET(210B, 212B)를 참조하여 방법을 나타낸다. 이 방법에서, 본 발명의 교시는 두 CMOS MOSFET 쌍들에 대한 응용을 예시하고, 각각의 쌍은 상이한 게이트 전압에서 동작하는데, 즉, 상기 게이트 전압은 회로 내의 선행 단계의 작동 전압에 의해 결정된다. 상기 제조 공정의 이 단계에서, 도 14의 상기 MOSFET들(210A, 212A, 210B, 212B)의 구조는 도 13의 상기 MOSFET들(180, 190)의 전형이다.

<44> 양호한 실시예에 따라, 상이한 작동 전압들을 갖는 수직 대체 게이트 CMOS 트랜지스터들은 다음 단계들에 따라서 형성된다. 도 14에 도시된 바와 같이, 우선적으로, 동일한 두께의 초기 게이트 산화물층들(220A, 222A, 220B, 222B)은 각각의 수직 대체 게이트 트랜지스터(210A, 212A, 210B, 212B)의 상기 채널 영역들(160A, 162A, 160B, 162B) 내에 각각 성장된다. 상기 MOSFET들(210A, 212A)이 더 높은 작동 전압들에서 동작하도록 의도되어지는 경우(더 두꺼운 게이트 산화물층을 필요로 하는 경우), 그들은 공지된 리소그래피 기술들에 따라서 마스킹된다. 다음에, 상기 초기 산화물층들(220B, 222B)은 상기 마스킹되지 않은 MOSFET들(210B, 212B)로부터 제거된다. 도 15를 참조하자. 상기 마스크는 제거되고, 제 2 게이트 산화물 침착이 실행된다. 이 제 2 게이트 산화 단계 동안, 상기 마스킹되지 않은 MOSFET들(210B, 212B) 내의 새로운 산화물층들(220B, 222B)의 성장보다 보다 느린 속도지만, 상기 마스킹된 게이트 산화물 영역들(220A, 222A)은 보다 두껍게 성장된다. 도 16을 참조하면, 상기 제 2 게이트 산화물 침착 공정의 결과로써, 두개의 상이한 게이트 산화물 두께들이 형성된다. 상대적으로 두꺼운 게이트 산화물들(220A, 222A)은 상기 MOSFET들(210A, 212A)에 대해 형성되고, 상대적으로 얇은 게이트 산화물들(220B, 222B)은 상기 MOSFET들(210B, 212B)에 대해 형성된다. 이 공정은 임의의 수의 게이트 산화물 두께들을 형성하기 위해 임의의 회수만큼 반복될 수 있고, 집적 회로 상에서 임의의 수의 MOSFET들에 응용될 수 있다.

<45> 그들이 지원할 상기 대략의 작동 전략 및 대표적인 최소 게이트 산화물 두께 값들을 다음과 같다.

<47> 20 1.5

<48> 36 2.5

<49> 50 3 0

<50> 110 5.0

<51> 양호한계는 곳곳의 이 단계에서 도फ트들을 살기 소스/드레인 역작들(153~154)을 혼성하기 위해 살기 절연총

들(126, 134)로부터 고상 확산에 의해 상기 결정층들(151, 152)로 유도된다. 고상 확산 사용의 장점은 상기 소스 및 드레인 연장들(결과적으로, 상기 디바이스의 채널)이 최종 디바이스의 게이트가 될 것과 함께 정렬된다는 것이다. 상기 절연층들(124, 136)로부터 도핑되는 상기 결정층(151)의 그 부분에서의 상기 도편트의 농도는 일반적으로, 장점들로 주목되는 약  $5 \times 10^{19}/\text{cm}^3$ 의 도편트 농도들과 함께 약  $1 \times 10^{19}/\text{cm}^3$ 이다. 이 고상 확산 기술을 통해, 매우 얇은 소스 및 드레인 확산들이 얻어진다. 상기 소스/드레인 연장들(153, 154)은 상기 결정층들(151, 153)로 침투하는 것으로 나타나고, 양호하게는 상기 결정층들(151, 153)의 넓이의 1/2 보다 작다. 이 방식으로 상기 도편트 침투를 제약하는 것은 상기 결정층들(151, 153)의 반대되는 측면들로부터의 상기 도핑된 영역들 내에 심각한 중첩을 피하게 한다. 또한, 상기 소스/드레인 연장들(153, 154)이 디바이스 게이트(후술되는 다음의 공정 단계들에서 형성됨) 아래에 연장되는 거리는 양호하게, 상기 게이트 길이의 1/4 보다 작도록 제약되고, 그 것에 의하여 상기 중첩 커패시턴스(capacitance)를 제약한다. 종래 기술의 숙련자들에게 공지된 것처럼, 상기 소스/드레인 연장들(153, 154) 내의 상기 도편트들은 상기 채널들(160, 162) 내의 상기 도편트들과 반대되는 도전성 유형을 갖는다.

<52> 도 17에서 도시된 것처럼, 다음으로, 상기 폴리실리콘 게이트 영역들(230, 234)이 침착된다. 상기 게이트(230)는 상기 채널들(160A, 162A)을 통해 전도 제어를 위한 상기 MOSFET들(210A, 212A)에 부속한다. 상기 게이트(240)는 상기 채널들(160B, 162B)을 통해 전도 제어를 위한 상기 MOSFET들(210B, 212B)에 부속한다. 상기 게이트 영역들(230, 234)은 삽입 절연층(122, 124, 126)에 의해 상기 전도층(120) 위에, 그러나 분리되어 형성된다. 상기 실리콘 질화물층들(134, 138) 및 상기 실리콘 이산화물층(136)의 일부는 상기 게이트 영역들(230, 234) 위에 위치한다.

<53> 상술된 바와 같이, 상기 층들(192A, 192B)은 상기 소스/드레인 영역들(164A, 164B)의 일부 위에 놓인다. 상기 층들(202A, 202B)은 상기 소스/드레인 영역들(166A, 166B)의 일부 위에 놓인다. 플러그(164A, 164B, 166A, 166B) 각각의 반대 측면들에 이웃한 유전체 스페이서들(236)은 종래 침착, 마스킹 및 에칭 단계들에 의해 형성되고, 양호하게는 실리콘 질화물로 구성된다. 게이트 입력 접촉들(240, 244)은 대안적으로, CMOS 쌍 내의 하나의 MOSFET를 전도 상태가 되도록 하기 위해 상기 게이트들(230, 234)에 각각 접속된다.

<54> 상기 전도층(120)은 양호하게, 상기 MOSFET(210A)의 상기 소스/드레인 영역(116)을 상기 MOSFET(212A)의 상기 소스/드레인 영역(118)과 전기적으로 접속시키는, 지속적인 막이다. 상기 절연 영역들(150)은 상기 소스/드레인 연장들(153A, 154A) 각각을 통한 직접적 접촉으로부터 상기 전도층(120)을 격리한다. 상기 절연 영역들(150)이 존재하지 않으면, 상기 전도층(120)과 상기 결정 실리콘 사이의 상기 인터페이스는 전기적 성능에 영향을 미치는 변위(dislocation)를 전개할 수 있다. 상기 소스/드레인 영역들(116, 118) 사이의 접속에 영향을 미치도록 영역 접약적 접속 윈도우들을 제한하는 것 이외에, 상기 전도층(120)은 상기 소스/드레인 영역들(116)과 상기 소스/드레인 영역들(118) 사이에 낮은 시트 저항 접속을 제공한다.

<55> 상기 소스/드레인 영역들(164A, 168A, 164B, 166B)은 각각의 접촉들(250A, 252A, 250B, 252B)을 통해 상이한 전압 레일들, 예를 들어,  $V_{dd}$  및  $V_{ss}$ 에 접속되는 소스 영역들로서 각각 동작할 수 있다. 도 17을 보자. 상기 소스/드레인 영역들(116, 118)은 드레인 영역들로서 각각 동작할 수 있다. 상기 MOSFET(210A, 212A)는 상기 게이트 입력 접촉(240)에 인가되는 상기 입력 신호 및 상기 MOSFET(210A, 212A)의 상기 소스/드레인 영역들(116, 118)에서의 상기 출력 신호를 갖는 제 1 인버터로써 각각 동작한다. 상기 MOSFET(210B, 212B)는 상기 게이트 입력 접촉(242)에 인가되는 상기 입력 신호, 및 상기 MOSFET(210B, 212B)의 상기 소스/드레인 영역들(116, 118)에서의 상기 출력 신호를 갖는 제 2 인버터로써 동작한다. 도 3의 회로들을 참조하면, 상기 PMOS(70) 및 상기 NMOS(72)는 상기 MOSFET들(210A, 212A)에 의해 구현된다. 상기 PMOS(74) 및 상기 NMOS(76)는 상기 MOSFET들(210B, 212B)에 의해 구현된다. 종래 방법으로 형성된 얇은 트렌치 아이슬레이션 구조(270)는 도 17의 실시예에서, 상기 제 2 인버터로부터 상기 제 1 인버터를 격리시킨다.

<56> 본 발명의 다른 실시예에서, 두 MOSFET들(300, 302)(도 18 참조)은 상이한 산화물 두께들을 갖도록 상술된 것처럼 형성되지만, 그 각각의 소스 및 드레인 단자들은 두 평행한 독립적으로 제어되는 MOSFET들을 형성하기 위해 전기적으로 접속된다. 상기 게이트들은 종래의 트렌치 또는 실리콘의 국부적 산화(LOCOS) 기술을 이용하여 격리된다. 상기 MOSFET들은 상이한 게이트 산화물을 갖으며, 이에 따라 각각은 상이한 문턱 전압을 갖는다.

<57> 도 3의 개략도로 돌아가서, 각각의 MOSFET 쌍[PMOS(70)/NMOS(72), PMOS(74)/NMOS(76)]은 상이한 공급 전압 ( $V_{dd}/V_{ss}$ )에 응답한다는 점에 주의해야 한다. 상기 MOSFET 게이트 단자들의 접속에 의해  $V_{in1}$ 이  $V_{in2}$ 와 동일하게 설정되고, 상기 두 출력 단자들의 접속에 의해  $V_{out1}$ 이  $V_{out2}$ 와 동일하게 설정되면, 그 결과적 디바이스는 상기 제

1 MOSFET 쌍[PMOS(70)/NMOS(72)]이 전도 상태에 있는 경우에는, 제 1 논리 레벨을 갖고, 상기 제 2 MOSFET 쌍[PMOS(74)/NMOS(76)]이 전도 상태에 있는 경우에는, 제 2 논리 레벨을 갖으며, MOSFET 양쪽 모두 오프된 상태라면, 제 3 논리 레벨을 갖는 3차 논리 디바이스(tertiary logic device)이다.

### 발명의 효과

&lt;58&gt;

본 발명은 간단한 CMOS 집적 회로들을 형성하도록 구성된 MOSFET 디바이스들의 형성과 관련하여 기술되었지만, 종래 기술의 숙련자들은 본 발명의 기술들이 집적 회로 상에서 다중 VRG MOSFET의 형성에 이용될 수 있다는 것을 인식할 것이다. 침착, 마스킹 및 추가 침착 단계들을 통한 각각의 VRG MOSFET의 상기 게이트 산화물 두께 제어에 의해, 집적 회로가 형성되고, 각각의 MOSFET는 상이한 선택된 작동 전압에서 동작한다. 회로 구조에서, 복수의 동작 전압 대체 게이트를 CMOS 트랜지스터들을 제공하기에 유용한 구조에 대해 기술하였다. 본 발명의 특정한 응용들을 예시하면서, 본 원에서 발표된 원리들은 3 내지 4족 화합물들 및 다른 반도체 물질들로 형성된 구조들을 포함해서, 다양한 방식들 및 다양한 회로 구조들에서의 본 발명의 실행에 대한 기초를 제공한다. 실시 예들은 전압 대체-게이트 CMOS MOSFET들에 부속하지만, 많은 변환들이 기대된다. 이것들은, 반도체 디바이스들의 다른 유형들(수직 양극성 트랜지스터 디바이스들, 다이오드들 및, 보다 일반적으로는 확산 영역들)을 반도체 층 내의 다른 디바이스 및 영역들과 접속시키기 위해 상기 전도층(120)과 같은 전도층을 이용하는 구조들을 포함한다. 본 원에서 명백히 확인되지 않는 다른 구조들 또한, 본 발명의 범주에서 벗어나지 않고, 이들은 이하 청구항에 의해서만 제한된다.

### 도면의 간단한 설명

&lt;1&gt;

도면을 참조로 하여 후술되는 양호한 실시예들로부터, 본 발명은 보다 쉽게 이해되고, 본 발명의 부가적 이점들이 더욱 명백해 진다.

&lt;2&gt;

도 1은 종래의 CMOS 집적 회로의 단면도,

&lt;3&gt;

도 2 내지 도 4는 CMOS 집적 회로들의 부분 개략도,

&lt;4&gt;

도 5 내지 도 17은 연속 제조 공정동안의, 본 발명의 일 실시예에 따른 회로 구조의 단면도,

&lt;5&gt;

도 18은 본 발명의 다른 실시예에 따라 구성된 CMOS 디바이스들의 개략도.

&lt;6&gt;

통상적으로, 본 발명의 구성들은 적절한 축소 비율에 따라 도시되며, 동일 요소들에 대해서는 동일 부호를 병기 한다.

&lt;7&gt;

\* 도면의 주요 부분에 대한 부호 설명 \*

&lt;8&gt;

2 : MOSFET 9 : 기판

&lt;9&gt;

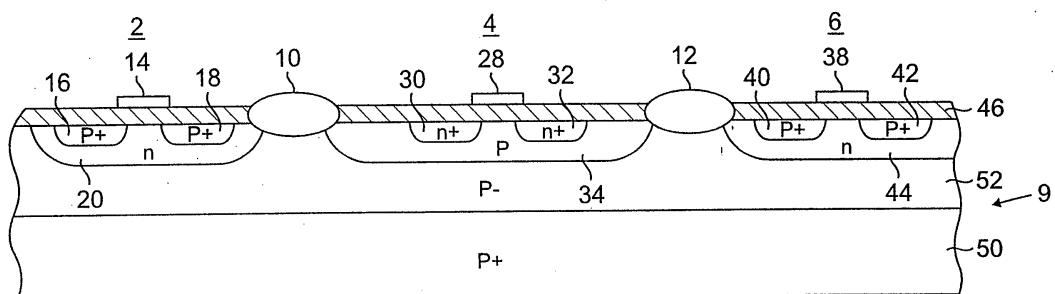
28 : 게이트 30 : 소스 영역

&lt;10&gt;

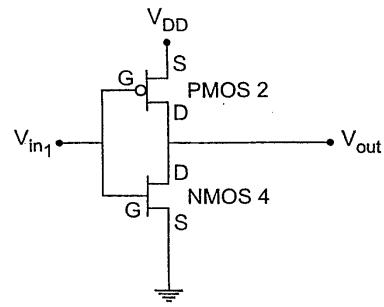
50 : p+ 영역 52 : p-층

### 도면

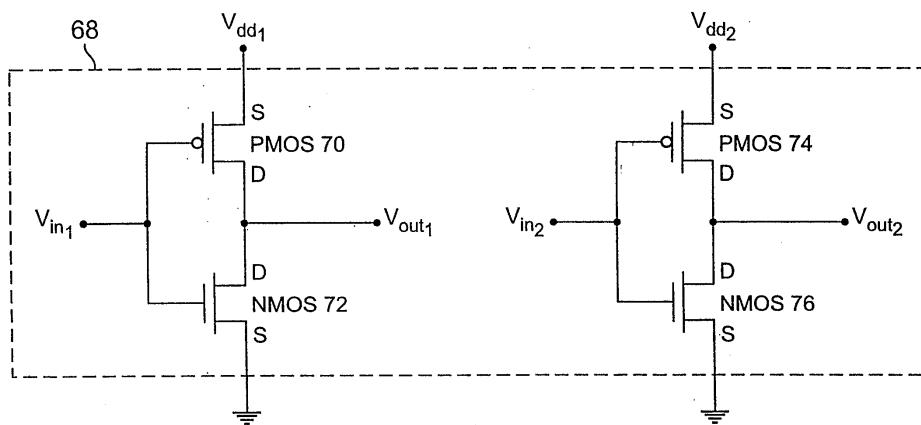
#### 도면1



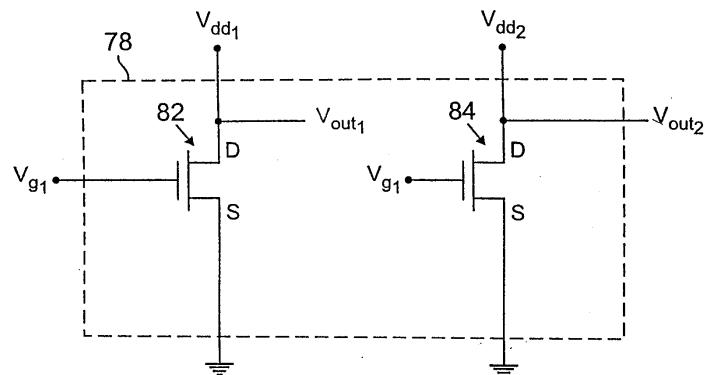
## 도면2



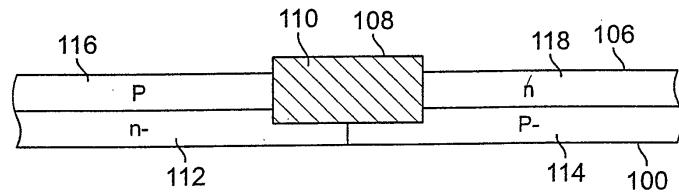
## 도면3



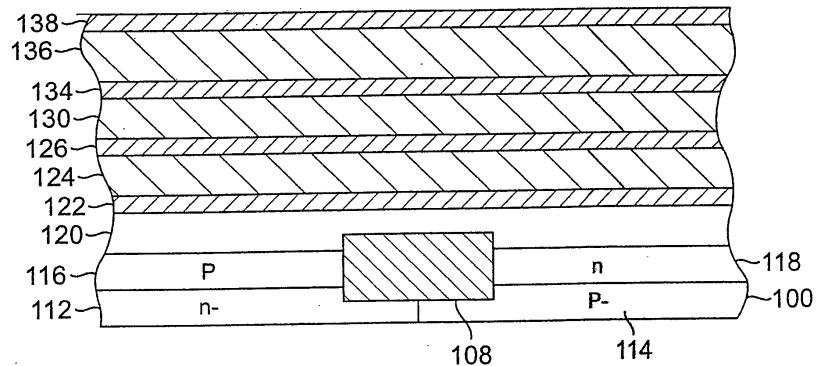
## 도면4



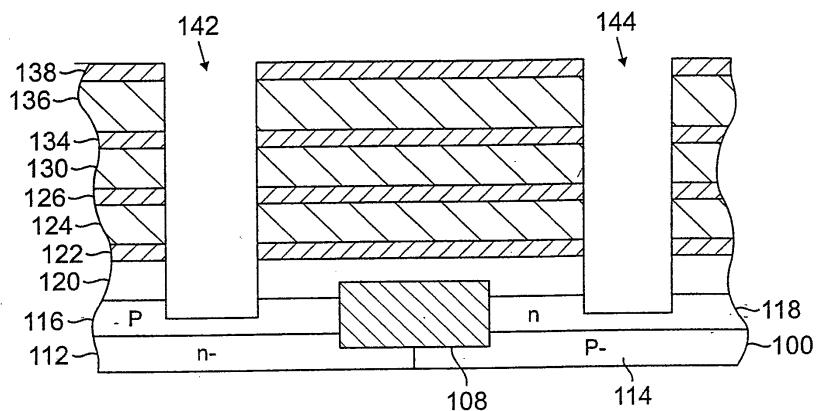
도면5



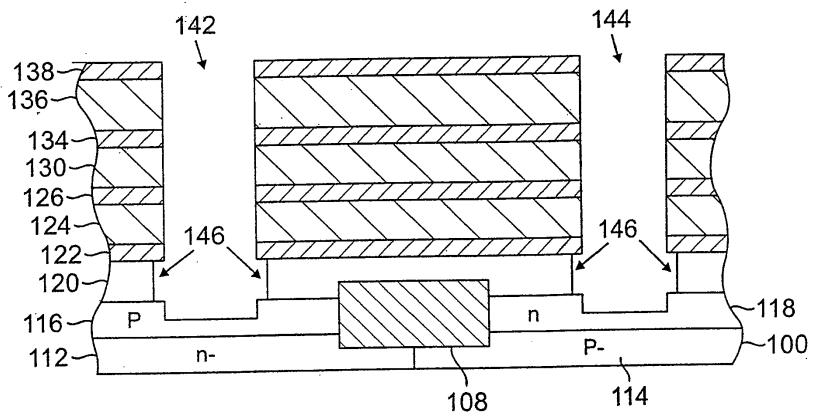
도면6



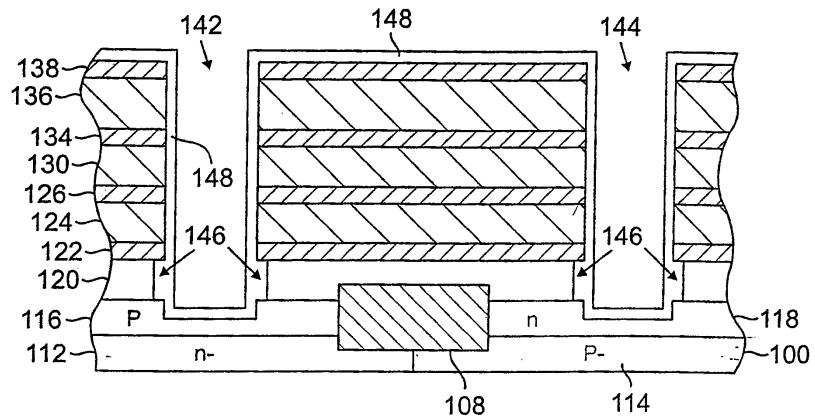
도면7



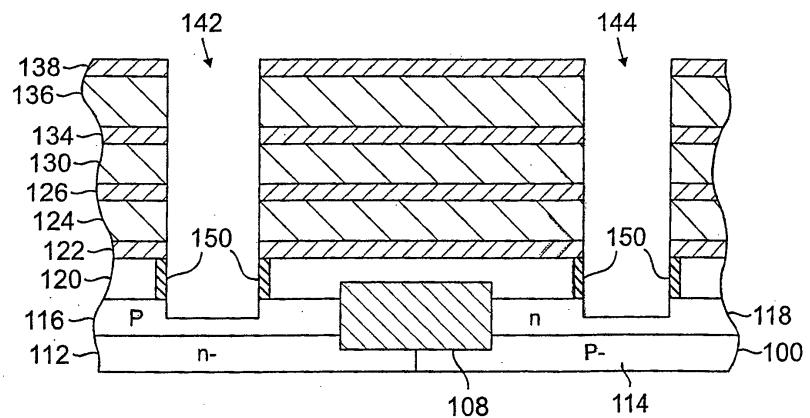
도면8



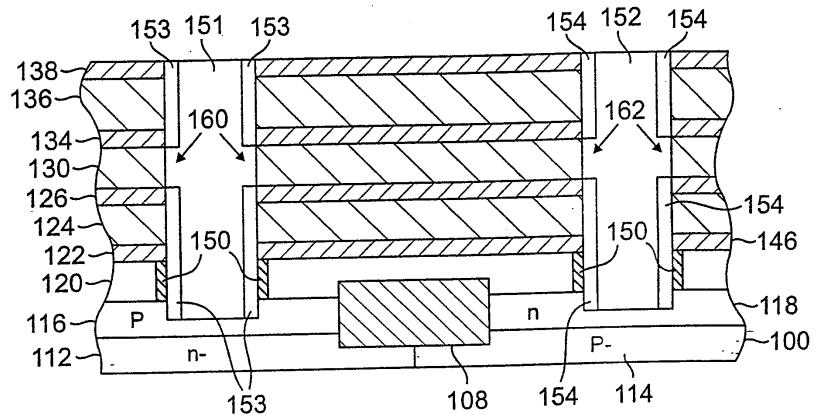
도면9



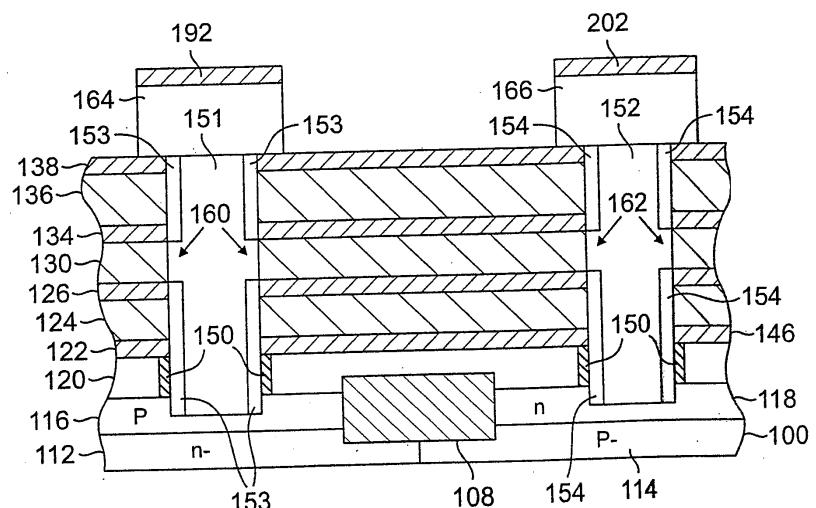
도면10



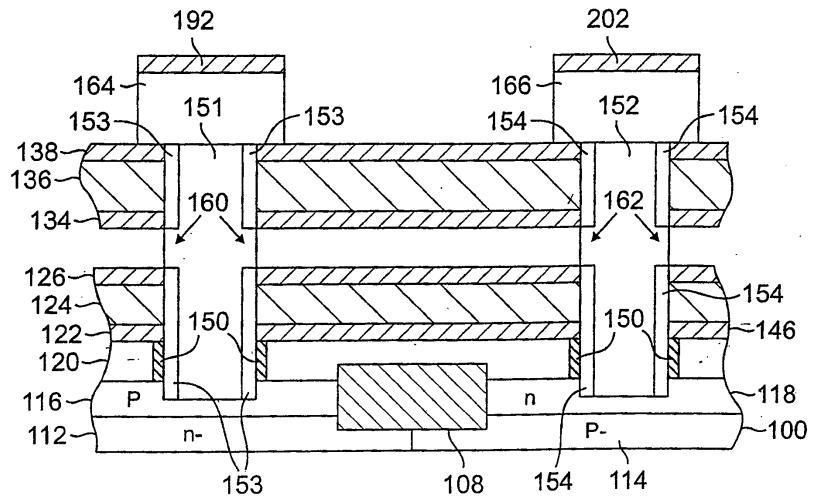
도면11



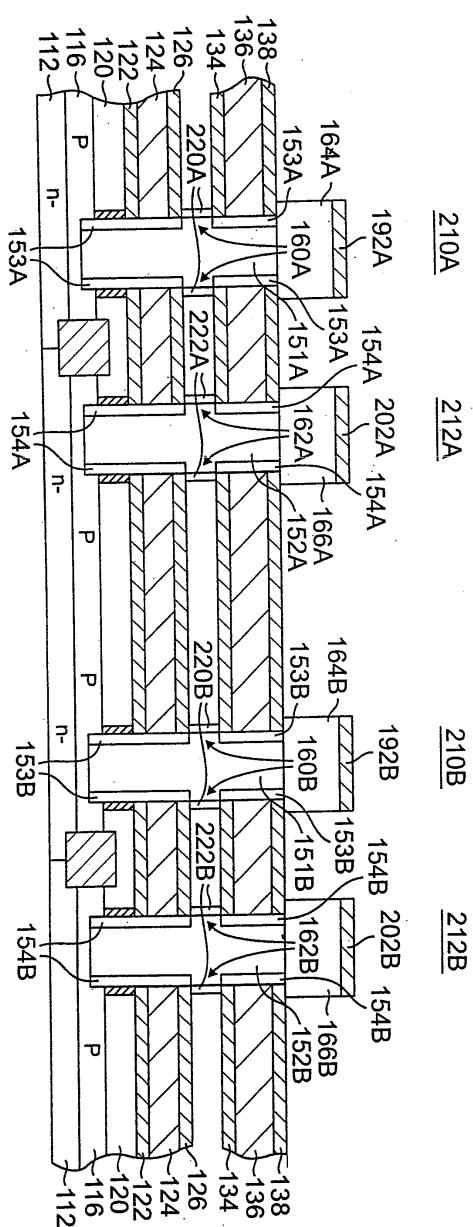
도면12



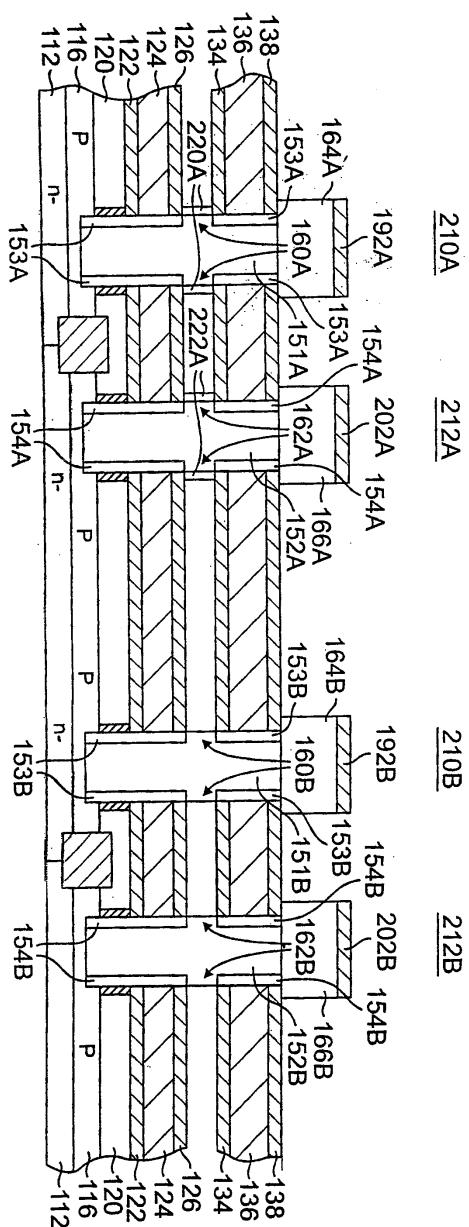
도면13



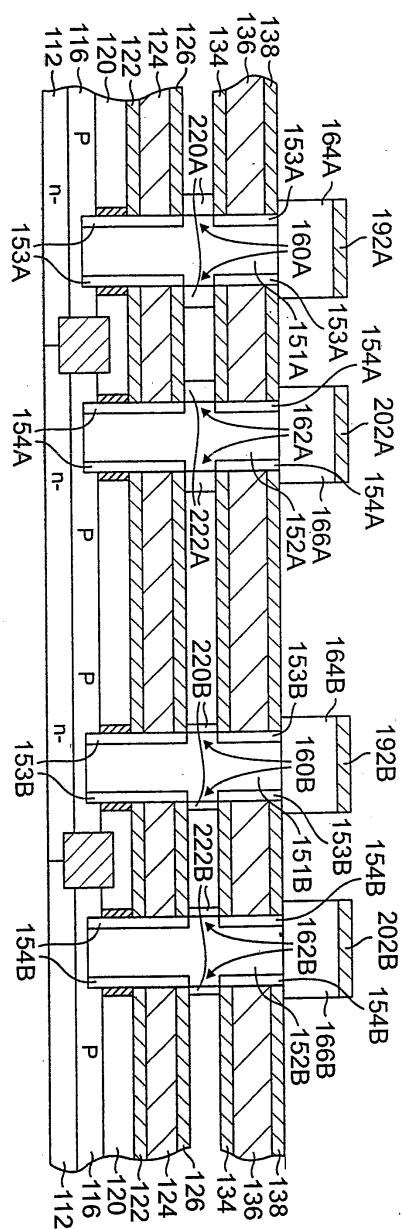
도면14



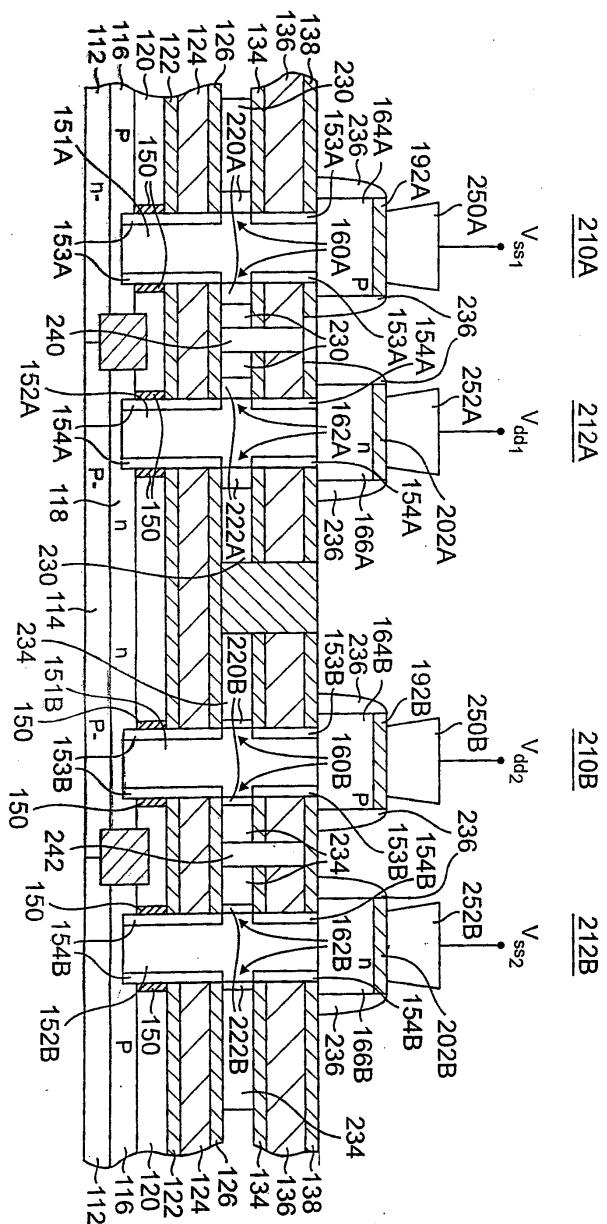
도면15



도면16



도면17



도면18

