

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3685445号  
(P3685445)

(45) 発行日 平成17年8月17日(2005.8.17)

(24) 登録日 平成17年6月10日(2005.6.10)

(51) Int. Cl.<sup>7</sup>

F I

H O 4 N 5/335

H O 4 N 5/335

E

H O 1 L 27/146

H O 1 L 27/14

A

請求項の数 9 (全 13 頁)

(21) 出願番号	特願2000-41295 (P2000-41295)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成12年2月18日(2000.2.18)	(74) 代理人	100065385 弁理士 山下 穰平
(65) 公開番号	特開2001-230974 (P2001-230974A)	(72) 発明者	櫻井 克仁 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43) 公開日	平成13年8月24日(2001.8.24)	(72) 発明者	樋山 拓己 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成13年6月7日(2001.6.7)	(72) 発明者	小泉 徹 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置及び撮像システム

(57) 【特許請求の範囲】

【請求項1】

各々が、光信号を信号電荷に変換して蓄積する光電変換手段と、前記光電変換手段に蓄積された信号電荷を増幅する増幅手段とを含む複数の画素と、  
前記増幅手段の出力側に接続され、前記増幅手段に流れる電流を設定する負荷手段と、  
前記増幅手段の出力が所定電圧以下にならないように制限する制限手段とを有し、  
前記増幅手段の出力が所定電圧以下となり前記負荷手段がオフすることが防止されていることを特徴とする固体撮像装置。

【請求項2】

各々が、光信号を信号電荷に変換して蓄積する光電変換手段と、前記光電変換手段に蓄積された信号電荷を増幅する増幅手段とを含む複数の画素と、  
前記増幅手段の出力側に接続され、前記増幅手段に流れる電流を設定するM O Sトランジスタと、  
前記増幅手段の出力が所定電圧以下にならないように制限する制限手段とを有し、  
前記増幅手段の出力が所定電圧以下となり前記M O Sトランジスタが飽和領域で動作しなくなることが防止されていることを特徴とする固体撮像装置。

【請求項3】

前記制限手段は、前記増幅手段の出力をクリップすることにより前記増幅手段の出力が所定電圧以下にならないように制限するクリップ手段より成ることを特徴とする請求項1又は2に記載の固体撮像装置。

10

20

## 【請求項 4】

更に、前記増幅手段の信号電荷をリセットするリセット手段を画素の構成要素として含むことを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

## 【請求項 5】

前記制限手段は、前記リセット手段のゲートを駆動する信号のローレベルを制御することにより前記増幅手段の出力が所定電圧以下にならないように制限することを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

## 【請求項 6】

更に、画素を選択する選択手段を画素の構成要素として含むことを特徴とする請求項 1 又は 2 に記載の固体撮像装置。

10

## 【請求項 7】

前記クリップ手段は、クリップ用 MOS トランジスタと、前記クリップ用 MOS トランジスタのクリップ動作を制御し、設定されたクリップ電圧を前記クリップ用 MOS トランジスタを介して前記増幅手段の出力に供給する MOS トランジスタとで構成されることを特徴とする請求項 3 に記載の固体撮像装置。

## 【請求項 8】

前記クリップ手段は、クリップ用ダイオードと、該ダイオードを制御信号に応じて駆動し、設定されたクリップ電圧をダイオードを介して前記増幅手段の出力に供給するスイッチ手段とで構成されることを特徴とする請求項 3 に記載の固体撮像装置。

## 【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載の固体撮像装置と、前記固体撮像装置の出力信号の振幅をコントロールするためのゲインアンプと、A/D コンバータとを有することを特徴とする撮像システム。

20

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、ビデオカメラやデジタルスチルカメラ用のイメージ入力装置等として広範に用いられる固体撮像装置、及びそれを用いた撮像システムに関するものである。

## 【0002】

## 【従来の技術】

近年、高解像化のため、微細化プロセスを用いた光電変換素子のセルサイズ縮小が精力的に行われる一方、光電変換信号出力が低下すること等から光電変換信号を増幅して出力することが可能な増幅型の固体撮像装置が注目されている。このような増幅型光電変換装置には、MOS 型、AMI、CMD、BASIS 等がある。このうち、MOS 型はフォトダイオードで発生した光キャリアを MOS トランジスタのゲート電極に蓄積し、走査回路からの駆動タイミングに従ってその電位変化を出力部へ電荷増幅して出力するものである。近年、この MOS 型のうち、光電変換部や、その周辺回路部を含め全て CMOS プロセスで実現する CMOS 型固体撮像装置が特に注目されている。

30

## 【0003】

図 9 は従来の CMOS 型固体撮像装置の構成を示すブロック図である。図 9 において、1 は画素部、2 は垂直走査を行うための垂直走査回路ブロックである。画素部 1 内の D11 ~ D33 はフォトダイオード、M211 ~ M233 はフォトダイオードの電荷をリセットするためのリセット MOS (MOS トランジスタを MOS と略す)、M311 ~ M333 はフォトダイオードの電荷を増加するための増幅 MOS、M411 ~ M433 は行を選択するための選択 MOS、V1 ~ V3 は垂直出力線である。また、M51 ~ M53 は増幅 MOS の負荷となる負荷 MOS、M50 は負荷 MOS に流す定電流を設定するための入力 MOS、5 は入力 MOS のゲート電圧を設定するための電圧入力端子である。

40

## 【0004】

次に、図 9 の固体撮像装置の動作について説明する。まず、フォトダイオード D11 ~ D33 に光が入射されると、各々のフォトダイオードは光信号電荷を発生し蓄積する。信号

50

を読み出す時は垂直走査回路ブロック2によって垂直走査しながら行毎に順次垂直出力線V1～V3に読み出す。まず、1行目が選択されると選択MOSM411～M431のゲートが接続された第2の行選択線PSEL1の信号がハイレベルとなり、増幅MOSM311～M331がアクティブとなる。これによって、1行目の信号が垂直出力線V1～V3に読み出される。次いで、リセットMOSM211～M231のゲートが接続された第1の行選択線PRES1の信号がハイレベルとなり、フォトダイオードD11～D31に蓄積された電荷がリセットされる。次に、2行目が選択され、同様にして2行目の信号が垂直出力線V1～V3に読み出される。3行目以降も同様にして垂直出力線V1～V3に順次読み出される。

【0005】

10

【発明が解決しようとする課題】

図9の固体撮像装置では、読み出し動作時において光信号が大きいほど垂直出力線V1～V3上の電圧は低くなる。また、垂直出力線V1～V3は負荷MOSM51～M53のドレインに接続されているため、非常に強い光が入射されている画素の信号を読み出している列は、負荷MOSのソース・ドレイン間の電圧が0Vとなり、負荷MOSがOFFしてしまう。従って、ある行を読み出している時に共通のGNDライン4に流れる電流は、OFFしている負荷MOSの数によって異なることになる。一方で、チップサイズ等の制約からGNDライン4の配線幅は有限の値しかとれず、あるインピーダンスを持つ。

【0006】

また、負荷MOSに流す定電流の値は、入力MOSM50のゲートと絶対的なGND（例えば外部基板の接地電位）との間に入力端子5の電圧を与えることにより設定しているため、GNDライン4のインピーダンスと流れる電流で決まる電圧降下によって設定電流の値が変化する。これは、強い光が入射している画素の数が多い行ほどOFFしている負荷MOSの数が多いため、GNDライン4の電圧降下が小さく負荷MOSの設定電流が多くなり、増幅MOSのゲート・ソース間電圧が大きくなることを意味している。この現象によって、強い光が入射されている画素を含む行と、そうでない行とのダーク画素及びオプティカル・ブラック(OB)画素の出力電圧が異なり、強いスポット光が入射された画像で、スポットの左右に白っぽい帯が発生するという問題があった。

20

【0007】

本発明は、上記問題点を解決すべくなされたものであり、その目的は画素部からの光信号電荷を増幅して出力する増幅手段の出力が所定電圧以下にならないように制限することにより、鮮明な画像を得ることが可能な固体撮像装置及び撮像システムを提供することにある。

30

【0008】

【課題を解決するための手段】

本発明の目的は、各々が、光信号を信号電荷に変換して蓄積する光電変換手段と、前記光電変換手段に蓄積された信号電荷を増幅する増幅手段とを含む複数の画素と、前記増幅手段の出力側に接続され、前記増幅手段に流れる電流を設定する負荷手段と、前記増幅手段の出力が所定電圧以下にならないように制限する制限手段とを有し、前記増幅手段の出力が所定電圧以下となり前記負荷手段がオフすることが防止されていることを特徴とする固体撮像装置によって達成される。

40

【0009】

また、本発明の目的は、各々が、光信号を信号電荷に変換して蓄積する光電変換手段と、前記光電変換手段に蓄積された信号電荷を増幅する増幅手段とを含む複数の画素と、前記増幅手段の出力側に接続され、前記増幅手段に流れる電流を設定するMOSトランジスタと、前記増幅手段の出力が所定電圧以下にならないように制限する制限手段とを有し、前記増幅手段の出力が所定電圧以下となり前記MOSトランジスタが飽和領域で動作しなくなることを防止されていることを特徴とする固体撮像装置によって達成される。

【0011】

【作用】

50

本発明によれば、強い光が入射されている画素の信号を読み出す場合においても、垂直出力線の電圧が所定電圧以下にならないため、負荷MOSがOFFすることを防ぐことができる。このため、強い光が入射されている画素の数によってGNDラインの電圧降下量が変化することはなく、負荷MOSの設定電流は一定に保たれる。従って、強いスポット光が入射された画像においても白っぽい帯の発生はなく、鮮明な画像を得ることができる。

#### 【0012】

##### 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、以下の実施の形態において固体撮像装置を構成する各回路素子は、例えば、半導体集積回路の製造技術によって単結晶シリコンのような1個の半導体基板上に形成されているものとするが、これに限定されるものではない。また、以下の実施形態においては簡単のため3行3列の画素アレイとしているが、もちろんこれに限定されるものではない。更に、以下の実施形態においてMOSトランジスタは単にMOSと略している。

#### 【0013】

##### [第1の実施形態]

図1は本発明の固体撮像装置の第1の実施形態を示すブロック図である。なお図1では図9の従来装置と同一部分は同一符号を付している。即ち、1は画素部、2は垂直走査回路ブロック、4はGNDラインである。これらは、いずれも図9のものと同じである。また、3は後述するように垂直出力線をクリップするためのクリップ手段である。画素部1について説明すると、まず、光信号電荷を発生するフォトダイオードD11~D33は、この例ではアノード側が接地され、カソード側が増幅MOSM311からM333のゲートに接続されている。また、増幅MOSM311~M333のゲートには、これをリセットするためのリセットMOSM211~M233のソースが接続され、リセットMOSM211~M233のドレインはリセット電源に接続されている。増幅MOSM311~M333のドレインは、電源電圧を供給するための選択MOSM411~M433に接続されている。

#### 【0014】

リセットMOSM211のゲートは、横方向に延長して配置された第1の行選択線(垂直走査線)PRES1に接続されている。同じ行に配置された他の画素セルのリセットMOSM221, M231のゲートも第1の行選択線PRES1に共通に接続されている。選択MOSM411のゲートは、横方向に延長して配置された第2の行選択線(垂直走査線)PSEL1に接続されている。同じ行に配置された他の画素セルの選択MOSM421, M431のゲートも第2の行選択線PSEL1に共通に接続されている。これら第1~第2の行選択線は、垂直走査回路ブロック2に接続され、後述する動作タイミングに基づいて信号電圧が供給される。

#### 【0015】

図1の残りの行においても同様の構成の画素セルと、行選択線が設けられている。これらの行選択線には、垂直走査回路ブロック2からの行選択線PRES2~PRES3、PSEL2~PSEL3の信号が供給される。増幅MOSM311のソースは、縦方向に延長して配置された垂直信号線V1に接続されている。同じ列に配置された画素セルの増幅MOSM312, M313のソースも垂直信号線V1に接続されている。垂直信号線V1には、負荷手段である負荷MOSM51に接続されると共に、垂直出力線V1をクリップするためのクリップ手段3が接続されている。

#### 【0016】

クリップ手段3はクリップMOSM71とクリップ動作をアクティブにするためのMOSM81からなっていて、垂直出力線V1にはMOSM71のソースが接続されている。MOSM71のドレインはMOSM81を介して電源に接続され、ゲートはクリップ電圧を設定するための電源線7に接続されている。MOSM81のゲートはクリップ動作を制御するための制御パルス線6に接続されている。図1の残りの垂直出力線V2~V3においても同様に増幅MOS、負荷MOS、クリップ手段3が接続されている。更に、負荷MO

10

20

30

40

50

S M 5 1 ~ M 5 3 のソースは共通の G N D ライン 4 に、ゲートは入力 M O S M 5 0 のゲートに接続されると共に電圧入力端子 5 に接続されている。

【 0 0 1 7 】

次に、本実施形態の動作について説明する。フォトダイオード D 1 1 ~ D 3 3 に光が入射されると、各フォトダイオードは光信号電荷を発生し蓄積する。信号を読み出す時は垂直走査回路ブロック 2 によって垂直走査しながら行毎に順次垂直出力線 V 1 ~ V 3 に読み出す。まず、1 行目が選択されると、選択 M O S M 4 1 1 ~ M 4 3 1 のゲートが接続された第 2 の行選択線 P S E L 1 がハイレベルとなり、増幅 M O S M 3 1 1 ~ M 3 3 1 がアクティブとなる。同時に、クリップ手段 3 を駆動する制御パルス線 6 の信号もハイレベルとなり、クリップ M O S M 7 1 ~ M 7 3 もアクティブとなる。これによって 1 行目の信号が垂直出力線 V 1 ~ V 3 に読み出される。次いで、リセット M O S M 2 1 1 ~ M 2 3 1 のゲートの第 1 の行選択線 P R E S 1 がハイレベルとなり、フォトダイオード D 1 1 ~ D 3 1 に蓄積された電荷がリセットされる。次に、2 行目が選択され同様にして 2 行目の信号が垂直出力線 V 1 ~ V 3 に読み出される。3 行目以降も同様にして垂直出力線 V 1 ~ V 3 に順次読み出される。

10

【 0 0 1 8 】

ここで、このような動作において、例えば 1 行目を読み出している時、増幅 M O S M 3 1 1 とクリップ M O S M 7 1、増幅 M O S M 3 2 1 とクリップ M O S M 7 2、増幅 M O S M 3 3 1 とクリップ M O S M 7 3 はそれぞれソースが共通に接続され、差動の構成となっている。例えば、垂直出力線 V 1 に読み出される信号電圧は、増幅 M O S M 3 1 1 のゲート電圧が設定されたクリップ電圧 7 よりも十分高い場合には、クリップ M O S M 7 1 が O F F しているため、増幅 M O S M 3 1 1 のゲートの信号電圧に基づいた電圧が読み出される。しかし、増幅 M O S M 3 1 1 のゲート電圧が設定されたクリップ電圧 7 に近づいてくると、クリップ M O S M 7 1 が O N してクリップが効き始め、増幅 M O S M 3 1 1 のゲート電圧が設定されたクリップ電圧 7 より十分に低い場合には、垂直出力線 V 1 は設定されたクリップ電圧 7 で決まる電圧以下には下がらない。

20

【 0 0 1 9 】

図 1 の残りの垂直出力線 V 2 ~ V 3 においても同様である。このため、垂直出力線 V 1 ~ V 3 の電圧が、負荷 M O S M 5 1 ~ M 5 3 が飽和領域で動作するためのドレイン電圧以下にならないようにクリップ電圧 7 を設定することによって非常に大きい信号電荷を読み出す場合においても、負荷 M O S M 5 1 ~ M 5 3 が O F F しないようにすることができる。従って、強い光が入射されている画素の数によって G N D ライン 4 の電圧降下量が変わることではないため、どの行を読み出している場合においても負荷 M O S M 5 1 ~ M 5 3 の設定電流が一定に保たれる。このように本実施形態では、強い光が入射されている画素を含む行と、そうでない行とのダーク画素及び O B 画素の出力電圧が等しくなり、強いスポット光が入射された画像において白っぽい帯が発生するという問題はなく、鮮明な画像を得ることができる。

30

【 0 0 2 0 】

[ 第 2 の実施形態 ]

図 2 は本発明の固体撮像装置の第 2 の実施形態を示すブロック図である。第 2 の実施形態では、画素部 1 は第 1 の実施形態に対しフォトダイオード D 1 1 ~ D 3 3 のカソード側と増幅 M O S M 3 1 1 ~ M 3 3 3 のゲートとの間にフォトダイオードに蓄積された光信号電荷を転送するための転送 M O S M 1 1 1 ~ M 1 3 3 を追加した構成となっている。転送 M O S M 3 1 1 のゲートは、横方向に延長して配置された第 3 の行選択線 ( 垂直走査線 ) P T X 1 に接続されている。同じ行に配置された他の画素セルの転送 M O S M 1 2 1 , M 1 3 1 のゲートも第 3 の行選択線 P T X 1 に共通に接続されている。第 3 の行選択線も第 1、第 2 の行選択線と同様に垂直走査回路ブロック 2 に接続され、後述する動作タイミングに基づいて信号電圧が供給される。上記以外の画素部の構成については図 1 と同様であり、同じ構成要素については同じ番号を付している。

40

【 0 0 2 1 】

50

更に、垂直信号線V1はノイズ信号転送スイッチM11を介してノイズ信号を一時保持するための容量CTN1に、また、光信号転送スイッチM21を介して光信号を一時保持するための容量CTS1に同時に接続されている。ノイズ信号保持容量CTN1と光信号保持容量CTS1の逆側の端子は接地されている。ノイズ信号転送スイッチM11とノイズ信号保持容量CTN1との接続点と、光信号転送スイッチM21と光信号保持容量CTS1との接続点はそれぞれ、保持容量リセットスイッチM31、M32を介して接地されると共に、水平転送スイッチM41、M42を介して光信号とノイズ信号の差をとるための差動回路ブロック8に接続されている。

#### 【0022】

水平転送スイッチM41、M42のゲートは列選択線H1に共通に接続され、水平走査回路ブロック10に接続されている。図2の残りの列V2～V3においても同様の構成の読み出し回路が設けられている。また、各列に接続されたノイズ信号転送スイッチM11～M13、光信号転送スイッチM21～M23のゲートは、PTN、PTSにそれぞれ共通に接続され、後述する動作タイミングに基づいてそれぞれ信号電圧が供給される。

10

#### 【0023】

次に、本実施形態の動作について説明する。フォトダイオードD11～D33からの光信号電荷の読み出しに先立ってリセットMOSM211～M231のゲートの第1の行選択線PRES1がハイレベルとなる。これによって、増幅MOSM311～M331のゲートがリセット電源にリセットされる。また、リセットMOSM211～M231のゲートの第1の行選択線PRES1がローレベルに復帰した後に、選択MOSM411～M431のゲートの第2の行選択線PSEL1、クリップ手段3の制御パルス線6の制御パルス及びノイズ信号転送スイッチM11～M13のゲートのPTNがハイレベルとなる。これによって、リセットノイズが重畳されたリセット信号(ノイズ信号)がノイズ信号保持容量CTN1～CTN3に読み出される。

20

#### 【0024】

次いで、ノイズ信号転送スイッチM11～M13のゲートのPTNがローレベルに復帰する。次に、転送MOSM111～M131のゲートPTX1がハイレベルとなり、フォトダイオードD11～D33の光信号電荷が増幅MOSM311～M331のゲートに転送される。また、転送MOSM111～M131のゲートのPTX1がローレベルに復帰した後に、光信号転送スイッチM21～M23のゲートのPTSがハイレベルとなる。これによって、光信号が光信号保持容量CTS1～CTS3に読み出される。次に、選択MOSM411～M431のゲートのPSEL1、クリップ手段3の制御パルス線6及び光信号転送スイッチM21～M23のゲートのPTSがローレベルに復帰する。ここまでの動作で、第1行目に接続された画素セルのノイズ信号と光信号が、それぞれの列に接続されたノイズ信号保持容量CTN1～CTN3と光信号保持容量CTS1～CTS3に保持される。

30

#### 【0025】

次に、リセットMOSM211～M231のゲートの第1の行選択線PRES1及び転送MOSM111～M131のゲートのPTX1がハイレベルとなり、フォトダイオードD11～D33の光信号電荷がリセットされる。この後、水平走査回路ブロック10からの信号H1～H3によって各列の水平転送スイッチM41～M46のゲートが順次ハイレベルとなり、ノイズ保持容量CTN1～CTN3と光信号保持容量CTS1～CTS3に保持されている電圧が順次差動回路ブロック8に読み出される。差動回路ブロック8では光信号とノイズ信号の差がとられ、出力端子OUTに順次出力される。以上で第1行目に接続された画素セルの読み出しを完了する。この後、第2行目の読み出しに先立ってノイズ信号保持容量CTN1～CTN3及び光信号保持容量CTS1～CTS3のリセットスイッチM31～M36のゲートのPCTRがハイレベルとなり、GNDにリセットされる。以下、同様に垂直走査回路ブロック2からの信号によって第2行目以降に接続された画素セルの信号が順次読み出され、全画素セルの読み出しを完了する。

40

#### 【0026】

50

このような動作で、例えば1行目を読み出している時、増幅MOSM311とクリップMOSM71、増幅MOSM321とクリップMOSM72、増幅MOSM331とクリップMOSM73はそれぞれソースが共通に接続され、差動の構成となる。例えば、垂直出力線V1に読み出される光信号電圧は、増幅MOSM311のゲート電圧が設定されたクリップ電圧7よりも十分高い場合には、クリップMOSM71がOFFしているため、増幅MOSM311のゲートの信号電圧に基づいた電圧が読み出される。しかし、増幅MOSM311のゲート電圧が設定されたクリップ電圧7に近づいてくると、クリップMOSM71がONしクリップが効き始め、増幅MOSM311のゲート電圧が設定されたクリップ電圧7より十分に低い場合には、垂直出力線V1は設定されたクリップ電圧7で決まる電圧以下には下らない。

10

## 【0027】

図2の残りの垂直出力線V2～V3においても同様である。このため、垂直出力線V1～V3の電圧が負荷MOSM51～M53が飽和領域で動作するためのドレイン電圧以下にならないようにクリップ電圧7を設定することによって、非常に大きい信号電荷を読み出す場合においても、負荷MOSM51～M53がOFFしないようにすることができる。従って、強い光が入射されている画素の数によってGNDライン4の電圧降下量が変わることはないため、どの行を読み出している場合においても負荷MOSの設定電流が一定に保たれる。本実施形態においても、同様に強い光が入射されている画素を含む行と、そうでない行とのダーク画素及びOB画素の出力電圧が等しくなるため、強いスポット光が入射された画像において白っぽい帯が発生するという問題はなく、鮮明な画像を得ることができる。

20

## 【0028】

## [第3の実施形態]

図3は本発明の固体撮像装置の第3の実施形態を示すブロック図である。第3の実施形態では、クリップ手段3がクリップダイオードD41～D43とクリップ動作をアクティブにするためのMOSM81～M83で構成されている以外は第2の実施形態とまったく同様の構成である。クリップダイオードD41～D43のカソードは垂直出力線V1～V3に接続されている。クリップダイオードD41～D43のアノードは、MOSM81～M83を介してクリップ電圧を設定するための電源線7に接続されている。MOSM81～M83のゲートはクリップ動作を制御するための制御パルス線6に接続されている。この実施形態の動作については図2と同様であるが、クリップ手段にダイオードを用いているため、より急峻にクリップすることができる。

30

## 【0029】

## [第4の実施形態]

図4は本発明の固体撮像装置の第4の実施形態を示すブロック図である。第4の実施形態では、第2の実施形態に対し画素部1及びクリップ手段3の構成が異なっている。即ち、増幅MOSM311～M333のドレインは直接電源に接続されている。増幅MOSM311のソースは、縦方向に延長して配置された垂直信号線V1に選択MOSM411を介して接続されている。同じ列に配置された画素セルの増幅MOSM312、M313のソースも垂直信号線V1に選択MOSM412、M413を介して接続されている。

40

## 【0030】

また、クリップ手段3はクリップMOSM71とクリップ動作をアクティブにするためのMOSM81からなっていて、垂直出力線V1にはMOSM81のソースが接続されている。クリップMOSM71は画素部1の構成と同様に直接電源に接続され、ゲートはクリップ電圧を設定するための電源線7に接続されている。MOSM81のゲートはクリップ動作を制御するための制御パルス線6に接続されている。図4の残りの垂直出力線V2～V3においても同様に増幅MOS、選択MOS及びクリップ手段3が接続されている。本実施形態の動作は第2の実施形態の動作と同様であるので説明を省略する。また、本実施形態では、第2の実施形態と同様の効果が得られる。

## 【0031】

50

[ 第 5 の実施形態 ]

図 5 は本発明の固体撮像装置の第 5 の実施形態を示すブロック図である。第 5 の実施形態では、第 1 の実施形態に対しクリップ手段 3 の構成が異なっている。即ち、本実施形態では、クリップ手段 3 はクリップ MOSM71 ~ M73 からなり、垂直出力線 V1 ~ V3 にはクリップ MOS71 ~ M73 のソースが接続されている。また、MOSM70 ~ M73 のゲートは共通に入力端子 5 に接続され、MOSM70 ~ M73 のドレインは電源に接続されている。

【 0 0 3 2 】

次に、動作について説明する。フォトダイオード D11 ~ D33 に光が入射され、蓄積された光信号電荷を垂直出力線 V1 ~ V3 に順次読み出す動作は第 1 の実施形態と同様である。ここで、例えば、垂直出力線 V1 に読み出される信号電圧は、増幅 MOSM311 のゲート電圧が入力端子 5 の電圧よりも十分高い場合には、クリップ MOSM71 が OFF しているため、増幅 MOSM311 のゲートの信号電圧に基づいた電圧が読み出される。しかし、増幅 MOSM311 のゲート電圧が入力端子 5 の電圧に近づいてくると、クリップ MOSM71 が ON しクリップが効き始め、増幅 MOSM311 のゲート電圧が入力端子電圧 5 より十分に低い場合には垂直出力線 V1 は入力端子 5 の電圧で決まる電圧以下には下がらない。図 1 の残りの垂直出力線 V2 ~ V3 においても同様である。このため、垂直出力線 V1 ~ V3 の電圧が、負荷 MOSM51 ~ M53 が飽和領域で動作するためのドレイン電圧以下にならないため、非常に大きい信号電荷を読み出す場合においても、負荷 MOSM51 から M53 が OFF しないようにすることができる。従って、第 1 の実施形態と同様の効果が得られる。また、本実施形態においては第 1 の実施形態におけるクリップ電圧 7 を入力端子 5 の電圧と独立に設定する必要がない。

【 0 0 3 3 】

[ 第 6 の実施形態 ]

図 6 は本発明の固体撮像装置の第 6 の実施形態を示すブロック図である。第 6 の実施形態では、第 1 の実施形態のクリップ手段 3 の代わりにリセット MOSM211 ~ M233 のゲートを駆動するパルスのローレベルの電圧を VRESL 端子 9 から設定することにより同等の機能を持たせている。この場合、VRESL 端子 9 は BUF (バッファ) 1 ~ 3 のグランド側電源端子に接続され、VRESL 端子 9 の電圧によりリセット MOS のゲート駆動パルスのローレベル電圧を設定するように構成されている。

【 0 0 3 4 】

次に、本実施形態の動作について説明する。フォトダイオード D11 ~ D33 に光が入射され、蓄積された光信号電荷を垂直出力線 V1 ~ V3 に順次読み出す動作は、第 1 実施形態と同様である。ここで、上記のような動作で 1 行目を読み出している時、例えば、フォトダイオード D11 の光信号電荷で決まるリセット MOSM211 のソース電圧がゲート電圧 (VRESL 端子 9 の電圧) よりも高い場合は、リセット MOSM211 が OFF しているため、フォトダイオード D11 の光信号電荷で決まる増幅 MOSM311 のゲートの信号電圧に基づいた電圧が読み出される。

【 0 0 3 5 】

しかし、フォトダイオード D11 の光信号電荷で決まるリセット MOSM211 のソース電圧がゲート電圧 (VRESL 端子 9 の電圧) - Vth (リセット MOSM211 のスレッシュホールド電圧) よりも低くなると、リセット MOSM211 が ON し、増幅 MOSM311 のゲート電圧はクリップされる。従って、垂直出力線 V1 は VRESL 端子 9 の電圧 - Vth で決まる電圧以下には下がらない。図 6 の残りの垂直出力線 V2 ~ V3 においても同様である。このため、垂直出力線 V1 ~ V3 の電圧が、負荷 MOSM51 ~ M53 が飽和領域で動作するためのドレイン電圧以下にならないように VRESL 端子 9 の電圧を設定することによって、非常に大きい信号電荷を読み出す場合においても、負荷 MOSM51 ~ M53 が OFF しないようにすることができる。従って、第 1 の実施形態と同様の効果が得られる。

【 0 0 3 6 】

10

20

30

40

50



[ 第 7 の実施形態 ]

図 7 は本発明の固体撮像装置の第 7 の実施形態を示すブロック図である。第 7 の実施形態では、画素部 1 の構成を 1 次元のラインセンサーとしている。画素部 1 の構成は第 1 の実施形態に対して行を選択する選択 MOS が無い構成であり、増幅 MOS M 3 1 3 ~ M 3 3 3 のドレインが直接電源に接続されている。また、増幅 MOS M 3 1 3 ~ M 3 3 3 の出力をクリップするためのクリップ手段 3 はクリップ MOS M 7 1 ~ M 7 3 のみで構成されており、ドレインは直接電源に接続されている。フォトダイオード D 1 3 ~ D 3 3 に光が入射されると光信号電荷を発生し蓄積されると同時に、増幅 MOS M 3 1 3 ~ M 3 3 3 の出力ライン V 4 ~ V 6 に出力される。次に、リセット MOS M 2 1 3 ~ M 2 3 3 のゲートの PRES がハイレベルとなり、フォトダイオード D 1 3 ~ D 3 3 に蓄積された電荷がリセ

10

【 0 0 3 7 】

このような動作で、増幅 MOS M 3 1 3 とクリップ MOS M 7 1、増幅 MOS M 3 2 3 とクリップ MOS M 7 2、増幅 MOS M 3 3 3 とクリップ MOS M 7 3 はそれぞれソースが共通に接続されており、差動の構成となっている。例えば、出力線 V 4 に読み出される信号電圧は、増幅 MOS M 3 1 3 のゲート電圧が設定された電源線 7 のクリップ電圧よりも十分高い場合には、クリップ MOS M 7 1 が OFF しているため、増幅 MOS M 3 1 3 のゲートの信号電圧に基づいた電圧が読み出される。しかし、増幅 MOS M 3 1 3 のゲート電圧が設定されたクリップ電圧に近づいてくると、クリップ MOS M 7 1 が ON しクリップが効き始めるため、増幅 MOS M 3 1 3 のゲート電圧が設定されたクリップ電圧より十分

20

【 0 0 3 8 】

図 7 の残りの出力線 V 5 ~ V 6 においても同様である。このため、出力線 V 4 ~ V 6 の電圧が、負荷 MOS M 5 1 ~ M 5 3 が飽和領域で動作するためのドレイン電圧以下にならないようにクリップ電圧を設定することによって、非常に大きい信号電荷を読み出す場合においても負荷 MOS M 5 1 ~ M 5 3 が OFF しないようにすることができる。従って、強い光が入射されている画素の数によって GND ライン 4 の電圧降下量が変化することはないため、負荷 MOS M 5 1 ~ M 5 3 の設定電流が一定に保たれる。本実施形態では、強い光が入射されている画素の数によってダーク画素及び OB 画素の出力電圧が変化すること

30

【 0 0 3 9 】

[ 第 8 の実施形態 ]

図 8 は本発明の固体撮像装置を用いた撮像システムの一実施形態を示すブロック図である。11 は固体撮像装置、12 は固体撮像装置 11 の出力信号の振幅をコントロールするためのプログラマブル・ゲインアンプ (PGA)、13 は AD コンバータ (ADC)、14 はデジタル出力である。固体撮像装置 11 としては第 1 ~ 第 7 の実施形態のいずれかを用いるものとする。このように上記固体撮像装置を用いた場合、強い光が入射されている画素を含む行と、そうでない行との水平 OB 画素の出力が変化することがないため、水平 OB をクランプする必要がなく図 8 のように DC 直結で構成できる。これによって、水平 OB クランプレベルが行毎にずれることによって発生する横スジ等は発生せず、簡潔なブ

40

【 0 0 4 0 】

【 発明の効果 】

以上説明したように本発明によれば、フォトダイオードからの光信号電荷を増幅する増幅手段の出力が所定電圧以下にならないように制限することにより、強い光が入射されている画素を含む行と、そうでない行とのダーク画素及び OB 画素の出力電圧が等しくなり、強いスポット光が入射された画像において白っぽい帯が発生するという問題はなく、鮮明な画像を得ることができる。また、本発明の固体撮像装置を用いることにより、強い光が入射されている画素を含む行と、そうでない行との水平 OB 画素の出力が変化することが

50

ないため、水平OBをクランプする必要がない。これによって、水平OBクランプレベルが行毎にずれることによって発生する横スジ等は発生せず、簡潔なブロック構成で高画質の撮像システムを構築することができる。

【図面の簡単な説明】

【図1】本発明の固体撮像装置の第1の実施形態の構成を示すブロック図である。

【図2】本発明の第2の実施形態を示すブロック図である。

【図3】本発明の第3の実施形態を示すブロック図である。

【図4】本発明の第4の実施形態を示すブロック図である。

【図5】本発明の第5の実施形態を示すブロック図である。

【図6】本発明の第6の実施形態を示すブロック図である。

【図7】本発明の第7の実施形態を示すブロック図である。

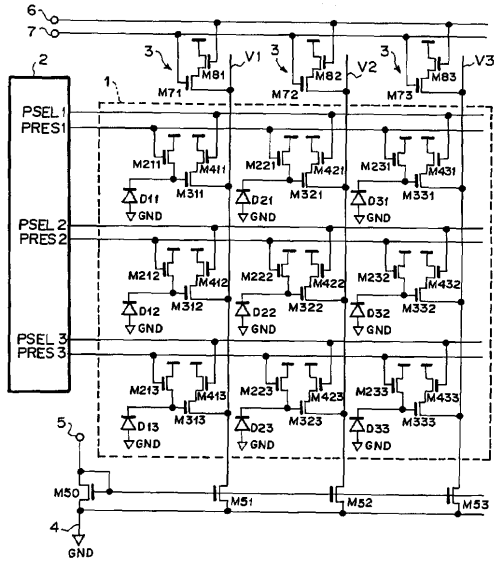
【図8】本発明の第8の実施形態を示すブロック図である。

【図9】従来の固体撮像装置を示すブロック図である。

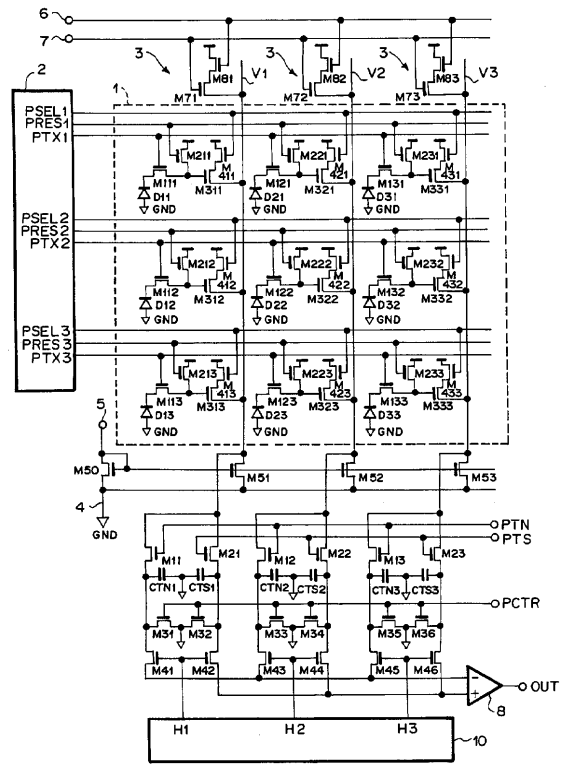
【符号の説明】

1	画素部	
2	垂直走査回路ブロック	
3	クリップ手段	
4	GNDライン	
5	電圧入力端子	
6	制御パルス線	10
7	電源線	
8	差動回路ブロック	
10	水平走査回路ブロック	
11	固体撮像装置	
12	プログラマブル・ゲインアンプ	
13	A/Dコンバータ	
D11 ~ D13	フォトダイオード	
D41 ~ D43	クリップダイオード	
M111 ~ M133	転送MOS	
M211 ~ M233	リセットMOS	30
M311 ~ M333	増幅MOS	
M411 ~ M433	選択MOS	
M11 ~ M13	ノイズ信号転送スイッチ	
M21 ~ M23	光信号転送スイッチ	
M31 ~ M36	保持容量リセットスイッチ	
M41 ~ M46	水平転送スイッチ	
M50	入力MOS	
M51 ~ M53	負荷MOS	
M71 ~ M73	クリップMOS	
V1 ~ V3	垂直出力線	40
PRES1	第1の行選択線	
PSL1	第2の行選択線	

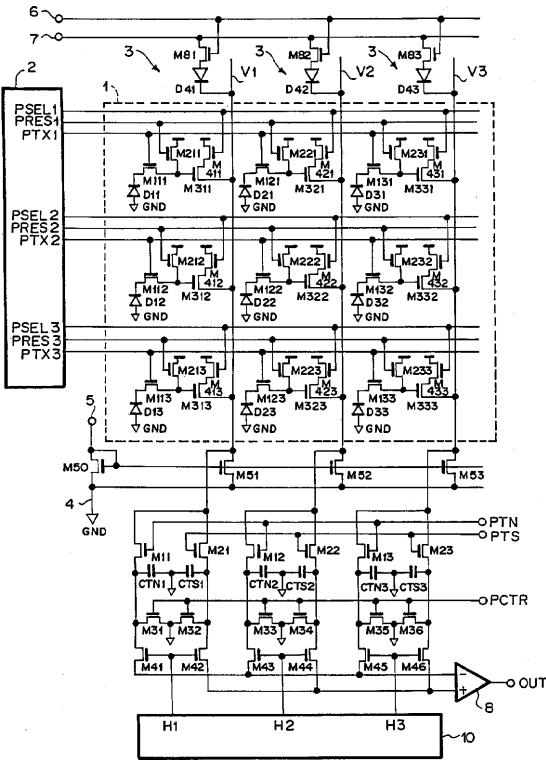
【 図 1 】



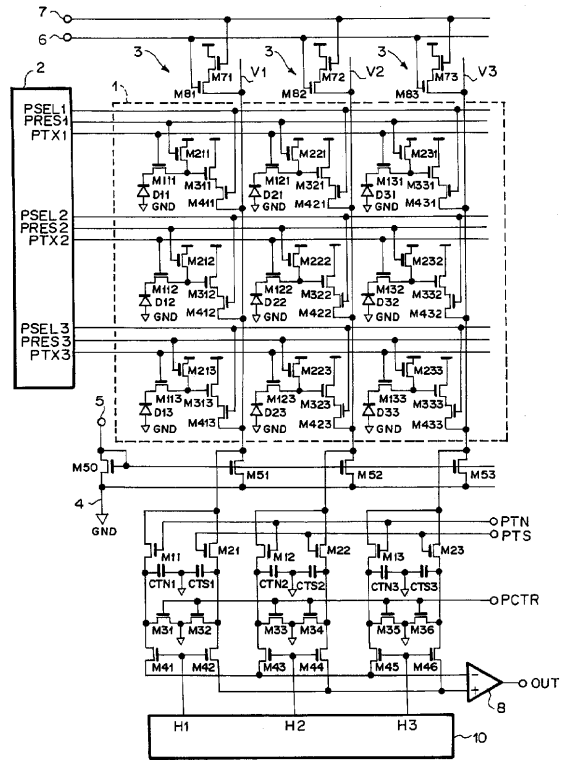
【 図 2 】



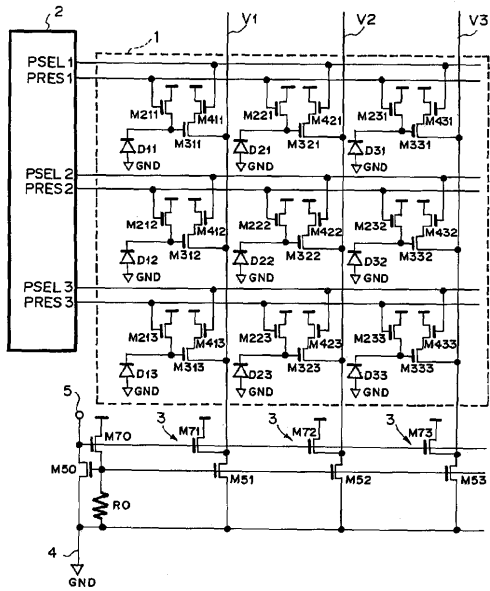
【 図 3 】



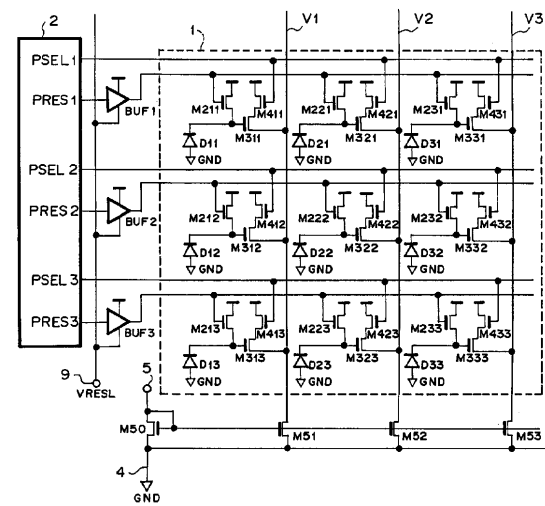
【 図 4 】



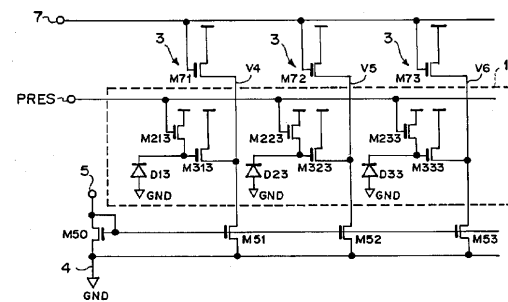
【 図 5 】



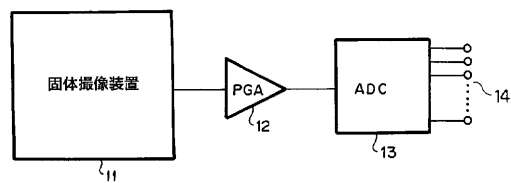
【 図 6 】



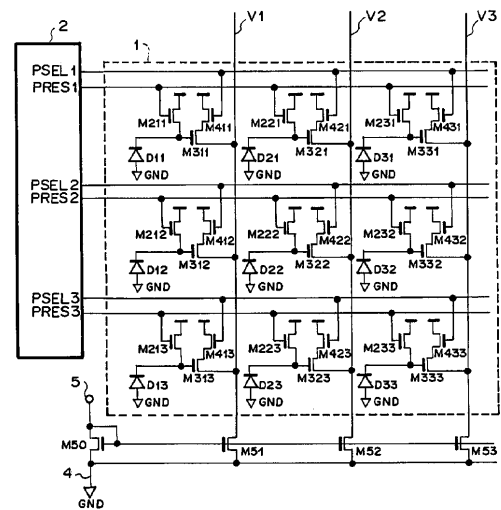
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

- (72)発明者 乾 文洋  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 藤村 大  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 江口 智子  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 松田 岳士

(56)参考文献 特開平11-075114(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H04N 5/335

H01L 27/146