



(12) 发明专利

(10) 授权公告号 CN 101308853 B

(45) 授权公告日 2011. 10. 05

(21) 申请号 200810088351. 7

栏第 18 行, 附图 2-7B.

(22) 申请日 2008. 03. 27

审查员 刘雪莲

(30) 优先权数据

2007-133382 2007. 05. 18 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 棚田好文

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 沈昭坤

(51) Int. Cl.

H01L 27/12(2006. 01)

(56) 对比文件

CN 1901228 A, 2007. 01. 24, 全文.

US 7105392 B2, 2006. 09. 12, 全文.

US 6906347 B2, 2005. 06. 14, 全文.

US 6509602 B2, 2003. 01. 21, 说明书第 5 栏

第 4 行-第 10 栏第 65 行, 第 14 栏第 54 行-第 15

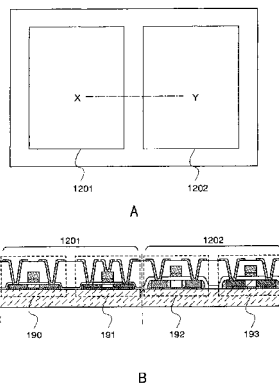
权利要求书 3 页 说明书 21 页 附图 16 页

(54) 发明名称

半导体装置

(57) 摘要

本发明的目的在于提供一种半导体装置的结构及其制造方法, 其中在电路群中, 形成被要求高速工作和低电压工作的电路与被要求当施加高电压时的充分可靠性的电路。在半导体装置中, 在同一衬底上具有多种包括从单晶半导体衬底分离且接合的厚度不同的单晶半导体层的晶体管。使被要求高速工作的晶体管的单晶半导体层的厚度比被要求对电压的高耐压性的晶体管的单晶半导体层的厚度薄。



1. 一种半导体装置,包括:
设置在具有绝缘表面的衬底上的第一电路群、第二电路群、以及第三电路群;
所述第一电路群包括:
具有第一单晶半导体层和第一栅极绝缘层的第一晶体管;
所述第二电路群包括:
具有第二单晶半导体层和第二栅极绝缘层的第二晶体管;
所述第三电路群包括:
具有非晶半导体层或多晶半导体层、以及第三栅极绝缘层的第三晶体管,
其中所述第一单晶半导体层和所述第二单晶半导体层的每一个隔着绝缘层设置在所述衬底上,
并且所述第一单晶半导体层薄于所述第二单晶半导体层。
2. 根据权利要求 1 所述的半导体装置,其中所述第一栅极绝缘层薄于所述第二栅极绝缘层。
3. 根据权利要求 1 所述的半导体装置,
其中所述第一电路群包括显示装置的数据驱动器、逻辑电路、以及只读存储器电路中的至少一种,
并且所述第二电路群包括所述显示装置的扫描驱动器、电源电路、以及以电方式写入 / 改写的存储电路,
并且所述第三电路群包括所述显示装置的像素部。
4. 根据权利要求 1 所述的半导体装置,其中设置在所述衬底的表面和所述第一单晶半导体层之间的所述绝缘层厚于设置在所述衬底的所述表面和所述第二单晶半导体层之间的所述绝缘层。
5. 根据权利要求 1 所述的半导体装置,还包括在所述衬底的表面和所述第一单晶半导体层之间的基底膜。
6. 根据权利要求 1 所述的半导体装置,其中所述绝缘层包含通过化学气相生长法使用有机硅烷气体形成的氧化硅。
7. 根据权利要求 1 所述的半导体装置,其中所述衬底包含透光性的材料。
8. 根据权利要求 1 所述的半导体装置,其中所述半导体装置是便携式信息终端。
9. 根据权利要求 1 所述的半导体装置,其中所述半导体装置是影像拍摄装置、电话机、电视机、计算机、以及 IC 标签。
10. 一种半导体装置,包括:
设置在具有绝缘表面的衬底上的第一电路群、第二电路群、以及第三电路群;
所述第一电路群包括:
具有第一单晶半导体层和第一栅极绝缘层的第一晶体管;
所述第二电路群包括:
具有包含轻掺杂漏区的第二单晶半导体层、第二栅极绝缘层以及栅电极的第二晶体管;
所述第三电路群包括:
具有非晶半导体层或多晶半导体层、以及第三栅极绝缘层的第三晶体管,

其中所述第一单晶半导体层和所述第二单晶半导体层的每一个隔着绝缘层设置在所述衬底上，

并且所述第一单晶半导体层薄于所述第二单晶半导体层。

11. 根据权利要求 10 所述的半导体装置，其中所述第一栅极绝缘层薄于所述第二栅极绝缘层。

12. 根据权利要求 10 所述的半导体装置，

其中所述第一电路群包括显示装置的数据驱动器、逻辑电路、以及只读存储器电路中的至少一种，

并且所述第二电路群包括所述显示装置的扫描驱动器、电源电路、以及以电方式写入 / 改写的存储电路，

并且所述第三电路群包括所述显示装置的像素部。

13. 根据权利要求 10 所述的半导体装置，其中设置在所述衬底的表面和所述第一单晶半导体层之间的所述绝缘层厚于设置在所述衬底的所述表面和所述第二单晶半导体层之间的所述绝缘层。

14. 根据权利要求 10 所述的半导体装置，还包括在所述衬底的表面和所述第一单晶半导体层之间的基底膜。

15. 根据权利要求 10 所述的半导体装置，其中所述绝缘层包含通过化学气相生长法使用有机硅烷气体形成的氧化硅。

16. 根据权利要求 10 所述的半导体装置，其中所述衬底包含透光性的材料。

17. 根据权利要求 10 所述的半导体装置，其中所述半导体装置是便携式信息终端。

18. 根据权利要求 10 所述的半导体装置，其中所述半导体装置是影像拍摄装置、电话机、电视机、计算机、以及 IC 标签。

19. 一种半导体装置，包括：

设置在具有绝缘表面的衬底上的第一电路群、第二电路群、以及第三电路群；

所述第一电路群包括：

具有第一单晶半导体层和第一栅极绝缘层的第一晶体管；

所述第二电路群包括：

具有包含轻掺杂漏区的第二单晶半导体层、第二栅极绝缘层以及栅电极的第二晶体管，其中所述栅电极不与所述轻掺杂漏区重叠；

所述第三电路群包括：

具有非晶半导体层或多晶半导体层、以及第三栅极绝缘层的第三晶体管，

其中所述第一单晶半导体层和所述第二单晶半导体层的每一个隔着绝缘层设置在所述衬底上，

并且所述第一单晶半导体层薄于所述第二单晶半导体层。

20. 根据权利要求 19 所述的半导体装置，其中所述第一栅极绝缘层薄于所述第二栅极绝缘层。

21. 根据权利要求 19 所述的半导体装置，

其中所述第一电路群包括显示装置的数据驱动器、逻辑电路、以及只读存储器电路中的至少一种，

并且所述第二电路群包括所述显示装置的扫描驱动器、电源电路、以及以电方式写入/改写的存储电路，

并且所述第三电路群包括所述显示装置的像素部。

22. 根据权利要求 19 所述的半导体装置，其中设置在所述衬底的表面和所述第一单晶半导体层之间的所述绝缘层厚于设置在所述衬底的所述表面和所述第二单晶半导体层之间的所述绝缘层。

23. 根据权利要求 19 所述的半导体装置，还包括在所述衬底的表面和所述第一单晶半导体层之间的基底膜。

24. 根据权利要求 19 所述的半导体装置，其中所述绝缘层包含通过化学气相生长法使用有机硅烷气体形成的氧化硅。

25. 根据权利要求 19 所述的半导体装置，其中所述衬底包含透光性的材料。

26. 根据权利要求 19 所述的半导体装置，其中所述半导体装置是便携式信息终端、影像拍摄装置、电话机、电视机、计算机、以及 IC 标签。

27. 根据权利要求 19 所述的半导体装置，其中所述半导体装置是影像拍摄装置、电话机、电视机、计算机、以及 IC 标签。

半导体装置

技术领域

[0001] 本发明涉及在具有绝缘表面的衬底上具有晶体管的半导体装置及其制造方法。

背景技术

[0002] 目前正在开发使用被称为绝缘体上硅片（下面也称为 SOI）的半导体衬底的集成电路，该半导体衬底在绝缘表面上设置有较薄的单晶半导体层而代替将单晶半导体锭切成薄片来制造的硅片。使用 SOI 衬底的集成电路因为使晶体管的漏极和衬底之间的寄生电容降低，并且提高半导体集成电路的性能而引人注目。

[0003] 作为制造 SOI 衬底的方法，已知氢离子注入剥离法（例如参照专利文件 1）。在氢离子注入剥离法中，通过将氢离子注入到硅片中，在离其表面有预定的深度的区域中形成微小气泡层，并且以该微小气泡层为分离面，而对另外硅片贴附较薄的硅层（半导体层）来接合。除了进行剥离半导体层的热处理，还需要通过在氧化性气氛下的热处理来在半导体层形成氧化膜，然后去除该氧化膜，其次在 1000℃ 至 1300℃ 的还原性气氛下进行热处理来提高接合强度。

[0004] 另一方面，公开了在绝缘衬底如高耐热性玻璃等上设置有单晶硅层的半导体装置（例如参照专利文件 2）。在该半导体装置中，使用绝缘硅膜保护应变点为 750℃ 以上的结晶玻璃的整个表面，并且将通过氢离子注入剥离法而得到的单晶硅层固定于该绝缘硅膜上。

[0005] 在将通过上述方法而得到了的半导体层用作激活层来制造晶体管的情况下，与在硅片上制造 MOS 晶体管的情况相比，具有如不发生闩锁效应（latch-up phenomenon）等优点，并且与将形成在绝缘衬底上的多晶硅层用作激活层来制造薄膜晶体管（TFT）的情况相比，还具有如完成了的元件的电特性极为优良等优点。

[0006] [专利文件 1] 日本专利申请公开 2000-124092 号公报

[0007] [专利文件 2] 日本专利申请公开平 11-163363 号公报

[0008] 当使用硅片或设置在绝缘衬底上的薄膜半导体层制造晶体管来构成集成电路时，有可能随着该集成电路的大规模化和多功能化，根据各个晶体管所构成的电路的用途，对晶体管要求的特性不同。例如，一方面存在被要求高速工作和低电压工作的电路，而另一方面存在被要求当施加高电压时的充分可靠性的电路。虽然为了将这种电路群形成在同一衬底上，而需要制造具有最适合于每个用途的特性的晶体管，但是如上所述那样的特性一般很容易成为二律背反（trade-off）的关系，因此难以同时满足这两者。

[0009] 此外，在使用 SOI 衬底制造半导体装置的情况下，由于作为成为支撑的衬底使用硅片，所以其成本高，并且半导体装置的大面积化有限制。

发明内容

[0010] 鉴于上述问题，本发明的目的在于提供一种半导体装置的结构及其制造方法，其中在设置在同一衬底上的电路群中，形成被要求高速工作和低电压工作的电路与被要求当施加高电压时的充分的可靠性的电路。

[0011] 为了解决上述问题,本发明采用如下方法。

[0012] 在半导体装置中,在同一衬底上具有多种包括从单晶半导体衬底分离且接合的厚度不同的单晶半导体层的晶体管。使被要求高速工作的晶体管的单晶半导体层的厚度比被要求对电压的高耐压性的晶体管的单晶半导体层的厚度薄。此外,关于栅极绝缘层的厚度,被要求高速工作的晶体管优选比被要求高耐压性的晶体管薄。

[0013] 例如,当准备多个不同的硅片,并且对该硅片的每一个进行氢离子照射来形成分离面时,通过控制所瞄准的深度而得到厚度不同的多个半导体层,然后将这些多个半导体层贴附到另行准备的同一支撑衬底上。这些具有不同厚度的半导体层的每一个根据后面形成的电路的用途、工作条件而被选择,来用于形成晶体管的激活层或电阻元件,或者用于通过与绝缘膜、导电膜组合来形成电容元件等。

[0014] 在厚度薄的半导体层中,例如通过表面自然氧化而形成厚度薄的栅极绝缘膜,主要优选用于形成构成被要求高速工作、低电压工作的电路的晶体管,形成高电阻元件,或者将厚度薄的栅极绝缘膜用作绝缘层且与其他导电膜组合来有效地形成电容元件等。

[0015] 另一方面,在厚度厚的半导体层中,由于例如可以通过表面自然氧化而形成厚度厚的栅极绝缘膜,或者还可以形成厚度厚的激活层,所以优选用于形成构成被要求当施加高电压时的高工作可靠性的电路的晶体管等。

[0016] 因此,根据本发明可以制造耗电量低且给予有高可靠性的半导体装置。

[0017] 本发明的半导体装置的一个方式包括设置在具有绝缘表面的支撑衬底上的第一电路群和第二电路群,其中第一电路群包括具有第一单晶半导体层和第一栅极绝缘层的第一晶体管,第二电路群包括具有第二单晶半导体层和第二栅极绝缘层的第二晶体管,第一单晶半导体层和第二单晶半导体层分别隔着绝缘层设置在具有绝缘表面的支撑衬底上,第一单晶半导体层的厚度比第二单晶半导体层的厚度薄。

[0018] 在上述结构中,第一电路群可以包括显示装置的数据驱动器、逻辑电路、或者只读存储器电路,而第二电路群可以包括显示装置的扫描驱动器、显示装置的像素部、电源电路、或者以电方式写入/改写的存储电路。

[0019] 本发明的半导体装置的一个方式包括设置在具有绝缘表面的支撑衬底上的第一电路群、第二电路群、以及第三电路群,其中第一电路群包括具有第一单晶半导体层和第一栅极绝缘层的第一晶体管,第二电路群包括具有第二单晶半导体层和第二栅极绝缘层的第二晶体管,第三电路群包括具有非晶半导体层或多晶半导体层、第三栅极绝缘层的第三晶体管,第一单晶半导体层和第二单晶半导体层分别隔着绝缘层设置在具有绝缘表面的支撑衬底上,第一单晶半导体层的厚度比第二单晶半导体层的厚度薄。

[0020] 在上述结构中,第一电路群可以包括显示装置的数据驱动器、逻辑电路、或者只读存储器电路,第二电路群可以包括显示装置的扫描驱动器、电源电路、或者以电方式写入/改写的存储电路,而第三电路群可以包括显示装置的像素部。

[0021] 在上述结构中,第一栅极绝缘层的厚度优选比第二栅极绝缘层的厚度薄。

[0022] 设置在支撑衬底和第一单晶半导体层之间的具有接合面的绝缘层的厚度和设置在支撑衬底和第二单晶半导体层之间的具有接合面的绝缘层的厚度也可以不同,并且设置在支撑衬底和第一单晶半导体层之间的具有接合面的绝缘层的厚度也可以比设置在支撑衬底和第二单晶半导体层之间的具有接合面的绝缘层的厚度厚。此外,也可以在支撑衬底

与第一单晶半导体层及第二单晶半导体层之间设置用作基底膜的绝缘层,并且设置在支撑衬底和第一单晶半导体层之间的绝缘层的厚度比设置在支撑衬底和第二单晶半导体层之间的绝缘层的厚度厚。

[0023] 注意,在本发明中,半导体装置是指可以通过利用半导体特性来能够工作的装置。通过利用本发明,可以制造具有包括半导体元件(晶体管、存储元件、二极管等)的电路的装置、具有处理器电路的芯片等的半导体装置。

[0024] 本发明还可以应用于具有显示功能的装置即半导体装置(也称为显示装置),使用本发明的半导体装置包括如下装置:包含互相连接的发光元件和 TFT 且在该发光元件中的电极之间夹有包括呈现被称作场致发光(以下也称作“EL”)的发光的有机物、无机物、或者有机物和无机物的混合物的层的半导体装置(发光显示装置);将具有液晶材料的液晶元件用作显示元件的半导体装置(液晶显示装置)等。在本发明中,具有显示功能的半导体装置是指具有显示元件(液晶元件或发光元件等)的装置。另外,也可以是显示面板本身,其中在衬底上形成有包括显示元件如液晶元件或 EL 元件等的多个像素和驱动该像素的外围驱动电路。也可以包括安装有柔性印刷电路(FPC)或印刷线路板(PWB)的装置(如 IC、电阻元件、电容元件、电感器、晶体管等)。也可以包括光学片如偏振片或相位差板等。而且,也可以包括背光灯(其可以包括导光板、棱镜片、扩散片、反射片、光源(如 LED 或冷阴极管等))。

[0025] 此外,显示元件或半导体装置可以采用各种模式及各种元件。例如,可以使用通过电磁作用改变其对比度的显示媒体,如 EL 元件(有机 EL 元件、无机 EL 元件或含有机物及无机物的 EL 元件)、电子发射元件、液晶元件、电子墨水、光栅阀(GLV)、等离子体显示器(PDP)、数字微镜装置(DMD)、压电陶瓷显示器和碳纳米管等。另外,使用 EL 元件的半导体装置包括 EL 显示器,使用电子发射元件的半导体装置包括场致发射显示器(FED)、SED 方式平面显示器(SED:表面传导电子发射显示器)等,使用液晶元件的半导体装置包括液晶显示器、透过液晶显示器、半透过液晶显示器和反射液晶显示器,以及使用电子墨水的半导体装置包括电子纸。

[0026] 根据本发明制造的半导体装置在同一衬底上包括被要求高速工作和低电压工作的第一电路群与被要求当施加高电压时的高可靠性的第二电路群,构成第一电路群的晶体管的激活层的厚度比构成第二电路群的晶体管的激活层的厚度薄。或者,构成第一电路群的晶体管的栅极绝缘膜的厚度比构成第二电路群的晶体管的栅极绝缘膜的厚度薄。

[0027] 构成第一电路群的晶体管由于激活层的薄膜化、或者栅极绝缘膜的薄膜化而可以促进元件的微细化。因此,由于电路的占有面积的缩小、以及布线长度的缩短而可以降低寄生电阻、寄生电容等的负载,从而可以实现高速工作和低电压工作。激活层的薄膜化作用于沟道形成区域的完全耗尽层化。因此,实现第一电路群的低耗电量化。

[0028] 另一方面,构成第二电路群的晶体管由于激活层的厚膜化、或者栅极绝缘膜的厚膜化而可以提高对高外加电压的耐压性,并且确保高可靠性。

[0029] 通过上述方法,可以在同一衬底上形成进行高速工作、低电压工作的区域和在高外加电压下工作的区域,这大幅度地贡献于将从来作为外部 IC 等提供的功能部分形成在同一衬底上。

[0030] 而且,作为支撑衬底使用由以玻璃、塑料等为代表的透光性材料构成的衬底,可以

应用于廉价且具有大面积的显示装置。

[0031] 如上那样,根据本发明,可以制造耗电量低且给予有高可靠性的半导体装置。

附图说明

[0032] 图 1A 和 1B 是分别表示本发明的半导体装置的顶面结构和截面结构的图;

[0033] 图 2A 至 2D 是说明本发明的半导体装置的制造工序的图;

[0034] 图 3A 至 3D 是说明本发明的半导体装置的制造工序的图;

[0035] 图 4A 至 4D 是说明本发明的半导体装置的制造工序的图;

[0036] 图 5A 至 5C 是说明本发明的半导体装置的制造工序的图;

[0037] 图 6A 和 6B 是说明本发明的半导体装置的制造工序的图;

[0038] 图 7 是说明本发明的半导体装置的制造工序的图;

[0039] 图 8A 至 8E 是表示能够应用本发明的电子设备的图;

[0040] 图 9A 至 9D 是说明本发明的半导体装置的制造工序的图;

[0041] 图 10A 至 10C 是说明本发明的半导体装置的制造工序的图;

[0042] 图 11 是说明本发明的半导体装置的一个方式的图;

[0043] 图 12 是说明本发明的半导体装置的一个方式的图;

[0044] 图 13 是说明本发明的半导体装置的一个方式的图;

[0045] 图 14A 和 14B 是说明本发明的半导体装置的一个方式的图;

[0046] 图 15 是表示能够应用本发明的电子设备的主要结构的框图;

[0047] 图 16A 和 16B 是表示能够应用本发明的电子设备的图;

[0048] 图 17A 至 17E 是说明本发明的半导体装置的制造工序的图。

具体实施方式

[0049] 下面,参照附图详细地说明本发明的实施方式。但是,本发明不局限于以下说明,所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式和详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下的实施方式所记载的内容中。注意,在下面说明的本发明的结构中,相同部分或具有相同功能的部分在不同的附图之间由相同的附图标记表示,并且从略其重复说明。

[0050] 实施方式 1

[0051] 参照图 1A 至图 6B、图 9A 和 9B、以及图 14A 和 14B 说明本发明的半导体装置的制造方法。

[0052] 参照图 9A 至图 10C 说明从单晶半导体衬底向具有绝缘表面的衬底上设置单晶半导体层的方法。

[0053] 图 9A 所示的半导体衬底 108 被清洗,将在电场加速的离子照射到离其表面有预定的深度的区域中,以形成分离层 110。离子的照射考虑到转置在支撑衬底上的单晶半导体层的厚度而进行。该单晶半导体层的厚度优选为 $1\mu\text{m}$ 以上且 $3\mu\text{m}$ 以下。考虑到这种厚度设定对半导体衬底 108 照射离子时的加速电压。

[0054] 作为半导体衬底 108,典型地使用 p 型或 n 型单晶硅衬底(硅片)。此外,作为另

外的单晶半导体衬底,还可以使用硅、锗、或者化合物半导体如镓砷、铟磷等的衬底。在本实施方式中,虽然采用如下离子照射剥离法,即,将氢离子或氟离子照射到单晶半导体衬底的离其表面有预定深度的区域中,然后进行热处理来剥离表层的单晶硅层,但是,也可以采用如下方法,即,在多孔硅上使单晶硅外延生长,然后通过喷水法分离多孔硅层。

[0055] 分离层通过离子掺杂法或离子注入法照射离子来形成即可。分离层通过照射氢离子、氘离子、或者以氟为代表的卤素离子而形成。在作为卤素元素照射氟离子的情况下,使用 BF_3 作为源气体即可。注意,离子注入法是指对离子化了的气体进行质量分离而照射半导体的方法。

[0056] 在对单晶硅衬底照射卤素离子如氟离子的情况下,通过添加了的氟清除(驱逐)硅晶格内的硅原子来有效地形成空位部分,使得分离层中形成微小空洞。在此情况下,因为比较低温度的热处理而引起形成在分离层中的微小空洞的体积变化,沿着分离层分离来可以形成薄的单晶半导体层。也可以在照射氟离子之后照射氢离子,以使空洞内包含氢。由于为从半导体衬底剥离薄的半导体层而形成的分离层是通过利用形成在分离层中的微小空洞的体积变化而分离,所以如上那样优选有效地利用氟离子或氢离子的作用。

[0057] 此外,也可以照射由一个同一原子构成的质量数不同的离子或由多个同一原子构成的质量数不同的离子。例如,当照射氢离子时,优选在其中包含 H^+ 、 H_2^+ 、 H_3^+ 离子的同时,提高 H_3^+ 离子的比率。当照射氘离子时,通过在其中包含 H^+ 、 H_2^+ 、 H_3^+ 离子的同时提高 H_3^+ 离子的比率,来既可提高照射效率,又可缩短照射时间。通过采用这种结构,可以容易进行分离。

[0058] 当形成分离层时需要在高剂量条件下照射离子,有时会半导体衬底 108 的表面变得粗糙。因此,也可以在照射离子的表面利用氮化硅膜、氮氧化硅膜等设置对于离子照射的保护膜,其厚度为 50nm 至 200nm。

[0059] 此外,也可以对半导体衬底 108 进行脱脂清洗来除去其表面的氧化膜,然后进行热氧化。作为热氧化,虽然可以进行一般的干式氧化,但是优选在添加有卤素的氧化气氛中进行氧化。例如,在相对于氧包含 0.5 体积%至 10 体积%(优选为 3 体积%)的比率的 HCl 的气氛中,并且在 700°C 以上的温度下进行热处理。优选在 950°C 至 1100°C 的温度下进行热处理。处理时间为 0.1 小时至 6 小时,优选为 0.5 小时至 1 小时。所形成的氧化膜的厚度为 10nm 至 1000nm(优选为 50nm 至 200nm),例如为 100nm 厚。

[0060] 作为包含卤素的物质,除了使用 HCl 以外,还可以使用选自 HF 、 NF_3 、 HBr 、 Cl_2 、 ClF_3 、 BCl_3 、 F_2 、 Br_2 、以及二氯乙烯等中的一种或多种物质。

[0061] 通过在这样的温度范围内进行热处理,可以得到由卤素元素带来的吸杂效应。尤其是,吸杂具有除去金属杂质的效应。换言之,通过氯气的作用,金属等的杂质变成挥发性氯化物且脱离到气相中而被除去。这是对通过化学机械抛光(CMP)来处理其表面的半导体衬底 108 很有效。此外,氢起到补偿半导体衬底 108 和所形成的氧化膜的界面的缺陷来降低该界面的局部态密度(local level density)的作用,以使半导体衬底 108 和氧化膜的界面惰性化,从而电特性稳定了。

[0062] 可以使通过所述热处理来形成的氧化膜中包含卤素。卤素元素通过以 $1 \times 10^{17}/\text{cm}^3$ 至 $5 \times 10^{20}/\text{cm}^3$ 的浓度包含在氧化膜中,可以使该氧化膜呈现捕获金属等的杂质来防止半导体衬底 108 的污染的保护膜的功能。

[0063] 接下来,如图 9B 所示那样,在与支撑衬底形成接合的面上形成氧化硅膜作为具有

接合面的绝缘层（接合层）104。作为氧化硅膜，使用有机硅烷气体通过化学气相生长法来制造的氧化硅膜是优选的。另外，也可以采用使用硅烷气体通过化学气相生长法来制造的氧化硅膜。在通过化学气相生长法的成膜中，使用例如 350℃ 以下的成膜温度，该成膜温度是不从形成在单晶半导体衬底中的分离层 110 发生脱气的温度。此外，在从单晶或多晶半导体衬底剥离单晶半导体层的热处理中，采用比成膜温度高的热处理温度。

[0064] 绝缘层 104 具有平滑面且形成亲水性的表面。作为该绝缘层 104 优选使用氧化硅膜。特别优选的是使用有机硅烷气体通过化学气相生长法来制造的氧化硅膜。作为有机硅烷气体可以使用含有硅的化合物，如四乙氧基硅烷（TEOS：化学式为 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、三甲基硅烷（TMS：化学式为 $(\text{CH}_3)_3\text{SiH}$ ）、四甲基硅烷（化学式为 $\text{Si}(\text{CH}_3)_4$ ）、四甲基环四硅氧烷（TMCTS）、八甲基环四硅氧烷（OMCTS）、六甲基二硅氮烷（HMDS）、三乙氧基硅烷（化学式为 $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、三（二甲氨基）硅烷（化学式为 $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等。

[0065] 上述具有平滑面且形成亲水性的表面的绝缘层 104 设置为 5nm 至 500nm 的厚度。该厚度可以使被形成的膜表面的表面粗糙平滑化，并且可以确保该膜的成长表面的平滑性。此外，可以缓和与接合的衬底之间的应变。也可以在支撑衬底 101 上设置同样的氧化硅膜。就是说，当将单晶半导体层 102 接合到支撑衬底 101 上时，通过在形成接合的面的一方或双方设置优选由以有机硅烷为原材料形成的氧化硅膜构成的绝缘层 104，可以形成坚固的接合。

[0066] 图 9C 表示使支撑衬底 101 与半导体衬底 108 的形成有绝缘层 104 的面密接，来使两者接合起来的方式。对形成接合的面进行充分清洗。然后，当使支撑衬底 101 和绝缘层 104 相对，并且从外部按住其一部分时，由于通过接合面之间的距离局部缩短而引起的范德瓦耳斯力的增大和氢键的影响，而使得支撑衬底 101 和绝缘层 104 彼此吸引。而且，由于还在邻接的区域上相对的支撑衬底 101 和绝缘层 104 之间的距离缩短，所以范德瓦耳斯力强烈地作用的区域和氢键影响的区域扩展，而接合（也称为键合）进展到接合面整体。

[0067] 为了形成良好的接合，也可以使形成接合的表面活化。例如，对形成接合的面照射原子束或离子束。当利用原子束或离子束时，可以使用氩等惰性气体中性原子束或惰性气体离子束。另外，进行等离子体照射或自由基处理。通过这种表面处理，即使在 200℃ 至 400℃ 的温度下，也可以容易形成异种材料之间的接合。

[0068] 将单晶半导体层从半导体衬底转置到玻璃衬底上的工序和坚固接合玻璃衬底和单晶半导体层的工序既可通过不同的加热处理来进行，又可通过同一加热处理来同时进行。

[0069] 夹着绝缘层 104 贴合支撑衬底 101 和半导体衬底 108 之后，优选进行加热处理或加压处理。通过进行加热处理或加压处理，可以提高接合强度。在加压处理中，对于接合面向与该接合面垂直的方向施加压力，并且考虑到支撑衬底 101 及半导体衬底 108 的耐压性而进行该处理。

[0070] 在图 9D 中，在贴合支撑衬底 101 和半导体衬底 108 之后，进行加热处理，以分离层 110 为分离面从支撑衬底 101 分离半导体衬底 108。例如，通过进行 400℃ 至 600℃ 的热处理，发生形成在分离层 110 中的微小空洞的体积变化，从而可以沿着分离层 110 分离。在本实施方式中，作为加热处理的温度，采用比预先对支撑衬底 101 进行的加热处理的温度低的温度。因为绝缘层 104 与支撑衬底 101 接合，所以在支撑衬底 101 上保留与半导体衬底

108 相同的晶性的单晶半导体层 102。

[0071] 图 10A 至 10C 示出通过在支撑衬底一侧设置具有接合面的绝缘层来形成单晶半导体层的工序。图 10A 示出将在电场加速的离子照射到形成有氧化硅膜 121 的半导体衬底 108 的离其表面有预定深度的区域中,以形成分离层 110 的工序。离子的照射与图 9A 的情况相同。通过在半导体衬底 108 的表面形成氧化硅膜 121,可以防止因离子照射来表面受损伤且其平坦性恶化。此外,氧化硅膜 121 发挥从半导体衬底 108 到要形成的单晶半导体层 102 的杂质扩散的防止效应。

[0072] 图 10B 示出将形成有阻挡层 109 及绝缘层 104 的支撑衬底 101 和半导体衬底 108 的形成有氧化硅膜 121 的面彼此密接来形成接合的工序。当使绝缘层 104 和氧化硅膜 121 相对,并且从外部按住其一部分时,由于通过接合面之间的距离局部缩短而引起的范德瓦耳斯力的增大和氢键的影响,而使得绝缘层 104 和氧化硅膜 121 彼此吸引。而且,由于还在邻接的区域上相对的绝缘层 104 和氧化硅膜 121 之间的距离缩短,所以范德瓦耳斯力强烈地作用的区域和氢键影响的区域扩展,而接合(也称为键合)进展到接合面整体。

[0073] 然后,如图 10C 所示那样,剥离半导体衬底 108。与图 9D 的情况同样地进行剥离单晶半导体层的热处理。将在接合剥离工序中的加热处理的温度设定为预先对支撑衬底 101 进行的加热处理的温度以下。如此可以获得图 10C 所示的半导体衬底。

[0074] 作为支撑衬底 101,可以使用具有绝缘表面的衬底,例如可以使用铝硅酸盐玻璃、铝硼硅酸盐玻璃、钡硼硅酸盐玻璃等被称为无碱玻璃的用于电子工业中的各种玻璃衬底。此外,也可以使用石英玻璃。因此,可以在一边超过一米的衬底上形成单晶半导体层。通过使用这种大面积衬底,不仅是制造液晶显示器等显示装置,而且可以制造半导体集成电路。

[0075] 对通过控制离子的照射深度来在所希望的不同深度的区域中形成有分离层 110 的多个半导体衬底 108 进行上述工序,来如图 3A 所示那样,在同一支撑衬底 101 上形成厚度不同的单晶半导体层 150、160。虽然这里仅表示两种厚度的单晶半导体层,但是也可以形成三种以上的厚度的单晶半导体层。单晶半导体层 150、160 夹着支撑衬底 101 上的绝缘层 104 设置在支撑衬底 101 上。注意,阻挡层 109 虽然在图 3A 至 3D 中从略表示,但是也可以在支撑衬底 101 上设置阻挡层 109。

[0076] 接下来,描述通过使用设置在支撑衬底 101 上的单晶半导体层 150、160 制造晶体管来构成电路的工序。

[0077] 根据上述工序,在支撑衬底 101 上夹着绝缘层 104 设置厚度不相同的单晶半导体层 150、160,然后使用光掩模形成具有所希望的形状的抗蚀剂图案,并且通过使用光刻法的加工处理而得到如图 3B 所示的岛状半导体层 151、152、161、162。在下面的附图中,从略表示氧化膜 103、阻挡层 109、以及绝缘层 104。

[0078] 半导体层 151、152 的厚度比半导体层 161、162 的厚度薄,例如优选为 5nm 以上且 30nm 以下,更优选为 10nm 以上且 20nm 以下。另一方面,半导体层 161、162 的厚度优选为 25nm 以上且 100nm 以下,更优选为 50nm 以上且 60nm 以下。

[0079] 上述厚度是设想用作晶体管的激活层时优选的半导体层厚度而设定的。因此,在下面的工序中,当通过半导体层 151、152、161、162 的表面自然氧化形成栅极绝缘膜时,可以将上述半导体层的厚度适当地改变栅极绝缘膜的厚度。

[0080] 通过使半导体层薄膜化,可以抑制晶体管的短沟道效应。此外,可以减小晶体管的阈值电压,从而可以实现电路的低电压驱动。

[0081] 此外,在半导体层 151、152、161、162 的端部设置倾斜角(锥形角)。其角度优选为 45° 至 95° 左右。在该锥形角小的情况下,其特性与半导体层 151、152、161、162 的每一个中央部不同的寄生晶体管形成在该端部的锥形区域上。为了防止上述寄生晶体管的影响,锥形角优选接近于垂直。

[0082] 注意,在本说明书中,半导体层的“端部”表示形成为岛状的半导体层的边缘部分,而半导体层的“侧面”表示该边缘部分的面。

[0083] 作为蚀刻加工,等离子体蚀刻(干蚀刻)或湿蚀刻都可以采用,但是当处理大面积衬底时,优选采用等离子体蚀刻。作为蚀刻气体,使用 CF_4 、 NF_3 等的氟类气体或者 Cl_2 、 BCl_3 等的氯类气体,也可以适当地添加 He 或 Ar 等的惰性气体。另外,若采用大气压放电的蚀刻加工,则还可进行局部放电加工,并不需要在衬底的整个表面上形成掩模。

[0084] 在本发明中,形成布线层或电极层的导电层、用来形成预定图案的掩模等也可以通过如液滴喷射法等能够选择性地形成图案的方法来形成。液滴喷射(喷出)法(根据其方式也被称作喷墨法)可以选择性地喷射(喷出)为特定目的而调配的组合物的液滴,以形成预定的图案(导电层或绝缘层等)。此时,也可以对被形成区域进行控制润湿性或密合性的处理。此外,还可以使用能够转印或描绘图案的方法,例如印刷法(诸如丝网印刷或胶版印刷之类的图案形成方法)等。

[0085] 作为使用于本实施方式的掩模,可以使用环氧树脂、丙烯树脂、酚醛树脂、酚醛清漆树脂、三聚氰胺树脂、聚氨酯树脂等的树脂材料。此外,还可以使用苯并环丁烯、聚对二甲苯、氟化亚芳基醚、聚酰亚胺等的有机材料、硅氧烷类聚合物等聚合而形成的化合物材料等。或者,也可以采用包含感光剂的市售的抗蚀剂材料。例如,可以使用正型抗蚀剂或负型抗蚀剂等。在使用液滴喷射法的情况下,不管使用何种材料,其表面张力和粘性都通过调整溶剂的浓度、添加表面活性剂等来适当地调整。

[0086] 此外,也可以形成与半导体层 151、152、161、162 的侧面分别接触的绝缘层 170a 至 170h。通过形成与半导体层 151、152、161、162 的侧面分别接触的绝缘层 170a 至 170h,可以使在后面以覆盖半导体层 151、152、161、162 的方式形成的绝缘膜在每个半导体层端部上的覆盖性成为优良。因此,可以防止半导体层 151、152、161、162 与其他导电膜的短路、泄漏电流的发生、静电破坏等。

[0087] 绝缘层 170a 至 170h 通过形成半导体层 151、152、161、162 之后,淀积氧化硅膜或氮化硅膜,使用各向异性蚀刻加工,来可以以自对准的方式形成。

[0088] 此外,绝缘层 170a 至 170h 也可以通过对半导体层 151、152、161、162 的端部进行氧化处理来选择性地进行绝缘化而形成。可以通过在包含氧的气氛下的等离子体处理进行氧化处理。另外,也可以使用水溶液对表面进行氧化处理(也称为湿式氧化)。也可以首先在进行等离子体处理之前将卤素如氟或氯等引入到半导体层的端部,然后进行等离子体处理。通过添加卤素,由于氧化速度快所以优先地进行氧化,可以在半导体层的端部中形成厚度厚的绝缘层。

[0089] 接下来,如图 3D 所示,形成栅极绝缘膜 171、172,以充分覆盖半导体层 151、152、161、162 的表面及端部。优选的是,通过将半导体层 151、152、161、162 的侧面接触的区域

的厚度形成为厚,可以缓和电场集聚到半导体层 151、152、161、162 的端部,从而可以防止泄漏电流的发生等。

[0090] 栅极绝缘膜 171、172 通过如下方法形成:通过使用等离子体 CVD 法或溅射法等形成绝缘膜,选择性地蚀刻布置有半导体层 151、152 的区域的周围来进行薄膜化,来形成厚度不同的栅极绝缘膜 171、172。栅极绝缘膜 171 的薄膜化的效应在于使后面以半导体层 151、152 为激活层形成的晶体管以高速且低电压工作。此外,栅极绝缘膜 172 的厚度厚的效应在于可以提高后面将半导体层 161、162 用作激活层形成的晶体管的对于高电压的耐压性,从而可以提高可靠性。

[0091] 在本实施方式中,栅极绝缘膜 171 的厚度优选为 1nm 以上且 10nm 以下,更优选为 5nm 左右。另一方面,栅极绝缘膜 172 的厚度优选为 50nm 以上且 150nm 以下,更优选为 60nm 以上且 80nm 以下。

[0092] 栅极绝缘膜 171、172 由氧化硅、或者氧化硅和氮化硅的叠层结构形成即可。栅极绝缘膜 171、172 既可通过等离子体 CVD 法或减压 CVD 法淀积绝缘膜来形成,又可通过使用等离子体处理的固相氧化或固相氮化来形成。此外,通过等离子体处理对半导体层 151、152、161、162 的表面进行氧化或氮化,来形成栅极绝缘膜。像这样,通过半导体层的表面自然氧化而得到的绝缘膜很致密,其绝缘耐压高,并且其可靠性优良。

[0093] 在通过表面自然氧化在半导体层表面上形成绝缘膜的情况下,也可以采用如下方法:如图 6A 所示,首先在布置有半导体层 161、162 的区域上选择性地提供有掩模的状态下,对半导体层 151、152 表面进行自然氧化来得到栅极绝缘膜 171a、171b,然后在布置有半导体层 151、152 的区域上选择性地提供有掩模的状态下,对半导体层 161、162 表面进行自然氧化来得到栅极绝缘膜 172a、172b,这样分别形成厚度薄的栅极绝缘膜 171a、171b 与厚度厚的栅极绝缘膜 172a、172b。

[0094] 或者,也可以采用如下方法:如图 6B 所示,对半导体层 151、152、161、162 的表面进行自然氧化,同时形成厚度薄的栅极绝缘膜 171c、171d、172c、172d,然后在布置有半导体层 161、162 的区域上选择性地形成厚度薄的栅极绝缘膜 172e,这样以叠层方式形成厚度厚的栅极绝缘膜。

[0095] 在通过半导体层的表面自然氧化在半导体层表面上形成绝缘膜的情况下,由于其端部的覆盖性自然好,所以也可以从略如图 3C 所示的半导体层端部的绝缘层的形成。

[0096] 在利用等离子体处理的固相氧化处理或固相氮化处理中,优选使用如下等离子体:使用微波(典型为 2.45GHz)来激发,并且其电子密度为 $1 \times 10^{11} \text{cm}^{-3}$ 以上且 $1 \times 10^{13} \text{cm}^{-3}$ 以下,并且其电子温度为 0.5eV 以上且 1.5eV 以下。这是为了在固相氧化处理或固相氮化处理中,在 500°C 以下的温度下形成致密的绝缘膜并且获得实用的反应速度。

[0097] 在通过该等离子体处理对半导体层表面进行氧化的情况下,在氧气气氛下(例如,在氧(O_2)或一氧化二氮(N_2O)和稀有气体(含有 He、Ne、Ar、Kr、Xe 中的至少一种)的气氛下;或者在氧或一氧化二氮和氢(H_2)和稀有气体的气氛下)进行等离子体处理。另外,在通过等离子体处理进行氮化的情况下,在氮气气氛下(例如,在氮(N_2)和稀有气体(含有 He、Ne、Ar、Kr、Xe 中的至少一种)的气氛下;在氮、氢和稀有气体的气氛下;或者在 NH_3 和稀有气体的气氛下)进行等离子体处理。作为稀有气体,例如可以使用 Ar。此外,也可以使用 Ar 和 Kr 的混合气体。

[0098] 注意,等离子体处理包括对半导体层、绝缘层、以及导电层进行的氧化处理、氮化处理、氧氮化处理、氢化处理、以及表面改性处理。当进行这些处理时,根据其目的来选择所提供的气体即可。

[0099] 如下那样对半导体层进行氧化处理或氮化处理即可。首先,使处理室成为真空状态,然后从气体供应部引入含有氧或氮的等离子体处理用气体。将衬底设定为室温或利用温度控制部加热到 100°C 至 550°C。

[0100] 接下来,将微波从微波供应部供应给天线。然后,通过电介质板将微波从天线引入到处理室中,来产生等离子体。通过引入微波来激发等离子体,可以产生低电子温度(3eV 以下,优选为 1.5eV 以下)且高电子密度($1 \times 10^{11} \text{cm}^{-3}$ 以上)的等离子体。可以通过利用由该高密度等离子体产生的氧自由基(有时也包括 OH 自由基)及/或氮自由基(有时也包括 NH 自由基),对半导体层表面进行氧化或氮化。在将稀有气体如氩等混合于等离子体处理用气体中时,可以利用稀有气体的激发种来有效地产生氧自由基或氮自由基。在该方法中,通过有效地使用由等离子体激发的活性自由基,而可以在 500°C 以下的低温度下进行利用固相反应的氧化、氮化、或氧化及氮化的同时处理。

[0101] 通过采用上述利用等离子体处理的固相氧化处理或固相氮化处理,即使使用耐热温度是 700°C 以下的玻璃衬底,也可以获得与以 950°C 至 1050°C 形成的热氧化膜同等的绝缘层。换句话说,可以形成可靠性高的膜作为晶体管的栅极绝缘层。

[0102] 另外,作为栅极绝缘膜,也可以使用高介电常数材料。通过使用高介电常数材料作为栅极绝缘膜,可以降低栅极泄漏电流。作为典型的高介电常数材料,可以使用二氧化锆、氧化铪、二氧化钛、五氧化钽等。另外,也可以通过利用等离子体处理的固相氧化形成氧化硅层。

[0103] 另外,厚度薄的氧化硅膜可以通过如下方法而形成:使用 GRTA 法、LRTA 法等对半导体区域表面进行氧化,来形成热氧化膜。为了在低成膜温度下形成栅极泄漏电流低的致密绝缘膜,优选将氩等的稀有气体元素包含在反应气体中,来将它混入所形成的绝缘膜中。

[0104] 此后,在栅极绝缘膜 171、172 上层叠形成用作栅电极层的厚度为 20nm 至 100nm 的第一导电膜和厚度为 100nm 至 400nm 的第二导电膜。第一导电膜和第二导电膜可以采用诸如溅射法、蒸镀法、CVD 法之类的方法形成。第一导电膜和第二导电膜由选自钽(Ta)、钨(W)、钛(Ti)、钼(Mo)、铝(Al)、铜(Cu)、铬(Cr)、钕(Nd)中的元素、或者以所述元素为主成分的合金材料或者化合物材料形成即可。此外,作为第一导电膜和第二导电膜还可以使用以掺杂有磷等杂质元素的多晶硅膜为代表的半导体膜或 AgPdCu 合金。此外,栅电极层不限于两层结构,例如,可以采用依次层叠作为第一导电膜的厚度为 50nm 的钨膜、作为第二导电膜的厚度为 500nm 的铝和硅的合金(Al-Si)膜、作为第三导电膜的厚度为 30nm 的氮化钛膜形成的三层结构。此外,在采用三层结构的情况下,可以使用氮化钨代替第一导电膜的钨,使用铝和钛的合金膜(Al-Ti)代替第二导电膜的铝和硅的合金(Al-Si)膜,使用钛膜代替第三导电膜的氮化钛膜。此外,栅电极层还可以为单层结构。在本实施方式中,形成厚度为 30nm 的氮化钨作为第一导电膜,形成厚度为 370nm 的钨(W)作为第二导电膜。

[0105] 接下来,使用光刻法将第一导电膜和第二导电膜加工为所希望的形状,以形成第一栅电极层 173a、174a、175a、176a、以及第二栅电极层 173b、174b、175b、176b 的叠层结构作为栅电极(参照图 4A)。通过使用 ICP(Inductively Coupled Plasma:感应耦合等离子

体)蚀刻法,适当地调整蚀刻条件(施加到线圈型电极层的电力量、施加到衬底侧电极层的电力量和衬底侧的电极温度等),从而可以将第一栅电极层和第二栅电极层蚀刻为具有所希望的锥形形状。此外,还可以根据掩模的形状控制锥形形状的角度等。注意,作为蚀刻用气体,可以适当地使用以 Cl_2 、 BCl_3 、 SiCl_4 或 CCl_4 等为代表的氯类气体、以及以 CF_4 、 SF_6 或 NF_3 等为代表的氟类气体或 O_2 。

[0106] 虽然在本实施方式中表示将第一栅电极层及第二栅电极层形成为具有垂直的侧面的例子,但是本发明不局限于此,第一栅电极层及第二栅电极层双方都可以具有锥形形状,或者可以只有一方栅电极层为锥形,而另一方栅电极层通过各向异性蚀刻具有垂直的侧面。锥形角度在层叠的栅电极层之间可以不同或相同。由于形成为锥形,由层叠在其上的膜的覆盖度提高,并且缺陷减少,因此可靠性提高。此外,在形成在半导体层 151、152 上的第一栅电极层 173a、174a 和第二栅电极层 173b、174b 中,与形成在半导体层 161、162 上的第一栅电极层 175a、176a 和第二栅电极层 175b、176b 相比,也可以将其沟道长度方向的长度形成为短。这是因为如下缘故:由于半导体层 151、152、以及栅极绝缘膜 171 的厚度薄,所以可以在保持晶体管的特性的状态下实现进一步的微细化。

[0107] 此外,通过在形成栅电极层时的蚀刻工序,栅极绝缘膜 171、172 稍微被蚀刻,其厚度有可能变薄(所谓的膜减少)。

[0108] 接下来,以第一栅电极层 173a、174a、175a、176a、以及第二栅电极层 173b、174b、175b、176b 为掩模添加赋予 n 型的杂质元素 177,来形成第一 n 型杂质区域 177a 至 177h(参照图 4B)。在本实施方式中,作为包含杂质元素的掺杂气体使用磷化氢(PH_3)(在该掺杂气体中,使用氢(H_2)稀释 PH_3 ,气体中的 PH_3 的比例为 5%),并且在 80sccm 的气体流量、 $54\mu\text{A}/\text{cm}$ 的束电流、50kV 的加速电压、以及 $7.0\times 10^{13}\text{ions}/\text{cm}^2$ 的照射剂量的条件下,进行掺杂。这里,进行添加,来使第一 n 型杂质区域 177a 至 177h 以大约 1×10^{17} 至 $5\times 10^{18}/\text{cm}^3$ 的浓度包含赋予 n 型的杂质元素。在本实施方式中,作为赋予 n 型的杂质元素使用磷(P)。

[0109] 接下来,形成覆盖半导体层 152、161 的一部分、以及 162 的掩模 178a 至 178c。将掩模 178a 至 178c、第一栅电极层 173a、以及第二栅电极层 173b 用作掩模,添加赋予 n 型的杂质元素 179,来形成第二 n 型杂质区域 179a 至 179d、以及第三 n 型杂质区域 177i、177j。在本实施方式中,作为包含杂质元素的掺杂气体使用磷化氢(PH_3)(在该掺杂气体中,使用氢(H_2)稀释 PH_3 ,气体中的 PH_3 的比例为 5%),并且在 80sccm 的气体流量、 $540\mu\text{A}/\text{cm}$ 的束电流、70kV 的加速电压、以及 $5.0\times 10^{15}\text{ions}/\text{cm}^2$ 的照射剂量的条件下,进行掺杂。这里,进行添加,来使第二 n 型杂质区域 179a 至 179d 以大约 5×10^{19} 至 $5\times 10^{20}/\text{cm}^3$ 的浓度包含赋予 n 型的杂质元素。此外,沟道形成区域 180a 形成在半导体层 151 中,而沟道形成区域 180b 形成在半导体层 161 中(参照图 4C)。

[0110] 第二 n 型杂质区域 179a 至 179d 是高浓度 n 型杂质区域,并且用作 n 型晶体管的源区、漏区。另一方面,第三 n 型杂质元素 177i、177j 是低浓度 n 型杂质区域,并且成为所谓的 LDD(轻掺杂漏)区域。此外,第三 n 型杂质元素 177i、177j 由于形成在未被栅电极层覆盖的被称为 Loff 区域的区域,所以具有降低晶体管的截止电流的效应。结果,可以在施加高电压的状态下的可靠性高的晶体管。

[0111] 在除去上述掩模 178a 至 178c 之后,形成覆盖半导体层 151、161 的掩模 181a、181b。将掩模 181a、181b、第一栅电极层 174a、176a、以及第二栅电极层 174b、176b 用作掩

模添加赋予 p 型的杂质元素 182, 来形成 p 型杂质区域 182a 至 182d。在本实施方式中, 使用硼 (B) 作为杂质元素, 因此使用乙硼烷 (B_2H_6) (在该掺杂气体中, 使用氢 (H_2) 稀释 B_2H_6 , 气体中的 B_2H_6 的比例为 15%) 作为包含杂质元素的掺杂气体, 在 70sccm 的气体流量、 $180 \mu A/cm$ 的束电流、80kV 的加速电压、以及 $2.0 \times 10^{15} ions/cm^2$ 的照射剂量的条件下进行掺杂。这里, 进行添加, 来使 p 型杂质区域 182a 至 182d 以大约 1×10^{20} 至 $5 \times 10^{21} atoms/cm^3$ 的浓度包含赋予 p 型的杂质元素。此外, 沟道形成区域 183a、183b 分别形成在半导体层 152、162 中 (参照图 4D)。

[0112] p 型杂质区域 182a 至 182d 是高浓度 p 型杂质区域, 并且用作 p 型晶体管的源区、漏区。

[0113] 为了激活杂质元素, 也可以进行加热处理、强光照射或激光照射。在激活的同时, 可以恢复对于栅极绝缘层的等离子体损害或对于栅极绝缘层和半导体层的界面的等离子体损害。

[0114] 接下来, 形成覆盖栅电极层、栅极绝缘层的层间绝缘膜。在本实施方式中, 采用层间绝缘膜 184 的单层结构。作为层间绝缘膜 184, 既可使用采用了溅射法或等离子体 CVD 的氮化硅膜、氮氧化硅膜、氧氮化硅膜或氧化硅膜, 又可使用其他包含硅的绝缘膜的两层或三层以上的叠层结构 (参照图 5A)。

[0115] 接下来, 在氮气气氛下在 $300^\circ C$ 至 $550^\circ C$ 的温度下进行 1 小时至 12 小时的热处理, 进行对半导体层进行氢化的工序。优选在 $400^\circ C$ 至 $500^\circ C$ 的温度下进行。这一工序是通过作为层间绝缘层的绝缘膜 184 所含的氢来终止半导体层中的悬空键的工序。在本实施方式中, 在 $410^\circ C$ 的温度下进行 1 小时的加热处理。

[0116] 层间绝缘膜 184 还可以使用选自氮化铝 (AlN)、氧氮化铝 (AlON)、其中氮的含量多于氧的含量的氮氧化铝 (AlNO)、氧化铝、类金刚石碳 (DLC)、含氮碳膜 (CN) 以及含有无机绝缘材料的其它物质的材料来形成。此外, 还可以使用硅氧烷树脂。注意, 硅氧烷树脂相当于包含 Si-O-Si 键的树脂。硅氧烷的骨架结构由硅 (Si) 和氧 (O) 键构成。作为取代基, 可以使用至少包含氢的有机基 (例如, 烷基或芳香烃)。或者, 可将氟基用作取代基。或者, 可将至少含有氢的有机基以及氟基两者用作取代基。另外, 也可以使用有机绝缘材料, 作为有机材料可以使用聚酰亚胺、丙烯、聚酰胺、聚酰亚胺酰胺、抗蚀剂或苯并环丁烯、聚硅氮烷。也可以使用通过涂敷法形成的平坦性良好的涂敷膜。

[0117] 层间绝缘膜 184 除了使用上述溅射法、等离子体 CVD 法以外, 还可以使用浸渍法、喷涂法、刮刀法、辊涂法、帘涂法、刮刀涂布法、或蒸镀法等来形成。也可以通过液滴喷射法形成层间绝缘膜 184。当使用液滴喷射法时, 可以节省材料液体。另外, 还可以使用如液滴喷射法那样能够转印或描绘图案的方法, 例如印刷法 (诸如丝网印刷或胶版印刷之类的图案形成方法) 等。

[0118] 接着, 通过使用由抗蚀剂构成的掩模, 在层间绝缘膜及栅极绝缘膜中形成到达半导体层及栅电极层的接触孔 (开口部)。根据所使用的材料的选择比, 可以进行一次或多次的蚀刻。此外, 可以采用湿蚀刻及干蚀刻中的一方或双方。作为湿蚀刻的蚀刻剂, 优选使用诸如包含氟化氢铵和氟化铵的混合溶液之类的氢氟酸类溶液。作为蚀刻用气体, 可适当地使用以 Cl_2 、 BCl_3 、 $SiCl_4$ 或 CCl_4 等为代表的氯类气体, 以 CF_4 、 SF_6 或 NF_3 等为代表的氟类气体或 O_2 。此外, 也可以将惰性气体添加到所使用的蚀刻用气体。作为所添加的惰性元素, 可

以使用选自 He、Ne、Ar、Kr、Xe 中的一种或多种元素。

[0119] 以覆盖开口部的方式形成导电膜,并且通过光刻法将该导电膜蚀刻为所希望形状,来形成与各源区或漏区的一部分或栅电极分别电连接的电极 185a 至 185i。电极 185a 至 185i 也可以通过使用液滴喷射法、印刷法、电镀法等,在预定的部分上选择性地形成导电层来形成。另外,还可以采用回流方法或镶嵌方法。电极 185a 至 185i 由诸如 Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、Ta、Mo、Cd、Zn、Fe、Ti、Zr、Ba 之类的金属、Si、Ge、其合金或其氮化物来构成。此外,也可以采用它们的叠层结构。在本实施方式中,形成厚度为 60nm 的钛(Ti)膜、厚度为 40nm 的氮化钛膜、厚度为 700nm 的铝膜、厚度为 200nm 的钛(Ti)膜来形成叠层结构,并且将它们加工成所希望的形状。

[0120] 通过以上工序,在同一衬底上包括构成第一电路群的晶体管 190、191、以及构成第二电路群的晶体管 192、193 的半导体装置就完成(参照图 5C)。

[0121] 在本实施方式所示的半导体装置中,晶体管 190、191 的半导体层的厚度比晶体管 192、193 的半导体层的厚度薄,而晶体管 190、191 的栅极绝缘膜的厚度比晶体管 192、193 的栅极绝缘膜的厚度薄。

[0122] 在本实施方式所示的半导体装置中,晶体管 190、191 的半导体层 151、152 的厚度优选为 5nm 以上且 30nm 以下,更优选为 10nm 以上且 20nm 以下。另一方面,晶体管 192、193 的半导体层 161、162 的厚度优选为 25nm 以上且 100nm 以下,更优选为 50nm 以上且 60nm 以下。

[0123] 此外,在本实施方式所示的半导体装置中,晶体管 190、191 的栅极绝缘膜的厚度优选为 1nm 以上且 10nm 以下,更优选为 5nm 左右。另一方面,晶体管 192、193 的栅极绝缘膜的厚度优选为 50nm 以上且 150nm 以下,更优选为 60nm 以上且 80nm 以下。

[0124] 在沟道形成区域的厚度厚且沟道长度短的情况下,因为源极和漏极之间的电场的影响,在栅极电压为阈值电压以下的亚阈值区域中,电流流在沟道形成区域的下一侧。因而,亚阈值上升,而且阈值电压降低。通过减薄沟道形成区域的厚度,电流流在沟道形成区域的下一侧的通路被遮挡,而可以抑制泄漏电流。因此,可以抑制亚阈值的上升,并可以抑制阈值电压的降低。因此,通过减薄沟道形成区域的厚度,可以抑制在沟道长度短的区域中的阈值电压的负偏移,并且可以制造亚阈值小的薄膜晶体管。由于亚阈值小,所以可以抑制当栅极电压为 0V 时的流过在源极和漏极之间的电流,同时可以降低阈值电压。

[0125] 晶体管 190、191 的半导体层 151、152 的薄膜化起到使整个沟道形成区域耗尽层化的作用,而可以抑制短沟道效应。另外,可以降低晶体管的阈值电压。此外,通过使半导体层(或者,还包括栅极绝缘层)薄膜化,可以实现晶体管的微细化,从而可以实现低电压驱动、高速工作、以及低耗电量化。

[0126] 另一方面,在晶体管 192、193 中,通过使半导体层 161、162 的厚度比晶体管 190、191 的半导体层 151、152 厚,可以提高对高施加电压的耐压性,以实现高可靠性。与此同样,栅极绝缘膜的厚膜化可以降低栅极泄漏电流。

[0127] 像这样,在本发明中,通过使半导体层的厚度彼此不同,可以在同一衬底上形成多个对于被要求的每个特性最合适的晶体管。注意,本实施方式所示的晶体管的制造方法不局限于此,还可以应用于顶栅型(平面型)、底栅型(反交错型)、或者在沟道区域上下夹着栅极绝缘膜布置有两个栅电极层的双栅型、其他结构。

[0128] 图 1A 和 1B 表示根据本实施方式而制造的利用本发明的半导体装置的一个例子。图 1A 是根据本实施方式而制造的半导体装置的平面图,而图 1B 是沿着图 1A 中的线 X-Y 的截面图。

[0129] 如图 1A 所示,在同一支撑衬底 101 上形成有第一电路群 1201 和第二电路群 1202。使用由厚度薄的半导体层及厚度薄的栅极绝缘膜形成的晶体管 190、191 构成第一电路群 1201,而使用由厚度厚的半导体层及厚度厚的栅极绝缘膜形成的晶体管 192、193 构成第二电路群 1202。第一电路群 1201 是主要被要求高速工作和低电压工作的电路群,而第二电路群 1202 是主要被要求低泄漏电流、在高外加电压下的高可靠性的电路群。

[0130] 图 11 至图 13 说明使用本发明的具有显示功能的半导体装置的例子。

[0131] 图 11 表示有源矩阵型的显示装置。在绝缘衬底 1001 上形成有将多个像素电路排列成矩阵形状的像素部 1002 ;数据驱动器 1003 ;以及扫描驱动器 1004。而且,由相对衬底 1005 覆盖其上表面来密封。显示装置的驱动所需要的控制信号、视频信号、以及驱动电源的供应从外部经过柔性印刷电路板 (FPC) 1006 进行。

[0132] 这里,数据驱动器 1003 在其内部进行用来将从外部供应的视频信号输入到每个像素的处理,并且是在显示装置中被要求比较高速工作的电路。因此,在该区域中,优选使用由厚度薄的半导体层及厚度薄的栅极绝缘膜形成的晶体管构成电路。

[0133] 另一方面,扫描驱动器 1004 与数据驱动器 1003 相比,其工作速度慢,但是有时包括驱动电压较高的区域。像素部 1002 的工作速度也比周围的数据驱动器 1003、扫描驱动器 1004 慢,但是由于需要在一定的期间内保持被输入的视频信号,所以构成像素的晶体管被要求泄漏电流的降低。因此,扫描驱动器 1004 和像素部 1002 优选使用由厚度厚的半导体层及厚度厚的栅极绝缘膜形成的晶体管构成电路。

[0134] 此外,数据驱动器 1003、扫描驱动器 1004 由经过 FPC1006 从外部输入的控制信号工作。由于设置在外部的控制器 IC 等的驱动电压比一般的显示装置低,所以通常在很多情况下,在对显示装置输入信号之后使用电平转移电路等来进行信号振幅的升压等。但是,根据本发明,通过使用由厚度薄的半导体层及厚度薄的栅极绝缘膜形成的晶体管构成数据驱动器 1003、扫描驱动器 1004,可以实现低电压工作而使得其工作电压与外部的控制器 IC 同等,因此不需要设置电平转移电路等,从而可以贡献于电路规模的缩小或耗电量的降低。

[0135] 注意,作为具有这种方式的有源矩阵型显示装置,有液晶显示器、电致发光 (EL) 显示器、电场效应型显示器、以及电子纸等,本发明可以应用于这些任何方式的显示装置。

[0136] 图 12 表示在图 11 中的像素部 1002 设置液晶显示元件作为显示元件的液晶显示装置的例子。图 12 是相对于图 11 的线 A-B 的截面图。

[0137] 设置在数据驱动器 1003 中的晶体管 250、251 通过与图 1B 的晶体管 190、191 同样地制造,并且具有薄膜化了的单晶半导体层及厚度薄的栅极绝缘膜。另一方面,设置在像素部 1002 中的晶体管 252 通过与图 1B 的晶体管 192、193 同样地制造,并且具有厚度厚的单晶半导体层及厚度厚的栅极绝缘膜。注意,在像素部 1002 中还形成有电容元件 253。

[0138] 以与晶体管 252 的电极接触的方式形成像素电极层 235。像素电极层 235 在制造透过型液晶显示面板的情况下,可以使用含有氧化钨的铟氧化物、含有氧化钨的铟锌氧化物、含有氧化钛的铟氧化物、含有氧化钛的铟锡氧化物等。当然,也可以使用铟锡氧化物 (ITO)、铟锌氧化物 (IZO)、添加了氧化硅的铟锡氧化物 (ITSO) 等。此外,作为具有反射性的金属薄

膜,可以使用由钛、钨、镍、金、铂、银、铝、镁、钙、锂、以及这些的合金构成的导电膜等。

[0139] 像素电极层 235 可以采用蒸镀法、溅射法、CVD 法、印刷法或液滴喷射法等来形成。

[0140] 接着,以覆盖像素电极层 235 的方式通过印刷法或旋转涂敷法形成被称作定向膜的绝缘层 231。注意,当采用丝网印刷法、胶版印刷法时,可以选择性地形成绝缘层 231。然后,进行研磨。接着,通过液滴喷射法在形成有像素的区域的周边形成密封剂 282。

[0141] 然后,将设有用作定向膜的绝缘层 233、用作相对电极的导电层 239、用作彩色滤光片的着色层 234、以及偏振片 237 的相对衬底 1005 与作为 TFT 衬底的支撑衬底即绝缘衬底 1001 中间夹有间隔物 281 彼此贴合,并且在其空隙设置液晶层 232,以可以制造液晶显示面板。支撑衬底的绝缘衬底 1001 的与具有元件的表面相反一侧也设有偏振片 238。在密封剂中也可以混入有填料,再者,在相对衬底 1005 上也可以形成有屏蔽膜(黑矩阵)等。注意,作为形成液晶层的方法,可以采用分配器法(滴落法)、在贴合具有元件的支撑衬底即绝缘衬底 1001 和相对衬底 1005 之后利用毛细现象注入液晶的浸渍法(抽吸法)。

[0142] 图 13 表示在图 11 中的像素部 1002 设置发光元件作为显示元件的发光显示装置的例子。图 13 是对应于图 11 的线 A-B 的截面图。

[0143] 设置在数据驱动器 1003 中的晶体管 350、351 通过与图 1A 和 1B 的晶体管 190、191 同样地制造,并且具有薄膜化了的单晶半导体层及厚度薄的栅极绝缘膜。另一方面,设置在像素部 1002 中的晶体管 352 通过与图 1A 和 1B 的晶体管 192、193 同样地制造,并且具有厚度厚的单晶半导体层及厚度厚的栅极绝缘膜。注意,作为显示元件具有发光元件 325。

[0144] 以与晶体管 352 的电极接触的方式形成作为像素电极层的第一电极层 320。在从作为支撑衬底的绝缘衬底 1001 一侧发射光的情况下,第一电极层 320 可以采用铟锡氧化物(ITO)、含有氧化硅的铟锡氧化物(ITSO)、包含氧化锌(ZnO)的铟锌氧化物(IZO(indium zinc oxide))、氧化锌(ZnO)、在 ZnO 中掺杂了镓(Ga)的物质、氧化锡(SnO_2)、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物等来形成。

[0145] 此外,即使采用不具有透光性的金属薄膜等材料形成第一电极层 320,也通过使其厚度减薄(优选为 5nm 至 30nm 的厚度)来处于能够透过光的状态,可以从第一电极层 320 发射光。此外,作为可以用作第一电极层 320 的金属薄膜,可以使用由钛、钨、镍、金、铂、银、铝、镁、钙、锂、锌、这些的合金构成的导电膜、或者由以上述元素为主成分的化合物材料如氮化钛、 TiSi_xN_y 、 WSi_x 、氮化钨、 WSi_xN_y 、NbN 等构成的膜。

[0146] 第一电极层 320 只要与源电极层或漏电极层 110a 电连接即可,因此其连接结构不局限于本实施方式。可以采用如下结构:在作为源电极层或漏电极层的电极上形成用作层间绝缘层的绝缘层,并且通过布线层电连接到第一电极层 320。此外,在采用将所产生的光发射到与作为支撑衬底的绝缘衬底 1001 相反的一侧的结构的情况(制造顶部发射型的显示面板的情况)下,可以使用 Ag(银)、Au(金)、Cu(铜)、W(钨)、Al(铝)等。

[0147] 接着,选择性地形成绝缘层 321(也被称为分隔壁)。绝缘层 321 形成为在第一电极层 320 上具有开口部。在本实施方式中,将绝缘层 321 形成在整个表面上,并且使用抗蚀剂等的掩模进行蚀刻来加工。在采用能够选择性地直接形成的液滴喷射法或印刷法等形成绝缘层 321 的情况下,不一定需要通过蚀刻的加工。

[0148] 作为绝缘层 321 可以使用如下材料:氧化硅、氮化硅、氧氮化硅、氧化铝、氮化铝、

氧氮化铝、以及其他无机绝缘材料；丙烯酸、甲基丙烯酸、以及这些的衍生物；聚酰亚胺、芳香族聚酰胺、聚苯并咪唑等的耐热高分子；或者硅氧烷树脂材料。也可以使用丙烯、聚酰亚胺等的感光、非感光材料来形成。绝缘层 321 优选为曲率半径连续地改变的形状，使得形成在其上的电致发光层 322、第二电极层 323 的覆盖性提高。

[0149] 作为电致发光层 322，通过使用蒸镀掩模的蒸镀法等来选择性地形成显示红色 (R)、绿色 (G)、和蓝色 (B) 的发光材料。与彩色滤光片同样地，可以通过液滴喷射法形成显示红色 (R)、绿色 (G)、和蓝色 (B) 的发光材料（低分子材料、或者高分子材料等）。在此情况下，因为即使不使用掩模也可以分别涂敷 RGB，所以优选的。在电致发光层 322 上层叠形成第二电极层 323，来完成使用发光元件并具有显示功能的显示装置。

[0150] 虽然未图示，但以覆盖第二电极层 323 的方式提供钝化膜是很有效的。在构成显示装置时提供的钝化膜可以具有单层结构或多层结构。作为钝化膜可以使用：包含氮化硅、氧化硅、氧氮化硅、氮氧化硅、氮化铝 (AlN)、氧氮化铝、氮含量多于氧含量的氮氧化铝、氧化铝、类金刚石碳 (DLC)、或含氮的碳膜的绝缘膜的单层、或者组合该绝缘膜的叠层。例如，可以使用如含氮的碳膜和氮化硅的叠层、有机材料、如苯乙烯聚合物等的高分子材料的叠层。另外，也可以使用硅氧烷材料（无机硅氧烷、有机硅氧烷）。

[0151] 此时，优选使用覆盖率好的膜作为钝化膜，使用碳膜，特别是 DLC 膜是很有效的。由于可以在室温至 100℃ 以下的温度范围内形成 DLC 膜，因此也可以容易在耐热性低的电致发光层的上方形成膜。DLC 膜由于对氧的阻挡效果很高，从而能够抑制电致发光层的氧化。因此，可以防止在随后进行的密封工序中电致发光层被氧化的问题。

[0152] 在作为支撑衬底的绝缘衬底 1001 和相对衬底 1005 之间封入填充剂，并且使用密封剂来密封。也可以采用滴落法来封入填充剂。也可以填充氮等的惰性气体代替填充剂。此外，通过在显示装置内设置干燥剂，可以防止由水分引起的发光元件的劣化。

[0153] 另外，在本实施方式中，虽然示出了使用玻璃衬底密封发光元件及液晶元件的情况，然而，密封处理是指保护发光元件免受水分影响的处理，使用下述方法中的任一种方法：使用覆盖材料机械封入的方法、使用热固性树脂或紫外光固化性树脂封入的方法、使用金属氧化物或金属氮化物等阻挡能力高的薄膜密封的方法。作为覆盖材料，可以使用玻璃、陶瓷、塑料或金属，但是当光射出到覆盖材料一侧时必须使用透光性的材料。另外，覆盖材料和形成有上述发光元件的衬底使用热固性树脂或紫外光固化性树脂等密封剂彼此贴合，并且通过热处理或紫外线照射处理固化树脂来形成密闭空间。在该密闭空间中设置以氧化钡为代表的吸湿材料也是有效的。该吸湿材料可以接触地设在密封剂上，或者也可以设在分隔壁上或周围部分，以便不阻碍来自发光元件的光。而且，也可以使用热固性树脂或紫外光固化性树脂填充覆盖材料和形成有发光元件的衬底之间的空间。在这种情况下，在热固性树脂或紫外光固化性树脂中添加以氧化钡为代表的吸湿材料是很有效的。

[0154] 图 14A 和 14B 示出无线 IC 标签的一例。在绝缘衬底 1101 上设置有天线 1102、具有整流电路等的电源电路 1103、对每个指令进行处理的逻辑电路 1104、存储器 1105 等。天线 1102 接收从读写器 1106 输出且包含指令的载波，而具有整流电路等的电源电路 1103 利用由天线 1102 接收的载波产生为 IC 标签的处理、反应而需要的电源。由天线 1102 接收的载波包含来自读写器 1106 的指令。当包括在逻辑电路 1104 中的解调电路抽出所述指令时，逻辑电路 1104 根据该指令的抽出读出储存在存储器 1105 中的数据而产生反应信号，在调

制电路中将反应信号叠加到载波上,然后从天线 1102 输出。

[0155] 图 14B 示出沿着图 14A 中的线 C-D 的截面图。设置在逻辑电路 1104 中的晶体管 450、451 通过与图 1A 和 1B 的晶体管 190、191 同样地制造,并且具有薄膜化了的单晶半导体层及厚度薄的栅极绝缘膜。另一方面,设置在存储器 1105 中的晶体管 452、453 通过与图 1A 和 1B 的晶体管 192、193 同样地制造,并且具有厚度厚的单晶半导体层及厚度厚的栅极绝缘膜。注意,形成有绝缘层 455,并且在该绝缘层 455 上形成有用作天线的导电层 456。虽然在图 14A 中的线 C-D 之间不设置有天线 1102,但是由于在绝缘层 455 上设置有天线 1102,所以在图 14B 中模式表示该结构。

[0156] 在这种无线 IC 标签中,逻辑电路 1104 由于被要求使用有限的生成电力的确工作,所以被要求其驱动电压的低电压化。此外,在存储器 1105 是只进行读出工作的 ROM 的情况下,被要求同样的特性。为了构成这种电路群,优选使用由厚度薄的半导体层及厚度薄的栅极绝缘膜形成的晶体管构成电路。

[0157] 另一方面,具有整流电路等的电源电路 1103 不管天线 1102 所接收的载波强弱,都被要求稳定的电源产生工作。此外,由于在天线 1102 的接收电力大的情况下,构成整流电路的晶体管受到很大的压力,所以被要求在这种情况下的充分的可靠性。另一方面,在存储器 1105 具有电写入 / 改写功能的情况下,为了确实地保持电写入的信息,也被要求充分的可靠性。为了构成这种电路群,优选使用由厚度厚的半导体层、以及厚度厚的栅极绝缘膜形成的晶体管构成电路。

[0158] 如上那样,根据本发明可以制造耗电量低且给予有高可靠性的半导体装置。

[0159] 实施方式 2

[0160] 在本实施方式中,描述根据本发明制造具有与实施方式 1 不同的方式的半导体装置的例子。

[0161] 虽然在实施方式 1 中,描述通过贴附在支撑衬底上形成两种或三种以上的厚度不同的多个单晶半导体层的方法,但是例如也可以采用如下方法,即,在支撑衬底上形成非晶半导体膜,对此进行晶化处理来得到多晶半导体膜,将该多晶半导体膜除去为仅保留所希望的区域,然后通过贴附在该被除去的区域中形成所述厚度不同的多个单晶半导体层。

[0162] 在支撑衬底上形成非晶半导体膜,对此进行晶化处理来得到多晶半导体膜的工序在本说明书中没有特别的限制,根据支撑衬底的材料适当地选择工序中的温度、负载等条件合适的公知方法来进行即可。此外,通过贴附在其中所希望的区域中形成有多晶半导体膜的支撑衬底上形成所述厚度不同的多个单晶半导体层的方法也根据实施方式 1 所示的方法来进行即可。

[0163] 而且,将半导体层加工为所希望的形状形成栅电极、源电极、漏电极来制造晶体管的方法也根据实施方式 1 所示的方法来进行即可。

[0164] 图 7 示出根据本实施方式制造的半导体装置的截面结构。在同一支撑衬底上制造有:使用由厚度薄的半导体层及厚度薄的栅极绝缘膜形成的晶体管 190、191 构成的第一电路群 1201;使用由厚度厚的半导体层及厚度厚的栅极绝缘膜形成的晶体管 192、193 构成的第二电路群 1202;以及使用由对非晶半导体膜进行晶化处理来得到的多晶半导体膜形成的晶体管 1300、1301 构成的第三电路群 1302。

[0165] 第一电路群 1201 是主要被要求高速工作、低电压工作的电路群,而第二电路群

1202 是主要被要求低泄漏电流、在高外加电压下的高可靠性的电路群。此外,关于第三电路群,使用多晶半导体膜形成的晶体管在每个元件之间容易产生其阈值电压、电场效应迁移率等的不均匀,所以优选构成以比较难以受到元件不均匀性的影响的数字电路等为中心的电路群。

[0166] 此外,根据本实施方式所示的结构,可以在支撑衬底上容易形成大面积的多晶半导体层。因此,在如实施方式 1 那样的仅通过多个单晶半导体层的贴附而难以实现的大面积上,可以比较均匀地形成晶体管。因此,制造在形成有这种多晶半导体层的区域的第三电路群优选用作构成具有大屏幕的显示装置的像素部的电路群。

[0167] 实施方式 3

[0168] 在本实施方式中,表示在支撑衬底上设置厚度不同的单晶半导体层的另一方法。

[0169] 如实施方式 1 所示,也可以将厚度不同的单晶半导体层从作为母体的半导体衬底分离而接合在支撑衬底上,来在同一衬底上形成厚度不同的单晶半导体层,另外,也可以将单晶半导体层分离而接合在支撑衬底上,然后将单晶半导体层选择性地薄膜化,来在同一衬底上形成厚度不同的单晶半导体层。

[0170] 半导体层的薄膜化既可通过一次蚀刻工序来进行,又可通过多次蚀刻工序来进行。此外,既可通过使用蚀刻气体(或蚀刻溶液)直接蚀刻半导体层,又可部分地处理半导体层表面来改变其性质,并且选择性地仅除去改变性质的区域。

[0171] 图 2A 至 2D 示出通过多个工序使半导体层薄膜化的例子。在图 2A 中,在支撑衬底 10 上形成有具有接合面的绝缘层 11 和半导体层 12。在半导体层 12 上的所希望的区域上选择性地形成掩模 13(参照图 2B)。接着,通过等离子体处理 14 选择性地改变半导体层 12 的性质(在本实施方式中进行氧化),形成改变性质的区域 15(参照图 2C)。接着,以不蚀刻半导体层 12 且选择性地仅蚀刻改变性质的区域 15 的条件(蚀刻气体、蚀刻溶液)除去改变性质的区域 15,来形成部分薄膜化了的半导体层 16(参照图 2D)。通过反复该图 2C 和 2D 的处理,可以将半导体层减薄到所希望的厚度。

[0172] 结果,在同一支撑衬底 10 上得到薄膜化了的半导体层 16 和半导体层 12。然后,根据其他实施方式,形成将每个半导体层用作激活层的晶体管群来构成电路即可。

[0173] 通过使用根据上述工序形成的厚度不同的单晶半导体层,可以制造作为本发明的一个方式的耗电量低且给予有高可靠性的半导体装置。

[0174] 实施方式 4

[0175] 本发明的半导体装置的特征在于通过贴附在支撑衬底 101 上形成厚度薄的单晶半导体层 150 和厚度厚的单晶半导体层 160,但是有时在每个单晶半导体层的最外表面保留因离子照射工序而残留的分离面的一部分(参照图 17A)。由于该分离面 51、52 的平坦性比通常的单晶半导体层的表面状态不好,所以必须要改善表面状态,以免在后面工序上产生不良。

[0176] 作为除去这样的分离面 51、52 的方法,典型地说,如图 17B 和 17C 所示,例如进行表面氧化来使分离面 51、52 氧化(53、54),然后在还原性气氛下除去(55、56)氧化层 53、54,除此以外,还有通过化学机械抛光(CMP)的表面抛光。

[0177] 但是,如本发明那样,由于在同一表面上形成有厚度不同的半导体层的情况下,以支撑衬底表面为基准面的每个半导体层的最外表面的高度之间有差异,所以通过 CMP 除去

分离层很有困难。

[0178] 在此情况下,如图 17D 所示,优选通过在支撑衬底 101 上的后面贴附厚度薄的单晶半导体层 150 的区域上选择性地形成基底膜 57,来在贴附单晶半导体层 150、160 时,使厚度薄的单晶半导体层 150 的最外表面的高度和厚度厚的单晶半导体层 160 的最外表面的高度大概相同。

[0179] 然后,如图 17E 所示,可以通过 CMP 工序来进行单晶半导体层表面的分离面 51、52 的除去(58、59)。

[0180] 使用通过上述工序形成的厚度不同的单晶半导体层来可以制造作为本发明的一个方式的耗电量低且给予有高可靠性的半导体装置。

[0181] 实施方式 5

[0182] 通过应用本发明,可以制造各种具有显示功能的半导体装置。换言之,本发明可以应用于将这些具有显示功能的半导体装置组合到显示部而构成的各种电子设备。在本实施方式中,描述包括以具有高性能且给予高可靠性为目的的具有显示功能的半导体装置的电子设备的例子。

[0183] 作为上述根据本发明的电子设备,可以举出电视装置(简称为电视机、或者电视接收机)、数码相机、数码摄像机等的影像拍摄装置、便携式电话装置(简称为移动电话机、手机)、PDA 等便携式信息终端、便携式游戏机、计算机用监视器、计算机、汽车音响等的声音再现装置、家用游戏机等具备记录媒体(具体地说,DVD)的图像再现装置等。参照图 8A 至 8E 说明其具体例子。

[0184] 图 8A 所示的便携式信息终端设备包括主体 9201、显示部 9202 等。显示部 9202 可以应用本发明的半导体装置。结果,可以提供具有高性能及高可靠性的便携式信息终端设备。

[0185] 图 8B 所示的数码摄像机包括显示部 9701、显示部 9702 等。显示部 9701 可以应用本发明的半导体装置。结果,可以提供具有高性能及高可靠性的数码摄像机。

[0186] 图 8C 所示的移动电话机包括主体 9101、显示部 9102 等。显示部 9102 可以应用本发明的半导体装置。结果,可以提供具有高性能及高可靠性的移动电话机。

[0187] 图 8D 所示的便携式电视装置包括主体 9301、显示部 9302 等。显示部 9302 可以应用本发明的半导体装置。结果,可以提供具有高性能及高可靠性的便携式电视装置。此外,可以将本发明的半导体装置广泛地应用于如下的电视装置:安装到移动电话机等便携式终端的小型电视装置;能够搬运的中型电视装置;以及大型电视装置(例如 40 英寸以上)。

[0188] 图 8E 所示的便携式计算机包括主体 9401、显示部 9402 等。显示部 9402 可以应用本发明的半导体装置。结果,可以提供具有高性能及高可靠性的便携式计算机。

[0189] 像这样,根据本发明的半导体装置,可以提供具有高性能及高可靠性的电子设备。

[0190] 实施方式 6

[0191] 通过使用根据本发明制造的具有显示元件的半导体装置可以完成电视装置。在此描述以具有高性能且给予高可靠性为目的的电视装置的例子。

[0192] 图 15 是表示电视装置(液晶电视装置或 EL 电视装置等)的主要结构的框图。在显示面板上形成 TFT,并且包括如下情况:在衬底上一起形成像素区域 1901 和扫描线驱动电路 1903,将信号线驱动电路 1902 作为驱动器 IC 另行安装的情况;以及在衬底上一起形

成像素区域 1901、信号线驱动电路 1902、以及扫描线驱动电路 1903 的情况等。本发明可以采用任何方式。

[0193] 作为其他外部电路的结构,在视频信号的输入一侧包括视频信号放大电路 1905、视频信号处理电路 1906、以及控制电路 1907 等,该视频信号放大电路 1905 放大由调谐器 1904 接收的信号中的视频信号,该视频信号处理电路 1906 将从视频信号放大电路 1905 输出的信号转换为与红、绿、蓝各种颜色对应的色信号,该控制电路 1907 将该视频信号转换为驱动器 IC 的输入规格。控制电路 1907 将信号分别输出到扫描线一侧和信号线一侧。在进行数字驱动的情况下,也可以具有如下结构,即在信号线一侧设置信号分割电路 1908,并且将输入数字信号分成 m 个来供给。

[0194] 由调谐器 1904 接收的信号中的音频信号被传送到音频信号放大电路 1909,并且其输出经过音频信号处理电路 1910 供给到扬声器 1913。控制电路 1911 从输入部 1912 接收接收站(接收频率)和音量的控制信息,并且将信号传送到调谐器 1904、音频信号处理电路 1910。

[0195] 如图 16A 和 16B 所示,将显示模块安装在框体中,从而可以完成电视装置。将安装有 FPC 的如图 11 那样的显示面板一般称作显示模块。因此,当使用如图 13 所示的 EL 显示模块时,可以完成 EL 电视装置,而当使用如图 12 所示的液晶显示模块时,可以完成液晶电视装置。由显示模块形成主屏 2003,并且作为其他附属设备具有扬声器部 2009、操作开关等。像这样,根据本发明可以完成电视装置。

[0196] 此外,也可以使用相位差板、偏振片来遮断从外部入射的光的反射光。如果是顶部发射型半导体装置,也可以将成为分隔壁的绝缘层着色并用作黑矩阵。可以采用液滴喷射法等来形成该分隔壁,也可以将碳黑等混合到颜料类黑色树脂、聚酰亚胺等树脂材料中来形成,还可以采用其叠层。也可以通过液滴喷射法将不同的材料多次喷射到同一区域,以形成分隔壁。使用 $\lambda/4$ 板和 $\lambda/2$ 板作为相位差板,并且设计成能够控制光即可。作为其结构,从 TFT 元件衬底一侧按顺序形成有发光元件、密封衬底(密封件)、相位差板($\lambda/4$ 板、 $\lambda/2$ 板)、以及偏振片,其中,从发光元件发射的光通过它们从偏振片一侧发射到外部。将上述相位差板、偏振片设置在光发射的一侧即可,或者在进行双面发射的双面发射型半导体装置中,也可以设置在两侧。此外,在偏振片的外侧也可以具有反射防止膜。由此,可以显示更高清晰并精密的图像。

[0197] 如图 16A 所示,在框体 2001 中安装有利用显示元件的显示用面板 2002,可以由接收器 2005 接收普通的电视广播,而且,可以通过经由调制解调器 2004 连接到采用有线或无线方式的通信网络,进行单方向(从发送者到接收者)或双方向(在发送者和接收者之间或在接收者之间)的信息通信。可以使用安装在框体中的开关或另行设置的遥控操作机 2006 来操作电视装置。也可以在该遥控操作机 2006 中设置有用于显示输出信息的显示部 2007。

[0198] 另外,在电视装置中,除了主屏 2003 之外,也可以使用第二显示用面板形成子屏 2008,来附加有显示频道或音量等的结构。在这种结构中,可以使用视角优良的 EL 显示用面板形成主屏 2003,而使用能够以低耗电量来显示的液晶显示用面板形成子屏。另外,为了优先低耗电量,也可以使用液晶显示用面板形成主屏 2003,并且使用 EL 显示用面板形成子屏,以使子屏能够亮灭。通过使用本发明,即使使用这种大尺寸衬底并且使用许多 TFT、电子

部件,也可以生产率高地形成具有高性能及高可靠性的半导体装置。

[0199] 图 16B 示出具有例如 20 英寸至 80 英寸的大型显示部的电视装置,其包括框体 2010、显示部 2011、作为操作部的遥控装置 2012、扬声器部 2013 等。本发明适用于显示部 2011 的制造。图 16B 的电视装置是壁挂式的,所以不需要大的设置空间。

[0200] 根据本发明,可以生产率高地制造具备显示功能且具有高性能及高可靠性的半导体装置。因此,可以生产率高地制造具有高性能及高可靠性的电视装置。

[0201] 当然,本发明不局限于电视装置,可以应用于各种各样的用途,如个人计算机的监视器、尤其是大面积的显示媒体如火车站或机场等的信息显示板或者街头上的广告显示板等。

[0202] 本申请基于 2007 年 5 月 18 日向日本专利局递交的序列号为 NO. 2007-133382 的日本专利申请,该申请的全部内容通过引用被结合在本申请中。

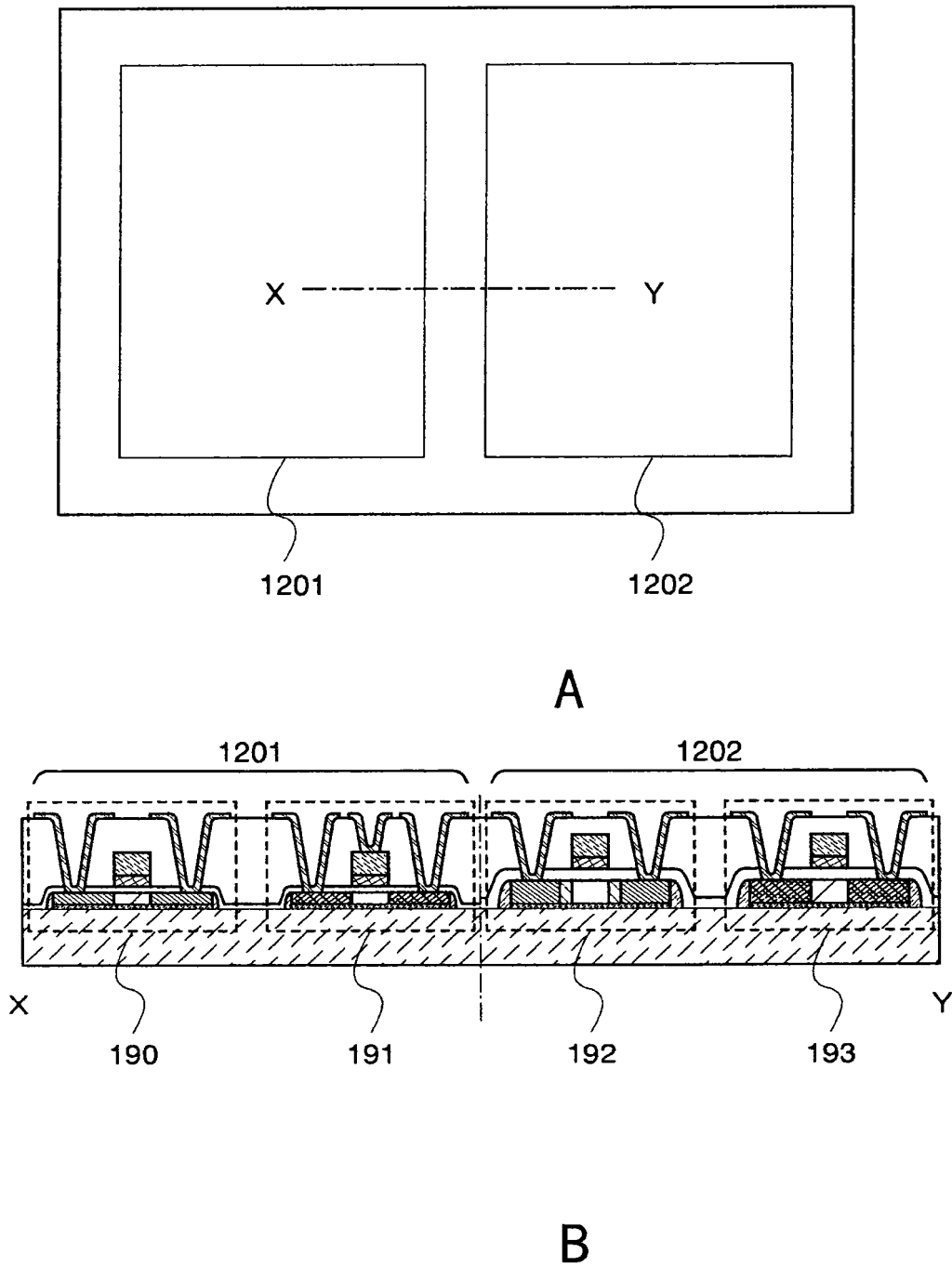


图 1

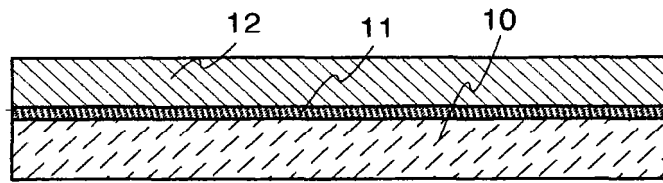


图 2A

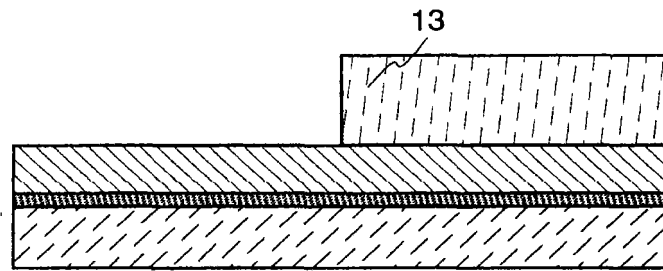


图 2B

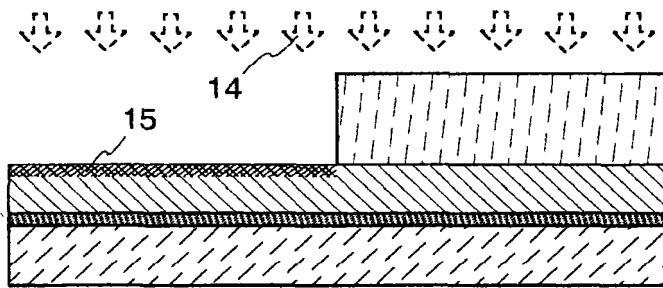


图 2C

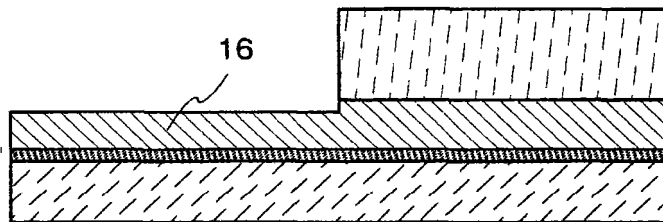


图 2D

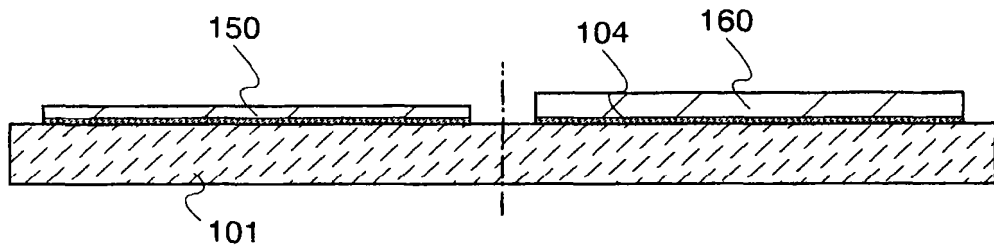


图 3A

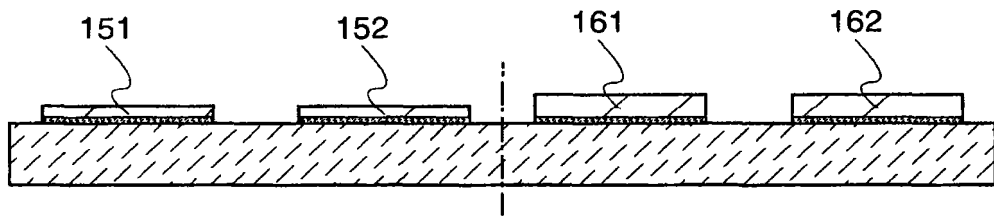


图 3B

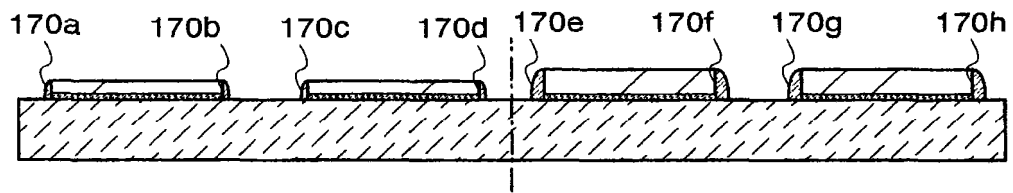


图 3C

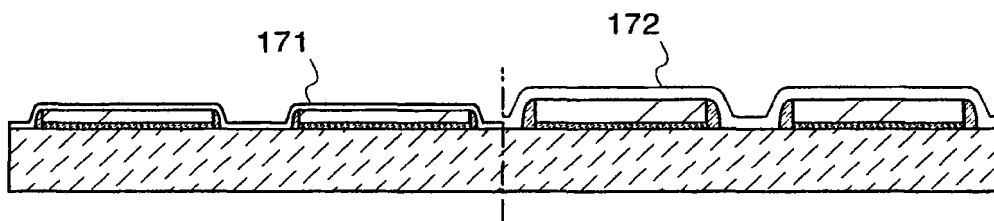
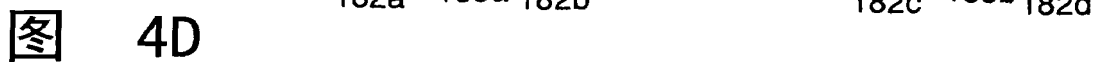
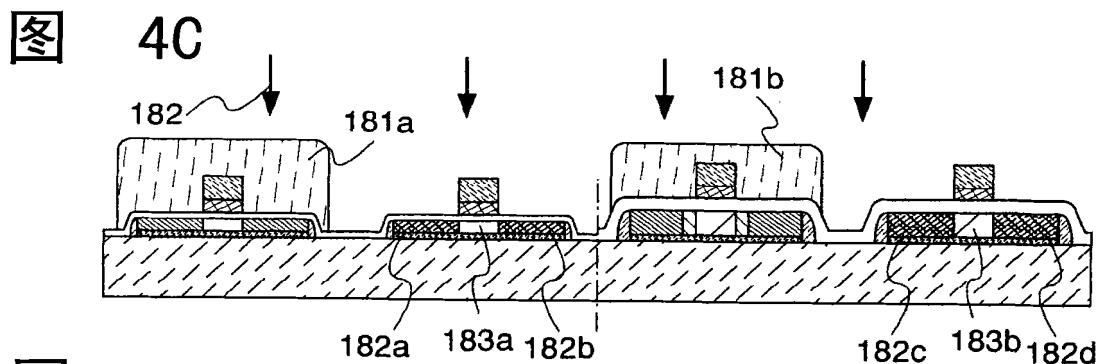
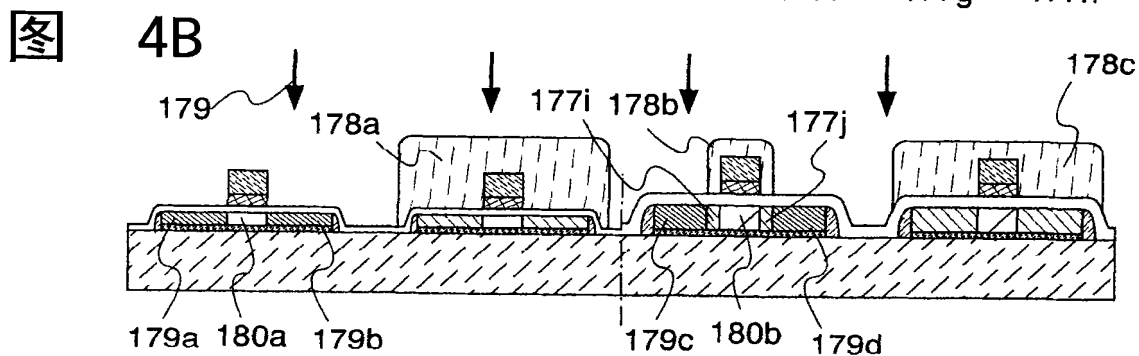
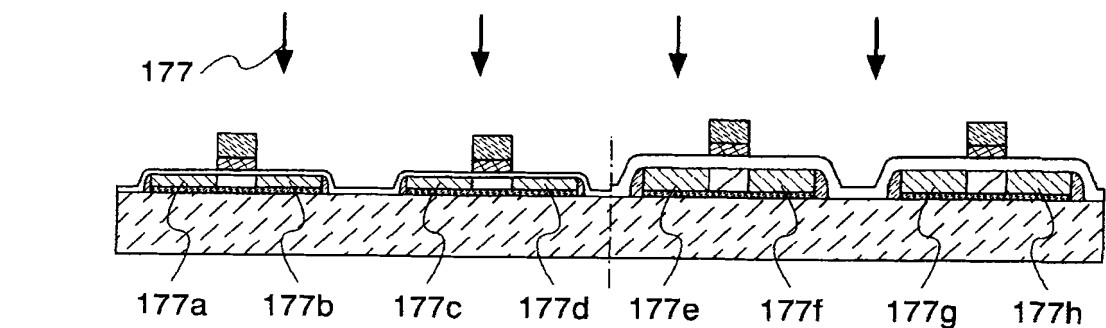
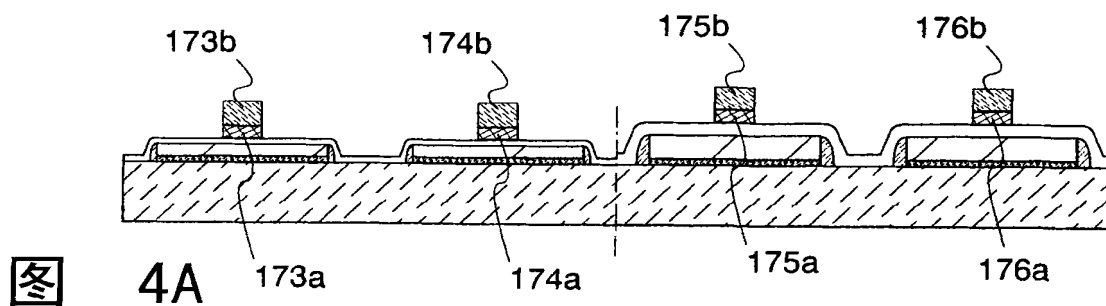


图 3D



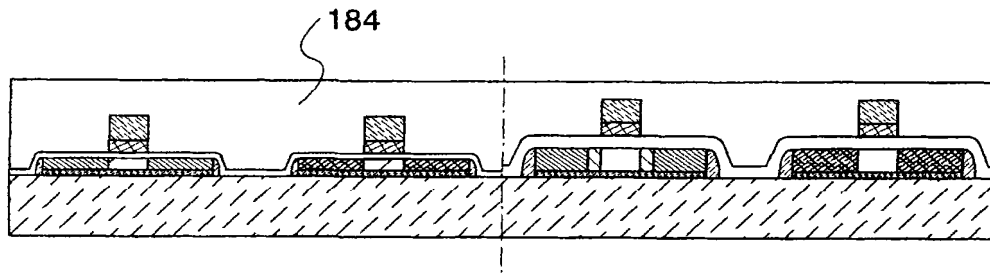


图 5A

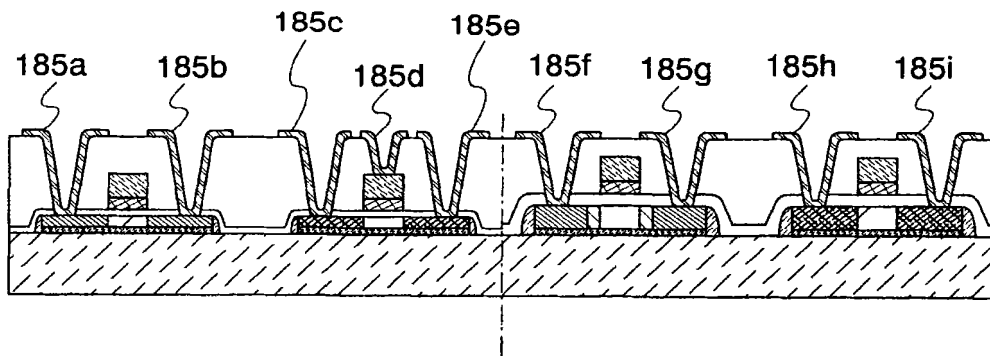


图 5B

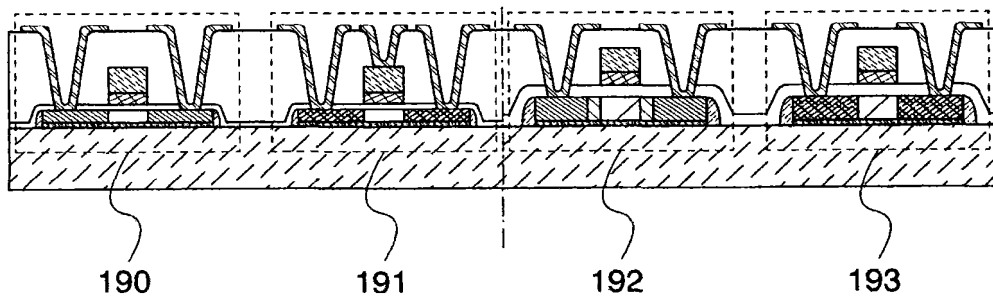


图 5C

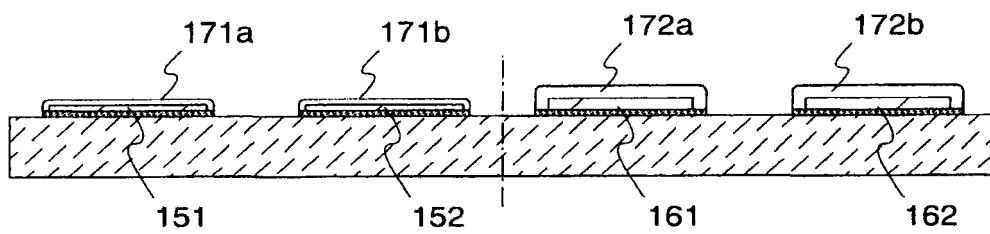


图 6A

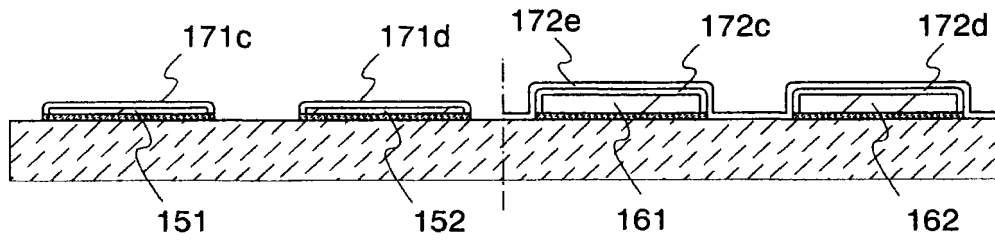


图 6B

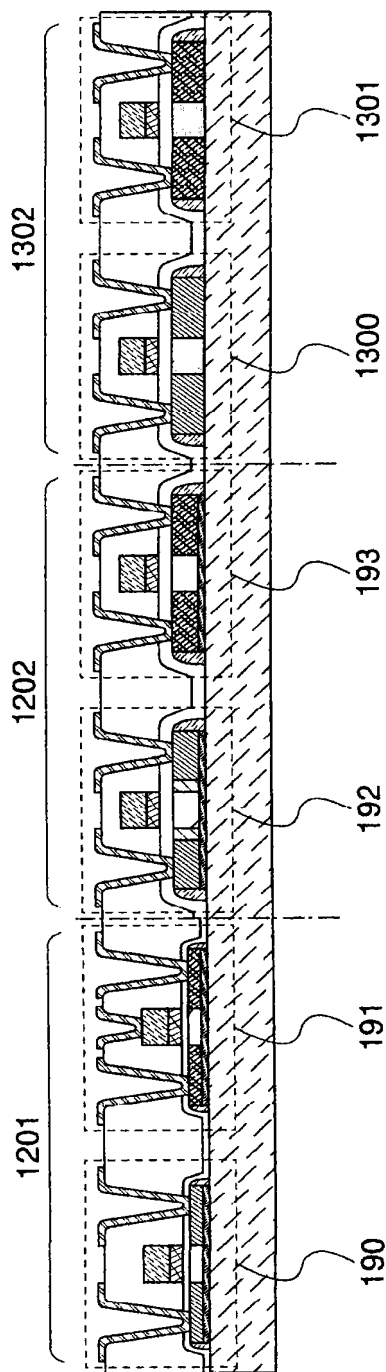


图 7

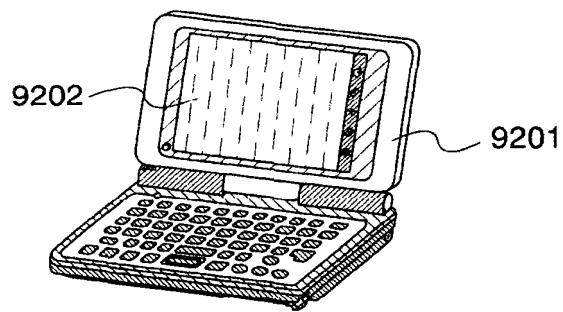


图 8A

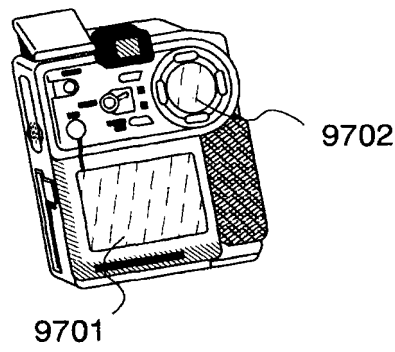


图 8B

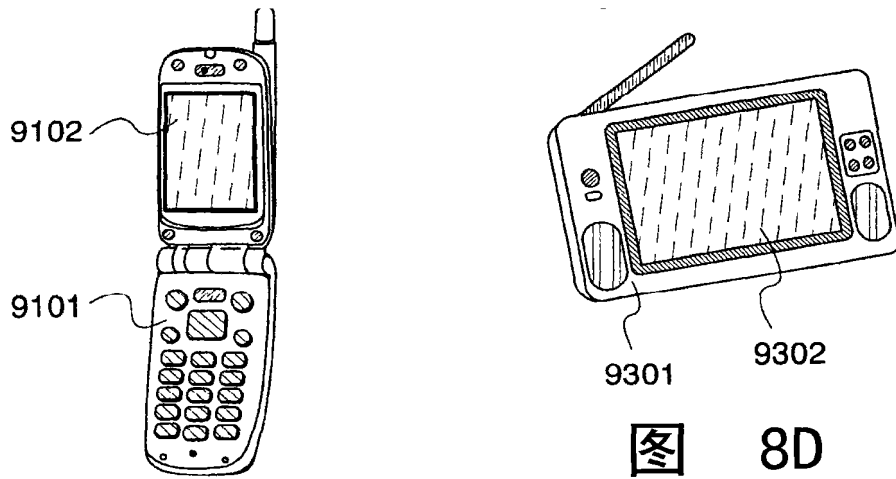


图 8C

图 8D

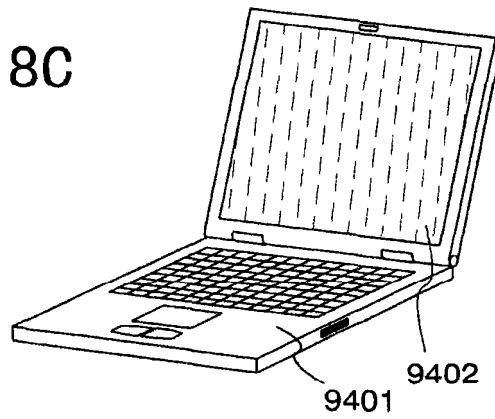
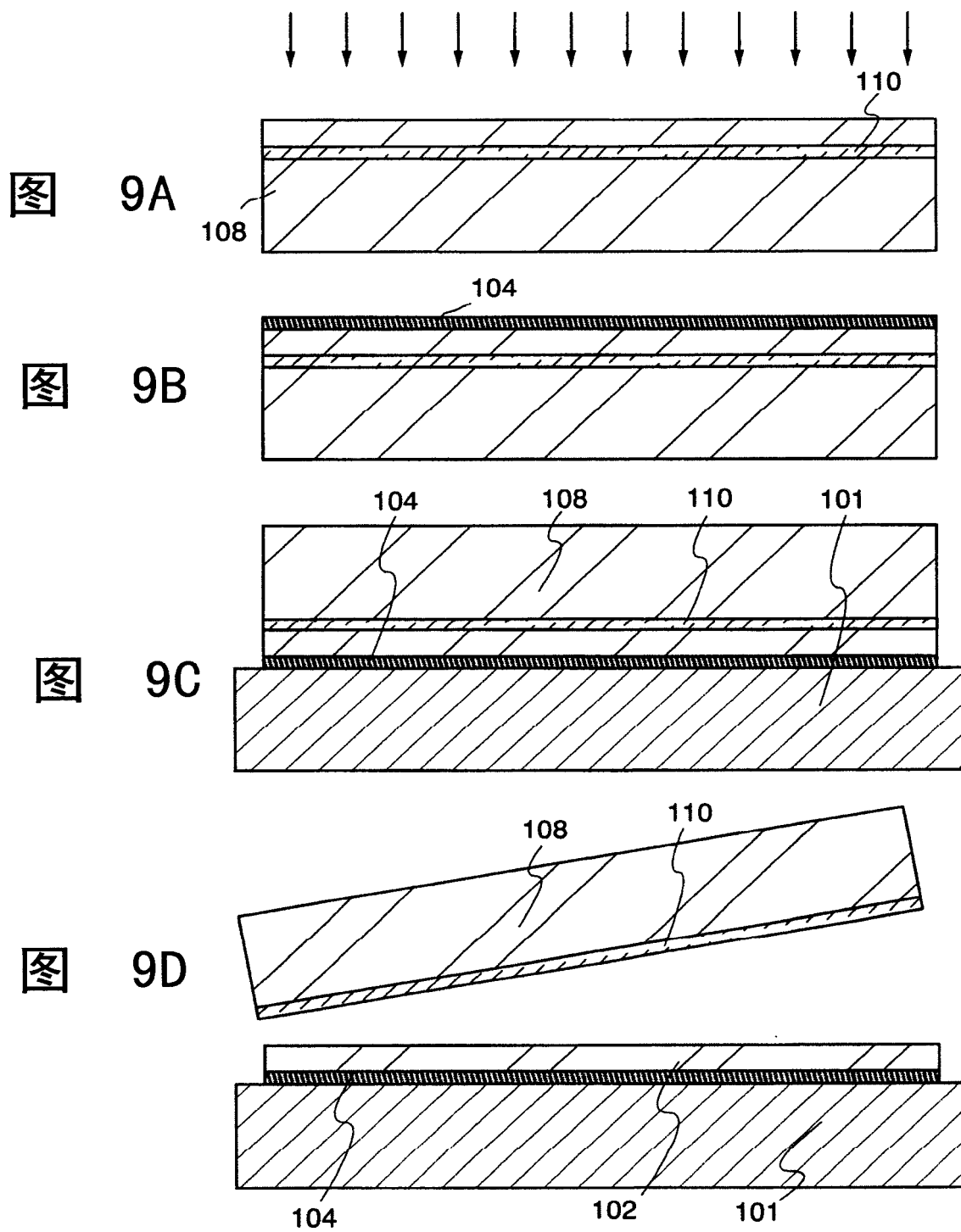


图 8E



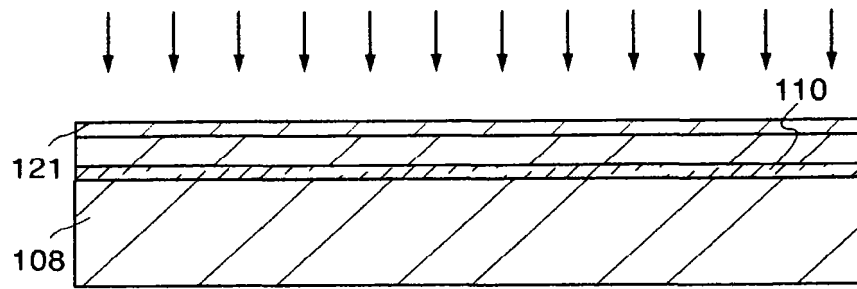


图 10A

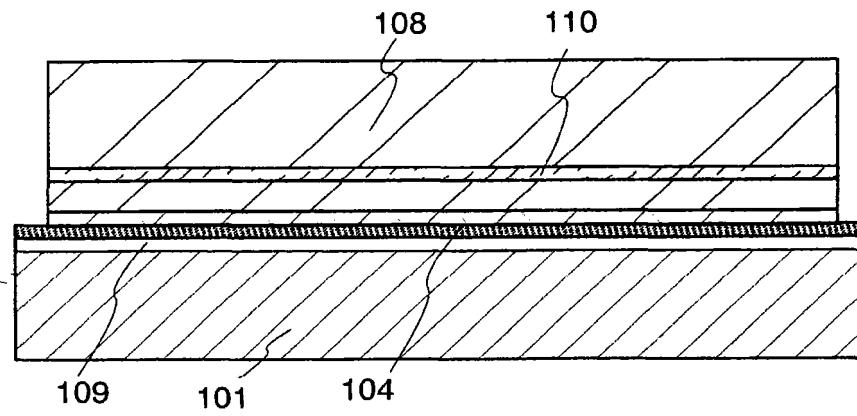


图 10B

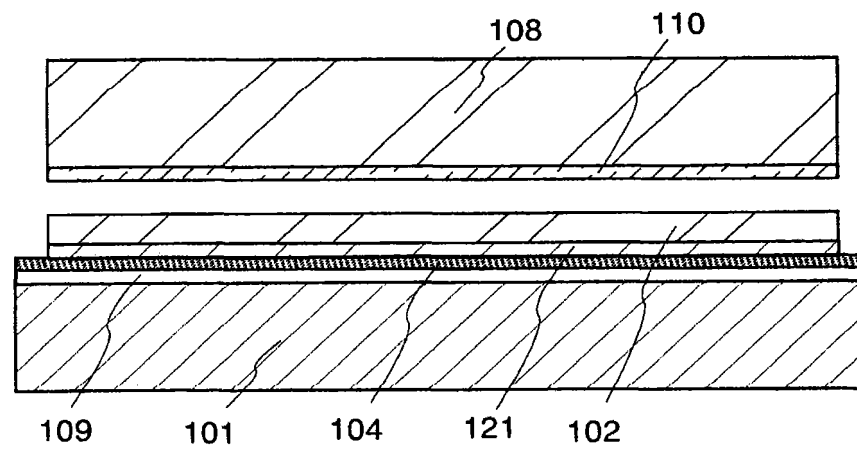


图 10C

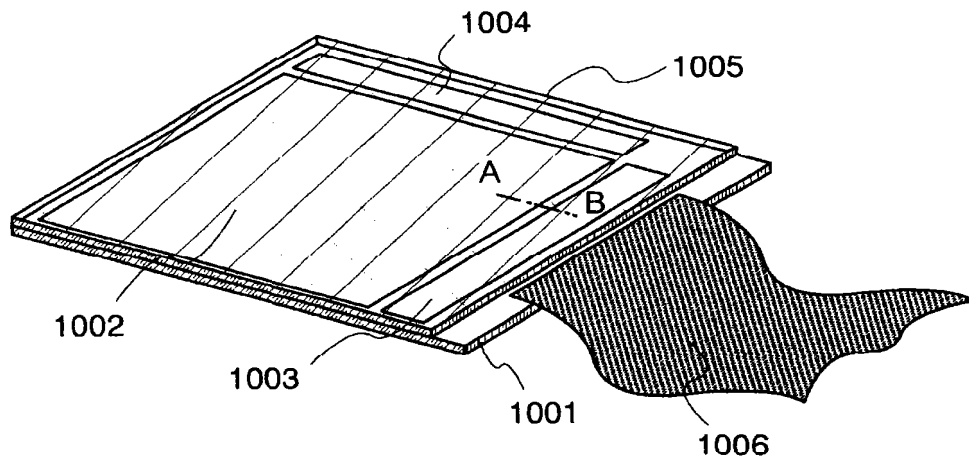


图 11

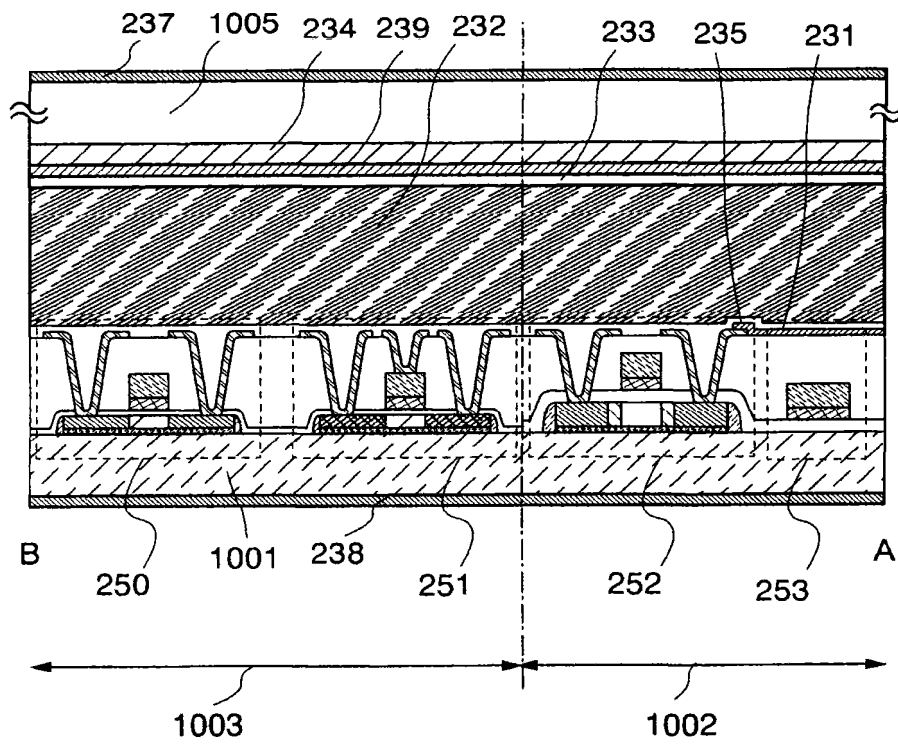


图 12

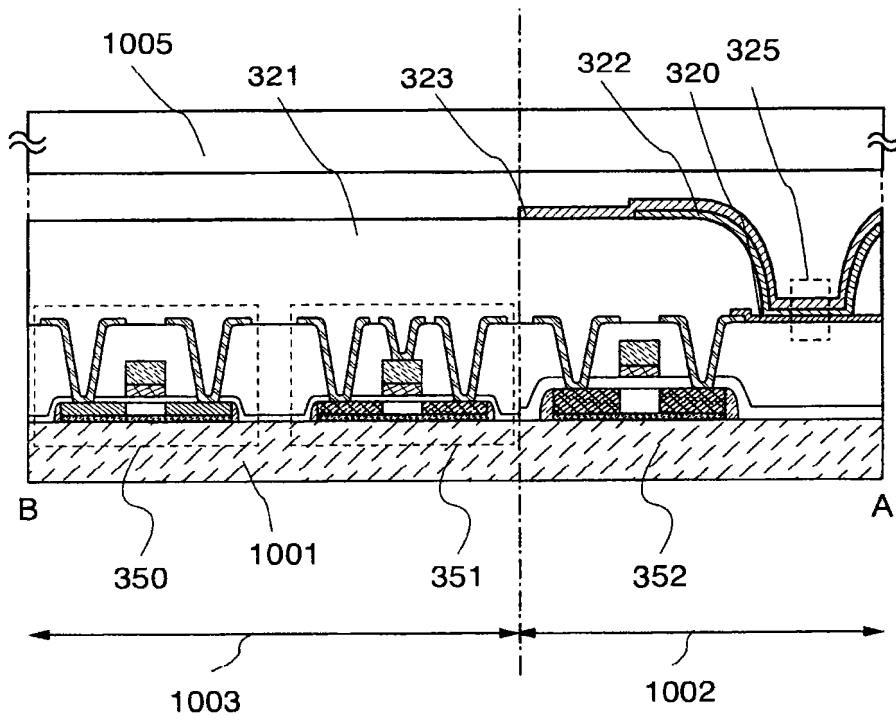


图 13

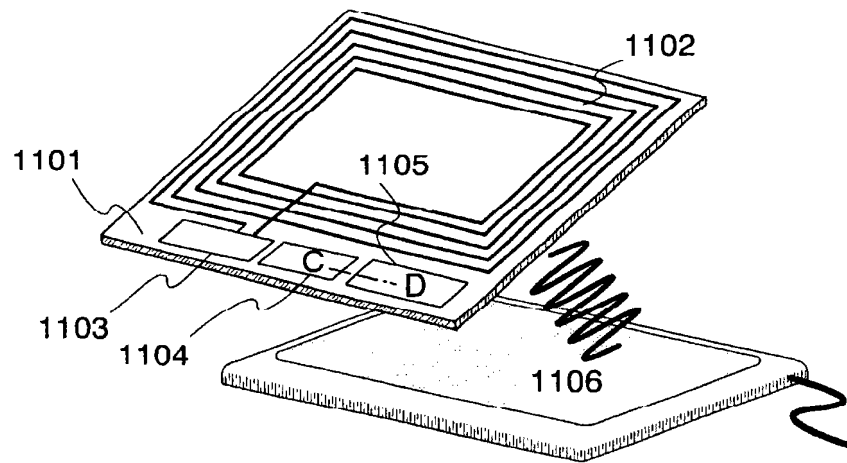


图 14A

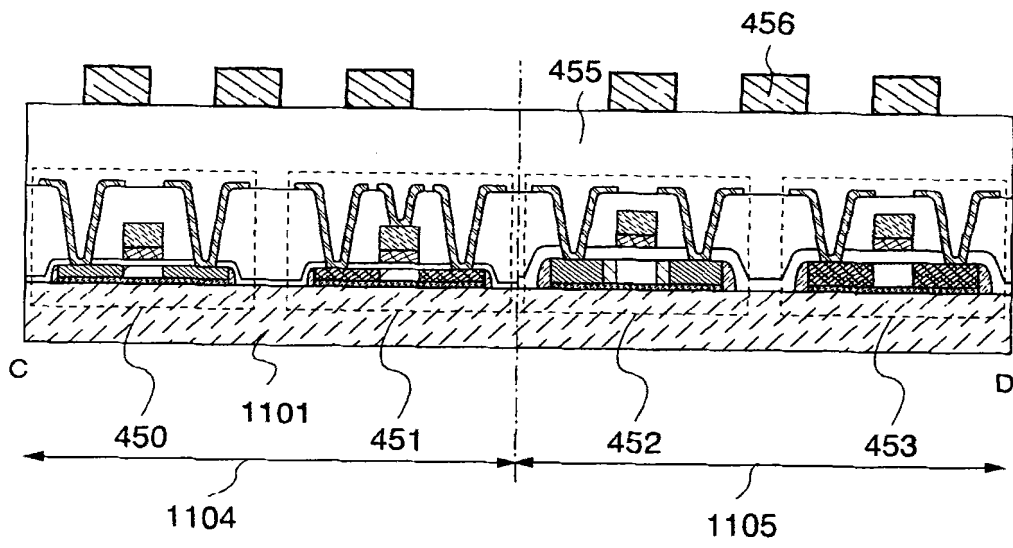


图 14B

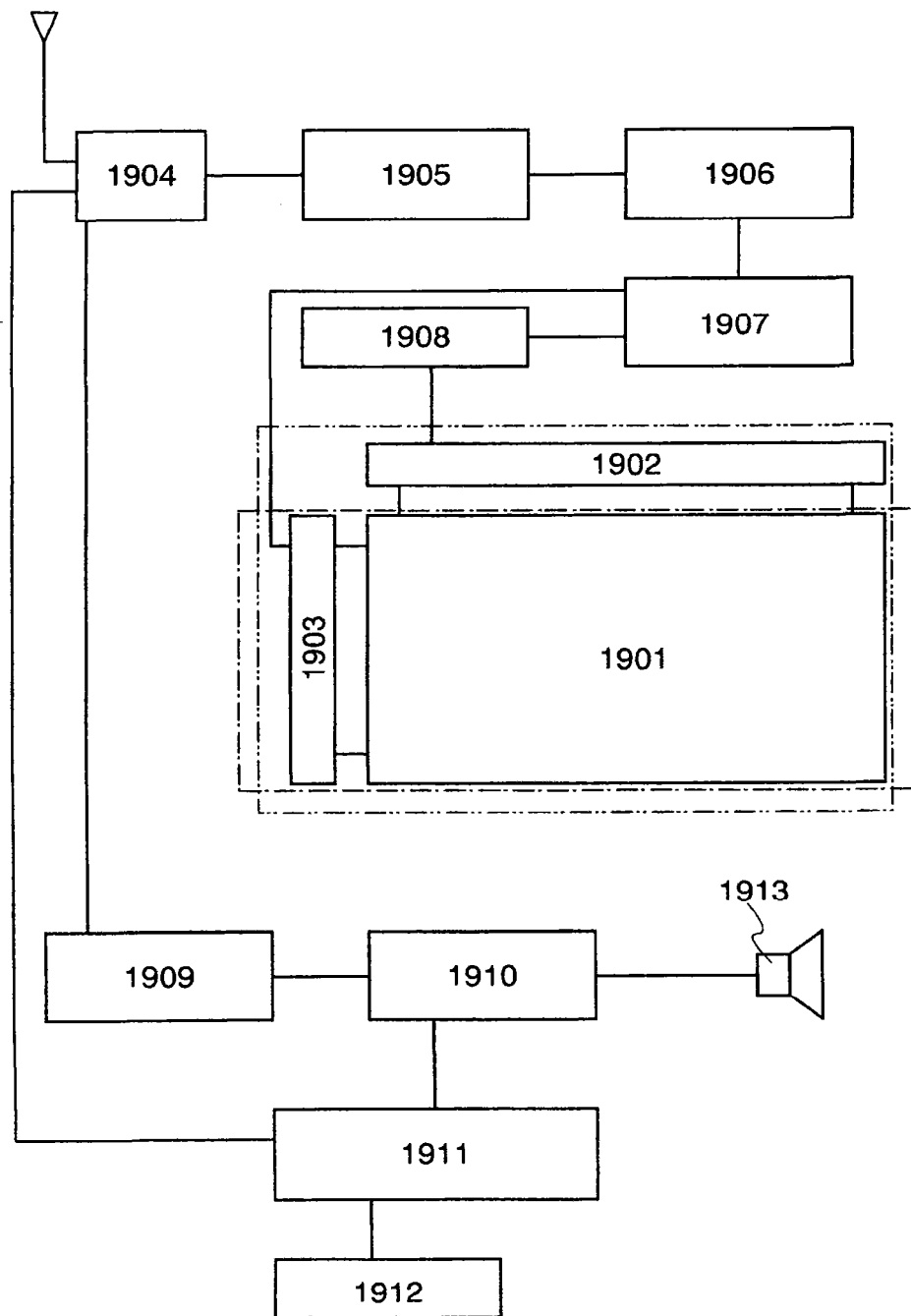


图 15

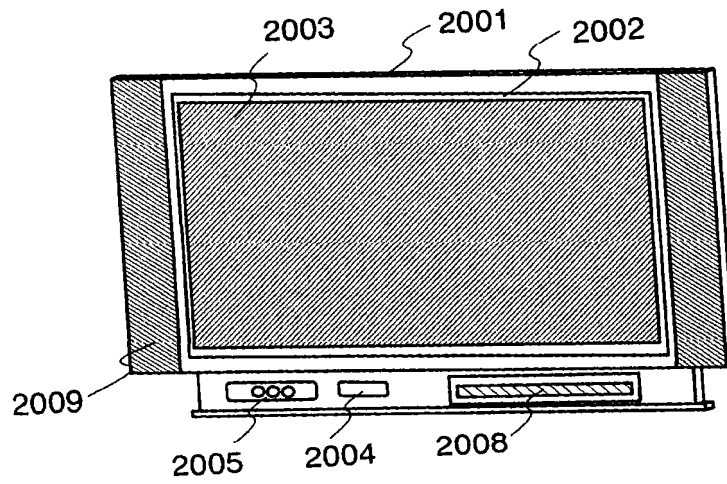


图 16A

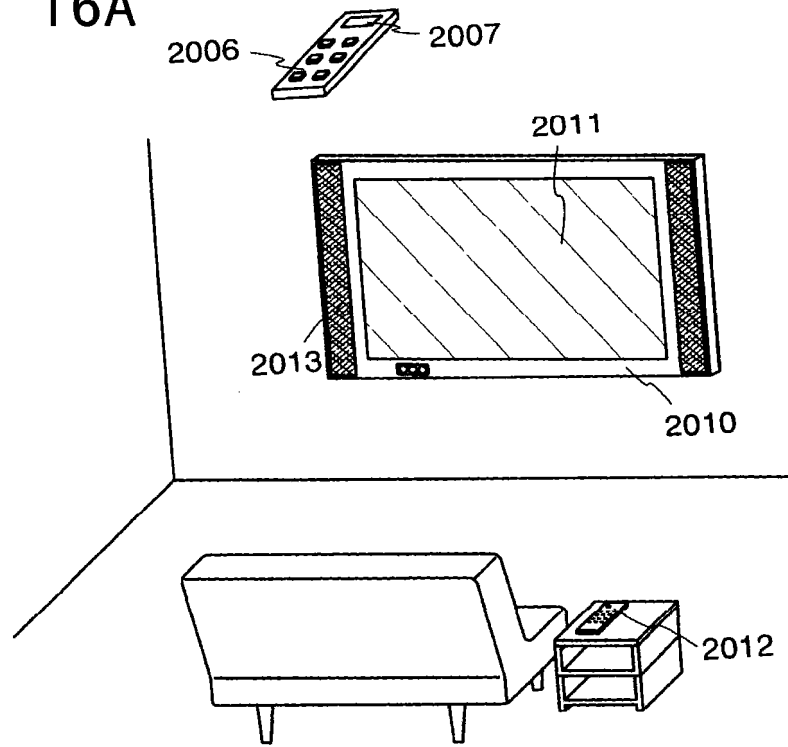


图 16B

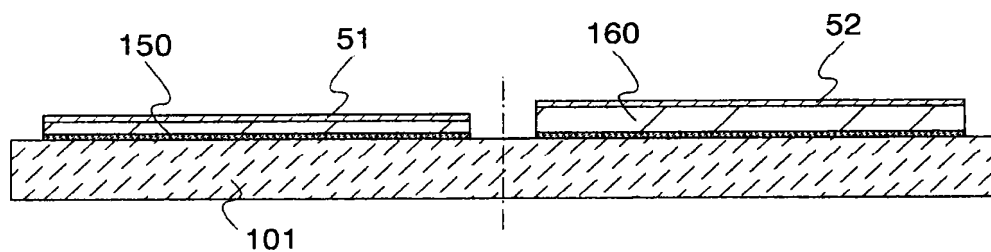


图 17A

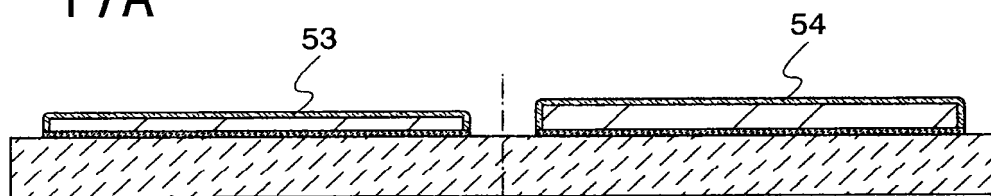


图 17B

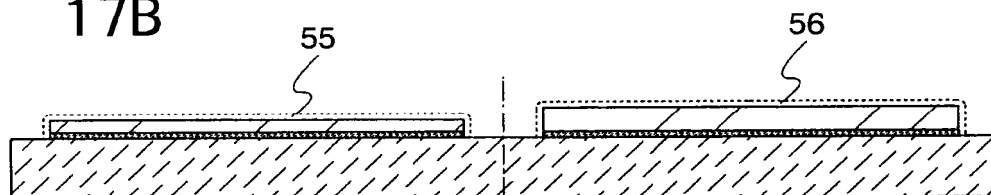


图 17C

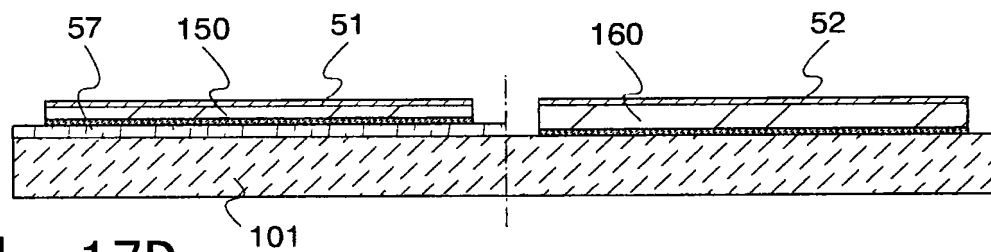


图 17D

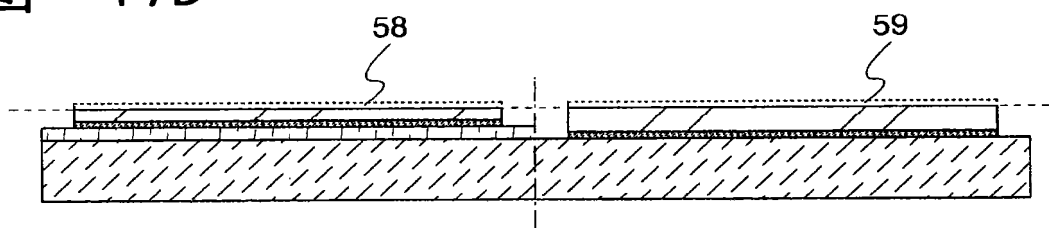


图 17E