



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월13일

(11) 등록번호 10-1519548

(24) 등록일자 2015년05월06일

(51) 국제특허분류(Int. Cl.)

H01L 29/73 (2006.01) H01L 21/331 (2006.01)

(21) 출원번호 10-2014-0010042

(22) 출원일자 2014년01월28일

심사청구일자 2014년01월28일

(56) 선행기술조사문헌

JP2002009084 A*

KR100489619 B1*

KR101288084 B1

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

이희덕

대전 서구 둔산북로 175, 8동 604호 (둔산동, 햇님아파트)

성승용

대전 중구 계백로1716번길 87, 301동 1304호 (문화동, 센트럴파크3단지아파트)

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호

전체 청구항 수 : 총 4 항

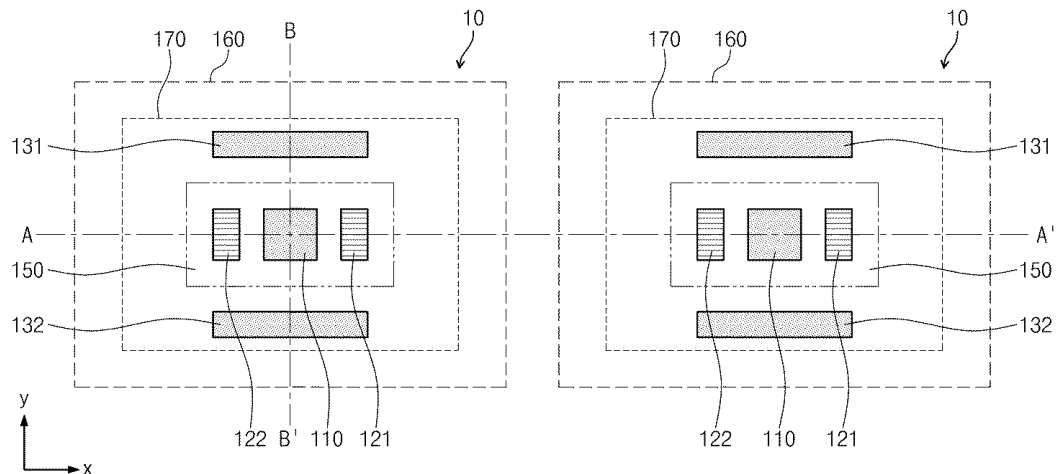
심사관 : 방인환

(54) 발명의 명칭 정합 특성 향상을 위한 쌍극성 접합 트랜지스터

(57) 요약

본 발명은 정합 특성 향상을 위한 쌍극성 접합 트랜지스터에 관한 것이다. 본 발명의 일 실시예에 따른 쌍극성 접합 트랜지스터는, 기판 상에 형성되는 이미터 영역; 상기 기판 상에서 상기 이미터 영역으로부터 이격되어 형성되는 베이스 영역; 및 상기 기판 상에서 상기 이미터 영역 및 상기 베이스 영역으로부터 이격되어 형성되는 컬렉터 영역;을 포함할 수 있다.

대표도



(72) 발명자

오선호

대전 동구 계족로368번길 11, 206동 701호 (성남동, 효촌마을아파트)

송형섭

대전 대덕구 대청로526번길 67, (미호동)

이 발명을 지원한 국가연구개발사업

과제고유번호 2013-1529

부처명 교육부

연구관리전문기관 충남대학교 LINC사업단

연구사업명 산학공동기술개발과제

연구과제명 차량용 융합 반도체 소자의 신뢰성 평가 기술 개발

기 여 율 1/1

주관기관 한국연구재단

연구기간 2013.08.01 ~ 2013.12.31

명세서

청구범위

청구항 1

기관 상에 형성되는 이미터 영역;

상기 기관 상에서 상기 이미터 영역으로부터 이격되어 형성되는 베이스 영역; 및

상기 기관 상에서 상기 이미터 영역 및 상기 베이스 영역으로부터 이격되어 형성되는 컬렉터 영역;

을 포함하는며,

상기 베이스 영역은 상기 기관 상에서 상기 이미터 영역으로부터 제 1 방향으로 이격되어 형성되고,

상기 컬렉터 영역은 상기 기관 상에서 상기 이미터 영역 및 상기 베이스 영역으로부터 상기 제 1 방향에 수직한 제 2 방향으로 이격되어 형성되고,

상기 베이스 영역은:

상기 기관 상에서 상기 이미터 영역으로부터 제 1 방향으로 이격되어 형성되는 제 1 베이스 영역; 및

상기 기관 상에서 상기 이미터 영역으로부터 상기 제 1 방향에 반대되는 제 3 방향으로 이격되어 형성되는 제 2 베이스 영역을 포함하고,

상기 컬렉터 영역은:

상기 기관 상에서 상기 이미터 영역 및 상기 베이스 영역으로부터 상기 제 1 방향에 수직한 제 2 방향으로 이격되어 형성되는 제 1 컬렉터 영역; 및

상기 기관 상에서 상기 이미터 영역 및 상기 베이스 영역으로부터 상기 제 2 방향에 반대되는 제 4 방향으로 이격되어 형성되는 제 2 컬렉터 영역;

을 포함하며,

상기 컬렉터 영역은 상기 제 1 방향으로 연장되며,

상기 컬렉터 영역의 제 1 방향 길이는 상기 제 1 베이스 영역과 상기 제 2 베이스 영역 사이 간격보다 큰 쌍극성 접합 트랜지스터.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 이미터 영역, 상기 베이스 영역 및 상기 컬렉터 영역은 절연성 물질로 서로 간에 격리되는 쌍극성 접합 트랜지스터.

청구항 5

제 1 항에 있어서,

상기 이미터 영역 및 상기 컬렉터 영역은 n-타입으로 도핑된 n-타입 액티브 영역이고,

상기 베이스 영역은 p-타입으로 도핑된 p-타입 액티브 영역인 쌍극성 접합 트랜지스터.

청구항 6

제 1 항에 있어서,

상기 이미터 영역 및 상기 컬렉터 영역은 p-타입으로 도핑된 p-타입 액티브 영역이고,

상기 베이스 영역은 n-타입으로 도핑된 n-타입 액티브 영역인 쌍극성 접합 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 정합 특성 향상을 위한 쌍극성 접합 트랜지스터에 관한 것이다.

[0002] 본 발명은 과제번호 2013-1529, "차량용 융합 반도체 소자의 신뢰성 평가 기술 개발"에 관한 연구과제의 결과물이다.

배경 기술

[0003] 현재 사용되고 있는 대부분의 아날로그 회로들은 차동 쌍(differential pair)을 이용하여 설계되고 있다. 아날로그 회로는 이론적으로 차동 쌍을 이루는 두 소자들이 동일한 특성을 갖는다는 가정 하에 설계를 하나, 실제 회로는 동작 시 소자들 간에 특성 차이가 발생하여 오작동을 유발할 수 있다. 따라서, 아날로그 회로에서 동일한 소자들 간의 정합 특성 일치는 중요한 이슈로 떠오르고 있다.

[0004] 나아가, 회로의 집적도 향상을 위해 반도체 소자는 지속적으로 소형화가 진행되고 있어, 아날로그 집적회로의 오동작을 방지하기 위해 회로 내 소자들 간의 정합 특성 개선이 요구되고 있다.

선행기술문헌

특허문헌

(특허문헌 0001) 일본 공개특허공보 특개2002-009084호(2002.01.11.)

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예는 쌍극성 접합 트랜지스터(bipolar junction transistor, BJT)의 구조를 변화시켜 정합 특성을 비롯한 소자의 성능을 개선시키는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 쌍극성 접합 트랜지스터는, 기판 상에 형성되는 이미터 영역; 상기 기판 상에서 상기 이미터 영역으로부터 이격되어 형성되는 베이스 영역; 및 상기 기판 상에서 상기 이미터 영역 및 상기 베이스 영역으로부터 이격되어 형성되는 컬렉터 영역;을 포함할 수 있다.

[0007] 상기 베이스 영역은 상기 기판 상에서 상기 이미터 영역으로부터 제 1 방향으로 이격되어 형성되고, 상기 컬렉터 영역은 상기 기판 상에서 상기 이미터 영역 및 상기 베이스 영역으로부터 상기 제 1 방향에 수직한 제 2 방향으로 이격되어 형성될 수 있다.

[0008] 상기 베이스 영역은: 상기 기판 상에서 상기 이미터 영역으로부터 제 1 방향으로 이격되어 형성되는 제 1 베이스 영역; 및 상기 기판 상에서 상기 이미터 영역으로부터 상기 제 1 방향에 반대되는 제 3 방향으로 이격되어 형성되는 제 2 베이스 영역을 포함하고, 상기 컬렉터 영역은: 상기 기판 상에서 상기 이미터 영역 및 상기 베이스 영역으로부터 상기 제 1 방향에 수직한 제 2 방향으로 이격되어 형성되는 제 1 컬렉터 영역; 및 상기 기판 상에서 상기 이미터 영역 및 상기 베이스 영역으로부터 상기 제 2 방향에 반대되는 제 4 방향으로 이격되어 형성되는 제 2 컬렉터 영역;을 포함할 수 있다.

[0009] 상기 이미터 영역과 상기 제 1 및 제 2 베이스 영역은 상기 제 2 방향의 치수가 동일할 수 있다.

- [0010] 상기 이미터 영역의 평면적은 상기 제 1 및 제 2 베이스 영역의 평면적의 합과 동일할 수 있다.
- [0011] 상기 이미터 영역과 상기 제 1 및 제 2 베이스 영역은 깊이가 동일할 수 있다.
- [0012] 상기 제 1 베이스 영역은 상기 이미터 영역으로부터 상기 제 1 방향으로 적어도 상기 제 1 베이스 영역의 제 1 방향 치수만큼 이격되어 형성되고, 상기 제 2 베이스 영역은 상기 이미터 영역으로부터 상기 제 3 방향으로 적어도 상기 제 2 베이스 영역의 제 1 방향 치수만큼 이격되어 형성될 수 있다.
- [0013] 상기 제 1 및 제 2 컬렉터 영역의 상기 제 1 방향의 치수는, 상기 제 1 베이스 영역의 제 1 방향 끝으로부터 상기 제 2 베이스 영역의 제 3 방향 끝까지 이를 수 있다.
- [0014] 상기 이미터 영역의 상기 제 2 방향의 치수는, 상기 제 1 컬렉터 영역의 상기 제 2 방향의 치수와 상기 제 2 컬렉터 영역의 상기 제 2 방향의 치수의 합과 동일할 수 있다.
- [0015] 상기 이미터 영역과 상기 제 1 및 제 2 컬렉터 영역은 깊이가 동일할 수 있다.
- [0016] 상기 제 1 컬렉터 영역은 상기 이미터 영역으로부터 상기 제 2 방향으로 적어도 상기 이미터 영역의 제 2 방향 치수만큼 이격되어 형성되고, 상기 제 2 컬렉터 영역은 상기 이미터 영역으로부터 상기 제 4 방향으로 적어도 상기 이미터 영역의 제 2 방향 치수만큼 이격되어 형성될 수 있다.
- [0017] 상기 이미터 영역, 상기 베이스 영역 및 상기 컬렉터 영역은 절연성 물질로 서로 간에 격리될 수 있다.
- [0018] 상기 이미터 영역 및 상기 컬렉터 영역은 n-타입으로 도핑된 n-타입 액티브 영역이고, 상기 베이스 영역은 p-타입으로 도핑된 p-타입 액티브 영역일 수 있다.
- [0019] 상기 이미터 영역 및 상기 베이스 영역은 p-타입으로 도핑된 p-타입 웰(well) 상에 형성되고, 상기 컬렉터 영역은 n-타입으로 도핑된 n-타입 웰 상에 형성될 수 있다.
- [0020] 상기 p-타입 웰은 상기 n-타입 웰, 및 상기 p-타입 웰의 하부에 위치하는 n-타입의 딥 웰(deep well)에 의해 둘러싸일 수 있다.
- [0021] 상기 이미터 영역 및 상기 컬렉터 영역은 p-타입으로 도핑된 p-타입 액티브 영역이고, 상기 베이스 영역은 n-타입으로 도핑된 n-타입 액티브 영역일 수 있다.
- [0022] 상기 이미터 영역 및 상기 베이스 영역은 n-타입으로 도핑된 n-타입 웰 상에 형성되고, 상기 컬렉터 영역은 p-타입으로 도핑된 p-타입 웰 상에 형성될 수 있다.

발명의 효과

- [0023] 본 발명의 실시예에 따르면, 소자의 정합 특성이 개선되어 회로의 오동작을 방지할 수 있다.
- [0024] 본 발명의 실시예에 따르면, 소자들 간의 정합 특성 개선으로 인해 더 작은 크기의 소자를 구현할 수 있어, 회로의 집적도 및 생산성 향상을 달성할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일 실시예에 따른 쌍극성 접합 트랜지스터의 예시적인 평면도다.
- 도 2는 도 1에 도시된 쌍극성 접합 트랜지스터를 A - A' 방향으로 절단하여 바라본 예시적인 단면도다.
- 도 3은 도 1에 도시된 쌍극성 접합 트랜지스터를 B - B' 방향으로 절단하여 바라본 예시적인 단면도다.
- 도 4는 본 발명의 다른 실시예에 따른 쌍극성 접합 트랜지스터의 예시적인 평면도다.
- 도 5는 도 4에 도시된 쌍극성 접합 트랜지스터를 A - A' 방향으로 절단하여 바라본 예시적인 단면도다.
- 도 6은 도 4에 도시된 쌍극성 접합 트랜지스터를 B - B' 방향으로 절단하여 바라본 예시적인 단면도다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 본 명세서에 첨부된 도면을 참조하여 본 발명의 실시예들을 상세하게 설명한다.
- [0027] 도 1은 본 발명의 일 실시예에 따른 쌍극성 접합 트랜지스터(10)의 예시적인 평면도며, 도 2는 도 1에 도시된 쌍극성 접합 트랜지스터(10)를 A - A' 방향으로 절단하여 바라본 예시적인 단면도며, 도 3은 도 1에 도시된 쌍

극성 접합 트랜지스터(10)를 B - B' 방향으로 절단하여 바라본 예시적인 단면도다.

- [0028] 도 1 내지 도 3에 도시된 바와 같이, 상기 쌍극성 접합 트랜지스터(10)는 이미터 영역(110), 베이스 영역(121, 122) 및 컬렉터 영역(131, 132)을 포함할 수 있다.
- [0029] 상기 이미터 영역(110)은 기판 상에 형성된다. 상기 베이스 영역(121, 122)은 상기 기판 상에서 상기 이미터 영역(110)으로부터 이격되어 형성된다. 상기 컬렉터 영역(131, 132)은 상기 기판 상에서 상기 이미터 영역(110) 및 상기 베이스 영역(121, 122)으로부터 이격되어 형성된다.
- [0030] 도 1 내지 도 3에 도시된 쌍극성 접합 트랜지스터(10)는 npn 쌍극성 접합 트랜지스터로서, 상기 이미터 영역(110) 및 상기 컬렉터 영역(131, 132)은 n-타입으로 도핑된 n-타입 액티브 영역일 수 있으며, 상기 베이스 영역(121, 122)은 p-타입으로 도핑된 p-타입 액티브 영역일 수 있다.
- [0031] 일 실시예에 따르면, 상기 이미터 영역(110) 및 상기 베이스 영역(121, 122)은 p-타입으로 도핑된 p-타입 웰(150) 상에 형성될 수 있으며, 상기 컬렉터 영역(131, 132)은 n-타입으로 도핑된 n-타입 웰(160) 상에 형성될 수 있다.
- [0032] 상기 p-타입 액티브 영역(121, 122)과 상기 p-타입 웰(150), 그리고 상기 n-타입 액티브 영역(110, 131, 132)과 상기 n-타입 웰(160)은 도핑 농도가 상이할 수 있다.
- [0033] 예를 들어, 상기 p-타입 액티브 영역(121, 122) 및 상기 n-타입 액티브 영역(110, 131, 132)은 각각 상기 p-타입 웰(150) 및 상기 n-타입 웰(160)보다 도핑 농도가 높을 수 있다.
- [0034] 일 실시예에 따르면, 상기 p-타입 웰(150)은 상기 n-타입 웰(160)과, 상기 p-타입 웰(150)의 하부에 위치하는 n-타입의 딥 웰(170)에 의해 둘러싸일 수 있다. 상기 n-타입의 딥 웰(170)은 쌍극성 접합 트랜지스터(10)로부터 기판으로 전류가 누설되는 것을 방지한다.
- [0035] 일 실시예에 따르면, 상기 베이스 영역(121, 122)은 상기 기판 상에서 상기 이미터 영역(110)으로부터 제 1 방향, 즉 도 1에서 x축 방향으로 이격되어 형성된다.
- [0036] 그리고, 상기 컬렉터 영역(131, 132)은 상기 기판 상에서 상기 이미터 영역(110) 및 상기 베이스 영역(121, 122)으로부터 상기 제 1 방향에 수직인 제 2 방향, 즉 도 1에서 y축 방향으로 이격되어 형성된다.
- [0037] 보다 구체적으로, 도 1을 참조하면, 상기 베이스 영역(121, 122)은 상기 기판 상에서 상기 이미터 영역(110)으로부터 제 1 방향으로 이격되어 형성되는 제 1 베이스 영역(121), 및 상기 기판 상에서 상기 이미터 영역(110)으로부터 상기 제 1 방향에 반대되는 제 3 방향으로 이격되어 형성되는 제 2 베이스 영역(122)을 포함할 수 있다.
- [0038] 또한, 도 1을 참조하면, 상기 컬렉터 영역(131, 132)은 상기 기판 상에서 상기 이미터 영역(110) 및 상기 베이스 영역(121, 122)으로부터 상기 제 1 방향에 수직인 제 2 방향으로 이격되어 형성되는 제 1 컬렉터 영역(131), 및 상기 기판 상에서 상기 이미터 영역(110) 및 상기 베이스 영역(121, 122)으로부터 상기 제 2 방향에 반대되는 제 4 방향으로 이격되어 형성되는 제 2 컬렉터 영역(132)을 포함할 수 있다.
- [0039] 일 실시예에 따르면, 상기 이미터 영역(110)과 상기 제 1 및 제 2 베이스 영역(121, 122)은 상기 제 2 방향, 즉 y축 방향의 치수가 동일할 수 있다.
- [0040] 또한, 상기 이미터 영역(110)의 평면적은 상기 제 1 및 제 2 베이스 영역(121, 122)의 평면적의 합과 동일할 수 있다.
- [0041] 또한, 상기 이미터 영역(110)과 상기 제 1 및 제 2 베이스 영역(121, 122)은 깊이, 즉 도 2에서 z축 방향의 치수가 동일할 수 있다.
- [0042] 다시 도 1을 참조하면, 상기 제 1 베이스 영역(121)은 상기 이미터 영역(110)으로부터 상기 제 1 방향으로 적어도 상기 제 1 베이스 영역(121)의 제 1 방향 치수만큼 이격되어 형성될 수 있다.
- [0043] 또한, 상기 제 2 베이스 영역(122)은 상기 이미터 영역(110)으로부터 상기 제 3 방향으로 적어도 상기 제 2 베이스 영역(122)의 제 1 방향 치수만큼 이격되어 형성될 수 있다.
- [0044] 일 실시예에 따르면, 상기 제 1 및 제 2 컬렉터 영역(131, 132)의 제 1 방향 치수는 상기 제 1 베이스 영역(121)의 제 1 방향 끝으로부터 상기 제 2 베이스 영역(122)의 제 3 방향 끝까지 이를 수 있다.

- [0045] 일 실시예에 따르면, 상기 이미터 영역(110)의 제 2 방향 치수는 상기 제 1 컬렉터 영역(131)의 제 2 방향 치수와 상기 제 2 컬렉터 영역(132)의 제 2 방향 치수의 합과 동일할 수 있다.
- [0046] 또한, 상기 이미터 영역(110)과 상기 제 1 및 제 2 컬렉터 영역(131, 132)은 깊이, 즉 도 3에서 z축 방향의 치수가 동일할 수 있다.
- [0047] 다시 도 1을 참조하면, 상기 제 1 컬렉터 영역(131)은 상기 이미터 영역(110)으로부터 상기 제 2 방향으로 적어도 상기 이미터 영역(110)의 제 2 방향 치수만큼 이격되어 형성될 수 있다.
- [0048] 또한, 상기 제 2 컬렉터 영역(132)은 상기 이미터 영역(110)으로부터 상기 제 4 방향으로 적어도 상기 이미터 영역(110)의 제 2 방향 치수만큼 이격되어 형성될 수 있다.
- [0049] 일 실시예에 따르면, 상기 이미터 영역(110), 상기 베이스 영역(121, 122) 및 상기 컬렉터 영역(131, 132)은 절연성 물질(140)로 서로 간에 격리되어 STI(Shallow Trench Isolation) 처리될 수 있다. 일 예로, 상기 절연성 물질(140)은 SiO_2 일 수 있으나, 이에 제한되지는 않는다.
- [0050] 상기 절연성 물질(140)은 기판 상에 형성된 다수의 쌍극성 접합 트랜지스터(10)를 서로 격리시킬 수도 있다.
- [0051] 상기 이미터 영역(110) 상에는 이미터 전극이 형성되고, 상기 베이스 영역(121, 122) 상에는 베이스 전극이 형성되고, 상기 컬렉터 영역(131, 132) 상에는 컬렉터 전극이 형성될 수 있다.
- [0052] 일 실시예에 따르면, 상기 이미터 전극 및 상기 컬렉터 전극은 n-타입으로 하이 도핑(high doping)되고, 상기 베이스 전극은 p-타입으로 하이 도핑될 수 있다.
- [0053] 도 4는 본 발명의 다른 실시예에 따른 쌍극성 접합 트랜지스터(10)의 예시적인 평면도며, 도 5는 도 4에 도시된 쌍극성 접합 트랜지스터(10)를 A - A' 방향으로 절단하여 바라본 예시적인 단면도며, 도 6은 도 4에 도시된 쌍극성 접합 트랜지스터(10)를 B - B' 방향으로 절단하여 바라본 예시적인 단면도다.
- [0054] 도 1 내지 도 3을 참조하여 설명된 쌍극성 접합 트랜지스터(10)는 npn 타입이나, 도 4 내지 도 6에 도시된 쌍극성 접합 트랜지스터(10)는 pnp 타입의 쌍극성 접합 트랜지스터다.
- [0055] 도 4 내지 도 6에 도시된 pnp 타입의 쌍극성 접합 트랜지스터(10)에서, 상기 이미터 영역(110) 및 상기 컬렉터 영역(131, 132)은 p-타입으로 도핑된 p-타입 액티브 영역일 수 있으며, 상기 베이스 영역(121, 122)은 n-타입으로 도핑된 n-타입 액티브 영역일 수 있다.
- [0056] 일 실시예에 따르면, 상기 이미터 영역(110) 및 상기 베이스 영역(121, 122)은 n-타입으로 도핑된 n-타입 웰(160) 상에 형성될 수 있으며, 상기 컬렉터 영역(131, 132)은 p-타입으로 도핑된 p-타입 웰(150) 상에 형성될 수 있다.
- [0057] 그리고, 상기 이미터 영역 상에 형성되는 이미터 전극, 및 상기 컬렉터 영역 상에 형성되는 컬렉터 전극은 p-타입으로 하이 도핑되고, 상기 베이스 영역 상에 형성되는 베이스 전극은 n-타입으로 하이 도핑될 수 있다.
- [0058] 도 4 내지 도 6에 도시된 pnp 타입의 쌍극성 접합 트랜지스터(10)는 도 1 내지 도 3에 도시된 npn 타입의 쌍극성 접합 트랜지스터(10)와 도핑 영역의 도핑 타입이 상이하며, 트랜지스터의 구조는 동일하다.
- [0059] 본 발명의 실시예에 따른 쌍극성 접합 트랜지스터는 이미터 영역을 중심으로 두 개의 베이스 영역이 서로 평행하게 마주보도록 형성되며, 두 개의 컬렉터 영역이 서로 평행하게 마주보도록 형성된다.
- [0060] 본 발명의 실시예에 따르면, 베이스 영역에서 발생할 수 있는 인 누적(phosphorus pile-up) 현상과, 컬렉터 영역에서 발생할 수 있는 붕소 침투(boron penetration) 현상을 감소시킴으로써, 전류가 보다 안정적으로 흐를 수 있도록 한다.
- [0061] 나아가, 본 발명의 실시예에 따르면, 소자의 크기를 줄일 수 있어 베이스 및 컬렉터의 기생 저항이 함께 줄어들어 소자의 정합 특성이 향상된다.
- [0062] 또한, 본 발명의 실시예에 따르면, 소자들 간의 거리가 가까워지게 되어, 소자 제조 시 기판에 걸쳐 불순물 도핑 농도 및 깊이를 보다 균일하게 할 수 있으며, 열점에 의한 테미지의 차이를 줄일 수 있다.
- [0063] 그리고, 쌍극성 접합 트랜지스터에서 전류가 흐르는 경로의 길이가 짧아지고 폭이 좁아지게 되며, 소자 내에서 저항 변화가 큰 부분의 비중을 줄일 수 있어 정합 특성 개선에 기여할 수 있다.

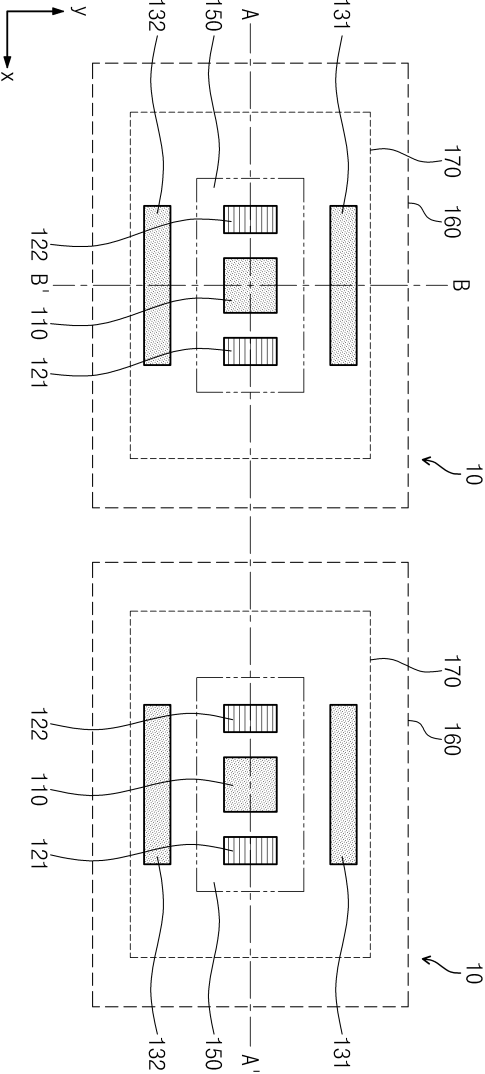
[0064] 이상에서 실시예를 통해 본 발명을 설명하였으나, 위 실시예는 단지 본 발명의 사상을 설명하기 위한 것으로 이에 한정되지 않는다. 통상의 기술자는 전술한 실시예에 다양한 변형이 가해질 수 있음을 이해할 것이다. 본 발명의 범위는 첨부된 특허청구범위의 해석을 통해서만 정해진다.

부호의 설명

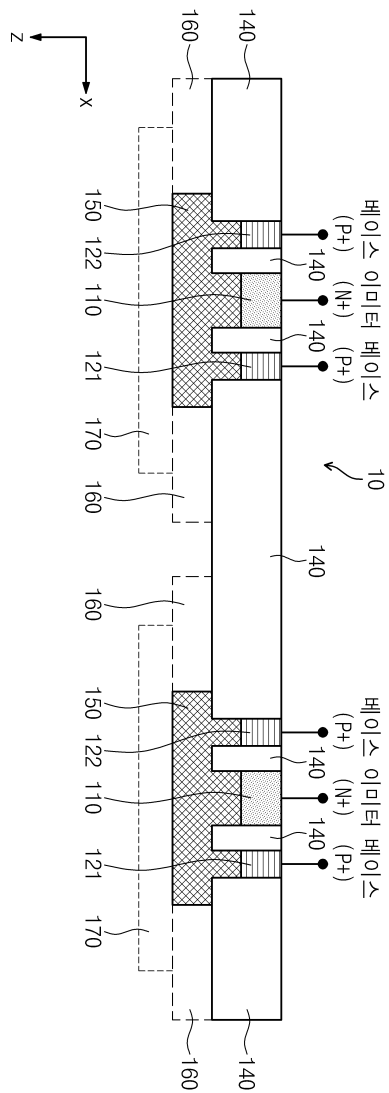
[0065] 10: 쌍극성 접합 트랜지스터
 110: 이미터 영역
 121: 제 1 베이스 영역
 122: 제 2 베이스 영역
 131: 제 1 컬렉터 영역
 132: 제 2 컬렉터 영역
 140: 절연성 물질
 150: p-타입 웰
 160: n-타입 웰
 170: n-타입 딥 웰

도면

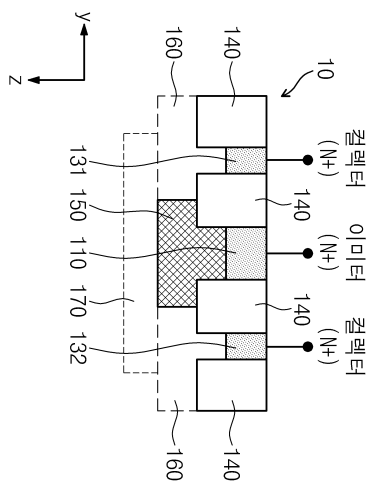
도면1



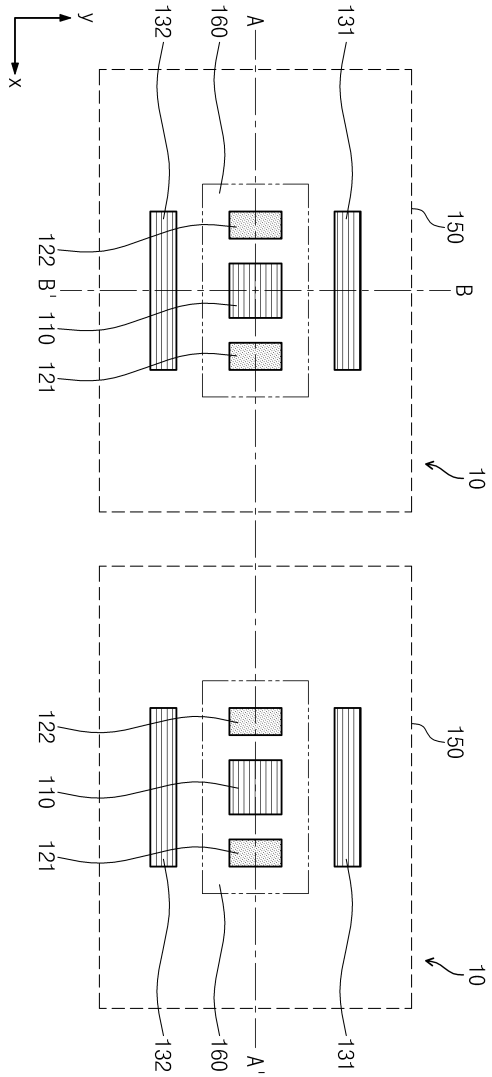
도면2



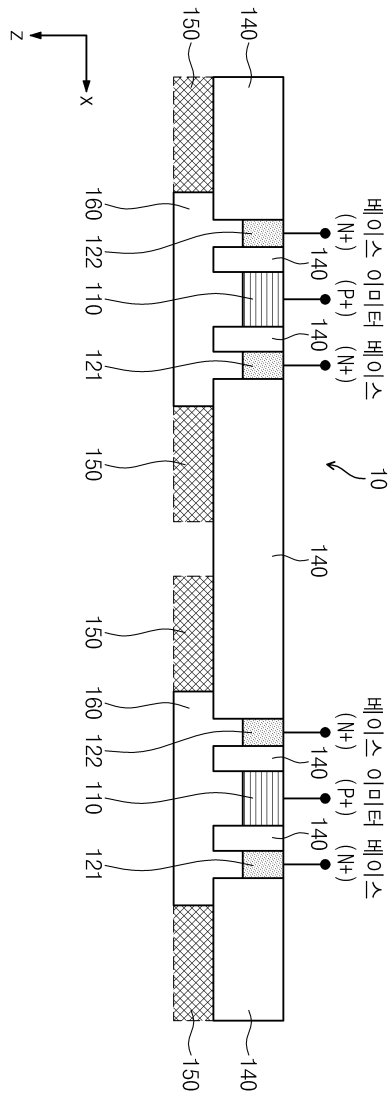
도면3



도면4



도면5



도면6

