

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年12月9日(09.12.2021)



(10) 国際公開番号

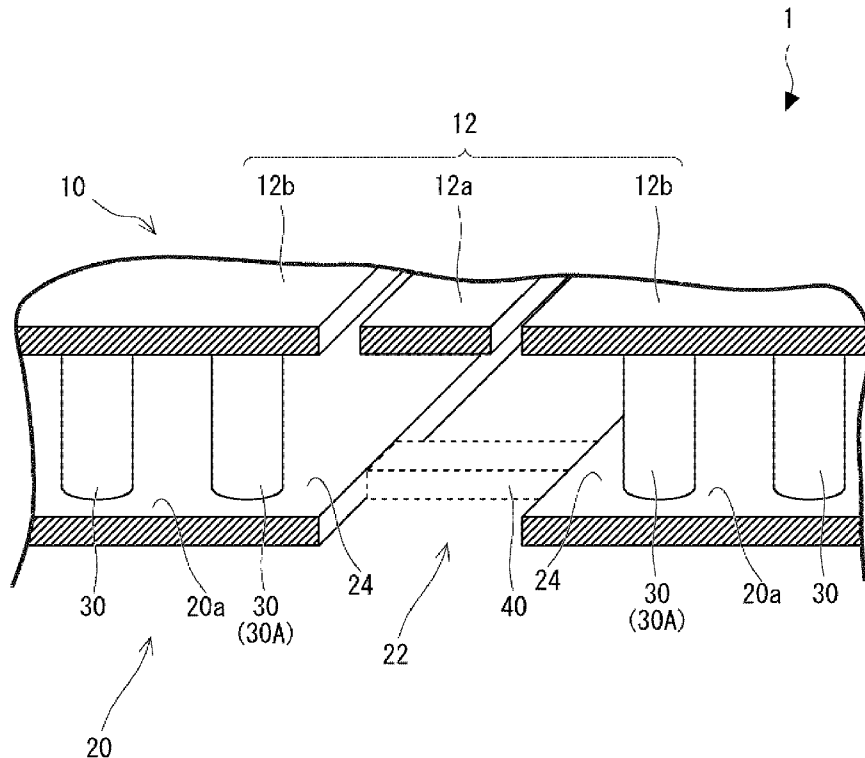
WO 2021/245949 A1

- (51) 国際特許分類:
H01L 39/02 (2006.01) H01L 39/22 (2006.01)
- (21) 国際出願番号: PCT/JP2020/022439
- (22) 国際出願日: 2020年6月5日(05.06.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 Tokyo (JP).
- (72) 発明者: 宮田明(MIYATA Akira); 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 菊池克(KIKUCHI Katsumi); 〒1088001 東京都港区芝五丁目7番1号 日本電

気株式会社内 Tokyo (JP). 渡辺秀(WATANABE Suguru); 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 西教徳(NISHI Takanori); 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 佐藤英行(SATOU Hideyuki); 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 山道智博(YAMAJI Tomohiro); 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 山本剛(YAMAMOTO Tsuyoshi); 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 橋本義仁(HASHIMOTO Yoshihito); 〒1088001 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

(54) Title: QUANTUM DEVICE AND QUANTUM COMPUTER

(54) 発明の名称: 量子デバイス及び量子計算機



(57) Abstract: Provided is a quantum device which can inhibit a reduction in performance of quantum bits, even when a quantum chip is flip-chip mounted on an interposer. A quantum chip (10) is flip-chip mounted on an interposer (20) by bumps (30). A coplanar line 12 coupling adjacent quantum bits is formed on the quantum chip (10). A gap (22) is provided in the interposer (20) at a location facing a center conductor (12a) of the coplanar line (12). A second ground electrode (24) is formed around the gap (22). The interposer (20) has a connection electrode (40) connecting the second ground



WO 2021/245949 A1

(74) 代理人: 家入 健 (IEIRI Takeshi); 〒2210835 神奈川県横浜市神奈川区鶴屋町三丁目3番8 アサヒビルディング5階 響国際特許事務所 Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

electrode (24) around the gap (22). A bump (30A) formed in the vicinity of the connection electrode (40) is connected to a first ground electrode (12b) and the second ground electrode (24).

(57) 要約: 量子チップをインターポーザにフリップチップ実装する場合でも量子ビットの性能の低下を抑制することが可能な量子デバイスを提供する。量子チップ (10) は、インターポーザ (20) に、バンプ (30) によってフリップチップ実装されている。量子チップ (10) には、隣り合う量子ビット間を結合するコプレーナ線路 12 が形成されている。インターポーザ (20) において、コプレーナ線路 (12) の中心導体 (12a) と対向する箇所には、隙間 (22) が設けられている。隙間 (22) の周囲には、第2のグラウンド電極 (24) が形成されている。インターポーザ (20) は、隙間 (22) の周囲の第2のグラウンド電極 (24) を接続する接続電極 (40) を有する。接続電極 (40) の近傍に形成されたバンプ (30A) は、第1のグラウンド電極 (12b) 及び第2のグラウンド電極 (24) と接続されている。

明 細 書

発明の名称：量子デバイス及び量子計算機

技術分野

[0001] 本発明は、量子デバイス及び量子計算機に関する。

背景技術

[0002] 特許文献1は、電子回路、電子回路と磁場印加部とを備える発振器、及び、発振器とカプラとを備えた計算装置（量子計算機）を開示する。また、特許文献2は、細長い薄膜と、超伝導量子干渉デバイス（SQUID）と、接地面とを備える量子ビットデバイスを開示する。SQUIDは、細長い薄膜の近位端と電気接触し、3つより少ないジョセフソン接合を有する。接地面は、細長い薄膜と同一平面内にあり、細長い薄膜の遠位端と電気接触している。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-047999号公報

特許文献2：特表2018-524795号公報

発明の概要

発明が解決しようとする課題

[0004] 接地面を同一の電圧に保つことによってコプレーナ線路からの望ましくない伝送動作であるスロットラインモードを抑制するために、デバイス上にエアブリッジを形成することが知られている。特許文献2では、導波管からの望ましくないスロットラインモード等を抑制するのを支援するために、デバイス上にクロスオーバーエアブリッジが製作される。一方で、多数のマイクロ波信号を送受する配線の複雑さを緩和し、かつ配置スペースを節約するため、量子ビット（共振器）を構成する量子チップを、インターポーザに、バンブを用いてフリップチップ実装することがある。ここで、特許文献2に記載されたエアブリッジを設けた量子チップをインターポーザにフリップチップ

実装（フリップチップ接続）する場合、フリップチップ実装に伴うプロセスに起因して、エアブリッジが変形又は破壊するおそれがある。したがって、エアブリッジを用いて接地面を同一の電圧に保つことが困難となるので、スロットラインモード等のエネルギー漏洩モードが十分に抑制されず、量子ビットの性能が低下するおそれがある。

[0005] 本開示の目的は、このような課題を解決するためになされたものであり、量子チップをインターポーザにフリップチップ実装する場合でも量子ビットの性能の低下を抑制することが可能な量子デバイス及び量子計算機を提供することにある。

課題を解決するための手段

[0006] 本開示にかかる量子デバイスは、量子ビットを構成する量子チップと、前記量子チップと対向し、少なくとも前記量子チップと対向する面には導電体が形成されているインターポーザと、を有し、前記量子チップは、前記インターポーザにバンプによってフリップチップ実装され、前記量子チップには、隣り合う量子ビット間を結合するためのコプレーナ線路が形成され、前記コプレーナ線路は、中心導体と、前記中心導体の周囲の第1のグランド電極とで構成され、前記インターポーザの前記量子チップと対向する面において、前記コプレーナ線路の前記中心導体と対向する箇所では、前記コプレーナ線路の経路に沿って部分的に前記導電体が形成されておらず、前記導電体が形成されていない隙間の周囲には、第2のグランド電極が形成されており、前記インターポーザは、前記隙間の周囲の前記第2のグランド電極を接続する接続電極を有し、前記接続電極の近傍に形成された前記バンプは、前記第1のグランド電極及び前記第2のグランド電極と接続されている。

また、本開示にかかる別の量子デバイスは、量子ビットを構成する量子チップと、前記量子チップと対向して設けられたインターポーザと、を有し、前記量子チップは、前記インターポーザにバンプによってフリップチップ実装され、前記量子チップには、隣り合う量子ビット間を結合するためのコプレーナ線路が形成され、前記コプレーナ線路は、中心導体と、前記中心導体

の周囲の第1のグランド電極とで構成され、前記インターポーザには、前記第1のグランド電極と対向する領域に第2のグランド電極が形成されており、前記インターポーザは、前記第2のグランド電極に接続する接続電極を有し、前記接続電極の近傍に形成された前記バンプは、前記第1のグランド電極及び前記第2のグランド電極と接続され、少なくとも前記接続電極の一部が、前記中心導体と空間を介して対向している。

[0007] また、本開示にかかる量子計算機は、複数の前記量子デバイスと、複数の前記量子デバイスで構成される複数の前記量子ビット間を結合し、前記中心導体で構成されるカプラを含む、少なくとも1つの結合回路と、を有する。

発明の効果

[0008] 本開示によれば、量子チップをインターポーザにフリップチップ実装する場合でも量子ビットの性能の低下を抑制することが可能な量子デバイス及び量子計算機を提供できる。

図面の簡単な説明

[0009] [図1]本実施の形態にかかる量子デバイスの概要を示す図である。
[図2]実施の形態1にかかる量子デバイスの構成を示す図である。
[図3]実施の形態1にかかる量子デバイスの構成を示す図である。
[図4]実施の形態1にかかる量子デバイスの構成を示す図である。
[図5]実施の形態1にかかる量子チップの構成を示す平面図である。
[図6]実施の形態1にかかるインターポーザの構成を示す平面図である。
[図7]実施の形態1にかかる発振器を示す回路図である。
[図8]実施の形態1にかかる発振器の等価回路を示す図である。
[図9]実施の形態1にかかる隙間の周囲の構造を示す側面図である。
[図10]実施の形態2にかかる量子デバイスの構成を示す図である。
[図11]実施の形態3にかかる量子デバイスの構成を示す図である。
[図12]実施の形態3にかかる隙間の周囲の構造を示す側面図である。
[図13]上述した実施の形態にかかる複数の量子デバイスで構成される量子計算機の構成を示す図である。

[図14]第1の変形例にかかる量子チップの構成を示す平面図である。

[図15]第1の変形例にかかるインターポーザの構成を示す平面図である。

[図16]第2の変形例にかかる量子チップの構成を示す平面図である。

[図17]第2の変形例にかかるインターポーザの構成を示す平面図である。

[図18]第3の変形例にかかる量子チップの構成を示す平面図である。

[図19]第3の変形例にかかるインターポーザの構成を示す平面図である。

発明を実施するための形態

[0010] (本開示にかかる実施の形態の概要)

本開示の実施形態の説明に先立って、本開示にかかる実施の形態の概要について説明する。図1は、本実施の形態にかかる量子デバイス1の概要を示す図である。

[0011] 量子デバイス1は、量子ビット（量子ビット回路、発振器）を構成する量子チップ10と、量子チップ10と対向するインターポーザ20とを有する。インターポーザ20の少なくとも量子チップ10に対向する面20aには、導電体が形成されている。導電体は、超伝導材料であってもよいし、常伝導材料であってもよい。また、導電体は、グランド電極、配線、又はパッド等を含み得る。また、量子チップ10は、インターポーザ20に、バンプ30によってフリップチップ実装されている。なお、例えば、量子デバイス1は、量子ビットの1ビットに相当するデバイスである。そして、複数の量子デバイス1または量子チップ10が配列することで、量子計算機が構成される。

[0012] また、量子チップ10には、隣り合う量子ビット間を結合するコプレーナ線路12が形成されている。ここで、コプレーナ線路12は、中心導体12aと、中心導体12aの周囲（両側）の第1のグランド電極12bとで構成されている。また、インターポーザ20において、コプレーナ線路12の中心導体12aと対向する箇所には、隙間22が設けられている。つまり、インターポーザ20の量子チップ10と対向する面において、コプレーナ線路12の中心導体12aと対向する箇所では、コプレーナ線路12の経路に沿

って部分的に導電体が形成されていない。この、導電体が形成されていない隙間22では、誘電体が露出しているもよい。そして、インターポーザ20の隙間22の周囲（両側）には、第2のグランド電極24が形成されている。つまり、導電体が形成されていない箇所の周囲には、第2のグランド電極24が形成されている。つまり、インターポーザ20の面20aに形成された導電体は、第1のグランド電極12bと対向する領域に、第2のグランド電極24を有する。

[0013] また、インターポーザ20は、隙間22の周囲の第2のグランド電極24を接続する接続電極40を有する。つまり、接続電極40の両端は、第2のグランド電極24と接続されている。例えば、隙間22の一部には、隙間22の周囲の第2のグランド電極24を部分的に接続する橋梁状の接続電極40（橋梁電極）が形成されている。例えば、誘電体が露出した領域である隙間22の一部に、接続電極40が設けられていてもよい。つまり、導電体が形成されていない箇所には、当該箇所の周囲の第2のグランド電極24を接続する接続電極40が形成されている。言い換えると、接続電極40の少なくとも一部は、中心導体12aと対向する領域の一部と重なる位置に設けられている。なお、図1では、接続電極40は直線状に形成されているが、接続電極40は、このような形状に限られない。そして、接続電極40の近傍に形成されたバンプ30Aは、第1のグランド電極12b及び第2のグランド電極24と接続されている。そして、少なくとも接続電極40の一部が、中心導体12aと空間を介して対向している。

[0014] これにより、量子チップ10におけるコプレーナ線路12を構成する2つのグランド電極（第1のグランド電極12b）の電位が同電位となり得る。したがって、量子チップ10のコプレーナ線路12においてスロットラインモード等のエネルギー漏洩モードが抑制される。したがって、量子ビット間の不要な干渉が軽減され、量子ビットのコヒーレンスが改善される。したがって、量子ビットの性能の低下を抑制することが可能となる。

[0015] 具体的には、フリップチップ実装の加工プロセスでは、量子チップ及びイ

インターポーザの、バンプが形成される面又はバンプが接合される面に対して、成膜及び洗浄を行うことがある。このため、予めエアブリッジを設けた量子チップをインターポーザに実装すると、エアブリッジに影響を与えないような成膜及び洗浄が必要となるため、技術的な難易度が高い。つまり、これらの成膜及び洗浄といったプロセスにより、量子チップに形成されたエアブリッジの電極構造が変形したり、破壊されたりするおそれがある。したがって、量子チップをインターポーザにフリップチップ実装しても、エアブリッジを用いて接地面を同一の電圧に保つことができなくなる。これにより、スロットラインモード等のエネルギー漏洩モードが十分に抑制されず、量子ビットの性能が低下するおそれがある。

[0016] これに対し、本開示にかかる量子デバイス1では、上記のような接続電極40によってエアブリッジと同様の機能を実現できるので、エアブリッジと同様の機能と、バンプが形成又は接合される面に対する成膜及び洗浄といったプロセスとの両立が可能となる。したがって、本開示にかかる量子デバイス1では、フリップチップ実装を行った場合でも、量子ビットの性能の低下を抑制することが可能となる。

[0017] (実施の形態1)

以下、実施形態について、図面を参照しながら説明する。説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

[0018] 図2～図4は、実施の形態1にかかる量子デバイス50の構成を示す図である。図2は、実施の形態1にかかる量子デバイス50の構造を示す斜視図である。図3は、実施の形態1にかかる量子デバイス50の積層構造を示す分解図である。図4は、実施の形態1にかかる量子デバイス50を横から見た模式図である。量子デバイス50は、量子チップ100と、インターポーザ200とを有する。量子デバイス50は、図1に示した量子デバイス1に対応する。また、量子チップ100は、図1に示した量子チップ10に対応

する。また、インターポーザ200は、図1に示したインターポーザ20に対応する。また、図2～図4に示す量子デバイス50は、例えば、1つの量子ビット（1ビット）に対応する。

[0019] また、図5は、実施の形態1にかかる量子チップ100（超伝導配線層104）の構成を示す平面図である。また、図6は、実施の形態1にかかるインターポーザ200（超伝導配線層202）の構成を示す平面図である。なお、図5及び図6は、図2の上から見た図である。したがって、図6の構成の上に、図5の構成が重なるようになっている。

[0020] なお、図2では、構造を理解しやすくするために量子チップ100とインターポーザ200とが離れて示されているが、実際には、図4に示すように、両者は接続されている。具体的には、量子チップ100とインターポーザ200とが、バンプ300を介してフリップチップ接続により接続している。これにより、量子チップ100は、インターポーザ200にフリップチップ実装されている。つまり、量子チップ100は、インターポーザ200とバンプ300を介して対向している。

[0021] 図2～図4に示すように、量子チップ100は、基板102と、超伝導配線層104とを有する。超伝導配線層104は、基板102のインターポーザ200と対向する側の面に設けられている。後述するように、超伝導配線層104には、共振器110及びカプラ122の回路が形成されている。また、超伝導配線層104には、共振器110及びカプラ122の回路の周囲に、グランド電極124（第1のグランド電極）が形成されている。

[0022] また、インターポーザ200は、超伝導配線層202と、基板204と、超伝導配線層206とを有する。超伝導配線層202は、基板204の量子チップ100と対向する側の面に設けられている。また、超伝導配線層206は、基板204の量子チップ100とは反対側の面に設けられている。インターポーザ200は、量子チップ100と外部回路（図示せず）とを接続するように構成されている。また、後述するように、超伝導配線層202には、磁場印加回路212及び読み出し部214の回路が形成されている。し

たがって、インターポーザ200は、量子インターポーザとして機能し得る。また、超伝導配線層202には、グランド電極224（第2のグランド電極）が形成されている。

[0023] また、超伝導配線層206には、基板204に設けられた貫通電極240を介し超伝導配線層202と接続される配線が形成されている。例えば、超伝導配線層206には、磁場印加回路212及び読み出し部214を外部回路と接続するための配線212a及び配線214aが形成される。また、超伝導配線層206には、配線212a及び配線214aの周囲にグランド電極250（第4のグランド電極）が設けられている。また、貫通電極240は、超伝導材料で形成されることによって構成されてもよい。貫通電極240は、基板204を貫通し、グランド電極224とグランド電極250とを接続する。

[0024] ここで、基板102及び基板204には、例えば、シリコン基板が用いられるが、基板の材料はこれに限られない。例えば、基板102及び基板204には、サファイヤ基板又はガラス基板などが用いられてもよい。また、本実施の形態では、超伝導配線層104、202、206、バンプ300及び貫通電極240は、超伝導体により実現される。超伝導体の材料としては、例えば、ニオブ、ニオブ窒化物、アルミニウム、インジウム、鉛、錫、レニウム、パラジウム、チタン、チタン窒化物、タンタル、または、これらのいずれかを含む合金が挙げられる。なお、必ずしも、超伝導配線層104、202、206、バンプ300及び貫通電極240の全てが、超伝導体により実現されていなくてもよく、超伝導配線層104を除く少なくとも一部に常伝導体を用いられてもよい。常伝導体の材料としては、例えば、銅、銀、金、白金、または、これらのいずれかを含む合金が挙げられる。なお、超伝導状態を実現するため、冷凍機により実現される例えば10mK（ミリケルビン）程度の温度環境において、量子デバイス50は利用される。

[0025] 図2、図3、図5に示すように、超伝導配線層104には、共振器110及びカップラ122の回路が形成されている。具体的には、超伝導配線層10

4は、所定の形状の導電部材112と、SQUID (superconducting quantum interference device) 116と、グランド電極124と、カプラ122とを含む。実施の形態1では、導電部材112は十字形状に形成されている。また、導電部材112及びカプラ122の周囲に、グランド電極124が形成されている。また、導電部材112とグランド電極124との間には空間Gが設けられている。導電部材112は、グランド電極124と、空間Gを介して容量結合している。つまり、空間Gは、後述するキャパシタ118を構成している。

[0026] また、導電部材112の1つの端部112dとグランド電極124aとの間には一对のジョセフソン接合114A, 114Bが設けられている。一对のジョセフソン接合114A, 114Bで形成されるループ回路によって、SQUID 116が構成されている。つまり、SQUID 116の一端は導電部材112と接続し、他端はグランド電極124aと接続している。また、導電部材112とSQUID 116とによって、共振器110が構成されている。

[0027] 導電部材112の4つの端部112a~112dの近傍には、それぞれ、カプラ122A~122Dが設けられている。カプラ122は、隣り合う量子ビット間を結合するように構成されている。言い換えると、カプラ122は、共振器110と同様の構成を備える他の共振器と結合するための回路である。カプラ122は、共振器110(導電部材112)と容量結合し得る。各カプラ122は、導電部材112の端部112a~112dのそれぞれを囲むように、端部112a~112dの近傍に形成されている。また、各カプラ122は、分岐部分122a及び屈曲部分122bといった不連続な形状を有している。このような形状により、カプラ122は、導電部材112の端部112a~112dのそれぞれを囲んでいる。

[0028] また、カプラ122と、カプラ122の周囲のグランド電極124とによって、コプレーナ線路120が形成されている。例えば、コプレーナ線路120は、グランド電極124に空隙を設け、その空隙の中央に中心導体とし

てカプラ122を形成することによって、構成されている。したがって、コプレーナ線路120は、図1に示したコプレーナ線路12に対応し、カプラ122は、図1に示した中心導体12aに対応し、グランド電極124は、図1に示した第1のグランド電極12bに対応する。なお、コプレーナ線路120自体が、カプラとして機能してもよい。つまり、コプレーナ線路120が、「カプラ」に対応してもよい。

[0029] 具体的には、図5に示すように、導電部材112の、ジョセフソン接合114（SQUID116）が設けられた端部112dから反時計回りに90度移動した位置の端部112aの近傍には、カプラ122Aが設けられている。そして、カプラ122Aと、その周囲のグランド電極124Aとによって、コプレーナ線路120Aが形成されている。同様に、端部112aから反時計回りに90度移動した位置の端部112bの近傍には、カプラ122Bが設けられている。そして、カプラ122Bと、その周囲のグランド電極124Bとによって、コプレーナ線路120Bが形成されている。また、端部112bから反時計回りに90度移動した位置の端部112cの近傍には、カプラ122Cが設けられている。そして、カプラ122Cと、その周囲のグランド電極124Cとによって、コプレーナ線路120Cが形成されている。また、端部112dの近傍には、カプラ122Dが設けられている。そして、カプラ122Dと、その周囲のグランド電極124Dとによって、コプレーナ線路120Dが形成されている。つまり、実施の形態1では、SQUID116の近傍に、カプラ122D（コプレーナ線路120D）が設けられている。

[0030] 図2，図3，図6に示すように、超伝導配線層202には、グランド電極224が形成されている。ここで、超伝導配線層202の、超伝導配線層104の共振器110及びカプラ122と対向する箇所には、空間Aが設けられている。つまり、超伝導配線層202の、超伝導配線層104の共振器110及びカプラ122と対向する領域には、グランド電極224は形成されていない。これは、共振器110及びカプラ122がグランド電極224に

近接すると、量子ビットの特性が劣化するためである。具体的には、共振器 110 及びカプラ 122 がグランド電極 224 に近接すると、共振器 110 の共振周波数や Q 値 (Quality factor)、カプラ 122 の結合度、及びコプレーナ線路 120 の特性インピーダンス等に影響があるからである。グランド電極 224 は、多数のバンプ 300 を介してグランド電極 124 と接続されている。つまり、複数のバンプ 300 が、グランド電極 124 とグランド電極 224 との間に配置されている。また、複数のバンプ 300 は、格子状又はランダムに配置されている。

[0031] また、空間 A には、磁場印加回路 212 及び読み出し部 214 が設けられている。磁場印加回路 212 は、SQUID 116 と対向する位置に設けられており、SQUID 116 と磁界結合している。磁場印加回路 212 は、SQUID 116 に磁場を印加する。磁場は、直流磁場または交流磁場である。共振器 110 と磁場印加回路 212 とによって、後述する発振器 60 が構成されている。したがって、量子デバイス 50 は、発振器 60 (量子ビット、量子ビット回路) を構成するといえる。

[0032] 磁場印加回路 212 は、所定の形状の電極や配線で形成されている。具体的には、図 2 及び図 6 に示すように、磁場印加回路 212 は、環状の一部が欠けた形状、すなわち C 字形の電極や配線で構成されている。つまり、磁場印加回路 212 は、略環状の電極や配線で構成されている。磁場印加回路 212 に電流が流れることにより、この略環状の電極や配線に沿った電流経路の内側を貫く磁場が発生する。また、磁場印加回路 212 は、SQUID 116 と磁界結合していればよく、その形状は略環状でなくてもよい。また、磁場印加回路 212 のグランド電極 212b (第 3 のグランド電極) は、バンプ 300E, 300F を介して、グランド電極 124a と接続している。また、グランド電極 212b は、グランド電極と接続していればよく、グランド電極 124a に限らず、グランド電極 224 と接続してもよいし、グランド電極 250 と接続されてもよい。

[0033] 読み出し部 214 は、導電部材 112 と対向する位置に設けられており、

導電部材 112 と容量結合している。読み出し部 214 は、共振器 110（発振器 60）の内部状態、すなわち発振状態を読み出すための電極である。読み出し部 214 は、共振器 110（発振器 60）の内部状態を取得する外部回路（制御部）と、超伝導配線層 206（配線 214a）を介して接続している。読み出し部 214 の形状は、例えば、導電部材 112 の形状に対応した形状である。本実施の形態では、読み出し部 214 の形状は、十字形状である。また、読み出し部 214 は導電部材 112 と容量結合していればよく、その形状は十字形状でなくてもよい。なお、磁場印加回路 212 及び読み出し部 214 を量子チップ 100 の下側に設けることによって、量子デバイス 50 のサイズを小さくすることができる。

[0034] 図 7 は、実施の形態 1 にかかる発振器 60 を示す回路図である。また、図 8 は、実施の形態 1 にかかる発振器 60 の等価回路を示す図である。発振器 60 は、共振器 110 と、磁場印加回路 212 とを有する。共振器 110 は、SQUID 116 と、キャパシタ 118 とを有する。SQUID 116 は、導電部材 112 を介してキャパシタ 118 によりシャントされている。

[0035] SQUID 116 は、2つのジョセフソン接合 114（114A, 114B）を超伝導線路により環状に接続した回路である。すなわち、SQUID 116 は、2つのジョセフソン接合 114（114A, 114B）を有する環状のループ回路である。ここで、ジョセフソン接合とは、2つの超伝導体により、薄い絶縁膜を挟んだ構造を有する素子をいう。より詳細には、図 8 に示すように、SQUID 116 は、ジョセフソン接合 114A とジョセフソン接合 114B とを接続する第 1 の超伝導線路 116a と、ジョセフソン接合 114A とジョセフソン接合 114B とを接続する第 2 の超伝導線路 116b とを備えている。言い換えると、共振器 110 は、第 1 の超伝導線路 116a と第 2 の超伝導線路 116b とがジョセフソン接合 114A とジョセフソン接合 114B とにより接合されているループ回路である SQUID 116 を備えている。図 8 に示すように、第 1 の超伝導線路 116a とジョセフソン接合 114A と第 2 の超伝導線路 116b とジョセフソン接合 11

4 Bとが環状に接続されることによりループ回路（すなわち、SQUID 116）が構成されている。言い換えると、SQUID 116において、第1の超伝導線路116aと第2の超伝導線路116bとがジョセフソン接合114Aとジョセフソン接合114Bとにより接合されることによりループを構成している。

[0036] 図2～図6を用いた説明に戻る。上述したように、超伝導配線層202の、カプラ122と対向する領域には、グランド電極224は形成されていない。したがって、図2，図3，図6に示すように、超伝導配線層202の、カプラ122と対向する位置には、隙間222が設けられている。具体的には、カプラ122Aと対向する位置には、隙間222Aが形成されている。同様に、カプラ122Bと対向する位置には、隙間222Bが形成されている。また、カプラ122Cと対向する位置には、隙間222Cが形成されている。また、カプラ122Dと対向する位置には、隙間222Dが形成されている。さらに、カプラ122Dと対向し、磁場印加回路212（グランド電極212b）とグランド電極224との間の箇所には、隙間222Eが設けられている。なお、図2では、超伝導配線層202の、カプラ122と対向する領域には、空間が形成されているが、このような構成に限られない。カプラ122と対向する領域（グランド電極224が形成されていない領域）では、誘電体（基板204）が露出しているもよい。この場合、隙間222は、誘電体が露出するように形成されている。

[0037] そして、実施の形態1では、各隙間222に、橋梁状の橋梁電極400が設けられている。つまり、インターポーザ200は、隙間222を跨ぐように形成された橋梁電極400を有する。橋梁電極400は、導体（超伝導体）で形成されている。橋梁電極400は、図1に示した接続電極40に対応する。つまり、接続電極40は、橋梁電極400（第1の橋梁電極，第2の橋梁電極）を含む。

[0038] 具体的には、隙間222Aには、橋梁電極400A（第1の橋梁電極）が設けられている。同様に、隙間222Bには、橋梁電極400B（第1の橋

梁電極) が設けられている。また、隙間 2 2 2 C には、橋梁電極 4 0 0 C (第 1 の橋梁電極) が設けられている。また、隙間 2 2 2 D には、橋梁電極 4 0 0 D (第 1 の橋梁電極) が設けられている。さらに、隙間 2 2 2 E には、橋梁電極 4 0 0 E 及び橋梁電極 4 0 0 F (第 2 の橋梁電極) が設けられている。

[0039] 図 9 は、実施の形態 1 にかかる隙間 2 2 2 の周囲の構造を示す側面図である。橋梁電極 4 0 0 は、隙間 2 2 2 の一部に形成されている。橋梁電極 4 0 0 は、隙間 2 2 2 の周囲 (両側) のグランド電極 2 2 4 を部分的に接続するように、橋梁状に形成されている。言い換えると、橋梁電極 4 0 0 により、隙間 2 2 2 の周囲のグランド電極 2 2 4 が部分的に接続される。さらに言い換えると、橋梁電極 4 0 0 は、隙間 2 2 2 を跨ぐように形成されている。これにより、隙間 2 2 2 の周囲のグランド電極 2 2 4 の電位 (グランド電位) の電位差を小さくすることができる。理想的には、橋梁電極 4 0 0 により、隙間 2 2 2 の周囲のグランド電極 2 2 4 の電位 (グランド電位) を等電位とすることができる。

[0040] なお、図 2 には、橋梁電極 4 0 0 が円弧状に示されているが、図 2 は、橋梁電極 4 0 0 を単に模式的に示しており、実際には、橋梁電極 4 0 0 は、円弧状に形成されている必要はない。むしろ、図 9 に示すように、橋梁電極 4 0 0 は、超伝導配線層 1 0 4 (カプラ 1 2 2) と接触しないように形成されている。つまり、橋梁電極 4 0 0 は、上述した量子ビットの特性の劣化を抑制するため、量子チップ 1 0 0 の超伝導配線層 1 0 4 からできるだけ離れて形成されることが望ましい。したがって、橋梁電極 4 0 0 (接続電極) の一部は、カプラ 1 2 2 (中心導体) と空間を介して対向している。また、図 6 に示すように、実施の形態 1 では、橋梁電極 4 0 0 は、直線状に形成されている。また、図 9 に示すように、橋梁電極 4 0 0 は、グランド電極 2 2 4 (超伝導配線層 2 0 2) と同じ平面上に設けられてもよい。また、橋梁電極 4 0 0 は、隙間 2 2 2 の両側のグランド電極 2 2 4 (超伝導配線層 2 0 2) と一体に形成されてもよい。橋梁電極 4 0 0 がこのように形成されることで、

橋梁電極 400 を容易に形成することができる。

[0041] そして、上述したように、グランド電極 224 は、バンプ 300 を介してグランド電極 124 と接続されていることから、グランド電極 224 には、多数のバンプ 300 が接続されている。したがって、橋梁電極 400 の近傍には、バンプ 300 が設けられ得る。具体的には、橋梁電極 400 A の近傍には、その両側にバンプ 300 A が設けられている。同様に、橋梁電極 400 B の近傍には、その両側にバンプ 300 B が設けられている。また、橋梁電極 400 C の近傍には、その両側にバンプ 300 C が設けられている。また、橋梁電極 400 D の近傍には、その両側にバンプ 300 D が設けられている。また、橋梁電極 400 E の近傍には、その一端にバンプ 300 D が設けられており、他端の磁場印加回路 212 に対応する箇所にバンプ 300 E が設けられている。また、橋梁電極 400 F の近傍には、その一端にバンプ 300 D が設けられており、他端の磁場印加回路 212 に対応する箇所にバンプ 300 F が設けられている。

[0042] そして、バンプ 300 は、グランド電極 224 と接続されているとともに、グランド電極 124 とも接続されている。したがって、図 9 に示すように、コプレーナ線路 120 において中心導体に対応するカプラ 122 の両側のグランド電極 124 が、バンプ 300、グランド電極 224、橋梁電極 400、グランド電極 224 及びバンプ 300 を介して、接続されることとなる。したがって、バンプ 300、グランド電極 224、橋梁電極 400、グランド電極 224 及びバンプ 300 によって、U 字形の伝送路が形成される。この U 字形の伝送路が、カプラ 122 の両側のグランド電極 124 を接続するエアブリッジとして機能する。

[0043] 具体的には、図 5 及び図 6 に示すように、バンプ 300 A、グランド電極 224、橋梁電極 400 A、グランド電極 224 及びバンプ 300 A によって、カプラ 122 A の周囲のグランド電極 124 A が接続される。同様に、バンプ 300 B、グランド電極 224、橋梁電極 400 B、グランド電極 224 及びバンプ 300 B によって、カプラ 122 B の周囲のグランド電極 1

24Bが接続される。また、バンプ300C、グランド電極224、橋梁電極400C、グランド電極224及びバンプ300Cによって、カプラ122Cの周囲のグランド電極124Cが接続される。バンプ300D、グランド電極224、橋梁電極400D、グランド電極224及びバンプ300Dによって、カプラ122Dの周囲のグランド電極124Dが接続される。

[0044] さらに、バンプ300E、磁場印加回路212のグランド電極212b、橋梁電極400E、グランド電極224及びバンプ300Dによって、カプラ122Dの周囲のグランド電極124aとグランド電極124Dとが接続される。また、バンプ300F、磁場印加回路212のグランド電極212b、橋梁電極400F、グランド電極224及びバンプ300Dによって、カプラ122Dの周囲のグランド電極124aとグランド電極124Dとが接続される。なお、図6には、6個の橋梁電極400が示されているが、橋梁電極400の数は6個に限られない。橋梁電極400は、コプレーナ線路120の中心導体であるカプラ122と対向し、周囲にバンプ300が設けられた任意の隙間222を跨ぐように、形成されてもよい。

[0045] このように、実施の形態1においては、バンプ300、グランド電極224、橋梁電極400、グランド電極224及びバンプ300が、カプラ122の両側のグランド電極124を接続するエアブリッジとして機能する。これにより、カプラ122の両側のグランド電極124の電位差を小さくすることができる。好ましくは、カプラ122の両側のグランド電極124の電位差を0にすることができる。これにより、望ましくないモードであるスロットラインモード又はCoupled Slotline Modeとったエネルギー漏洩モードの発生を抑制することができる。つまり、中心導体（カプラ122）とその周囲のグランド電極124とにおいて、幅方向（図9における横方向）の電磁界分布が非対称になることを抑制することができる。これにより、中心導体を跨いでグランド電極124間でエネルギーが漏洩することを、抑制することができる。したがって、量子ビットの性能の低下を抑制することができる。具体的には、量子ビット間の不要な干渉が軽減さ

れるので、量子ビットのコヒーレンスを向上させることができる。

[0046] ここで、特許文献2に記載されているように、スロットラインモード等のエネルギー漏洩モードの発生を抑制するために、導波路を跨ぐエアブリッジを形成することがある。しかしながら、上述したように、量子チップ100とインターポーザ200とをフリップチップ実装を行う場合には、エアブリッジを設けることは、技術上及びスペース上の観点から、好ましくない。これに対し、実施の形態1では、エアブリッジを設けることなく、エアブリッジと同様の機能を実現できるので、エネルギー漏洩モードの発生を抑制することができる。したがって、実施の形態1にかかる量子デバイス50では、フリップチップ実装を行った場合でも、量子ビットの性能の低下を抑制することが可能となる。

[0047] なお、上述したように、カップラ122がグランド電極224に近接すると量子ビットの特性が劣化することから、1つの隙間222に多くの橋梁電極400が形成されるのは好ましくない。一方、コプレーナ線路120においてスロットラインモード等のエネルギーの漏洩モードが発生を抑制するためには、橋梁電極400を多く設けることが好ましい。したがって、橋梁電極400の数は、例えば、設計条件によって、適宜、設定され得る。

[0048] なお、橋梁電極400は、共振器110（導電部材112及びSQUID116）と対向する位置には設けられないことが好ましい。これにより、量子ビット（共振器110）の性能の劣化を抑制することができる。例えば、橋梁電極400を共振器110（導電部材112及びSQUID116）と対向しない位置に設けることによって、コヒーレンスの劣化を抑制することができる。なお、コヒーレンスは、例えば、発振器60が量子ビットとして機能する時間であるコヒーレンス時間である。

[0049] また、上述したエネルギー漏洩モードの発生は、コプレーナ線路120の分岐又は屈曲等の、カップラ122の不連続な形状で発生する可能性が高い。したがって、橋梁電極400は、カップラ122の不連続な形状に対応する箇所設けられることが望ましい。例えば、図5及び図6に示すように、橋梁

電極 400A は、カプラ 122A の分岐部分 122a の近傍に形成されている。同様に、橋梁電極 400B は、カプラ 122B の分岐部分 122a の近傍に形成されている。橋梁電極 400C は、カプラ 122C の分岐部分 122a の近傍に形成されている。また、橋梁電極 400D は、カプラ 122D の分岐部分 122a の近傍に形成されている。また、橋梁電極 400E、400F は、カプラ 122D の分岐部分 122a 及び屈曲部分 122b の近傍に形成されている。

[0050] また、磁場印加回路 212 のグランド電極 212b とグランド電極 224 との間には、SQUID 116 の近傍のカプラ 122D (中心導体) に対向する位置に隙間 222E が設けられている。そして、この隙間 222E を跨ぐようにして、橋梁電極 400E 及び橋梁電極 400F が形成されている。そして、これらの橋梁電極 400E 及び橋梁電極 400F によって、グランド電極 212b とグランド電極 224 とが部分的に接続される。また、橋梁電極 400E、400F の一端は、グランド電極 124 及びグランド電極 212b に接続されたバンプ 300E、300F の近傍に位置し、他端は、グランド電極 124 及びグランド電極 224 に接続されたバンプ 300 の近傍に位置している。これにより、カプラ 122D の周囲のグランド電極については、3つの橋梁電極 400D、400E、400F によって接続されることとなる。さらに、3つの橋梁電極 400D、400E、400F は、カプラ 122D の分岐部分 122a の近傍に形成されている。したがって、より効果的に、エネルギー漏洩モードの発生を抑制することができる。なお、この構成は、後述する他の実施の形態でも適用可能である。

[0051] また、本実施の形態では、複数のバンプ 300 が、グランド電極 124 とグランド電極 224 との間に、格子状又はランダムに配置されている。これにより、バンプ 300 が橋梁電極 400 の近傍に配置される可能性が高くなる。さらに、バンプ 300 がこのように配置されていることにより、グランド電極 124 とグランド電極 224 とがより確実に接続される。

[0052] (実施の形態 2)

次に、実施の形態2について説明する。説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。実施の形態2では、図1に示した接続電極40に対応する構成要素が、実施の形態1と異なる。

[0053] 図10は、実施の形態2にかかる量子デバイス50の構成を示す図である。図10は、実施の形態2にかかる量子デバイス50を示す斜視図である。図10は、実施の形態1にかかる図2に対応する。

[0054] 実施の形態1と同様に、実施の形態2にかかる量子デバイス50は、量子チップ100と、インターポーザ200とを有する。なお、量子チップ100の構成は、実施の形態1にかかるものと実質的に同様であるので、説明を省略する。また、インターポーザ200の構成は、橋梁電極400を除き、実施の形態1にかかるものと実質的に同様であるので、説明を省略する。なお、隙間222（222A～222D）の位置については、図2を参照されたい。

[0055] 実施の形態2にかかるインターポーザ200は、インターポーザ200の超伝導配線層202を囲むように形成された、導体（超伝導体）の外枠構造420を有する。外枠構造420は、グランド電極224と一体に形成されている。外枠構造420は、隙間222Aに対応する外枠部分422A、隙間222Bに対応する外枠部分422B、隙間222Cに対応する外枠部分422C、及び、隙間222Dに対応する外枠部分422Dを有する。つまり、外枠構造420の各隙間222に対応する位置に、外枠部分422が設けられている。

[0056] 外枠部分422は、隙間222の周囲（両端）のグランド電極224を接続する。つまり、外枠部分422は、図1に示した接続電極40に対応する。言い換えると、接続電極40は、外枠部分422を含む。さらに言い換えると、外枠部分422は、図1に示した接続電極40として機能する。したがって、外枠部分422の近傍に形成されたバンプ300は、グランド電極

1 2 4 及びグラウンド電極 2 2 4 と接続されている。

[0057] 具体的には、外枠部分 4 2 2 A の近傍には、その両側にバンプ 3 0 0 A が設けられている。同様に、外枠部分 4 2 2 B の近傍には、その両側にバンプ 3 0 0 B が設けられている。また、外枠部分 4 2 2 C の近傍には、その両側にバンプ 3 0 0 C が設けられている。また、外枠部分 4 2 2 D の近傍には、その両側にバンプ 3 0 0 D が設けられている。

[0058] したがって、実施の形態 1 において図 9 を用いて説明したように、コプレーナ線路 1 2 0 において中心導体に対応するカプラ 1 2 2 の両側のグラウンド電極 1 2 4 が、バンプ 3 0 0、グラウンド電極 2 2 4、外枠部分 4 2 2、グラウンド電極 2 2 4 及びバンプ 3 0 0 を介して、接続されることとなる。これにより、バンプ 3 0 0、グラウンド電極 2 2 4、外枠部分 4 2 2、グラウンド電極 2 2 4 及びバンプ 3 0 0 によって、U 字形状の伝送路が形成される。この U 字形状の伝送路が、カプラ 1 2 2 の両側のグラウンド電極 1 2 4 を接続するエアブリッジとして機能する。

[0059] 具体的には、バンプ 3 0 0 A、グラウンド電極 2 2 4、外枠部分 4 2 2 A、グラウンド電極 2 2 4 及びバンプ 3 0 0 A によって、カプラ 1 2 2 A の周囲のグラウンド電極 1 2 4 A が接続される。同様に、バンプ 3 0 0 B、グラウンド電極 2 2 4、外枠部分 4 2 2 B、グラウンド電極 2 2 4 及びバンプ 3 0 0 B によって、カプラ 1 2 2 B の周囲のグラウンド電極 1 2 4 B が接続される。また、バンプ 3 0 0 C、グラウンド電極 2 2 4、外枠部分 4 2 2 C、グラウンド電極 2 2 4 及びバンプ 3 0 0 C によって、カプラ 1 2 2 C の周囲のグラウンド電極 1 2 4 C が接続される。バンプ 3 0 0 D、グラウンド電極 2 2 4、外枠部分 4 2 2 D、グラウンド電極 2 2 4 及びバンプ 3 0 0 D によって、カプラ 1 2 2 D の周囲のグラウンド電極 1 2 4 D が接続される。

[0060] このように、実施の形態 2 においては、バンプ 3 0 0、グラウンド電極 2 2 4、外枠部分 4 2 2、グラウンド電極 2 2 4 及びバンプ 3 0 0 が、カプラ 1 2 2 の両側のグラウンド電極 1 2 4 を接続するエアブリッジとして機能する。したがって、実施の形態 2 のように、インターポーザ 2 0 0 の超伝導配線層 2

02を囲むように形成されグラウンド電極224と一体の導体の外枠構造420を設けることによっても、実施の形態1と同様の効果を奏することができる。つまり、実施の形態2においても、カプラ122の両側のグラウンド電極124の電位差を小さくすることができる。好ましくは、カプラ122の両側のグラウンド電極124の電位差を0にすることができる。したがって、実施の形態2にかかる構成によっても、カプラ122においてエネルギー漏洩モードの発生を抑制することができる。

[0061] なお、インターポーザ200の外周部分については、量子ビットの実現に必要な配線が配置される可能性が低いので、配線の自由度が高い。したがって、インターポーザ200の外周部分にグラウンド電極を配置しても、全体の配置に影響を及ぼす可能性は極めて低い。したがって、外枠構造420を設けることによって、実施の形態1にかかる橋梁電極400と実質的に同様の機能を有する外枠部分422を、容易に形成することが可能となる。つまり、実施の形態1に係る構成と比較して、接続電極40を、容易に配置することが可能となる。

[0062] (実施の形態3)

次に、実施の形態3について説明する。説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。実施の形態3では、図1に示した接続電極40に対応する構成要素が、他の実施の形態と異なる。

[0063] 図11は、実施の形態3にかかる量子デバイス50の構成を示す図である。図11は、実施の形態3にかかる量子デバイス50を示す斜視図である。図11は、実施の形態1にかかる図2に対応する。

[0064] 実施の形態1と同様に、実施の形態3にかかる量子デバイス50は、量子チップ100と、インターポーザ200とを有する。なお、量子チップ100の構成は、実施の形態1にかかるものと実質的に同様であるので、説明を省略する。また、インターポーザ200の構成は、橋梁電極400を除き、

実施の形態1にかかるものと実質的に同様であるので、説明を省略する。なお、隙間222（222A～222D）の位置については、図2を参照されたい。

[0065] 図12は、実施の形態3にかかる隙間222の周囲の構造を示す側面図である。実施の形態3では、隙間222の近傍に、貫通電極240が設けられている。そして、貫通電極240とグランド電極250（第4のグランド電極）とによって、隙間222の周囲（両側）のグランド電極224が接続される。したがって、貫通電極240及びグランド電極250が、図1に示した接続電極40に対応する。言い換えると、貫通電極240とグランド電極250とによって、接続電極440が構成される。さらに言い換えると、貫通電極240及びグランド電極250が、接続電極440として機能する。さらに言い換えると、接続電極440は、貫通電極240及びグランド電極250によってなされる構成を含む。このような構成により、接続電極440の一部（グランド電極250の一部）は、カプラ122（中心導体）と空間を介して対向している。

[0066] 具体的には、隙間222Aの両側の近傍に、貫通電極240Aが形成されている。そして、貫通電極240Aとグランド電極250Aとで構成される接続電極440Aによって、隙間222Aの周囲のグランド電極224が接続される。同様に、隙間222Bの両側の近傍に、貫通電極240Bが形成されている。そして、貫通電極240Bとグランド電極250Bとで構成される接続電極440Bによって、隙間222Bの周囲のグランド電極224が接続される。また、隙間222Cの両側の近傍に、貫通電極240Cが形成されている。そして、貫通電極240Cとグランド電極250Cとで構成される接続電極440Cによって、隙間222Cの周囲のグランド電極224が接続される。また、隙間222Dの両側の近傍に、貫通電極240Dが形成されている。そして、貫通電極240Dとグランド電極250Dとで構成される接続電極440Dによって、隙間222Dの周囲のグランド電極224が接続される。

[0067] そして、上述したように、バンプ300は、グランド電極224と接続されているとともに、グランド電極124とも接続されている。したがって、図12に示すように、カプラ122の両側のグランド電極124が、バンプ300、グランド電極224、貫通電極240、グランド電極250、貫通電極240、グランド電極224及びバンプ300を介して、接続されることとなる。したがって、バンプ300、グランド電極224、貫通電極240、グランド電極250、貫通電極240、グランド電極224及びバンプ300によって、U字形状の伝送路が形成される。このU字形状の伝送路が、カプラ122の両側のグランド電極124を接続するエアブリッジとして機能する。

[0068] 具体的には、バンプ300A、グランド電極224、貫通電極240A、グランド電極250A、貫通電極240A、グランド電極224及びバンプ300Aによって、カプラ122Aの周囲のグランド電極124Aが接続される。同様に、バンプ300B、グランド電極224、貫通電極240B、グランド電極250B、貫通電極240B、グランド電極224及びバンプ300Bによって、カプラ122Bの周囲のグランド電極124Bが接続される。また、バンプ300C、グランド電極224、貫通電極240C、グランド電極250C、貫通電極240C、グランド電極224及びバンプ300Cによって、カプラ122Cの周囲のグランド電極124Cが接続される。また、バンプ300D、グランド電極224、貫通電極240D、グランド電極250D、貫通電極240D、グランド電極224及びバンプ300Dによって、カプラ122Dの周囲のグランド電極124Dが接続される。

[0069] このように、実施の形態3においては、バンプ300、グランド電極224、貫通電極240、グランド電極250、貫通電極240、グランド電極224及びバンプ300が、カプラ122の両側のグランド電極124を接続するエアブリッジとして機能する。したがって、実施の形態3においても、実施の形態1と同様の効果を奏することができる。つまり、実施の形態3

においても、カプラ122の両側のグランド電極124の電位差を小さくすることができる。好ましくは、カプラ122の両側のグランド電極124の電位差を0にすることができる。したがって、実施の形態3にかかる構成によっても、カプラ122においてエネルギー漏洩モードの発生を抑制することができる。

[0070] さらに、実施の形態3においては、隙間222を跨ぐような橋梁電極のような構造を形成することなしに、カプラ122の両側のグランド電極124の電位差を小さくすることができる。したがって、実施の形態3にかかる構成では、実施の形態1及び実施の形態2にかかる構成と比較して、構造を簡略化することが可能となる。

[0071] なお、貫通電極240が長すぎる、つまり基板204が厚すぎると、上記効果が小さくなり得る。したがって、貫通電極240の長さが短くなるために、基板204の厚さが十分に薄いことが望ましい。例えば、貫通電極240の長さは、量子ビットの動作を実現するために使用する信号（発振器60の動作を実現するために使用する信号（高周波信号；電磁波））の波長（動作波長）に対して十分短いことが望ましい。例えば、貫通電極240の長さは、動作波長の $1/20$ 以下であることが望ましい。この場合、貫通電極240を含む信号の経路における実効誘電率に依存する波長短縮を考慮すると、動作波長の $1/20$ 以下とすれば、瞬時値の位相差は約18度以下と十分小さくなるので、グランド電極124とグランド電極250との電位差を低減する効果が期待できる。したがって、貫通電極240の長さは、バンプ300と橋梁電極400とグランド電極224とによって構成される経路を、バンプ300と貫通電極240とグランド電極250とから構成される経路で置き換えても問題ない程度に、十分に短い距離であるといえる。

[0072] （量子計算機）

図13は、上述した実施の形態にかかる複数の量子デバイス50で構成される量子計算機70の構成を示す図である。なお、量子計算機70は、例えば、イジングモデルにマッピング可能な任意の問題の解を計算する量子アニ

ーリング型の計算機である。SQUID 116によって磁場が与えられると、量子デバイス50で構成される発振器60は、パラメトリック発振し、量子ビット（量子ビット回路）を実現する。

[0073] 量子計算機70は、複数の量子デバイス50と、少なくとも1つの結合回路80とを有する。結合回路80は、複数の量子デバイス50で構成される複数の発振器60（量子ビット、量子ビット回路）を結合する回路である。言い換えると、結合回路80は、複数の量子デバイス50を結合する回路である。量子計算機70は、複数の量子デバイス50で構成される複数の発振器60が結合回路80を介してネットワークを構成した、計算機である。言い換えると、量子計算機70は、複数の量子デバイス50が結合回路80を介してアレイ状に配置されることによって構成される。

[0074] 図13の例では、結合回路80は、4個の量子デバイス50（発振器60）を結合している。そして、結合回路80は、4個の発振器60と結合している。また、結合回路80は、上述したカプラ122を含む。また、上述したカプラ122は、共振器110（発振器60）と結合するための結合回路80の端子である。したがって、結合回路80は、複数の量子デバイス50で構成される複数の量子ビット間を結合し、カプラ122を含む。なお、図13の例では、結合回路80は、4個の量子デバイス50（発振器60）と接続しているが、1つの結合回路80が結合できる量子デバイス50（発振器60）の数は、設計条件によって、適宜、設定され得る。

[0075] 上述したように、本実施の形態にかかる量子デバイス50が上記のように構成されているので、カプラ122においてエネルギー漏洩モードの発生を抑制することができる。したがって、量子ビットの性能の低下を抑制できる。そして、本実施の形態にかかる量子計算機70は、このような量子デバイス50で構成されているので、量子ビット全体の性能を向上させることができる。

[0076] （変形例）

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しな

い範囲で適宜変更することが可能である。例えば、上述した実施の形態では、カプラ122は、導電部材112の4つの端部112a~112dの全ての近傍に設けられている。しかしながら、カプラ122は、導電部材112の4つの端部112a~112dの全ての近傍に設けられている必要はない。カプラ122は、量子計算機における量子デバイス50（発振器60）の配置に応じて、適宜、配置され得る。

[0077] また、上述した実施の形態にかかる共振器110は、導電部材112を十字形状とし、SQUID116が十字形状の端部に設けられているように構成されている。しかしながら、共振器110の構成は、このような構成に限られない。そして、SQUID116の位置及び導電部材112の形状に関わらず、本実施の形態にかかる接続電極40（橋梁電極400等）は、適用可能である。なお、以下に示す変形例では、実施の形態1に対する変形例を示しているが、他の実施の形態についても同様である。

[0078] 図14は、第1の変形例にかかる量子チップ100（超伝導配線層104）の構成を示す平面図である。また、図15は、第1の変形例にかかるインターポーザ200（超伝導配線層202）の構成を示す平面図である。第1の変形例では、SQUID116の位置が、上述した実施の形態と異なる。

[0079] 具体的には、図14に示すように、SQUID116の一端は、十字形状の導電部材112のくびれ部分に接続されており、他端は、グランド電極124と接続している。そして、導電部材112とSQUID116とによって、共振器110が構成されている。

[0080] また、上述した実施の形態と同様に、4つのカプラ122が、導電部材112の四方に配置されている。具体的には、導電部材112の4つの端部112a~112dのそれぞれの近傍には、カプラ122（122A~122D）が設けられている。また、上述した実施の形態と同様に、カプラ122と、カプラ122の周囲のグランド電極124とによって、コプレーナ線路120が形成されている。

[0081] また、SQUID116の位置が上述した実施の形態と異なるので、SQ

UID116に磁場を印加する磁場印加回路212の位置も、上述した実施の形態と異なる。つまり、図15に示すように、磁場印加回路212は、超伝導配線層202の、図14に示したSQUID116と対向する位置に配置されている。また、上述した実施の形態と同様に、十字形状の読み出し部214が、超伝導配線層202の、導電部材112と対向する位置に配置されている。

[0082] また、第1の変形例においても、超伝導配線層202の各コプレーナ線路120と対向する位置には、隙間222が形成されている。そして、各隙間222を跨ぐように、橋梁電極400が設けられている。そして、橋梁電極400の近傍にバンプ300が設けられ得る。したがって、カプラ122の両側のグランド電極124が、バンプ300、グランド電極224、橋梁電極400、グランド電極224及びバンプ300を介して、接続されることとなる。これにより、カプラ122の両側のグランド電極124の電位差を小さくすることができる。したがって、第1の変形例においても、上述した実施の形態と同様に、中心導体を跨いでグランド電極124間でエネルギーが漏洩することを、抑制することができる。

[0083] 図16は、第2の変形例にかかる量子チップ100（超伝導配線層104）の構成を示す平面図である。また、図17は、第2の変形例にかかるインターポーザ200（超伝導配線層202）の構成を示す平面図である。第2の変形例では、共振器110を構成する導電部材の形状が、上述した実施の形態と異なる。

[0084] 具体的には、図16に示すように、第2の変形例では、十字形状の導電部材112の代わりに、四角形（例えば正方形）の導電部材112Aが用いられている。また、SQUID116の一端は、導電部材112Aの1つの角部に接続されており、他端は、グランド電極124と接続している。そして、導電部材112AとSQUID116とによって、共振器110が構成されている。

[0085] また、4つのカプラ122が、導電部材112Aの四方に配置されている

。具体的には、導電部材 1 1 2 A の 4 つの辺のそれぞれの近傍には、カプラ 1 2 2 (1 2 2 A ~ 1 2 2 D) が設けられている。また、上述した実施の形態と同様に、カプラ 1 2 2 と、カプラ 1 2 2 の周囲のグランド電極 1 2 4 とによって、コプレーナ線路 1 2 0 が形成されている。

[0086] また、S Q U I D 1 1 6 の位置が上述した実施の形態と異なるので、S Q U I D 1 1 6 に磁場を印加する磁場印加回路 2 1 2 の位置も、上述した実施の形態と異なる。つまり、図 1 7 に示すように、磁場印加回路 2 1 2 は、超伝導配線層 2 0 2 の、図 1 6 に示した S Q U I D 1 1 6 と対向する位置に配置されている。また、四角形（例えば正方形）の読み出し部 2 1 4 A が、超伝導配線層 2 0 2 の、導電部材 1 1 2 A と対向する位置に配置されている。

[0087] また、第 2 の変形例においても、超伝導配線層 2 0 2 の各コプレーナ線路 1 2 0 と対向する位置には、隙間 2 2 2 が形成されている。そして、各隙間 2 2 2 を跨ぐように、橋梁電極 4 0 0 が設けられている。そして、橋梁電極 4 0 0 の近傍にバンプ 3 0 0 が設けられ得る。したがって、カプラ 1 2 2 の両側のグランド電極 1 2 4 が、バンプ 3 0 0、グランド電極 2 2 4、橋梁電極 4 0 0、グランド電極 2 2 4 及びバンプ 3 0 0 を介して、接続されることとなる。これにより、カプラ 1 2 2 の両側のグランド電極 1 2 4 の電位差を小さくすることができる。したがって、第 2 の変形例においても、上述した実施の形態と同様に、中心導体を跨いでグランド電極 1 2 4 間でエネルギーが漏洩することを、抑制することができる。

[0088] 図 1 8 は、第 3 の変形例にかかる量子チップ 1 0 0 (超伝導配線層 1 0 4) の構成を示す平面図である。また、図 1 9 は、第 3 の変形例にかかるインターポーザ 2 0 0 (超伝導配線層 2 0 2) の構成を示す平面図である。第 3 の変形例では、共振器 1 1 0 を構成する導電部材の形状が、上述した実施の形態と異なる。

[0089] 具体的には、図 1 8 に示すように、第 3 の変形例では、十字形状の導電部材 1 1 2 の代わりに、円形の導電部材 1 1 2 B が用いられている。また、S Q U I D 1 1 6 の一端は、導電部材 1 1 2 B に接続されており、他端は、グ

ランド電極124と接続している。そして、導電部材112BとSQUID116とによって、共振器110が構成されている。

[0090] また、4つのカプラ122が、導電部材112Bの四方に配置されている。具体的には、導電部材112Bの四方のそれぞれの近傍には、カプラ122(122A~122D)が設けられている。また、上述した実施の形態と同様に、カプラ122と、カプラ122の周囲のランド電極124とによって、コプレーナ線路120が形成されている。

[0091] また、SQUID116の位置が上述した実施の形態と異なるので、SQUID116に磁場を印加する磁場印加回路212の位置も、上述した実施の形態と異なる。つまり、図19に示すように、磁場印加回路212は、超伝導配線層202の、図18に示したSQUID116と対向する位置に配置されている。また、円形の読み出し部214Bが、超伝導配線層202の、導電部材112Bと対向する位置に配置されている。

[0092] また、第3の変形例においても、超伝導配線層202の各コプレーナ線路120と対向する位置には、隙間222が形成されている。そして、各隙間222を跨ぐように、橋梁電極400が設けられている。そして、橋梁電極400の近傍にバンプ300が設けられ得る。したがって、カプラ122の両側のランド電極124が、バンプ300、ランド電極224、橋梁電極400、ランド電極224及びバンプ300を介して、接続されることとなる。これにより、カプラ122の両側のランド電極124の電位差を小さくすることができる。したがって、第3の変形例においても、上述した実施の形態と同様に、中心導体を跨いでランド電極124間でエネルギーが漏洩することを、抑制することができる。

[0093] 以上、実施の形態を参照して本願発明を説明したが、本願発明は上記によって限定されるものではない。本願発明の構成や詳細には、発明のScope内で当業者が理解し得る様々な変更をすることができる。

[0094] 上記の実施形態の一部又は全部は、以下の付記のようにも記載されうるが、以下には限られない。

(付記1)

量子ビットを構成する量子チップと、
前記量子チップと対向し、少なくとも前記量子チップと対向する面には導電体が形成されているインターポーザと、
を有し、

前記量子チップは、前記インターポーザにバンプによってフリップチップ実装され、

前記量子チップには、隣り合う量子ビット間を結合するためのコプレーナ線路が形成され、前記コプレーナ線路は、中心導体と、前記中心導体の周囲の第1のグランド電極とで構成され、

前記インターポーザの前記量子チップと対向する面において、前記コプレーナ線路の前記中心導体と対向する箇所では、前記コプレーナ線路の経路に沿って部分的に前記導電体が形成されておらず、前記導電体が形成されていない隙間の周囲には、第2のグランド電極が形成されており、

前記インターポーザは、前記隙間の周囲の前記第2のグランド電極を接続する接続電極を有し、

前記接続電極の近傍に形成された前記バンプは、前記第1のグランド電極及び前記第2のグランド電極と接続されている、

量子デバイス。

(付記2)

前記量子チップには、共振器が設けられており、

前記接続電極は、前記インターポーザの前記共振器と対向しない位置に形成されている、

付記1に記載の量子デバイス。

(付記3)

前記共振器は、所定の形状の導電部材を有し、

前記中心導体は、前記導電部材の近傍に設けられている、

付記2に記載の量子デバイス。

(付記4)

前記接続電極は、前記隙間の一部を跨ぐように形成された橋梁状の第1の橋梁電極を含み、

前記第1の橋梁電極の近傍に形成された前記バンプは、前記第1のグランド電極及び前記第2のグランド電極と接続されている、

付記1から3のいずれか1項に記載の量子デバイス。

(付記5)

前記中心導体は、不連続な形状を有し、

前記第1の橋梁電極は、前記隙間において前記不連続な形状に対応する箇所

所に設けられている、

付記4に記載の量子デバイス。

(付記6)

前記第1の橋梁電極は、前記隙間の周囲の前記第2のグランド電極と同じ平面上に形成されている、

付記4又は5に記載の量子デバイス。

(付記7)

前記量子チップには、共振器が設けられており、

前記共振器は、SQUID (superconducting quantum interference device) を有し、

前記SQUIDの近傍には、前記中心導体が設けられており、

前記インターポーザには、前記SQUIDに磁場を印加する磁場印加回路が設けられており、

前記磁場印加回路の第3のグランド電極と前記第2のグランド電極との間には、前記SQUIDの近傍の前記中心導体に対向する位置に隙間が設けられており、

前記インターポーザは、当該隙間の一部を跨ぐように形成された橋梁状の第2の橋梁電極を有し、

前記第2の橋梁電極によって、前記第3のグランド電極と前記第2のグラ

ンド電極とが部分的に接続されている、

付記 1 から 6 のいずれか 1 項に記載の量子デバイス。

(付記 8)

前記第 2 の橋梁電極の一端は、前記第 1 のグランド電極及び前記第 3 のグランド電極に接続された前記バンプの近傍に位置し、前記第 2 の橋梁電極の他端は、前記第 1 のグランド電極及び前記第 2 のグランド電極に接続された前記バンプの近傍に位置している、

付記 7 に記載の量子デバイス。

(付記 9)

前記インターポーザは、前記インターポーザの前記量子チップと対向する超伝導配線層を囲むように形成され、前記第 2 のグランド電極と一体に形成された導体の外枠構造を有し、

前記外枠構造の、前記隙間に対応する位置に設けられた外枠部分が、前記接続電極として機能する、

付記 1 に記載の量子デバイス。

(付記 10)

前記インターポーザの、前記量子ビットと対向する面と反対側の面には、第 4 のグランド電極が形成されており、

前記第 2 のグランド電極と前記第 4 のグランド電極との間には、前記第 2 のグランド電極と前記第 4 のグランド電極とを接続し前記インターポーザの基板を貫通するように形成された貫通電極が設けられており、

前記隙間の近傍の前記貫通電極と、前記第 4 のグランド電極とによって、前記接続電極が構成される、

付記 1 に記載の量子デバイス。

(付記 11)

前記貫通電極の長さは、前記量子ビットを実現するために動作する信号の波長に関して予め定められた値以下である、

付記 10 に記載の量子デバイス。

(付記 1 2)

前記貫通電極の長さは、前記波長の $1/20$ 以下である、
付記 1 1 に記載の量子デバイス。

(付記 1 3)

複数の前記バンプが、前記第 1 のグランド電極と前記第 2 のグランド電極との間に、格子状又はランダムに配置されている、
付記 1 から 1 2 のいずれか 1 項に記載の量子デバイス。

(付記 1 4)

付記 1 から 1 3 のいずれか 1 項に記載の複数の前記量子デバイスと、
複数の前記量子デバイスで構成される複数の前記量子ビット間を結合し、
前記中心導体で構成されるカプラを含む、少なくとも 1 つの結合回路と、
を有する量子計算機。

(付記 1 5)

量子ビットを構成する量子チップと、
前記量子チップと対向して設けられたインターポーザと、
を有し、
前記量子チップは、前記インターポーザにバンプによってフリップチップ
実装され、

前記量子チップには、隣り合う量子ビット間を結合するためのコプレーナ
線路が形成され、前記コプレーナ線路は、中心導体と、前記中心導体の周囲
の第 1 のグランド電極とで構成され、

前記インターポーザには、前記第 1 のグランド電極と対向する領域に第 2
のグランド電極が形成されており、

前記インターポーザは、前記第 2 のグランド電極に接続する接続電極を有
し、

前記接続電極の近傍に形成された前記バンプは、前記第 1 のグランド電極
及び前記第 2 のグランド電極と接続され、

少なくとも前記接続電極の一部が、前記中心導体と空間を介して対向して

いる、

量子デバイス。

符号の説明

- [0095] 1 量子デバイス
 - 1 0 量子チップ
 - 1 2 コプレーナ線路
 - 1 2 a 中心導体
 - 1 2 b 第1のグランド電極
 - 2 0 インターポーザ
 - 2 2 隙間
 - 2 4 第2のグランド電極
 - 3 0 バンプ
 - 4 0 接続電極
 - 5 0 量子デバイス
 - 6 0 発振器
 - 7 0 量子計算機
 - 8 0 結合回路
 - 1 0 0 量子チップ
 - 1 0 2 基板
 - 1 0 4 超伝導配線層
 - 1 1 0 共振器
 - 1 1 2 導電部材
 - 1 1 4 ジョセフソン接合
 - 1 1 8 キャパシタ
 - 1 2 0 コプレーナ線路
 - 1 2 2 カプラ
 - 1 2 2 a 分岐部分
 - 1 2 2 b 屈曲部分

- 1 2 4 グランド電極
- 2 0 0 インターポーザ
- 2 0 2 超伝導配線層
- 2 0 4 基板
- 2 0 6 超伝導配線層
- 2 1 2 磁場印加回路
- 2 1 4 読み出し部
- 2 2 2 隙間
- 2 2 4 グランド電極
- 2 4 0 貫通電極
- 2 5 0 グランド電極
- 3 0 0 バンプ
- 4 0 0 橋梁電極
- 4 2 0 外枠構造
- 4 2 2 外枠部分
- 4 4 0 接続電極

請求の範囲

[請求項1]

量子ビットを構成する量子チップと、
前記量子チップと対向し、少なくとも前記量子チップと対向する面には導電体が形成されているインターポーザと、
を有し、
前記量子チップは、前記インターポーザにバンプによってフリップチップ実装され、
前記量子チップには、隣り合う量子ビット間を結合するためのコプレーナ線路が形成され、前記コプレーナ線路は、中心導体と、前記中心導体の周囲の第1のグランド電極とで構成され、
前記インターポーザの前記量子チップと対向する面において、前記コプレーナ線路の前記中心導体と対向する箇所では、前記コプレーナ線路の経路に沿って部分的に前記導電体が形成されておらず、前記導電体が形成されていない隙間の周囲には、第2のグランド電極が形成されており、
前記インターポーザは、前記隙間の周囲の前記第2のグランド電極を接続する接続電極を有し、
前記接続電極の近傍に形成された前記バンプは、前記第1のグランド電極及び前記第2のグランド電極と接続されている、
量子デバイス。

[請求項2]

前記量子チップには、共振器が設けられており、
前記接続電極は、前記インターポーザの前記共振器と対向しない位置に形成されている、
請求項1に記載の量子デバイス。

[請求項3]

前記共振器は、所定の形状の導電部材を有し、
前記中心導体は、前記導電部材の近傍に設けられている、
請求項2に記載の量子デバイス。

[請求項4]

前記接続電極は、前記隙間の一部を跨ぐように形成された橋梁状の

第1の橋梁電極を含み、

前記第1の橋梁電極の近傍に形成された前記バンプは、前記第1の
グランド電極及び前記第2のグランド電極と接続されている、

請求項1から3のいずれか1項に記載の量子デバイス。

[請求項5]

前記中心導体は、不連続な形状を有し、

前記第1の橋梁電極は、前記隙間において前記不連続な形状に対応
する箇所に設けられている、

請求項4に記載の量子デバイス。

[請求項6]

前記第1の橋梁電極は、前記隙間の周囲の前記第2のグランド電極
と同じ平面上に形成されている、

請求項4又は5に記載の量子デバイス。

[請求項7]

前記量子チップには、共振器が設けられており、

前記共振器は、SQUID (superconducting quantum interfe-
rence device) を有し、

前記SQUIDの近傍には、前記中心導体が設けられており、

前記インターポーザには、前記SQUIDに磁場を印加する磁場印
加回路が設けられており、

前記磁場印加回路の第3のグランド電極と前記第2のグランド電極
との間には、前記SQUIDの近傍の前記中心導体に対向する位置に
隙間が設けられており、

前記インターポーザは、当該隙間の一部を跨ぐように形成された橋
梁状の第2の橋梁電極を有し、

前記第2の橋梁電極によって、前記第3のグランド電極と前記第2
のグランド電極とが部分的に接続されている、

請求項1から6のいずれか1項に記載の量子デバイス。

[請求項8]

前記第2の橋梁電極の一端は、前記第1のグランド電極及び前記第
3のグランド電極に接続された前記バンプの近傍に位置し、前記第2
の橋梁電極の他端は、前記第1のグランド電極及び前記第2のグラン

ド電極に接続された前記バンプの近傍に位置している、

請求項 7 に記載の量子デバイス。

[請求項9]

前記インターポーザは、前記インターポーザの前記量子チップと対向する超伝導配線層を囲むように形成され、前記第 2 のグランド電極と一体に形成された導体の外枠構造を有し、

前記外枠構造の、前記隙間に対応する位置に設けられた外枠部分が、前記接続電極として機能する、

請求項 1 に記載の量子デバイス。

[請求項10]

前記インターポーザの、前記量子ビットと対向する面と反対側の面には、第 4 のグランド電極が形成されており、

前記第 2 のグランド電極と前記第 4 のグランド電極との間には、前記第 2 のグランド電極と前記第 4 のグランド電極とを接続し前記インターポーザの基板を貫通するように形成された貫通電極が設けられており、

前記隙間の近傍の前記貫通電極と、前記第 4 のグランド電極とによって、前記接続電極が構成される、

請求項 1 に記載の量子デバイス。

[請求項11]

前記貫通電極の長さは、前記量子ビットを実現するために動作する信号の波長に関して予め定められた値以下である、

請求項 10 に記載の量子デバイス。

[請求項12]

前記貫通電極の長さは、前記波長の $1/20$ 以下である、

請求項 11 に記載の量子デバイス。

[請求項13]

複数の前記バンプが、前記第 1 のグランド電極と前記第 2 のグランド電極との間に、格子状又はランダムに配置されている、

請求項 1 から 12 のいずれか 1 項に記載の量子デバイス。

[請求項14]

請求項 1 から 13 のいずれか 1 項に記載の複数の前記量子デバイスと、

複数の前記量子デバイスで構成される複数の前記量子ビット間を結

合し、前記中心導体で構成されるカプラを含む、少なくとも1つの結合回路と、

を有する量子計算機。

[請求項15]

量子ビットを構成する量子チップと、

前記量子チップと対向して設けられたインターポーザと、

を有し、

前記量子チップは、前記インターポーザにバンプによってフリップチップ実装され、

前記量子チップには、隣り合う量子ビット間を結合するためのコプレーナ線路が形成され、前記コプレーナ線路は、中心導体と、前記中心導体の周囲の第1のグランド電極とで構成され、

前記インターポーザには、前記第1のグランド電極と対向する領域に第2のグランド電極が形成されており、

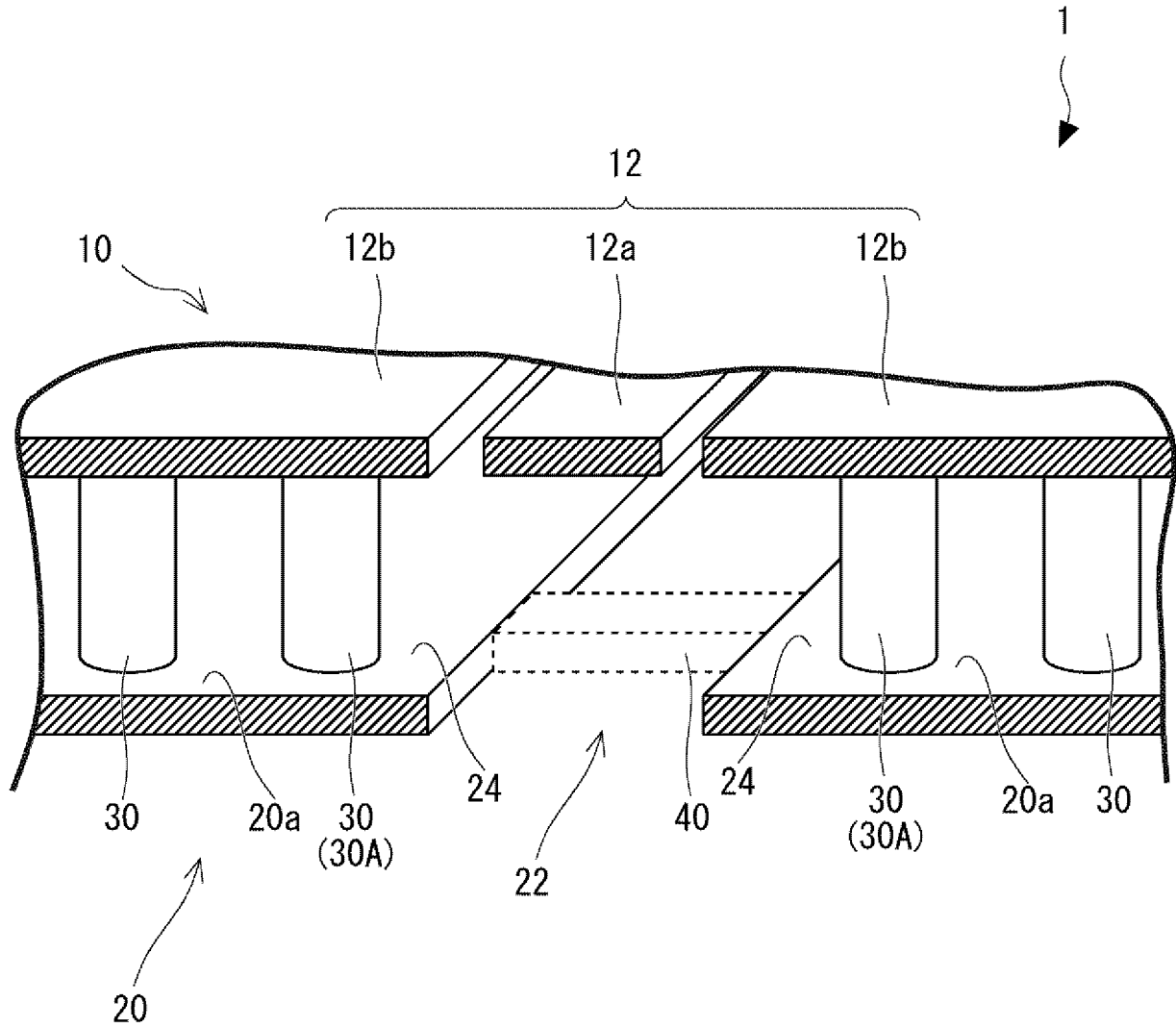
前記インターポーザは、前記第2のグランド電極に接続する接続電極を有し、

前記接続電極の近傍に形成された前記バンプは、前記第1のグランド電極及び前記第2のグランド電極と接続され、

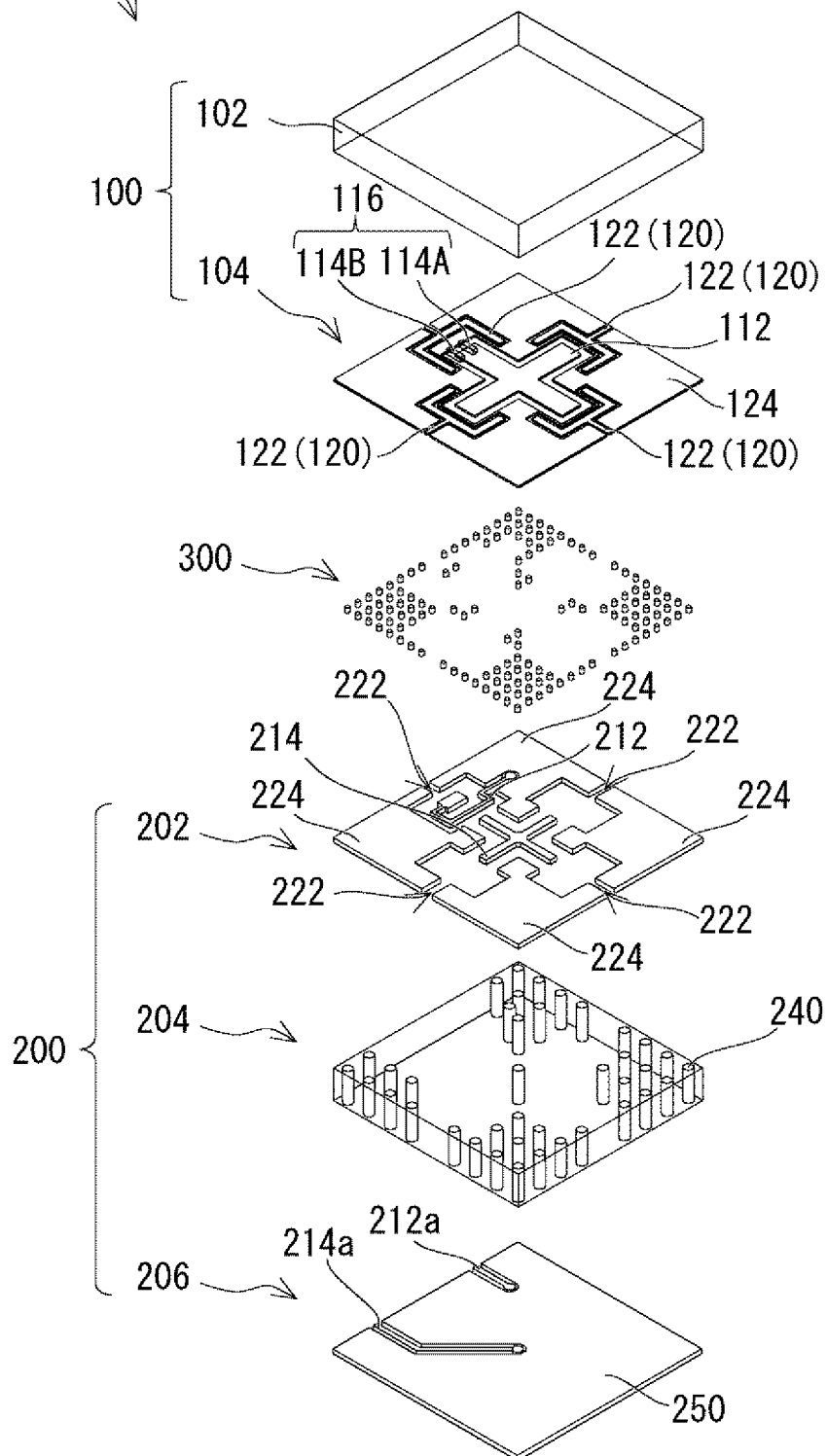
少なくとも前記接続電極の一部が、前記中心導体と空間を介して対向している、

量子デバイス。

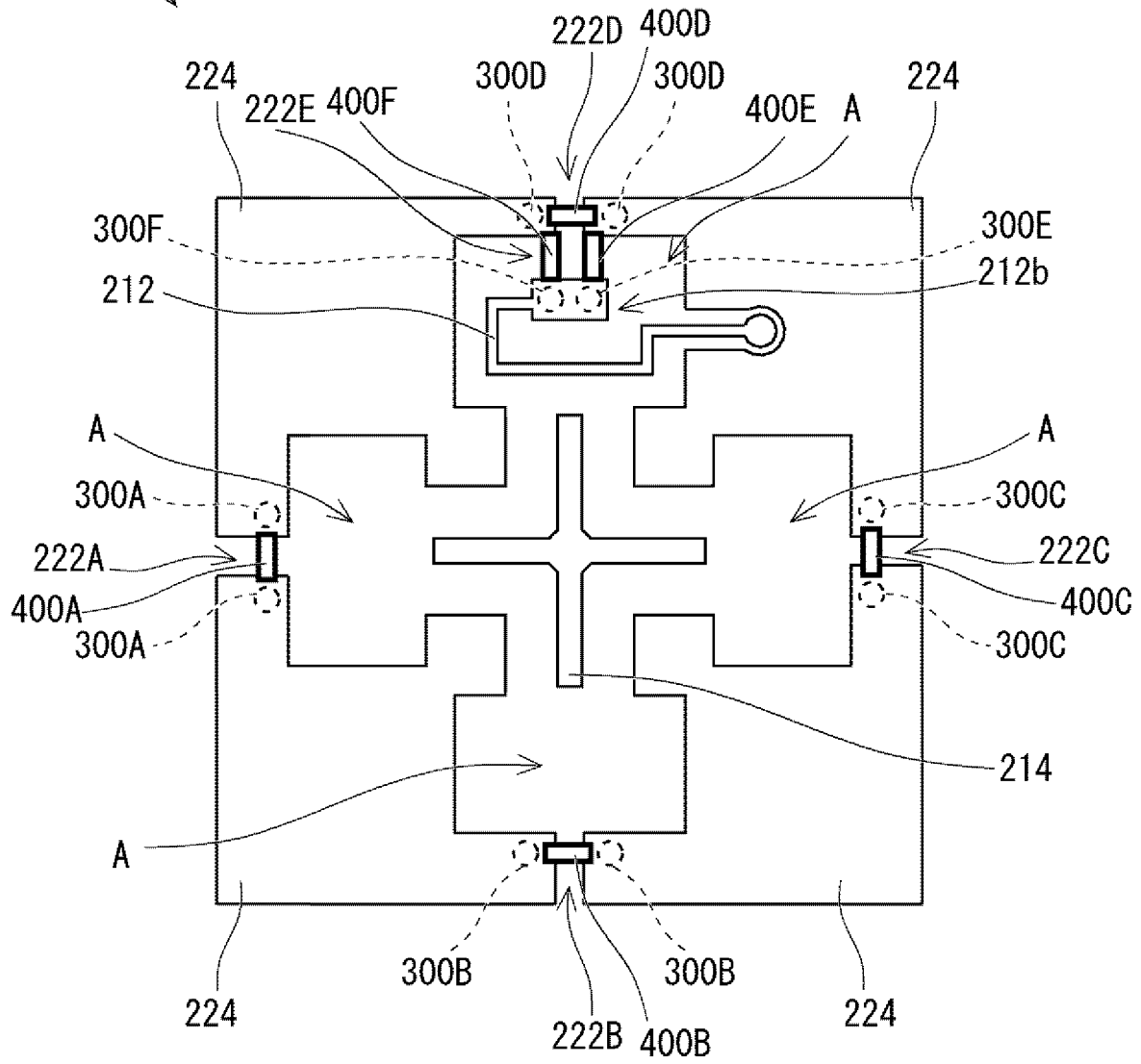
[図1]



[図3]
50

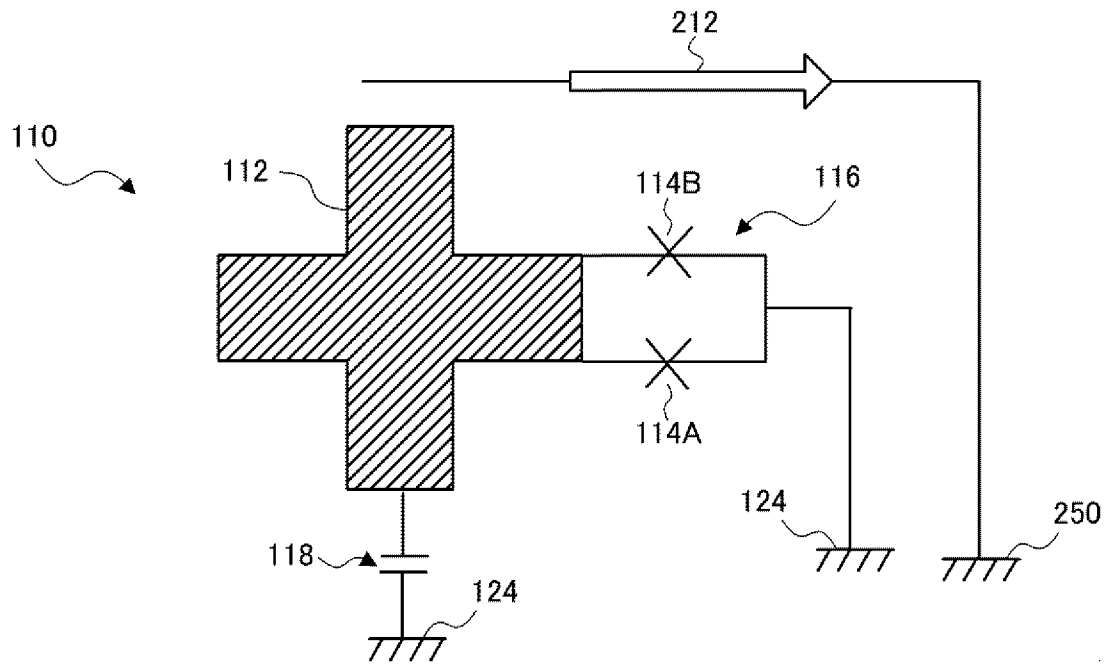


[図6]
200 (202)



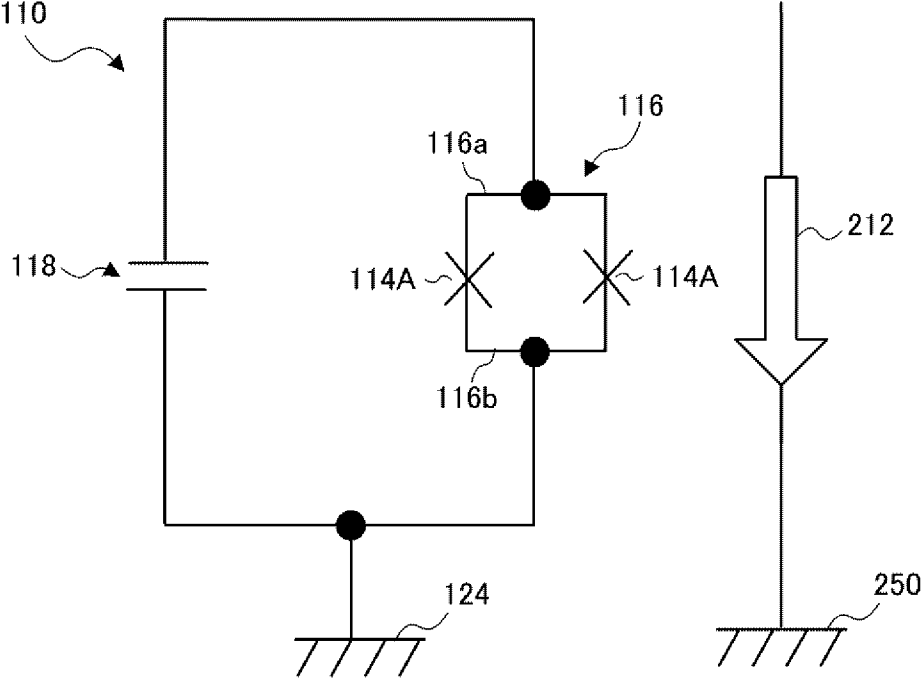
[図7]

60

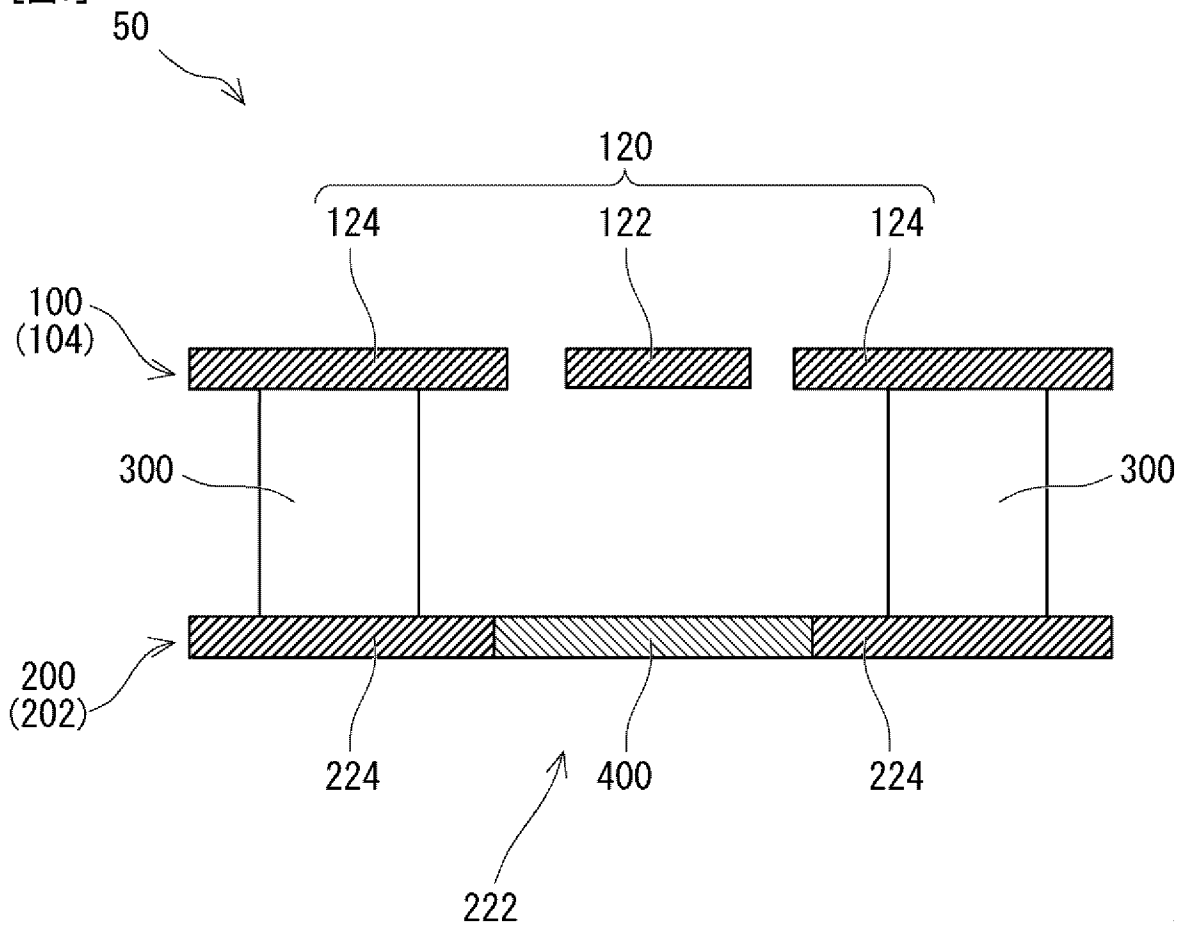


[図8]

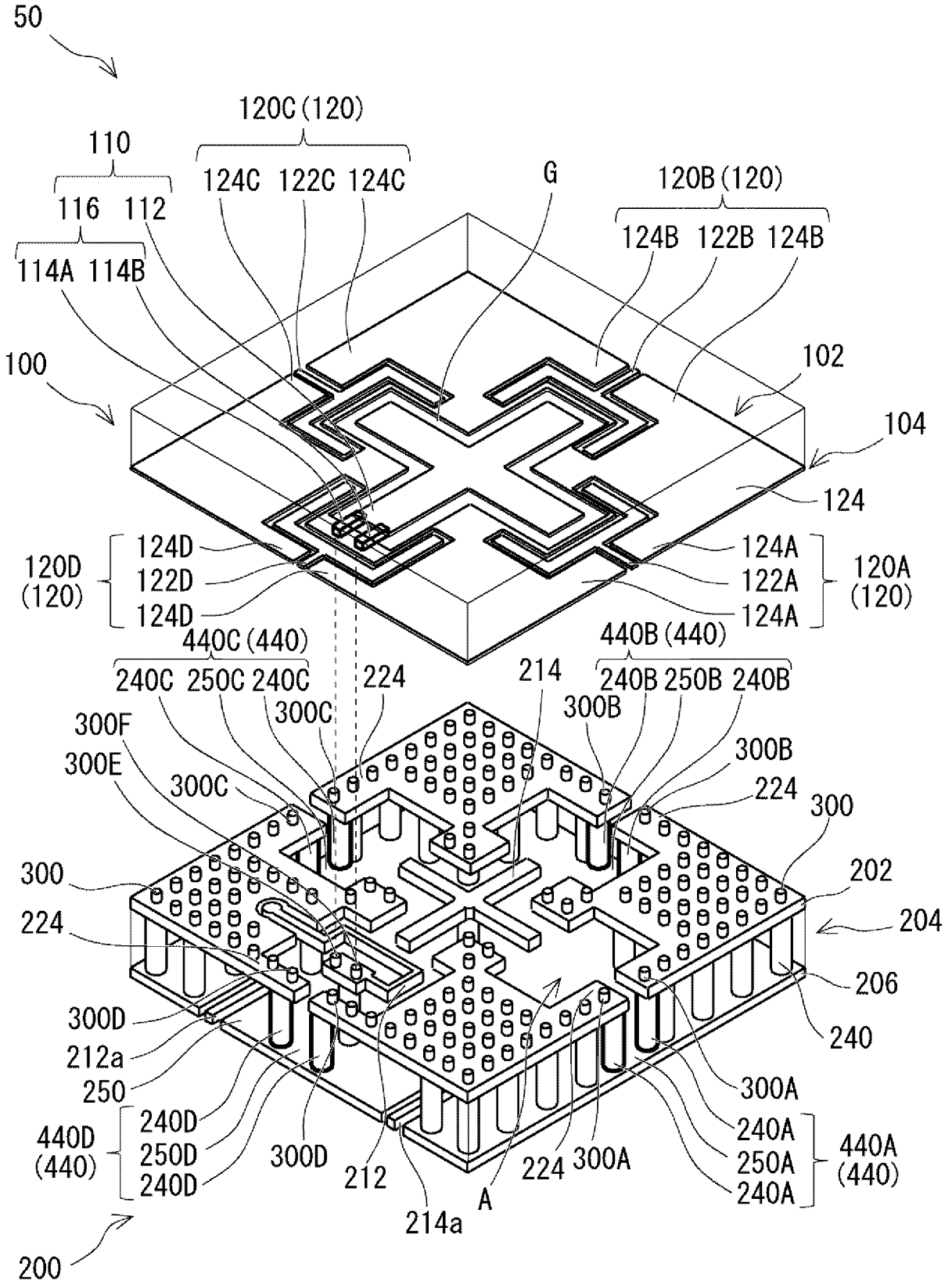
110



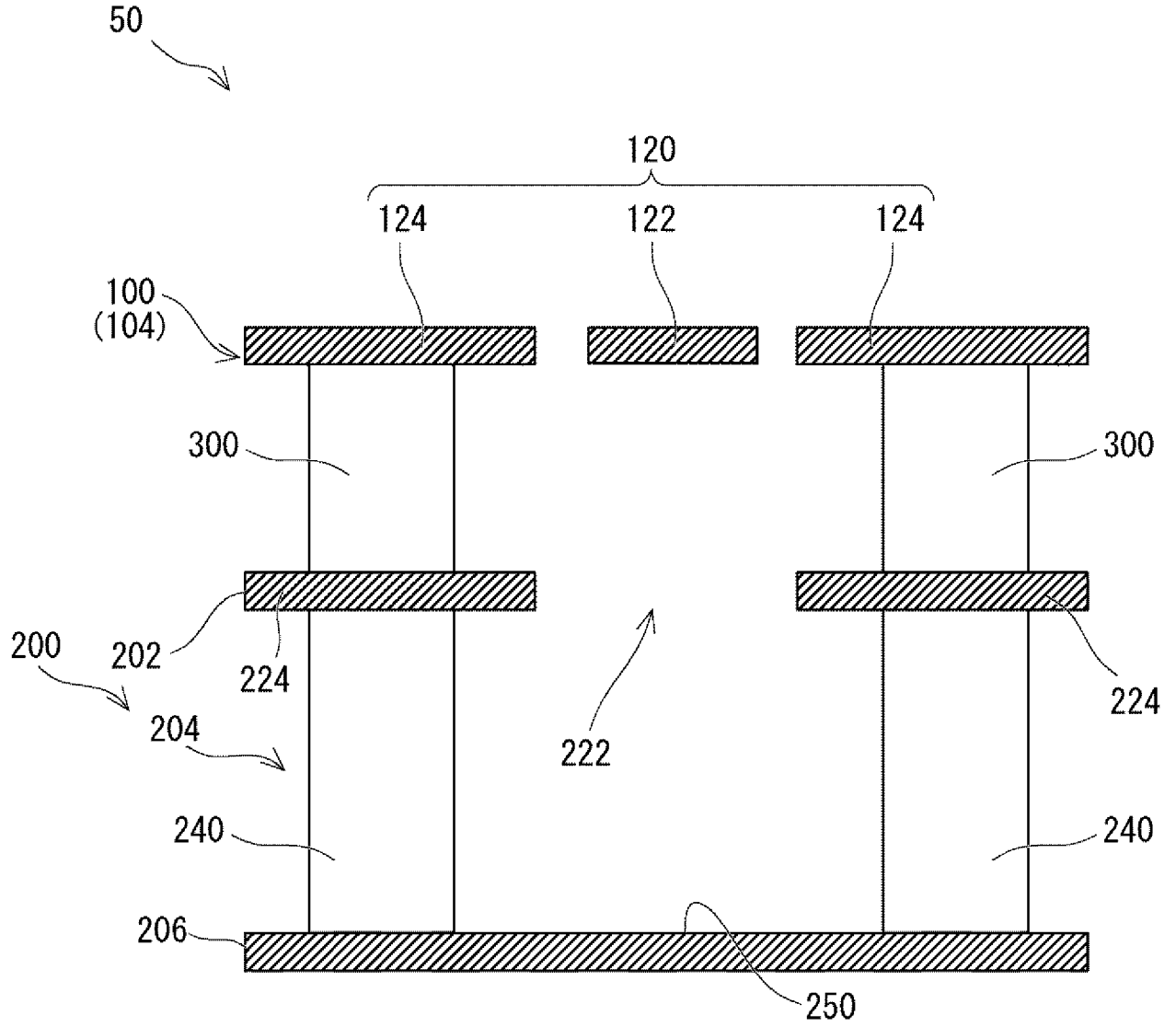
[図9]



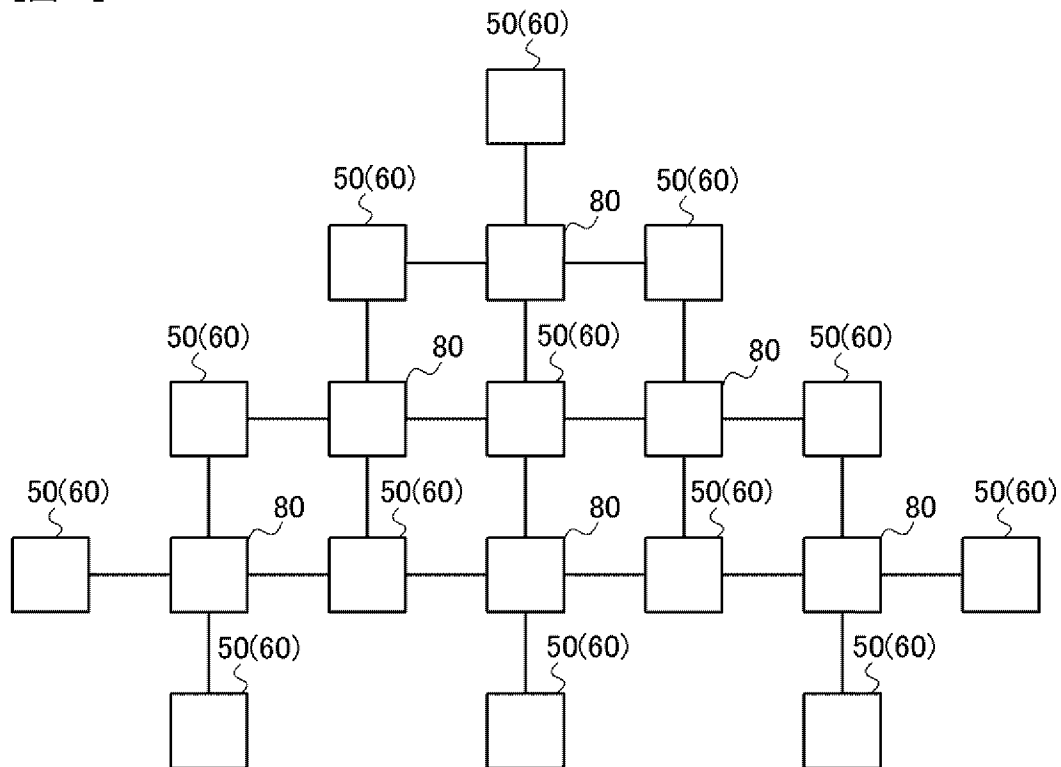
[図11]



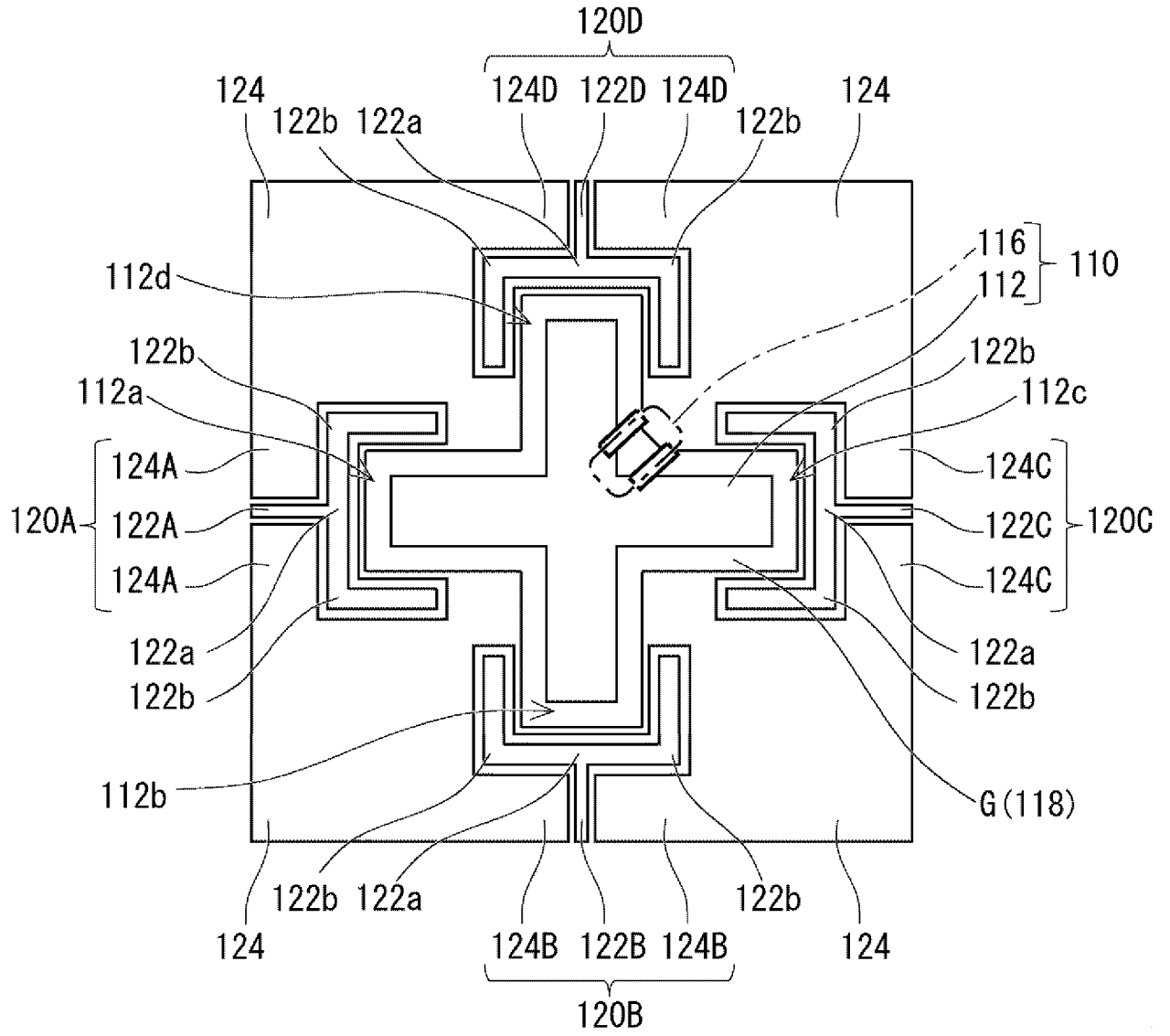
[図12]



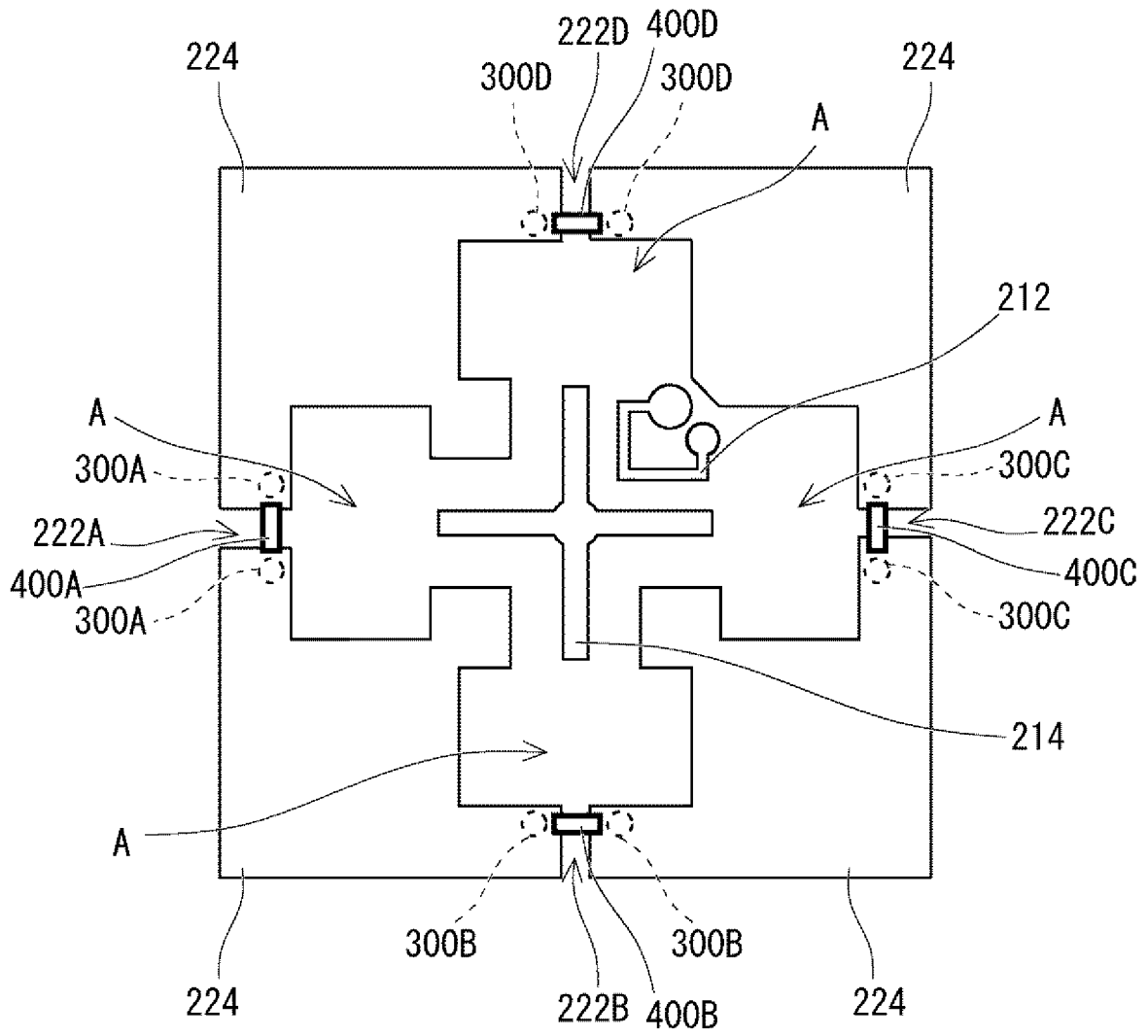
[図13]

70

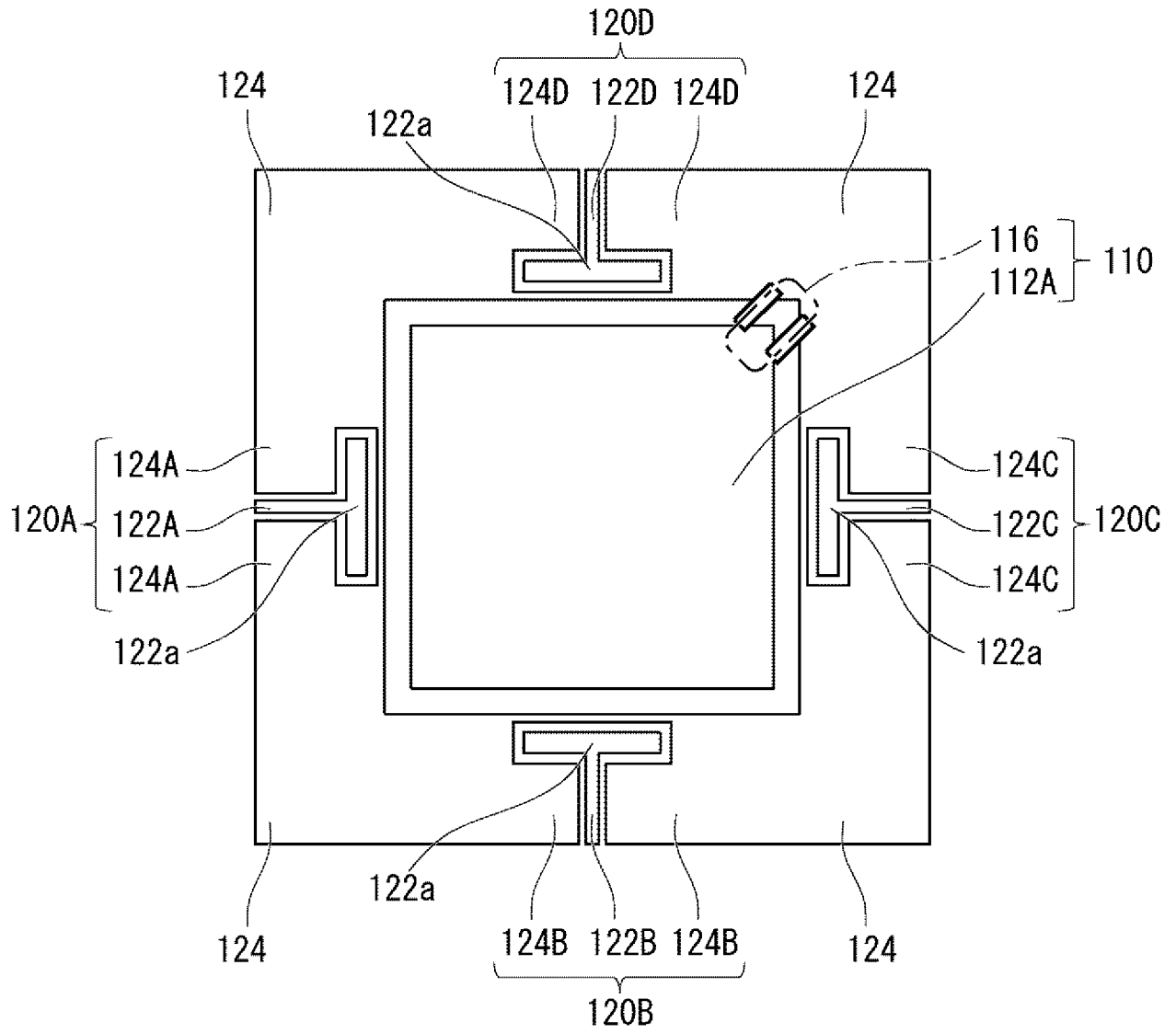
[図14]
100
(104)



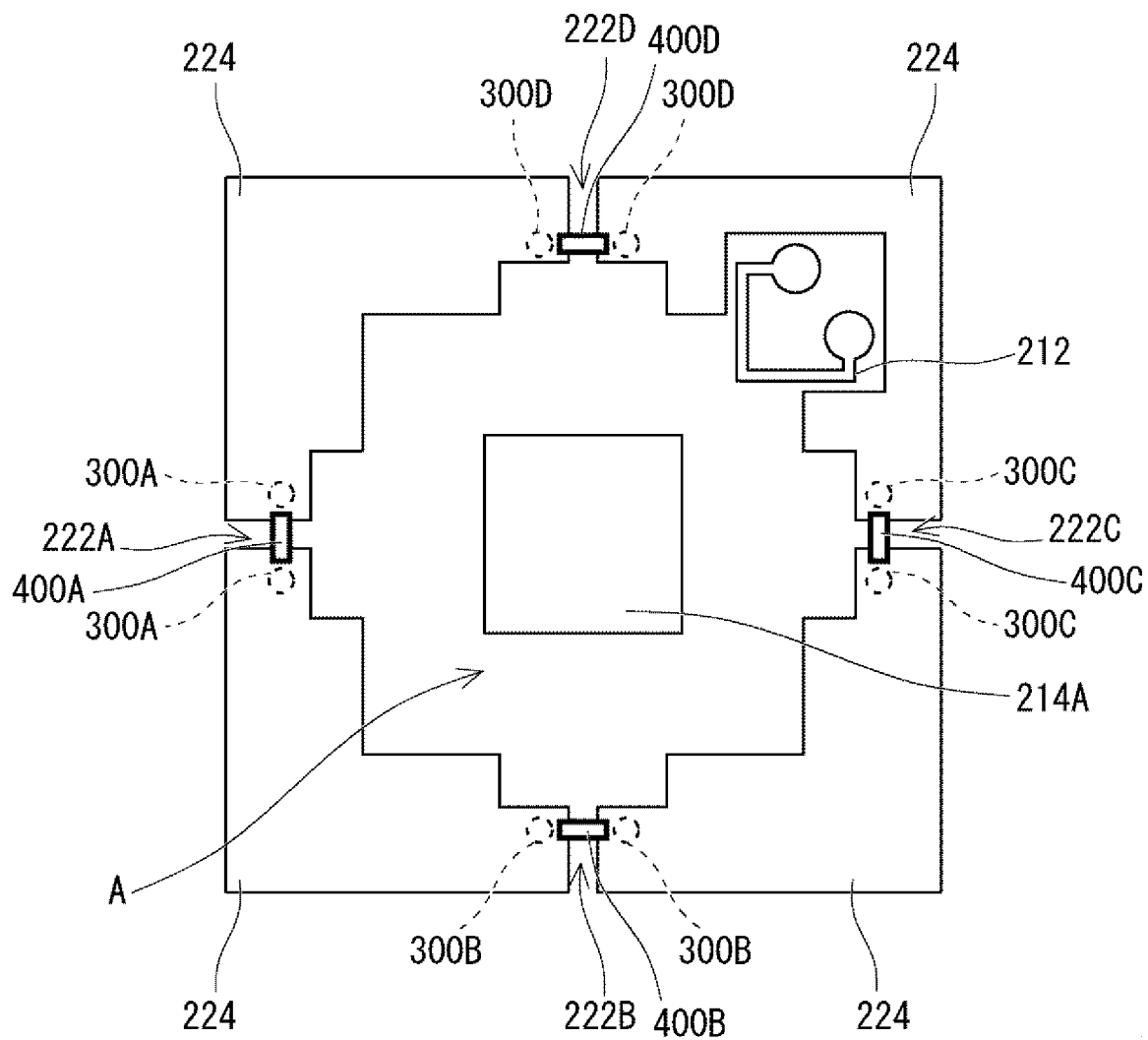
[図15]
200
(202)



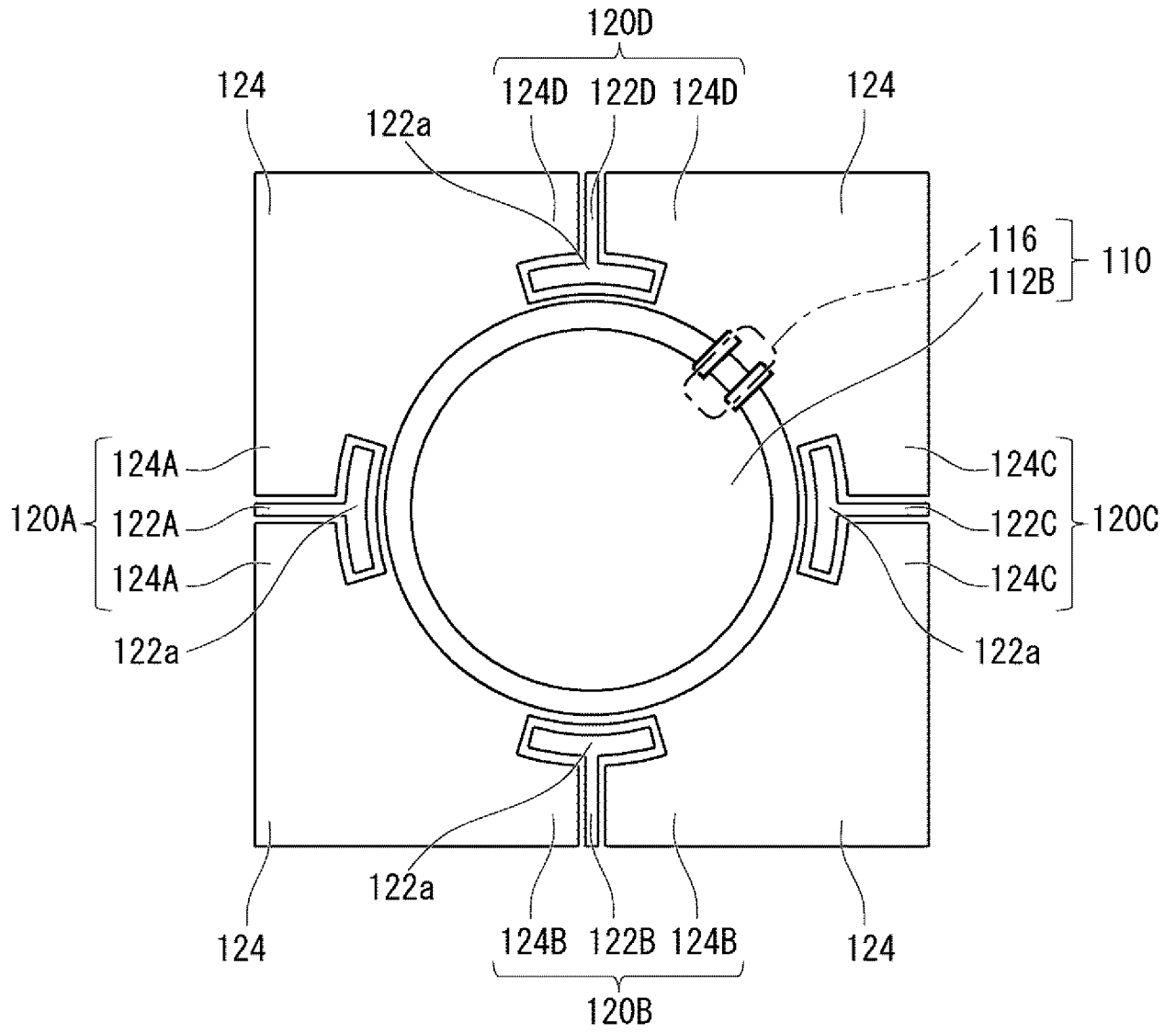
[図16]
100
(104)



[図17]
200
(202)



[図18]
100
(104)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/022439

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L39/02 (2006.01) i, H01L39/22 (2006.01) i
 FI: H01L39/22 K, H01L39/02 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L39/02, H01L39/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2020
 Registered utility model specifications of Japan 1996-2020
 Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|--|-----------------------|
| A | JP 2020-061554 A (JAPAN SCIENCE AND TECHNOLOGY AGENCY) 16 April 2020 | 1-15 |
| A | JP 2019-212755 A (FUJITSU LTD.) 12 December 2019 | 1-15 |
| A | JP 2003-197675 A (TOSHIBA CORP.) 11 July 2003 | 1-15 |
| A | JP 2004-282124 A (FUJITSU LTD.) 07 October 2004 | 1-15 |

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
 12.08.2020

Date of mailing of the international search report
 25.08.2020

Name and mailing address of the ISA/
 Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

 Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/022439

| Patent Documents referred to in the Report | Publication Date | Patent Family | Publication Date |
|--|------------------|----------------|------------------|
| JP 2020-061554 A | 16.04.2020 | (Family: none) | |
| JP 2019-212755 A | 12.12.2019 | (Family: none) | |
| JP 2003-197675 A | 11.07.2003 | (Family: none) | |
| JP 2004-282124 A | 07.10.2004 | (Family: none) | |

| | | |
|---|--|----------------|
| A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 39/02(2006.01)i; H01L 39/22(2006.01)i FI: H01L39/22 K; H01L39/02 A | | |
| B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L39/02; H01L39/22 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） | | |
| C. 関連すると認められる文献 | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| A | JP 2020-061554 A（国立研究開発法人科学技術振興機構）16.04.2020（2020-04-16） | 1-15 |
| A | JP 2019-212755 A（富士通株式会社）12.12.2019（2019-12-12） | 1-15 |
| A | JP 2003-197675 A（株式会社東芝）11.07.2003（2003-07-11） | 1-15 |
| A | JP 2004-282124 A（富士通株式会社）07.10.2004（2004-10-07） | 1-15 |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。 | | |
| * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 | “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 | |
| 国際調査を完了した日 12.08.2020 | 国際調査報告の発送日 25.08.2020 | |
| 名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号 | 権限のある職員（特許庁審査官） 棚田 一也 5F 9361 電話番号 03-3581-1101 内線 3516 | |

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/022439

| 引用文献 | 公表日 | パテントファミリー文献 | 公表日 |
|------------------|------------|-------------|-----|
| JP 2020-061554 A | 16.04.2020 | (ファミリーなし) | |
| JP 2019-212755 A | 12.12.2019 | (ファミリーなし) | |
| JP 2003-197675 A | 11.07.2003 | (ファミリーなし) | |
| JP 2004-282124 A | 07.10.2004 | (ファミリーなし) | |