

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月8日(08.03.2018)



(10) 国際公開番号

WO 2018/042986 A1

(51) 国際特許分類:

H01L 21/82 (2006.01) H01L 27/04 (2006.01)
H01L 21/336 (2006.01) H01L 27/092 (2006.01)
H01L 21/822 (2006.01) H01L 29/78 (2006.01)
H01L 21/8238 (2006.01)

(21) 国際出願番号: PCT/JP2017/027524

(22) 国際出願日: 2017年7月28日(28.07.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-166999 2016年8月29日(29.08.2016) JP

(71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).

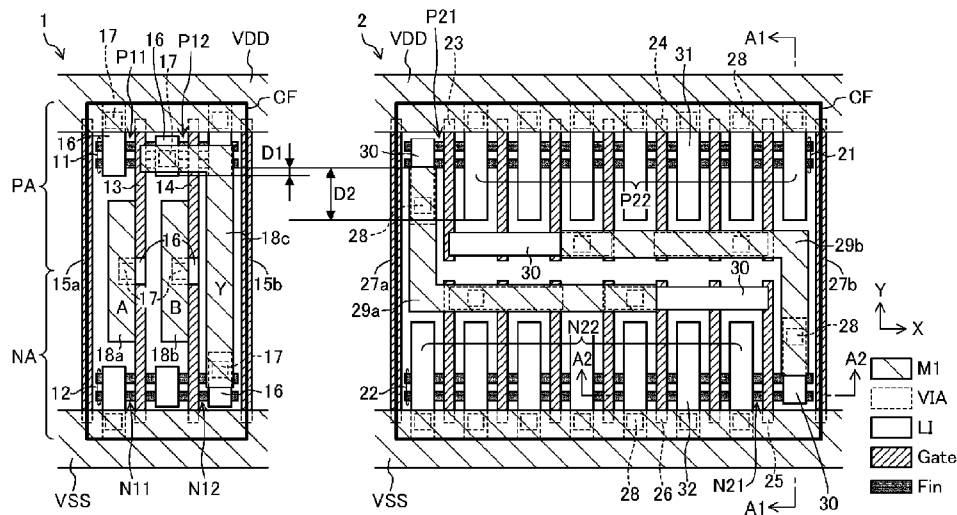
(72) 発明者: 日野 寿雄(HINO Toshio). 岩堀 淳司(IWAHORI Junji).

(74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置



(57) Abstract: A semiconductor integrated circuit device which employs a 3-dimensional transistor device has a capacitive cell with a large capacitance value per unit area. A logic cell (1) is provided with a 3-dimensional transistor device (P11, P12, N11, N12). A capacitive cell (2) is provided with a 3-dimensional transistor device (P21, P22, N21, N22). A length (D2) by which a local wire (31) protrudes from a solid diffusion layer portion (21) in a direction away from a power supply wire (VDD) in the cell (2) is greater than a length (D1) by which a local wire (16) protrudes from a solid diffusion layer

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

portion (11) in a direction away from the power supply wire (VDD) in the cell (1).

(57) 要約: 3次元トランジスタデバイスを用いた半導体集積回路装置において、単位面積当たりの容量値が大きい容量セルを実現する。論理セル(1)は、3次元トランジスタデバイス(P11, P12, N11, N12)を備える。容量セル(2)は、3次元トランジスタデバイス(P21, P22, N21, N22)を備える。セル(2)において、ローカル配線(31)が、電源配線(VDD)から離れる向きにおいて立体拡散層部(21)から突出する長さ(D2)は、セル(1)において、ローカル配線(16)が、電源配線(VDD)から離れる向きにおいて立体拡散層部(11)から突出する長さ(D1)よりも、大きい。

明 細 書

発明の名称：半導体集積回路装置

技術分野

[0001] 本開示は、フィンFET (Field Effect Transistor) やナノワイヤFET等の3次元トランジスタデバイスを用いた半導体集積回路装置に関する。

背景技術

[0002] 半導体基板上に半導体集積回路を形成する方法として、スタンダードセル方式が知られている。スタンダードセル方式とは、特定の論理機能を有する基本的単位（例えば、インバータ、ラッチ、フリップフロップ、全加算器など）をスタンダードセルとして予め用意しておき、半導体基板上に複数のスタンダードセルを配置して、それらのスタンダードセルを配線で接続することによって、LSIチップを設計する方式のことである。

[0003] また近年、半導体デバイスの分野において、フィン構造のFET（以下、フィンFETと称する）の利用が提案されている。図10はフィンFETの概略を示す模式図である。二次元構造のFETと異なり、ソースおよびドレインはフィンと呼ばれる隆起した立体構造を持つ。そしてこのフィンを囲むように、ゲートが配置されている。このフィン構造により、チャネル領域がフィンの3つの面で形成されるので、チャネルの制御性が従来よりも大幅に改善する。このため、リーク電力削減、オン電流の向上、さらには動作電圧の低減などの効果が得られ、半導体集積回路の性能が向上する。なお、フィンFETは、立体拡散層部を有するいわゆる3次元トランジスタデバイス的一种である。3次元トランジスタデバイスには、その他に例えば、ナノワイヤFETと呼ばれる構造がある。

[0004] また、近年の半導体集積回路における微細化および高集積化の進度は著しく、これに伴い、動作電圧の低電圧化および動作周波数の高速化が加速している。ところが、高速化に伴ってノイズが増加し、かつ、低電圧化に伴いノイズ耐性が低下するため、近年の半導体集積回路では、ノイズによる回路の

誤動作が発生しやすいという問題がある。ノイズによる回路の誤動作を防止する方法としては、回路の電源間にデカップリング容量を設ける方法がある。このようなデカップリング容量が形成されたセルのことを、容量セルという。

[0005] 特許文献1は、容量セルのレイアウト構成の例を示している。

先行技術文献

特許文献

[0006] 特許文献1：米国特許第5 6 3 1 4 9 2号（図3，4）

発明の概要

発明が解決しようとする課題

[0007] 3次元トランジスタデバイスを実装する場合、通常、ローカル配線（ローカルインターコネクト）が用いられる。ローカル配線とは、トランジスタの拡散層やゲートに、コンタクトを介することなく、直接接触するように設けられた配線のことをいう。

[0008] また、3次元トランジスタデバイスのメタル配線の配置には、ダブルパターニングと呼ばれる技術が用いられる。ダブルパターニングとは、配線のレイアウトを2つまたはそれ以上のマスクに分割して露光を行う技術である。隣接する2つの配線を別個のマスクで露光することにより、配線間隔をより小さくすることができる。

[0009] このようなローカル配線やダブルパターニングを利用する半導体集積回路装置において、単位面積当たりの容量値が大きい容量セルをいかに実現するか、ということが課題となる。

[0010] 本開示は、フィンFETやナノワイヤFET等の3次元トランジスタデバイスを用いた半導体集積回路装置において、単位面積当たりの容量値が大きい容量セルを実現する。

課題を解決するための手段

[0011] 本開示の第1態様では、半導体集積回路装置は、3次元トランジスタデバ

イスを有し、論理セルである第1スタンダードセルと、3次元トランジスタデバイスを有し、容量セルである第2スタンダードセルとを備える。前記第1スタンダードセルは、第1方向に延びる、1つ、または、前記第1方向と垂直をなす第2方向において並ぶ複数の、第1立体拡散層部と、前記第2方向に延びており、前記第1立体拡散層部と、前記第1方向に延びる、所定の第1電源電圧を供給する電源配線とを接続する第1ローカル配線とを備え、前記第2スタンダードセルは、前記第1方向に延びる、1つ、または、前記第2方向において並ぶ複数の、第2立体拡散層部と、前記第2方向に延びており、前記第2立体拡散層部と前記電源配線とを接続する第2ローカル配線と、前記第2立体拡散層部と平面視で交差するように前記第2方向に延びており、前記第2立体拡散層部を囲むように形成されており、所定の第2電源電圧が与えられているゲート配線とを備える。前記第2スタンダードセルにおいて、前記第2ローカル配線が、前記電源配線から離れる向きにおいて前記第2立体拡散層部から突出する長さは、前記第1スタンダードセルにおいて、前記第1ローカル配線が、前記電源配線から離れる向きにおいて前記第1立体拡散層部から突出する長さよりも、大きい。

[0012] この態様によると、容量セルである第2スタンダードセルにおいて、ローカル配線が、電源配線から離れる向きにおいて立体拡散層部から突出する長さは、論理セルである第1スタンダードセルにおいて、ローカル配線が、電源配線から離れる向きにおいて立体拡散層部から突出する長さよりも、大きい。すなわち、容量セルにおいて、3次元トランジスタデバイスの立体拡散層部に接続されたローカル配線は、立体拡散層部から長く延びている。これにより、ローカル配線とゲート配線との間の寄生容量がより大きくなるので、単位面積当たりの容量値が大きい容量セルを実現することができる。

[0013] 本開示の第2態様では、半導体集積回路装置は、容量セルであるスタンダードセルを備える。前記スタンダードセルは、第1方向に延び、第1電源電圧を供給する第1電源配線と、前記第1方向に延び、第2電源電圧を供給する第2電源配線と、前記第1および第2電源配線の間に設けられ、3次元ト

ランジスタデバイスを有する容量部と、前記容量部に、前記第2電源電圧を供給する第1配線と、前記容量部に、前記第1電源電圧を供給する第2配線とを備え、前記第1および第2電源配線、並びに、前記第1および第2配線は、同一の金属配線層に設けられている。前記第1配線は、前記第1方向に延び、前記第1電源配線に隣接する第1部分と、前記第1方向に延び、前記第2電源配線に隣接する第2部分と、前記第1方向と垂直をなす方向である第2方向に延び、前記第1および第2部分を接続する第3部分とを備える。

[0014] この態様によると、容量セルであるスタンダードセルにおいて、第1方向に延びる第1および第2電源配線の間に、3次元トランジスタデバイスを有する容量部が設けられている。容量部に電源電圧を供給する第1配線は、第1方向に延び、第1電源配線に隣接する第1部分と、第1方向に延び、第2電源配線に隣接する第2部分と、第1方向と垂直をなす第2方向に延び、第1および第2部分を接続する第3部分とを備えている。これにより、ダブルパターンングにおいて、第1および第2電源配線と、第1および第2電源配線に隣接する第1および第2部分を含む第1配線とは、別のマスクによって形成することができる。したがって、第1および第2電源配線に対して極めて小さい間隔で、第1配線を配置することができる。これにより、単位面積当たりの容量値が大きい容量セルを実現することができる。

発明の効果

[0015] 本開示によると、3次元トランジスタデバイスを用いた半導体集積回路装置において、単位面積当たりの容量値が大きい容量セルを実現することができる。したがって、半導体集積回路装置の性能を向上させることができる。

図面の簡単な説明

[0016] [図1]第1実施形態に係る半導体集積回路装置が備えたスタンダードセルのレイアウト構成例を示す平面図

[図2] (a), (b) は図1の構成における断面図

[図3] (a), (b) は図1のスタンダードセルの回路図

[図4]容量セルの変形例を示す平面図

[図5]容量セルの変形例を示す平面図

[図6]第2実施形態に係る半導体集積回路装置が備えたスタンダードセルのレイアウト構成例を示す平面図

[図7]図6のレイアウト構成からメタル配線を抽出した図

[図8]第2実施形態におけるメタル配線の形状の他の例

[図9]第2実施形態におけるメタル配線の形状の他の例

[図10]フィンFETの概略構造を示す模式図

[図11]ナノワイヤFETの概略構造を示す模式図

[図12]ナノワイヤFETの概略構造を示す模式図

発明を実施するための形態

[0017] 以下、実施の形態について、図面を参照して説明する。以下の実施の形態では、半導体集積回路装置は複数のスタンダードセルを備えており、この複数のスタンダードセルのうち少なくとも一部は、フィンFET (Field Effect Transistor) を用いているものとする。なお、フィンFETは、3次元トランジスタデバイスの一例であり、フィンFETを構成するフィンは立体拡散層部の一例である。

[0018] (第1実施形態)

図1は第1実施形態に係る半導体集積回路装置が備えたスタンダードセルのレイアウト構成例を示す平面図である。図1では、図面横方向をX方向(第1方向に相当)とし、図面縦方向をY方向(第2方向に相当)としている。以降のレイアウト平面図についても同様である。図1では、スタンダードセル1, 2は、X方向に延びる同じセル列に配置されている。CFはセル枠である。また、図2(a)は図1の線A1-A1における断面図であり、図2(b)は図1の線A2-A2における断面図である。

[0019] 図3(a), (b)はスタンダードセル1, 2の回路構成をそれぞれ示す回路図である。図3(a)に示すように、スタンダードセル1は2入力NAND回路を構成する。スタンダードセル1は回路の論理機能に寄与する論理セルの一例である。図3(b)に示すように、スタンダードセル2は、容量

セル (Decoupling Capacitor セル) を構成する。この容量セルは、容量を形成するトランジスタを有する容量部 201 と、容量部 201 を構成するトランジスタのゲートに供給する固定値 (VDD, VSS) を出力する固定値出力部 202 とを備える。スタンダードセル 1, 2 はそれぞれ、フィン FET を備えている。

[0020] 図 1 において、X 方向に延びる電源配線 VDD, VSS が、メタル配線層 M1 に形成されている。スタンダードセル 1, 2 は、電源配線 VDD と電源配線 VSS との間に、P 型トランジスタ領域 PA と N 型トランジスタ領域 NA とが Y 方向に並べて配置されている。スタンダードセル 1 は、P 型トランジスタ領域 PA に、X 方向に延びる 2 本のフィン 11 を備え、N 型トランジスタ領域 NA に、X 方向に延びる 2 本のフィン 12 を備える。スタンダードセル 2 は、P 型トランジスタ領域 PA に、X 方向に延びる 2 本のフィン 21 を備え、N 型トランジスタ領域 NA に、X 方向に延びる 2 本のフィン 22 を備える。図 1 および他の平面図では、フィンとその上に形成されたゲート配線とによって、フィン FET が構成されている。ゲート配線は、フィンを、3 方向から囲むように形成されている。なお、図 1 および他の平面図では、図の見やすさのために、フィンに灰色を付している。

[0021] また、フィン層に直接接触する配線層 L1 に、ローカル配線が設けられている。ローカル配線は、平面視でフィンまたはゲート配線と重なる部分において、フィンまたはゲート配線の上層に接して形成されており、フィンまたはゲート配線と、電氣的に接続されている。メタル配線はローカル配線の上層に位置しており、コンタクトを介してローカル配線と接続されている。

[0022] スタンダードセル 1 は、P 型トランジスタ領域 PA および N 型トランジスタ領域 NA にわたって Y 方向に延びるゲート配線 13, 14 を備えている。フィン 11 と、ゲート配線 13, 14 とによって、フィン FET P11, P12 がそれぞれ構成されている。フィン 12 と、ゲート配線 13, 14 とによって、フィン FET N11, N12 がそれぞれ構成されている。また、15a, 15b はダミーゲート配線である。フィン 11, 12 の両端、お

よび、ゲート配線 13, 14 の間にそれぞれ、Y 方向に延びるローカル配線 16 が設けられている。フィン 11 の両端は、ローカル配線 16 およびコンタクト 17 を介して電源配線 VDD に接続されている。フィン 12 の一端（図面左側の端）は、ローカル配線 16 およびコンタクト 17 を介して、電源配線 VSS に接続されている。ゲート配線 13 は、ローカル配線 16 およびコンタクト 17 を介して、入力 A が与えられるメタル配線 18a と接続されており、ゲート配線 14 は、ローカル配線 16 およびコンタクト 17 を介して、入力 B が与えられるメタル配線 18b と接続されている。出力 Y を出力するメタル配線 18c は、ゲート配線 13, 14 の間のフィン 11 と、フィン 12 の他端（図面右側の端）とに、ローカル配線 16 およびコンタクト 17 を介して接続されている。

[0023] スタンダードセル 2 は、P 型トランジスタ領域 PA において Y 方向に延びるゲート配線 23, 24 を備えており、また、N 型トランジスタ領域 NA において Y 方向に延びるゲート配線 25, 26 を備えている。フィン 21 とゲート配線 23 とによって、フィン FET P21 が構成されており、フィン 22 とゲート配線 24 とによって、フィン FET P22 が構成されている。ここでは、ゲート配線 24 は 6 本配置されており、フィン FET P22 は 6 個のフィン FET によって構成されている。この 6 個のフィン FET のソースおよびドレインはいずれも、Y 方向に延びるローカル配線 31 およびコンタクト 28 を介して、電源配線 VDD に接続されている。フィン 22 とゲート配線 25 とによって、フィン FET N21 が構成されており、フィン 22 とゲート配線 26 とによって、フィン FET N22 が構成されている。ここでは、ゲート配線 26 は 6 本配置されており、フィン FET N22 は 6 個のフィン FET によって構成されている。この 6 個のフィン FET のソースおよびドレインはいずれも、Y 方向に延びるローカル配線 32 およびコンタクト 28 を介して、電源配線 VSS に接続されている。図 3 (b) に示すように、フィン FET P22, N22 は容量部 201 を構成し、フィン FET P21, N21 は固定値出力部 202 を構成する。また、27

a, 27bはダミーゲート配線である。

[0024] フィン21の一端（図面左側の端）は、Y方向に延びるローカル配線30およびコンタクト28を介して、メタル配線29aに接続されている。メタル配線29aは、X方向に延びるローカル配線30およびコンタクト28を介して、ゲート配線25, 26にそれぞれ接続されている。フィン22の一端（図面右側の端）は、Y方向に延びるローカル配線30およびコンタクト28を介して、メタル配線29bに接続されている。メタル配線29bは、X方向に延びるローカル配線30およびコンタクト28を介して、ゲート配線23, 24にそれぞれ接続されている。

[0025] ここで、フィンと電源配線とを接続するローカル配線に着目する。

[0026] スタンダードセル2のP型トランジスタ領域PAにおいて、容量部201を構成するフィンFET P22と電源配線VDDとを接続するローカル配線31は、電源配線VDDから、フィン21を超えて、セル内側に向かってさらに長く延びている。すなわち、ローカル配線31がフィン21から、電源配線VDDから離れる向きに突出した長さ（突出長）D2は、スタンダードセル1のP型トランジスタ領域PAにおいて、ローカル配線16がフィン11から、電源配線VDDから離れる向きに突出した長さ（突出長）D1よりも、大きい。同様に、スタンダードセル2のN型トランジスタ領域NAにおいて、容量部201を構成するフィンFET N22と電源配線VSSとを接続するローカル配線32は、電源配線VSSから、フィン22を超えて、セル内側に向かってさらに長く延びている。

[0027] 通常のスタンダードセルでは、寄生容量の増加を抑えるために、ローカル配線の長さは最小限に設定されている。例えば、スタンダードセル1におけるローカル配線16の突出長D1は、製造プロセスで許容される最小値とするのが好ましい。これに対して本実施形態では、容量セルであるスタンダードセル2において、寄生容量を増やすために、ローカル配線31, 32を、フィン21, 22を超えて、セル内側に向かってさらに長く延ばしている。ローカル配線31, 32を長く延ばすことによって、ローカル配線31, 3

2とゲート配線24, 26との間の寄生容量がより大きくなるため、容量部201の容量値を大きくすることができる。したがって、単位面積当たりの容量値が大きい容量セルすなわちスタンダードセル2を実現することができる。

[0028] なお、図1の構成では、スタンダードセル1, 2において、フィン11とフィン21の本数、および、Y方向における位置は同一であるものとした。ただし、本開示はこれに限られるものではなく、フィン11とフィン21の本数は異なってもよいし、また、Y方向における位置が同一でなくてもよい。いずれの場合においても、ローカル配線がフィンのセル内側の端から突出した長さを、突出長として、比較すればよい。

[0029] また、図1の構成では、スタンダードセル1, 2は、X方向に延びる同じセル列に配置されているものとしたが、本開示はこれに限られるものではなく、異なるセル列に配置されていてもよい。

[0030] (変形例)

図1では、容量セルであるスタンダードセル2はいわゆるシングルハイトセルであるものとした。ただし、本実施形態に係る容量セルは、いわゆるマルチハイトセルとして構成することもできる。

[0031] 図4および図5は本実施形態に係る容量セルの変形例を示す平面図である。図4に示す容量セル4、および、図5に示す容量セル4Aはともにダブルハイトセルであり、Y方向における両端に、電源電位VSSを供給する電源配線VSS1, VSS2がX方向に延びるように配置されており、Y方向における中央に、電源電位VDDを供給する電源配線VDDがX方向に延びるように配置されている。電源配線VDDのY方向における両側に、P型トランジスタ領域PAが設けられている。なお、図4および図5では、電源配線以外のメタル配線およびコンタクトについては、図示を省略している。また、図5では、図を分かりやすくするために、メタル配線の下に配置されたフィンについて、ローカル配線やゲート配線が上に設けられていない部分に灰色を付している。

[0032] 図4の容量セル4は、図1のスタンダードセル2と同様の特徴を有している。例えば領域4aにおいて、Y方向に延びるローカル配線43は、電源配線VDDから離れる向きにおいて、X方向に延びるフィン41から長く突出して延びている。また、電源配線VDDの、フィン41が配置された側の反対側、すなわち領域4bのP型トランジスタ領域PAに、X方向に延びるフィン42が形成されている。ローカル配線43は、領域4aのP型トランジスタ領域PAから領域4bのP型トランジスタ領域PAにかけて、電源配線VDDの下を通して一体化して形成されており、フィン42にも接続されている。ゲート配線44は、フィン41、42とそれぞれ平面視で交差するように、電源配線VDDの下を通して、Y方向に延びている。ゲート配線44はフィン41、42を囲むように形成されている。フィン41とゲート配線44とによってフィンFETが構成されており、フィン42とゲート配線44とによってフィンFETが構成されている。図4のような構成によって、ローカル配線43とゲート配線44との間の寄生容量がさらに大きくなるため、容量値が大きい容量セル4を実現することができる。なお、図4では、フィン41、42は2本ずつとしているが、電源配線VDDの両側に形成されるフィンの本数はこれに限られるものではない。

[0033] 図5の容量セル4Aは、基本的な構成は図4の容量セル4と同様である。容量セル4Aはさらに、電源配線VDDの下に、X方向に延びるフィン45を備えている。ゲート配線44はフィン45を囲むように形成されている。フィン45とゲート配線44とによってフィンFETが構成される。これにより、図5の構成では、フィンFETのゲート容量がさらに大きくなるため、容量値がさらに大きい容量セル4Aを実現することができる。なお、図5では、フィン45は3本であるが、電源配線VDDの下に形成されるフィンの本数はこれに限られるものではない。

[0034] なお、図4および図5では、容量セルのY方向における中央に電源配線VDDを配置しているが、Y方向における中央に電源配線VSSを配置した構成としてもよい。この場合は、容量セルのY方向における両端に電源電位V

DDを供給する電源配線を配置する。電源配線VSSのY方向における両側がN型トランジスタ領域となる。また、ダブルハイトセルよりも高さの高いマルチハイトセルとして構成してもよい。

[0035] (第2実施形態)

図6は第2実施形態に係る半導体集積回路装置が備えたスタンダードセルのレイアウト構成例を示す平面図である。図6に示すスタンダードセル5は容量セルであり、メタル配線51、52およびコンタクト61以外の構成、例えば、フィンやゲート配線の配置形態や各要素の接続関係に関しては、図1のスタンダードセル2と同一である。なお、図を分かりやすくするために、メタル配線の下に配置されたフィンについて、ローカル配線やゲート配線が上に設けられていない部分に灰色を付している。図3(b)の回路図に示すとおり、フィンFET P21、N21は固定値出力部202を構成し、フィンFET P22、N22は容量部201を構成している。メタル配線51は、固定値出力部202を構成するフィンFET N21のドレインに接続されており、容量部201を構成するフィンFET P22のゲートに電圧VSSを供給する。メタル配線52は、固定値出力部202を構成するフィンFET P21のドレインに接続されており、容量部201を構成するフィンFET N22のゲートに電圧VDDを供給する。

[0036] 図6の構成では、ローカル配線につながるメタル配線51、52を、図1の構成よりも密度高く配置している。これにより、メタル配線51、52同士の間の寄生容量がより大きくなっている。

[0037] 図7は図6のレイアウトにおいてメタル配線を抽出した図である。図7に示すように、電源配線VDDに最も近くに配置されたメタル配線、および、電源配線VSSに最も近くに配置されたメタル配線は、いずれもメタル配線51である。すなわち、第1配線としてのメタル配線51は、X方向に延びており、電源配線VDDに隣接する部分51aと、X方向に延びており、電源配線VSSに隣接する部分51bと、Y方向に延びており、部分51aと部分51bとを接続する部分51cとを含む。部分51aは、メタル配線層

M1において電源配線VDDに最も近い配線であり、部分51bは、メタル配線層M1において電源配線VSSに最も近い配線である。また、メタル配線52は、メタル配線51の部分51aと部分51bとにはさまれた領域において、蛇行するように配置されている。すなわち、第2配線としてのメタル配線52は、X方向に延びており、メタル配線51の部分51aの電源配線VDDと反対側に隣接する部分52aと、Y方向に延びている部分52bとを含む。また、それぞれの配線間隔、例えば、メタル配線51の部分51aと電源配線VDDとの間隔、および、メタル配線51の部分51aとメタル配線52の部分52aとの間隔は、等しくなっているもよい。

[0038] ここで、電源配線VDD、VSSおよびメタル配線51、52は、同一配線層において、例えば上述したダブルパターニングによって形成される。また、メタル配線51、52間の寄生容量をより大きくするためには、メタル配線51、52はより小さな間隔で配置するのが好ましい。このため、メタル配線51、52については、ダブルパターニングにおけるマスク分割を適切に行うことができ、かつ、配線間隔がより小さいレイアウト構造が望まれる。

[0039] 図7に示すように、電源配線VDD、VSSは、通常、ダブルパターニングにおいて同一マスク(MASK A)によって形成される。このため本実施形態では、図7に示すように、電源配線VDD、VSSに最も近いメタル配線を、いずれもメタル配線51としている。このため、電源配線VDD、VSSに最も近いメタル配線51を、電源配線VDD、VSSとは別のマスク(MASK B)によって形成することができる。これにより、電源配線VDD、VSSに対して極めて小さい間隔で、メタル配線51を配置することができる。また、メタル配線52を電源配線VDD、VSSと同一マスク(MASK A)によって形成することによって、メタル配線51、52を小さな間隔でより密度高く配置することができる。すなわち、図7の配線形状によって、ダブルパターニングにおけるマスク分割を適切に行うことができ、かつ、配線間隔をより小さくすることができる。これにより、単位面積

当たりの容量値が大きい容量セル5を実現することができる。

[0040] 図8および図9は本実施形態におけるメタル配線の形状の他の例である。

図8の例では、電圧VSSを供給する第1配線としてのメタル配線53 (MASK B)は、X方向に延びており、電源配線VDDに隣接する部分53aと、X方向に延びており、電源配線VSSに隣接する部分53bと、Y方向に延びており、部分53aと部分53bとを接続する部分53cとを含む。部分53aは、メタル配線層M1において電源配線VDDに最も近い配線であり、部分53bは、メタル配線層M1において電源配線VSSに最も近い配線である。また、電圧VDDを供給する第2配線としてのメタル配線54 (MASK A)は、X方向に延びており、メタル配線53の部分53aの電源配線VDDと反対側に隣接する部分54aと、Y方向に延びている部分54bとを含む。

[0041] 図9の例では、電圧VSSを供給する第1配線としてのメタル配線55 (MASK B)は、X方向に延びており、電源配線VDDに隣接する部分55aと、X方向に延びており、電源配線VSSに隣接する部分55bと、Y方向に延びており、部分55aと部分55bとを接続する部分55cとを含む。部分55aは、メタル配線層M1において電源配線VDDに最も近い配線であり、部分55bは、メタル配線層M1において電源配線VSSに最も近い配線である。また、電圧VDDを供給する第2配線としてのメタル配線56 (MASK A)は、X方向に延びており、メタル配線55の部分55aの電源配線VDDと反対側に隣接する部分56aと、Y方向に延びている部分56bとを含む。

[0042] 図8や図9のような配線形状によっても、ダブルパターンングにおけるマスク分割を適切に行うことができ、かつ、メタル配線間の配線間隔をより小さくすることができる。これにより、単位面積当たりの容量値が大きい容量セルを実現することができる。

[0043] なお、本実施形態では、電圧VSSを供給するメタル配線51を、電源配線VDD、VSSに隣接させるものとしたが、この代わりに、電圧VDDを

供給するメタル配線52を、電源配線VDD、VSSに隣接させるようにしてもよい。

[0044] また、本実施形態の容量セルにおいて、固定値出力部202は省いてもかまわない。この場合は、容量部201を構成するフィンFETのゲートは、メタル配線を用いて、電源配線VDD、VSSと直接接続すればよい。

[0045] (3次元トランジスタデバイスの他の例)

また、上の各実施形態では、フィンFETを例にとって説明したが、フィンFET以外の3次元トランジスタデバイス、例えばナノワイヤFETを用いた構成としてもよい。

[0046] 図11はナノワイヤFETの基本構造例を示す模式図である(全周ゲート(GAA: Gate All Around)構造ともいう)。ナノワイヤFETとは、電流が流れる細いワイヤ(ナノワイヤ)を用いたFETである。ナノワイヤは例えばシリコンによって形成される。図11に示すように、ナノワイヤは、基板上において、水平方向すなわち基板と並行して延びるように形成されており、その両端が、ナノワイヤFETのソース領域およびド레인領域となる構造物に接続されている。本願明細書では、ナノワイヤFETにおいて、ナノワイヤの両端に接続されており、ナノワイヤFETのソース領域およびド레인領域となる構造物のことを、パッドと呼ぶ。図11では、シリコン基板の上にSTI(Shallow Trench Isolation)が形成されているが、ナノワイヤの下方(ハッチを付した部分)では、シリコン基板が露出している。なお実際には、ハッチを付した部分は熱酸化膜等で覆われている場合があるが、図11では簡略化のため、図示を省略している。

[0047] ナノワイヤは、その周囲が、シリコン酸化膜等の絶縁膜を介して、例えばポリシリコンからなるゲート電極によってぐるりと囲まれている。パッドおよびゲート電極は、基板表面上に形成されている。この構造により、ナノワイヤのチャネル領域は、上部、両側部、および、下部が全てゲート電極に囲まれているため、チャネル領域に均一に電界がかかり、これにより、FETのスイッチング特性が良好になる。

[0048] なお、パッドは、少なくともナノワイヤが接続されている部分はソース／ドレイン領域となるが、ナノワイヤが接続されている部分よりも下の部分は、必ずしもソース／ドレイン領域とはならない場合もある。また、ナノワイヤの一部（ゲート電極に囲まれていない部分）が、ソース／ドレイン領域となる場合もある。

[0049] また、図11では、ナノワイヤは、縦方向すなわち基板と垂直をなす方向において、2本配置されている。ただし、縦方向に配置するナノワイヤの本数は、2本に限られるものではなく、1本でもよいし、3本以上を縦方向に並べて配置してもよい。また、図11では、最も上のナノワイヤの上端とパッドの上端とは高さがそろっている。ただし、これらの高さをそろえる必要はなく、パッドの上端が最も上のナノワイヤの上端よりも高くてもかまわない。

[0050] また、図12に示すように、基板の上面にBOX (Buried Oxide) が形成されており、このBOXの上にナノワイヤFETが形成される場合もある。

[0051] なお、上述の実施形態において、フィンFETに代えてナノワイヤFETを用いて半導体集積回路装置を構成する場合は、ナノワイヤFETにおける、1本または基板と垂直をなす方向に配置された複数本のナノワイヤ、および、そのナノワイヤの両端に接続されたパッドが、フィンFETのフィンに対応することになる。例えば、図1のスタンダードセル2における2本のフィン21は、それぞれ、X方向に延びる1本または基板と垂直なす方向に配置された複数本のナノワイヤと、パッドとが、交互に接続された構造に置き換えられる。すなわち、ナノワイヤFETを用いた構成では、ナノワイヤおよびその両端に接続されたパッドが、立体拡散層部に相当する。そして、ローカル配線は、立体拡散層部に相当する構造におけるパッドに接続される。

[0052] なお、発明の趣旨を逸脱しない範囲で、複数の実施形態における各構成要素を任意に組み合わせてもよい。

産業上の利用可能性

[0053] 本開示では、3次元トランジスタデバイスを用いた半導体集積回路装置に

において、単位面積当たりの容量値が大きい容量セルを実現することができる。
したがって、半導体集積回路装置の性能向上に有用である。

符号の説明

- [0054] 1 第1スタンダードセル
2 第2スタンダードセル
4, 4A 容量セル
5 容量セル
11, 12, 21, 22 フィン（立体拡散層部）
13, 14, 23, 24, 25, 26 ゲート配線
16, 31, 32 ローカル配線
41, 42, 45 フィン（立体拡散層部）
43 ローカル配線
44 ゲート配線
51, 53, 55 メタル配線（第1配線）
51a, 53a, 55a 第1部分
51b, 53b, 55b 第2部分
51c, 53c, 55c 第3部分
52, 54, 56 メタル配線（第2配線）
52a, 54a, 56a 第4部分
52b, 54b, 56b 第5部分
201 容量部
202 固定値出力部
P11, P12, N11, N12, P21, P22, N21, N22 フィ
ンFET（3次元トランジスタデバイス）
VDD 電源配線
VSS 電源配線

請求の範囲

- [請求項1] 3次元トランジスタデバイスを有し、論理セルである第1スタンダードセルと、
- 3次元トランジスタデバイスを有し、容量セルである第2スタンダードセルとを備え、
- 前記第1スタンダードセルは、
- 第1方向に延びる、1つ、または、前記第1方向と垂直をなす第2方向において並ぶ複数の、第1立体拡散層部と、
- 前記第2方向に延びており、前記第1立体拡散層部と、前記第1方向に延びる、所定の第1電源電圧を供給する電源配線とを接続する第1ローカル配線とを備え、
- 前記第2スタンダードセルは、
- 前記第1方向に延びる、1つ、または、前記第2方向において並ぶ複数の、第2立体拡散層部と、
- 前記第2方向に延びており、前記第2立体拡散層部と前記電源配線とを接続する第2ローカル配線と、
- 前記第2立体拡散層部と平面視で交差するように前記第2方向に延びており、前記第2立体拡散層部を囲むように形成されており、所定の第2電源電圧が与えられているゲート配線とを備え、
- 前記第2スタンダードセルにおいて、前記第2ローカル配線が、前記電源配線から離れる向きにおいて前記第2立体拡散層部から突出する長さは、前記第1スタンダードセルにおいて、前記第1ローカル配線が、前記電源配線から離れる向きにおいて前記第1立体拡散層部から突出する長さよりも、大きいことを特徴とする半導体集積回路装置。
- [請求項2] 請求項1記載の半導体集積回路装置において、
- 前記第1立体拡散層部と前記第2立体拡散層部とは、個数、および、前記第2方向における位置が同一である

ことを特徴とする半導体集積回路装置。

[請求項3]

請求項1記載の半導体集積回路装置において、

前記第2スタンダードセルは、

前記第1方向に延びる、1つ、または、前記第2方向において並ぶ複数の、第3立体拡散層部を備え、

前記第3立体拡散層部は、前記電源配線の、前記第2立体拡散層部が配置された側の反対側に配置されており、

前記ゲート配線は、前記電源配線の下を通過して前記第3立体拡散層部と平面視で交差するように延びており、前記第3立体拡散層部を囲むように形成されている

ことを特徴とする半導体集積回路装置。

[請求項4]

請求項3記載の半導体集積回路装置において、

前記第2スタンダードセルは、

前記第1方向に延びる、1つ、または、前記第2方向において並ぶ複数の、第4立体拡散層部を備え、

前記第4立体拡散層部は、前記電源配線の下に、形成されており、

前記ゲート配線は、前記第4立体拡散層部を囲むように形成されている

ことを特徴とする半導体集積回路装置。

[請求項5]

容量セルであるスタンダードセルを備え、

前記スタンダードセルは、

第1方向に延び、第1電源電圧を供給する第1電源配線と、

前記第1方向に延び、第2電源電圧を供給する第2電源配線と、

前記第1および第2電源配線の間に設けられ、3次元トランジスタデバイスを有する容量部と、

前記容量部に、前記第2電源電圧を供給する第1配線と、

前記容量部に、前記第1電源電圧を供給する第2配線とを備え、

前記第1および第2電源配線、並びに、前記第1および第2配線は

、同一の金属配線層に設けられており、

前記第 1 配線は、

前記第 1 方向に延び、前記第 1 電源配線に隣接しており、前記金属配線層において前記第 1 電源配線に最も近い配線である第 1 部分と、

前記第 1 方向に延び、前記第 2 電源配線に隣接しており、前記金属配線層において前記第 2 電源配線に最も近い配線である第 2 部分と、

前記第 1 方向と垂直をなす方向である第 2 方向に延び、前記第 1 および第 2 部分を接続する第 3 部分とを備えた

ことを特徴とする半導体集積回路装置。

[請求項6]

請求項 5 記載の半導体集積回路装置において、

前記第 2 配線は、

前記第 1 方向に延び、前記第 1 配線の前記第 1 部分に、前記第 1 電源配線と反対側に隣接する第 4 部分と、

前記第 1 配線の前記第 1 および第 2 部分に挟まれた領域において、前記第 2 方向に延びる第 5 部分とを備えた

ことを特徴とする半導体集積回路装置。

[請求項7]

請求項 6 記載の半導体集積回路装置において、

前記第 1 配線の前記第 1 部分と前記第 1 電源配線との間隔、および、前記第 1 配線の前記第 1 部分と前記第 2 配線の第 4 部分との間隔は、等しい

ことを特徴とする半導体集積回路装置。

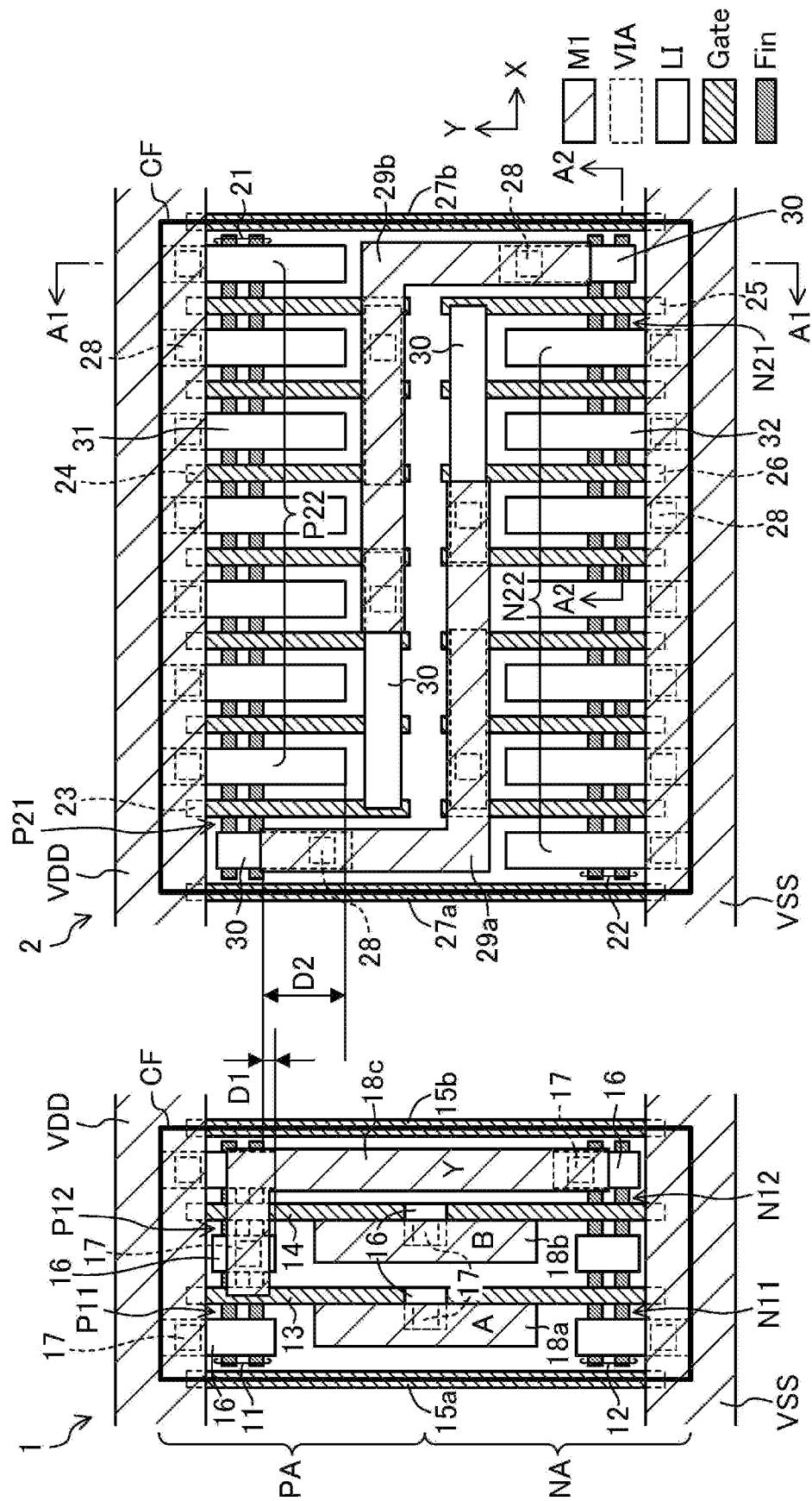
[請求項8]

請求項 1 ～ 7 のうちいずれか 1 項記載の半導体集積回路装置において、

前記 3 次元トランジスタデバイスは、フィン F E T (Field Effect Transistor)、または、ナノワイヤ F E T である

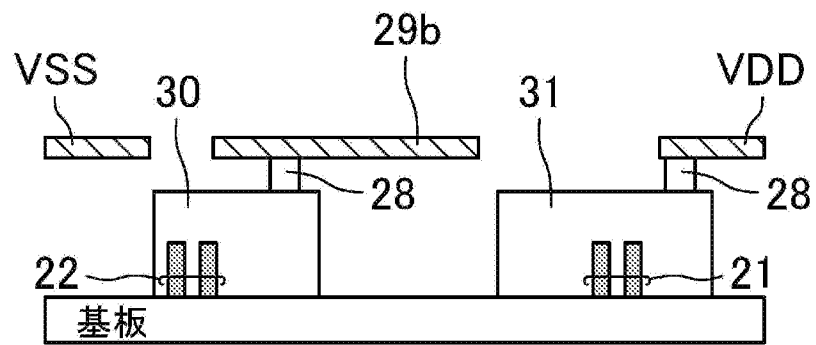
ことを特徴とする半導体集積回路装置。

[図1]

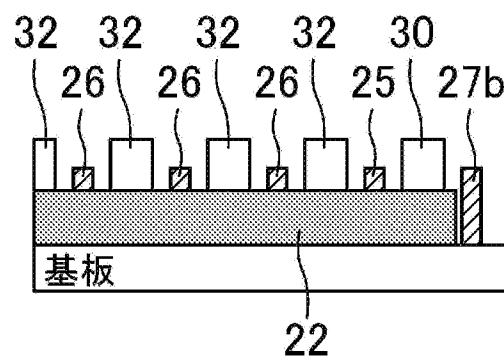


[図2]

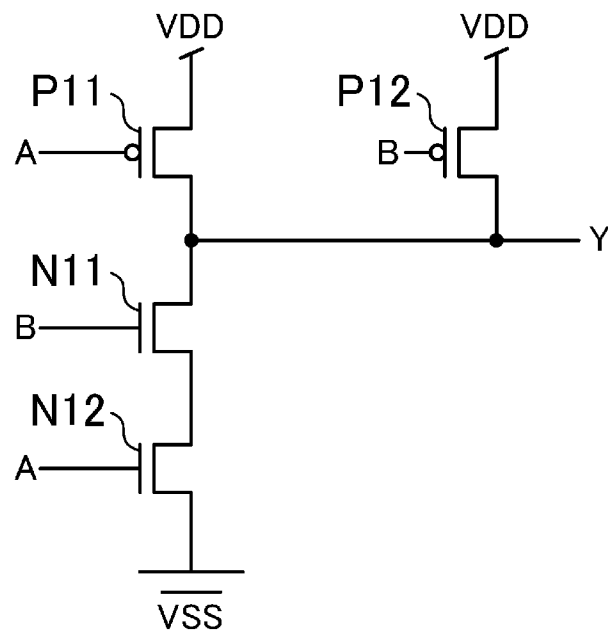
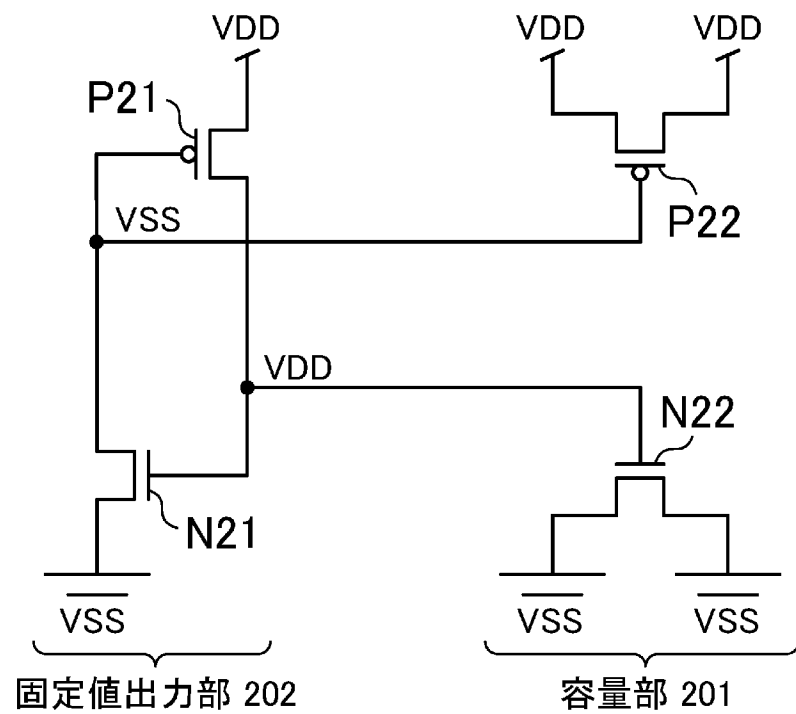
(a)



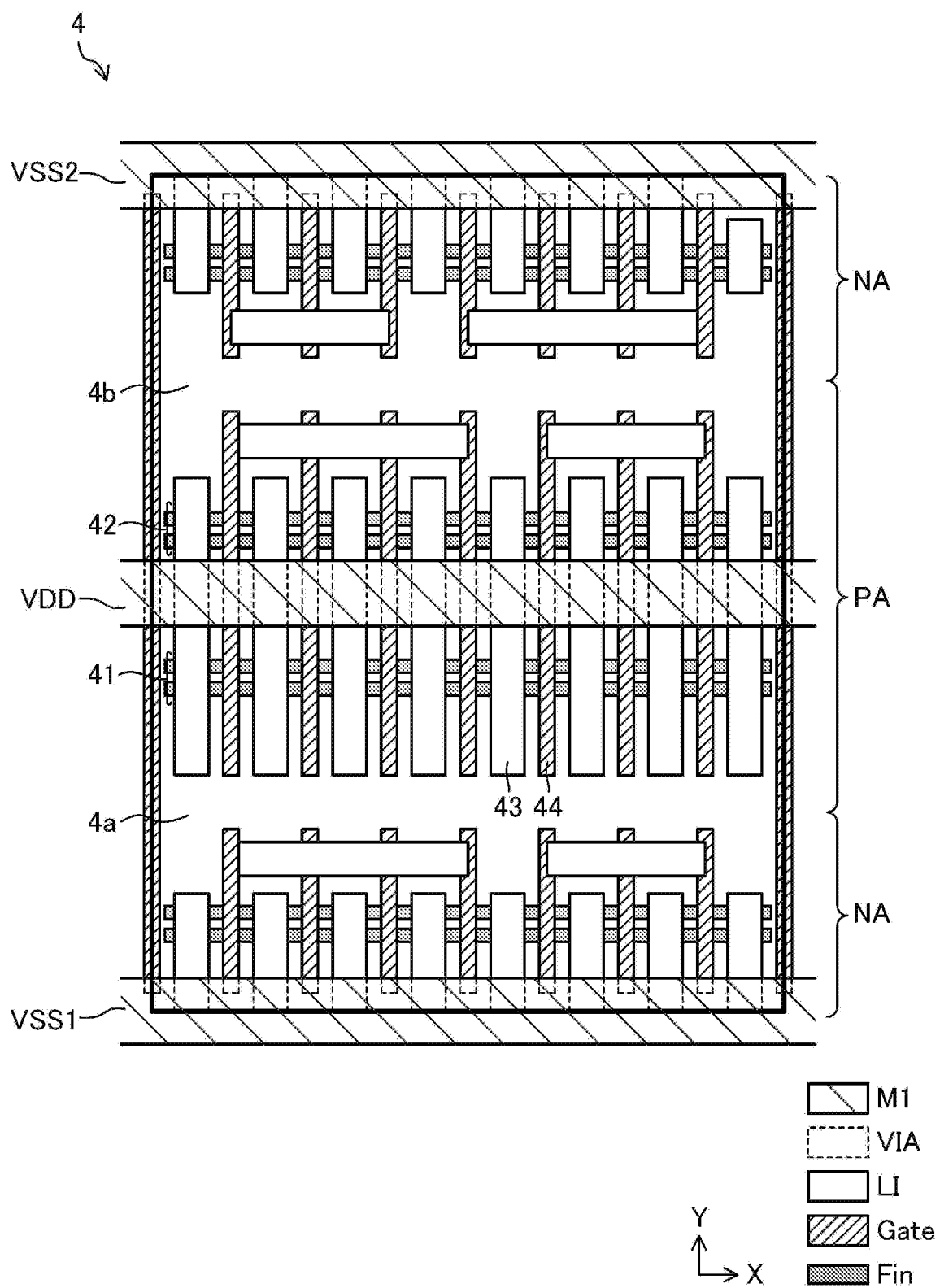
(b)



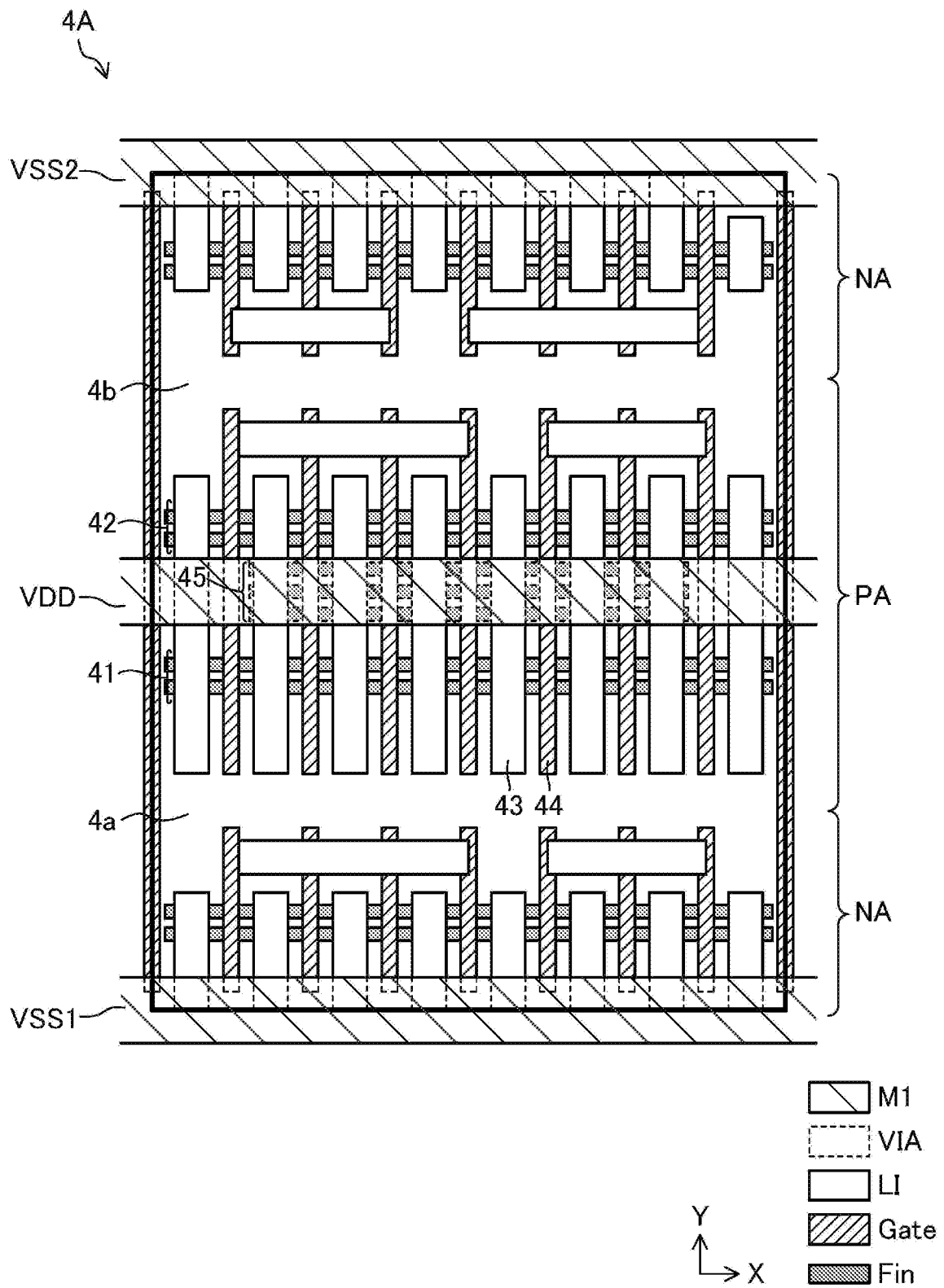
[図3]

(a)
セル1(b)
セル2

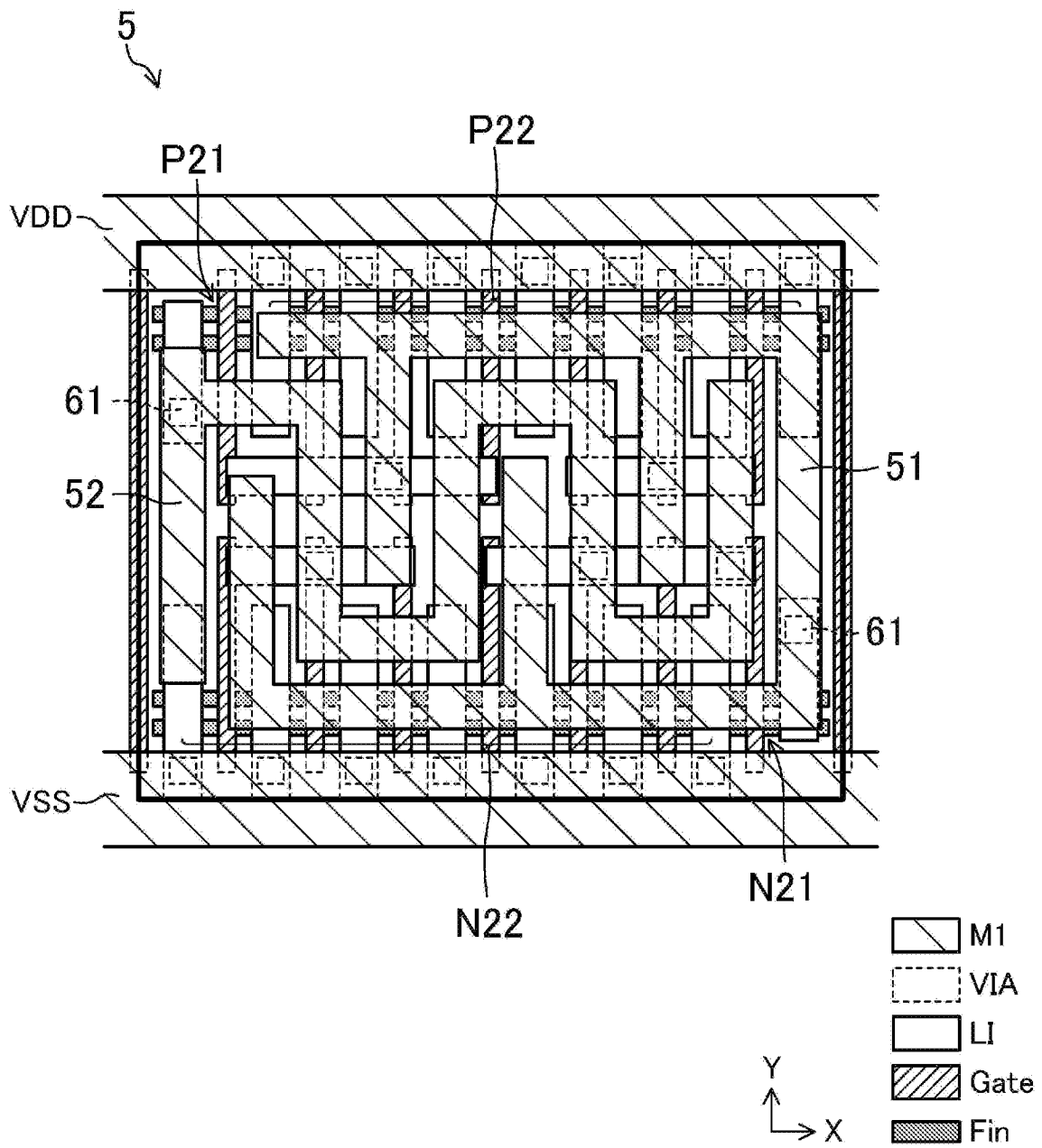
[図4]



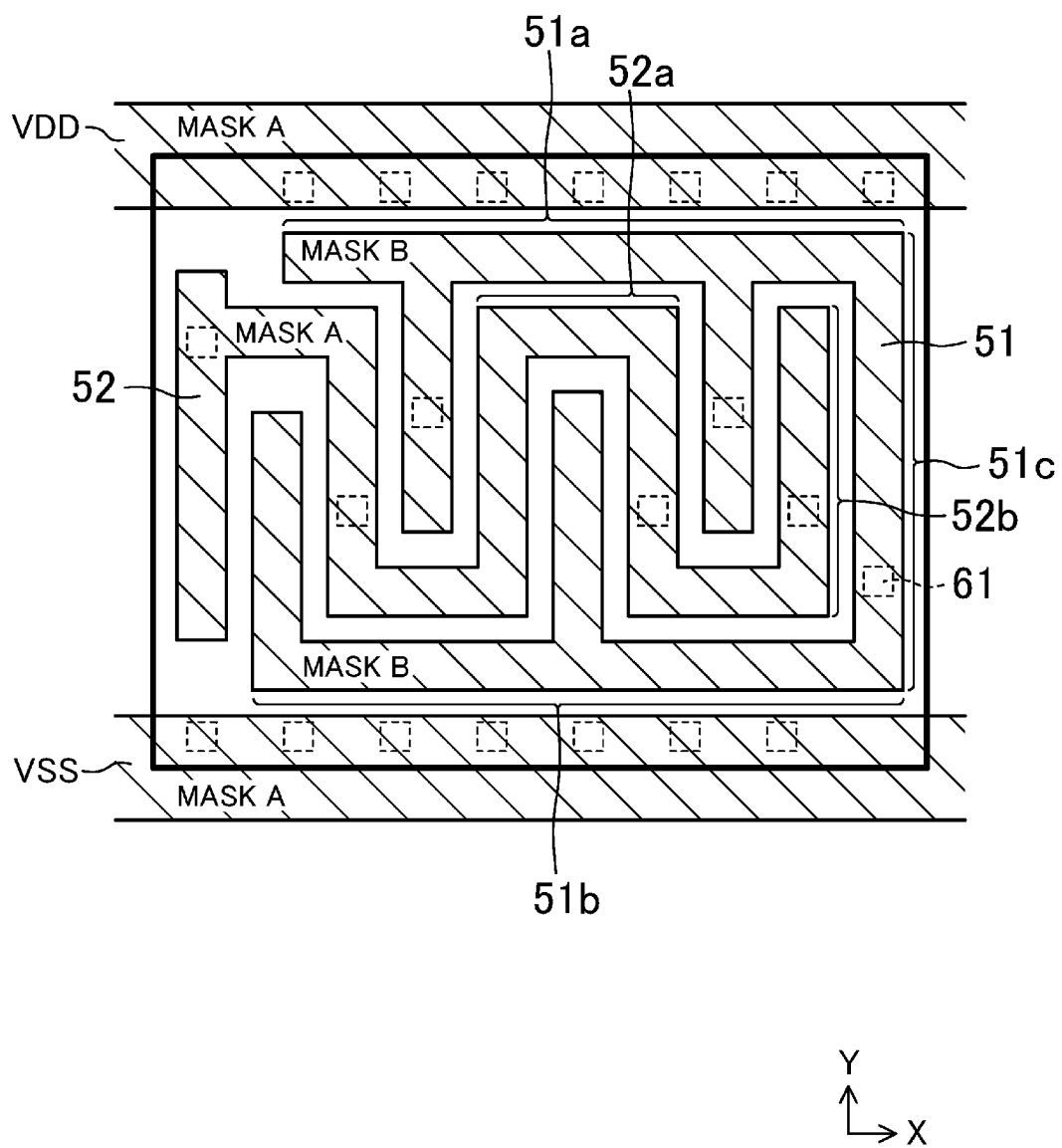
[図5]



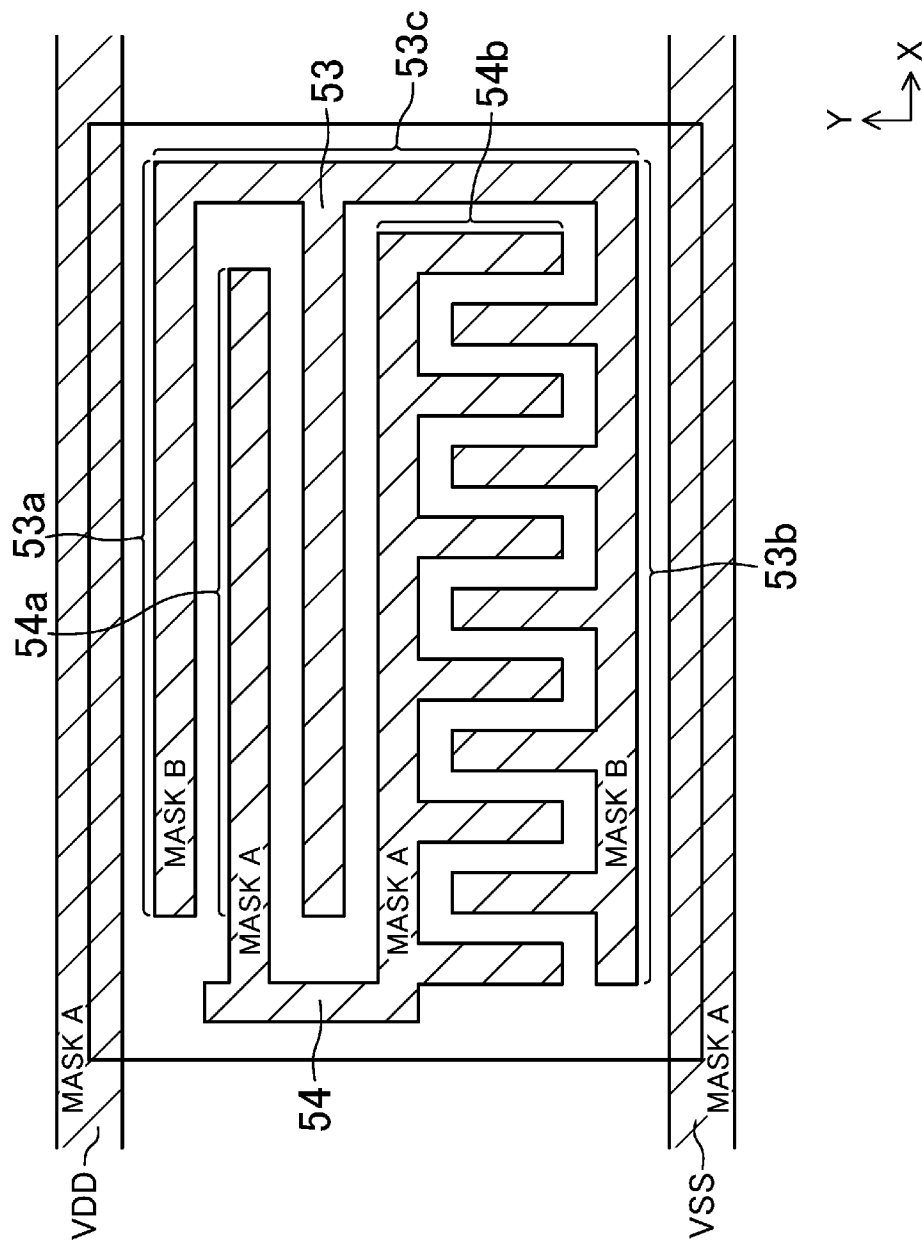
[図6]



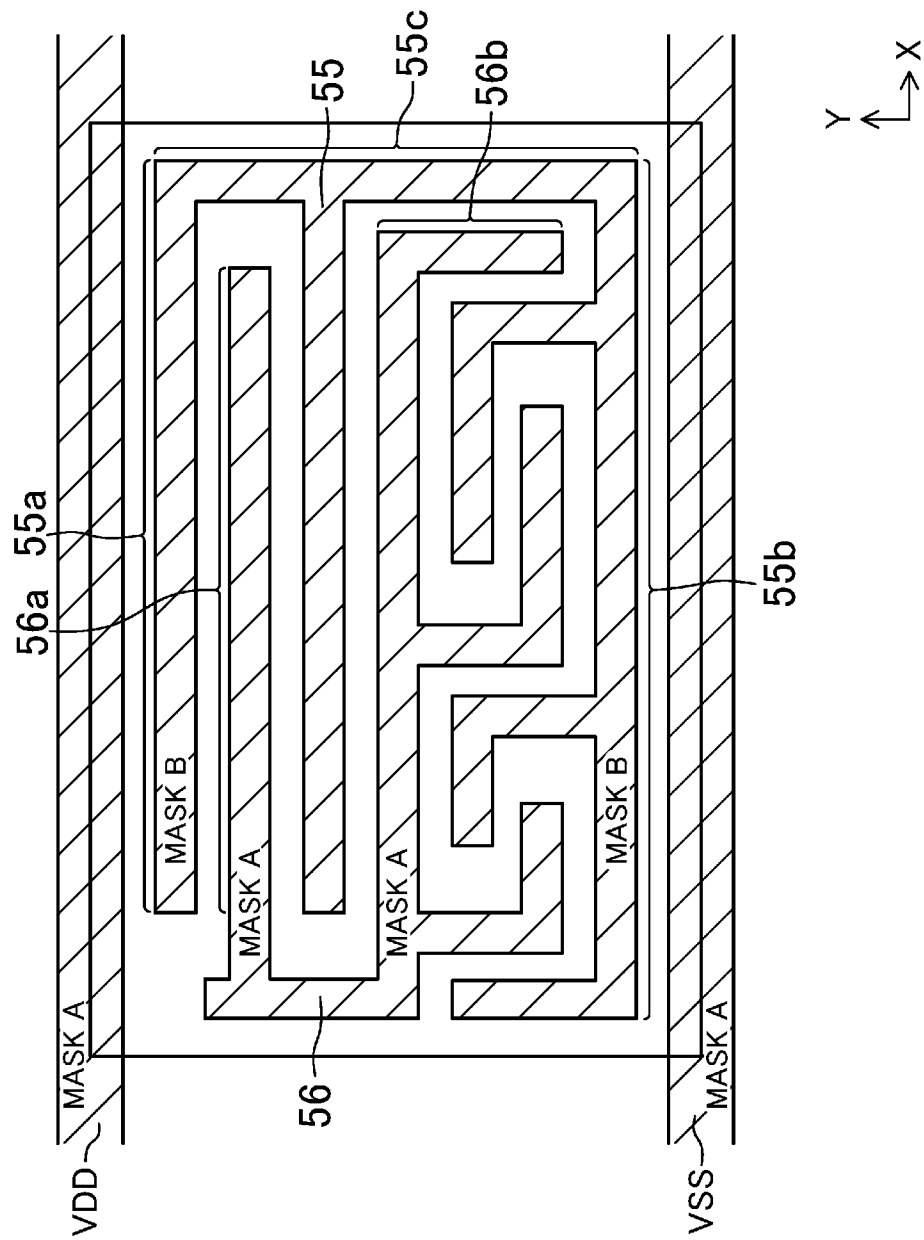
[図7]



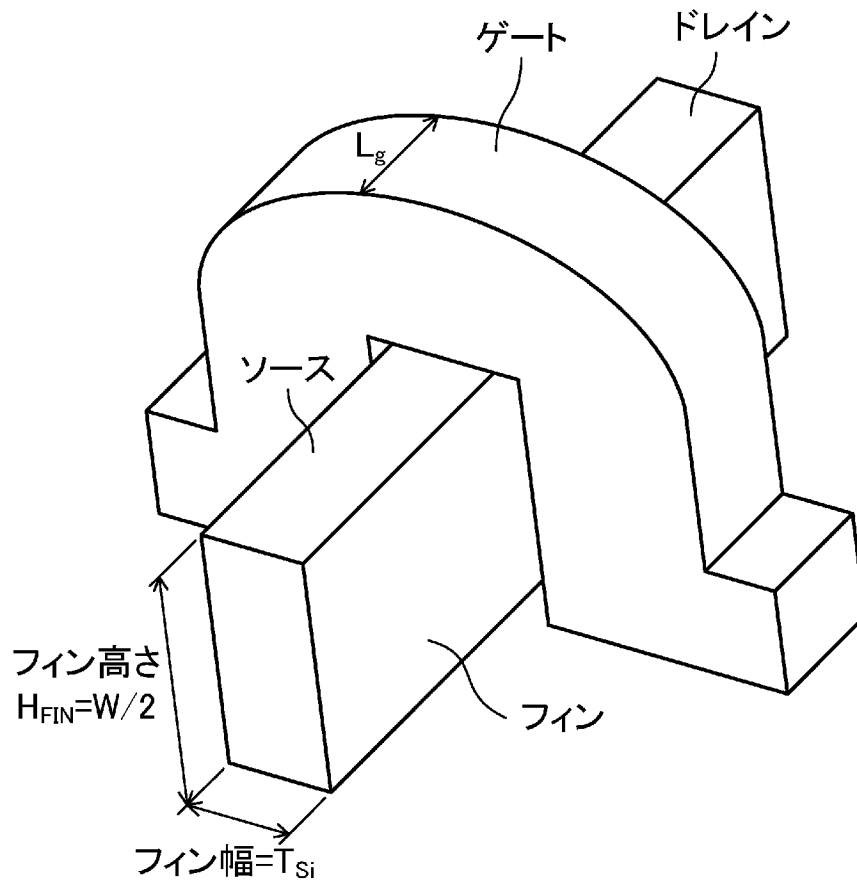
[図8]



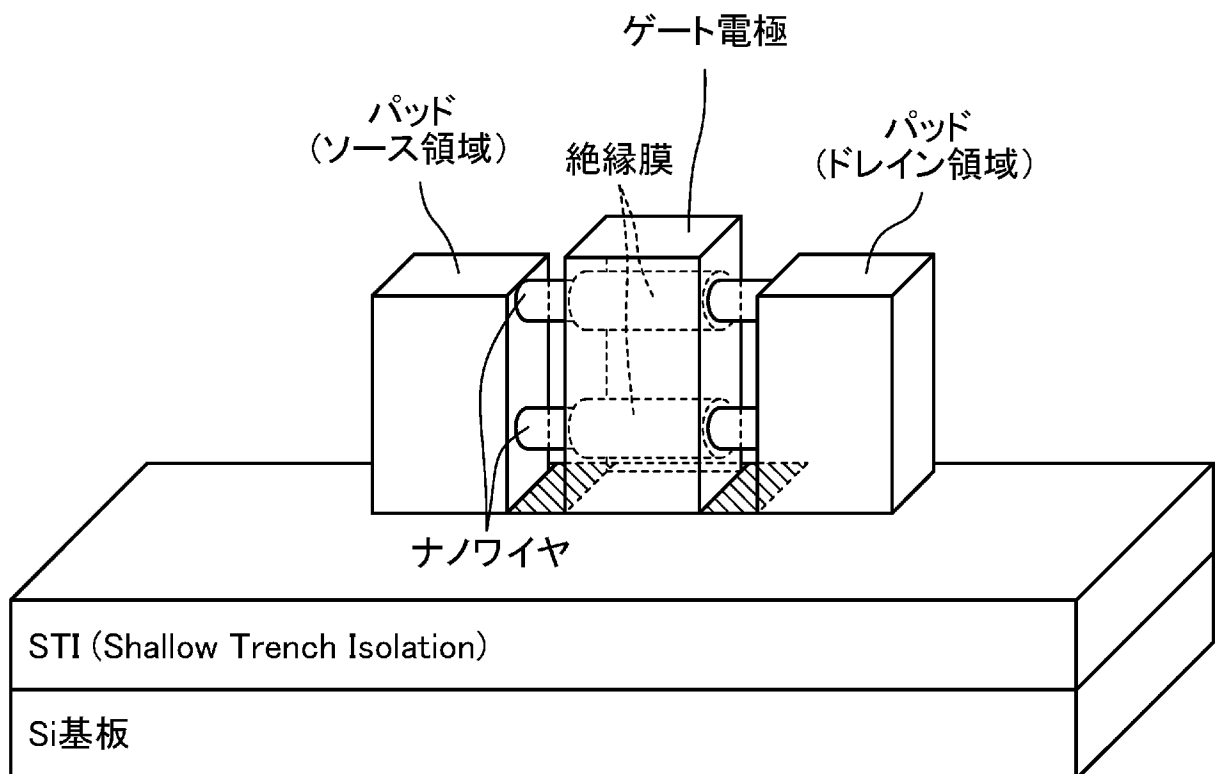
[図9]



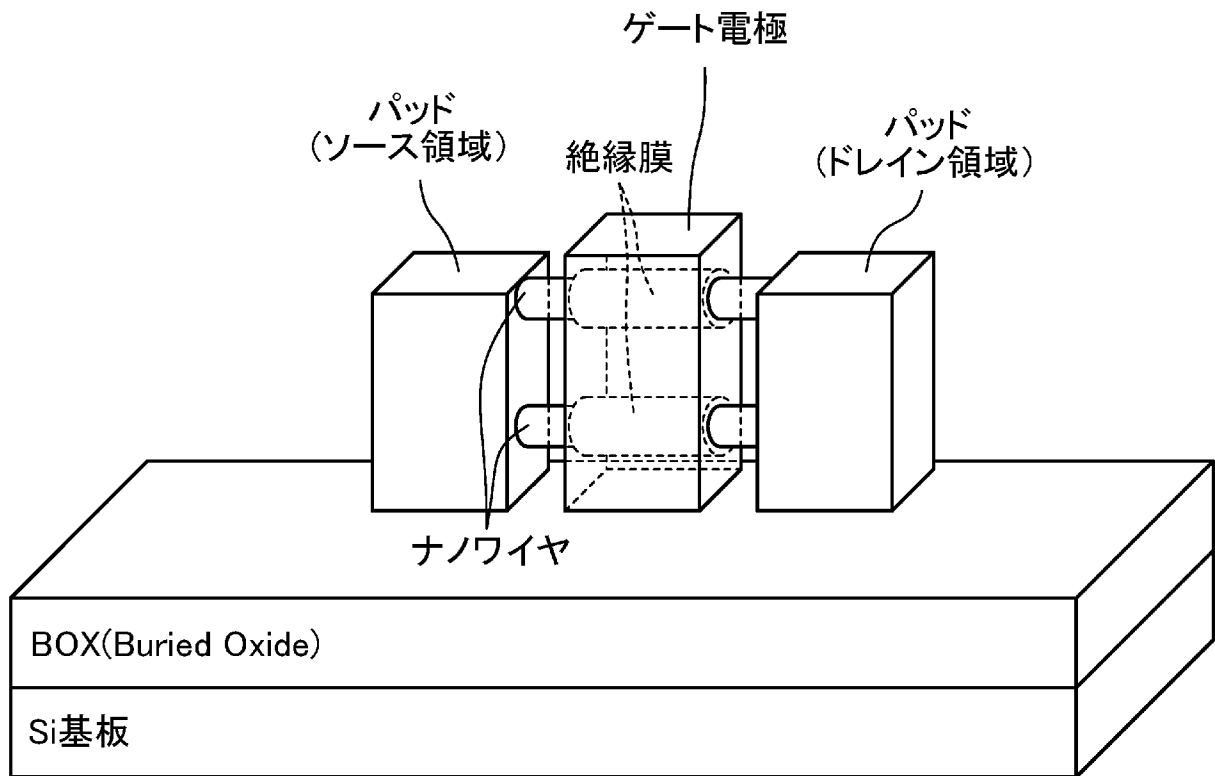
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/027524

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/82(2006.01)i, H01L21/336(2006.01)i, H01L21/822(2006.01)i,
H01L21/8238(2006.01)i, H01L27/04(2006.01)i, H01L27/092(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/82, H01L21/336, H01L21/822, H01L21/8238, H01L27/04, H01L27/092,
H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2015/033490 A1 (Panasonic Corp.), 12 March 2015 (12.03.2015), paragraphs [0064] to [0068]; fig. 9 & US 2016/0190138 A1 paragraphs [0074] to [0078]; fig. 9 & CN 105531813 A	1-2, 8 3-7
A	WO 2015/029280 A1 (Panasonic Corp.), 05 March 2015 (05.03.2015), & US 2016/0172351 A1	1-8
A	JP 2015-165591 A (Sony Corp.), 17 September 2015 (17.09.2015), (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 October 2017 (05.10.17)

Date of mailing of the international search report
17 October 2017 (17.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/027524

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-068552 A (Matsushita Electric Industrial Co., Ltd.), 16 March 2001 (16.03.2001), (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/82(2006.01)i, H01L21/336(2006.01)i, H01L21/822(2006.01)i, H01L21/8238(2006.01)i,
H01L27/04(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/82, H01L21/336, H01L21/822, H01L21/8238, H01L27/04, H01L27/092, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2015/033490 A1 (パナソニック株式会社) 2015.03.12, 段落 0064-0068, 図 9 & US 2016/0190138 A1, 段落 0074-0078, 図 9 & CN 105531813 A	1-2, 8 3-7
A	WO 2015/029280 A1 (パナソニック株式会社) 2015.03.05 & US 2016/0172351 A1	1-8
A	JP 2015-165591 A (ソニー株式会社) 2015.09.17 (ファミリーなし)	1-8

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

05.10.2017

国際調査報告の発送日

17.10.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

市川 武宜

5 F

6299

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-068552 A (松下電器産業株式会社) 2001. 03. 16 (ファミリーなし)	1-8