



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월13일
(11) 등록번호 10-1686217
(24) 등록일자 2016년12월07일

(51) 국제특허분류(Int. Cl.)

H03M 1/38 (2006.01) H03M 1/12 (2006.01)

H03M 1/16 (2006.01) H03M 1/46 (2006.01)

(52) CPC특허분류

H03M 1/38 (2013.01)

H03M 1/1215 (2013.01)

(21) 출원번호 10-2016-0021353

(22) 출원일자 2016년02월23일

심사청구일자 2016년02월23일

(56) 선행기술조사문헌

KR101287097 B1*

KR1020050101201 A*

KR1020150009185 A*

KR1020100073009 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

이승훈

서울특별시 용산구 이촌로 324-10, 2동210호 (이촌동, 반도아파트)

조영세

경기도 고양시 일산동구 강촌로12번길 12, 3층 (백석동)

이기욱

경기도 용인시 수지구 수풍로 47, 101동 1701호 (풍덕천동, 동문아파트)

(74) 대리인

특허법인명인

전체 청구항 수 : 총 7 항

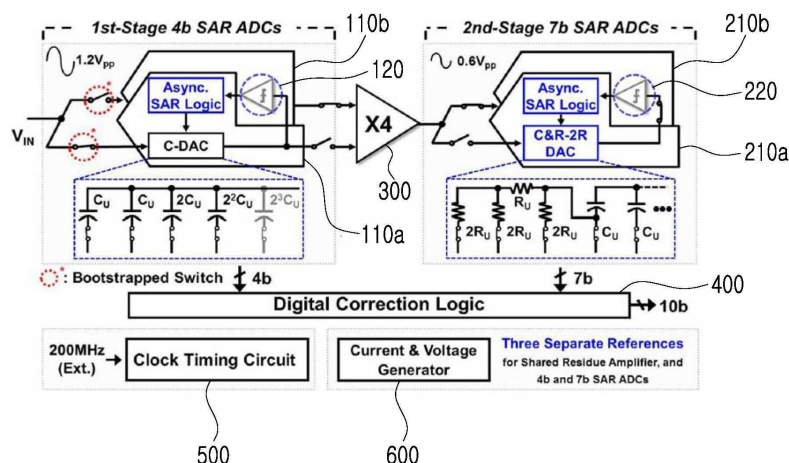
심사관 : 유선중

(54) 발명의 명칭 이중채널 비동기 파이프라인 SAR ADC

(57) 요약

본 발명은 이중채널 비동기 파이프라인 SAR ADC에 관한 것이다. 본 발명에 따른 SAR ADC 장치는 클럭 신호와 클럭 지연 신호 사이에 비교기의 동작 완료를 알리는 READY 신호가 출력되지 않는 경우 비교기의 출력을 높은 로직 수준으로 결정해주는 META 신호를 생성하여 비교기의 준안정상태로 인한 출력오류를 줄이는 준안정상태 감지 회로를 포함할 수 있다. 또한 첫 번째 단 및 두 번째 단 SAR ADC에 추가적인 보정기법 없이 두 채널 간의 오프셋 부정합을 최소화하기 위해 하나의 비교기를 공유하도록 구현할 수 있다. 아울러 두 번째 단 SAR ADC에는 R-2R 저항기반의 DAC를 이용하여 최하위 2비트를 결정하는 기법을 이용하여 사용되는 커패시터의 수를 줄여 칩 면적 및 DAC 내에서 소모되는 스위칭 전력을 최소화할 수 있다.

대표도 - 도1



(52) CPC특허분류

H03M 1/164 (2013.01)

H03M 1/468 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 NRF 2013R1A1A2004829

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 한국연구재단 일반연구자지원사업

연구과제명 ADC 연구 최소한의 커패시터를 사용하는 CR 하이브리드 DAC 기반의 12비트 10MS/s 0.11um CMOS SAR

기 여 율 1/1

주관기관 서강대학교 산학협력단

연구기간 2013.06.01 ~ 2016.05.31

명세서

청구범위

청구항 1

삭제

청구항 2

첫 번째 단은 이중채널로 구현되는 제1 SAR ADC와 제2 SAR ADC가 비동기 SAR 로직과 DAC를 각각 포함하고 제1 비교기를 공유하도록 형성되고, 두 번째 단은 이중채널로 구현되는 제3 SAR ADC와 제4 SAR ADC가 비동기 SAR 로직과 DAC를 각각 포함하고 제2 비교기를 공유하도록 형성되고,

상기 첫 번째 단과 상기 두 번째 단 사이에 위치하고, 상기 제1 SAR ADC와 상기 제2 SAR ADC 중에서 선택된 SAR ADC의 잔류전압 증폭을 수행하는 잔류전압 증폭기 및,

클록 신호를 생성하는 클록 타이밍 회로부를 포함하고,

상기 제1 비교기는 상기 클록 신호, 상기 클록 신호를 소정 시간 지연한 클록 지연 신호 및 상기 제1 비교기의 동작 완료에 대응하는 준비 신호를 입력받아 상기 제1 비교기의 준안정 상태를 감지하고, 상기 제1 비교기의 준안정 상태를 감지하면 상기 제1 비교기가 미리 정해진 출력을 내보내고 다음 동작을 수행하게 하는 감지 신호를 출력하는 제1 감지 회로부

를 포함하는 것을 특징으로 하는 이중채널 비동기 파이프라인 SAR ADC.

청구항 3

첫 번째 단은 이중채널로 구현되는 제1 SAR ADC와 제2 SAR ADC가 비동기 SAR 로직과 DAC를 각각 포함하고 제1 비교기를 공유하도록 형성되고, 두 번째 단은 이중채널로 구현되는 제3 SAR ADC와 제4 SAR ADC가 비동기 SAR 로직과 DAC를 각각 포함하고 제2 비교기를 공유하도록 형성되고,

상기 첫 번째 단과 상기 두 번째 단 사이에 위치하고, 상기 제1 SAR ADC와 상기 제2 SAR ADC 중에서 선택된 SAR ADC의 잔류전압 증폭을 수행하는 잔류전압 증폭기 및,

클록 신호를 생성하는 클록 타이밍 회로부를 포함하고,

상기 제2 비교기는 상기 클록 신호, 상기 클록 신호를 소정 시간 지연한 클록 지연 신호 및 상기 제2 비교기의 동작 완료에 대응하는 준비 신호를 입력받아 상기 제2 비교기의 준안정 상태를 감지하고, 상기 제2 비교기의 준안정 상태를 감지하면 상기 제2 비교기가 미리 정해진 출력을 내보내고 다음 동작을 수행하게 하는 감지 신호를 출력하는 제2 감지 회로부

를 포함하는 것을 특징으로 하는 이중채널 비동기 파이프라인 SAR ADC.

청구항 4

제 2 항 또는 제 3 항에서,

상기 제3 SAR ADC 및 상기 제4 SAR ADC는,

샘플링된 입력 신호의 상위 비트를 결정하는 커패시터열과, 상기 샘플링된 입력 신호의 하위 비트를 결정하는 저항열을 각각 포함하는 커패시터-저항 하이브리드 DAC를 각각 포함하고,

상기 저항열은,

공통모드전압 입력단에 일단이 스위칭 소자에 의해 연결되는 제1 저항,

상기 공통모드전압 입력단, 제1 기준전압 입력단 및 제2 기준전압 입력단에 각각 스위칭 소자에 의해 일단이 연결되는 제2 저항 및 제3 저항,

상기 제2 저항 및 상기 제3 저항을 연결하는 제4 저항
을 포함하고,

상기 제1 저항, 상기 제2 저항 및 상기 제3 저항은 상기 제4 저항보다 2배의 저항값을 가지는 것을 특징으로 하는 이중채널 비동기 파이프라인 SAR ADC.

청구항 5

제 4 항에서,

상기 커패시터-저항 하이브리드 DAC는

상기 샘플링된 입력 신호를 상기 공통모드전압과 비교하여 최상위 비트를 결정하는 것을 특징으로 하는 이중채널 비동기 파이프라인 SAR ADC.

청구항 6

비동기 SAR 로직과 DAC를 포함하는 SAR ADC,

상기 DAC에서 출력된 전압을 소정의 기준 전압과 비교한 비교 결과를 상기 SAR 로직으로 출력하는 비교기, 그리고

상기 비교기의 동작을 위한 클럭 신호를 생성하는 클럭 타이밍 회로부

를 포함하고,

상기 비교기는,

상기 클럭 신호, 상기 클럭 신호를 소정 시간 지연한 클럭 지연 신호 및 상기 비교기의 동작 완료에 대응하는 준비 신호를 입력받아 상기 비교기의 준안정 상태를 감지하고, 상기 비교기의 준안정 상태를 감지하면 상기 비교기가 미리 정해진 출력을 내보내고 다음 동작을 수행하게 하는 감지 신호를 출력하는 감지 회로부

를 포함하는 것을 특징으로 하는 SAR ADC.

청구항 7

제 6 항에서,

상기 DAC는,

샘플링된 입력 신호의 상위 비트를 결정하는 커패시터열과, 상기 샘플링된 입력 신호의 하위 비트를 결정하는 저항열을 각각 포함하고,

상기 저항열은,

공통모드전압 입력단에 일단이 스위칭 소자에 의해 연결되는 제1 저항,

상기 공통모드전압 입력단, 제1 기준전압 입력단 및 제2 기준전압 입력단에 각각 스위칭 소자에 의해 일단이 연결되는 제2 저항 및 제3 저항,

상기 제2 저항 및 상기 제3 저항을 연결하는 제4 저항

을 포함하고,

상기 제1 저항, 상기 제2 저항 및 상기 제3 저항은 상기 제4 저항보다 2배의 저항값을 가지는 것을 특징으로 하는 SAR ADC.

청구항 8

제 7항에서,

상기 DAC는

상기 샘플링된 입력 신호를 상기 공통모드전압과 비교하여 최상위 비트를 결정하는 것을 특징으로 하는 SAR

ADC.

발명의 설명

기술 분야

[0001] 본 발명은 SAR ADC에 관한 것으로, 보다 자세하게는 이중채널 비동기 파이프라인 SAR ADC에 관한 것이다.

배경 기술

[0002] 최근 공정 스케일링에 의한 CMOS 기술은 45nm 및 28nm 공정 등 초미세 나노공정 기술로 계속 발전함과 더불어 저전력 및 소면적 설계에 대한 관심사가 증가되고 있다. 또한 다양한 아날로그 회로 및 디지털 회로가 하나의 칩에 집적되는 시스템온칩(system-on-a-chip)(SoC) 개발에 대한 연구가 활발히 진행되고 있으며, 이러한 SoC 응용 분야에는 아날로그 신호를 정밀하고 안정적으로 처리할 수 있는 A/D 변환기(analog-to-digital converter)(ADC)가 필수적으로 요구된다.

[0003] 특히 최근 스마트 TV, IPTV와 같은 차세대 TV 시스템 및 IEEE 802.16 기반의 WiMAX(worldwide interoperability for microwave access)와 같은 다양한 고성능 장비는 10비트 해상도와 160MS/s 이상의 동작 속도를 동시에 만족시키며, 저전력 및 소면적을 갖는 ADC가 필수적으로 요구된다. 기존의 고품질 비디오 디스플레이 시스템 및 무선통신 네트워크 등 다양한 시스템에는 이 같은 고해상도의 품질과 증가된 대역폭 사양을 만족시키면서 전력소모 및 면적을 최소화하기 위해 파이프라인 구조의 ADC가 주로 사용되었다.

[0004] 한편, 디지털 회로기반의 연속 근사 레지스터(successive-approximation register)(SAR) ADC의 경우 공정의 발달로 SAR 로직의 동작속도가 크게 향상되었을 뿐만 아니라, 사용가능한 전원전압이 감소함에 따라 디지털 회로에서 소모하는 전력 역시 급격히 감소하는 등 공정의 발달에 따른 경쟁력이 향상되어 최근 SAR ADC에 대한 연구가 활발히 진행되고 있다.

[0005] 이와 같이 SAR ADC는 나노공정으로 갈수록 경쟁력이 강화되고 있지만, 증가하는 해상도 및 회로의 잡음 크기에 따라 그 성능이 제한될 뿐만 아니라 동작속도가 증가함에 따라 내부동작속도도 지수적으로 증가하는 경향이 있다. 이러한 단점을 극복하기 위해 파이프라인 구조를 기반으로 낮은 속도의 동일한 서브(sub)-ADC 여러 개를 병렬로 연결하는 time-interleaved(T-I) 구조를 적용하여 고속의 ADC를 구현할 수 있지만, T-I 구조를 적용함으로써 발생하는 오프셋, 이득 및 샘플링 타이밍 등 채널 간의 각종 비선형 부정합 등에 의하여 전체 ADC의 성능이 저하된다. 따라서 10비트 이상의 높은 해상도를 얻기 위해서는 구성회로의 잡음뿐만 아니라 각종 채널 간 부정합 문제를 최소화할 필요가 있다. 이러한 채널 간 부정합 문제점들을 해결하기 위해서는 다양한 보정기법이 필수적이거나 이는 추가적인 회로가 요구되며 복잡하므로, 최근에는 다양한 아날로그 회로 설계기법기반의 T-I 파이프라인 ADC가 다양하게 발표되고 있다.

[0006] 특히 T-I 파이프라인 ADC의 경우 증폭기에 의한 채널 간 오프셋 부정합이 성능 저하의 주요 원인이 되는 반면, T-I 구조의 SAR ADC는 비교기에 의한 채널 간 오프셋 부정합이 성능저하의 주요 원인이 된다. 비교기에 의한 채널 간 오프셋 부정합을 해결하기 위해 비교기 출력단에 가변 커패시터를 추가하여 비교기의 오프셋을 보정하는 방법이 제안되었지만, 이는 오프셋 보정을 위한 추가적인 타이밍 및 디지털 회로가 요구된다. 또한, 디지털 회로기반의 오프셋 보정기법은 규모가 크고 복잡한 회로를 칩 안에 집적해야 하므로 전력소모 및 면적이 추가로 필요하게 된다.

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 한국공개특허 제10-2003-0056903호

(특허문헌 0002) 한국공개특허 제10-2010-0031831호

발명의 내용

해결하려는 과제

[0008] 따라서 본 발명이 해결하려는 과제는 별도의 보정기법을 사용하지 않고 채널 간 오프셋 부정합과 같은 비선형 오차 및 회로의 잡음 크기를 최소화한 이중채널 비동기 파이프라인 SAR ADC를 제공하는 것이다.

과제의 해결 수단

[0009] 이러한 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따른 이중채널 비동기 파이프라인 SAR ADC는 첫 번째 단은 이중채널로 구현되는 제1 SAR ADC와 제2 SAR ADC가 비동기 SAR 로직과 D/A 변환기(digital-to-analog converter)(DAC)를 각각 포함하고 제1 비교기를 공유하도록 형성되고, 두 번째 단은 이중채널로 구현되는 제3 SAR ADC와 제4 SAR ADC가 비동기 SAR 로직과 DAC를 각각 포함하고 제2 비교기를 공유하도록 형성된다.

[0010] 상기 첫 번째 단과 상기 두 번째 단 사이에 위치하고, 상기 제1 SAR ADC와 상기 제2 SAR ADC 중에서 선택된 SAR ADC의 잔류전압 증폭을 수행하는 잔류전압 증폭기를 더 포함할 수 있다.

[0011] 상기 장치는, 클록 신호를 생성하는 클록 타이밍 회로부를 더 포함할 수 있다.

[0012] 상기 제1 비교기는 상기 클록 신호, 상기 클록 신호를 소정 시간 지연한 클록 지연 신호 및 상기 제1 비교기의 동작 완료에 대응하는 준비 신호를 입력받아 상기 제1 비교기의 준안정 상태를 감지하고, 상기 제1 비교기의 준안정 상태를 감지하면 상기 제1 비교기가 미리 정해진 출력을 내보내고 다음 동작을 수행하게 하는 감지 신호를 출력하는 제1 감지 회로부를 포함할 수 있다.

[0013] 상기 제2 비교기는 상기 클록 신호, 상기 클록 신호를 소정 시간 지연한 클록 지연 신호 및 상기 제2 비교기의 동작 완료에 대응하는 준비 신호를 입력받아 상기 제2 비교기의 준안정 상태를 감지하고, 상기 제2 비교기의 준안정 상태를 감지하면 상기 제2 비교기가 미리 정해진 출력을 내보내고 다음 동작을 수행하게 하는 감지 신호를 출력하는 제2 감지 회로부를 포함할 수 있다.

[0014] 상기 제3 SAR ADC 및 상기 제4 SAR ADC는, 샘플링된 입력 신호의 상위 비트를 결정하는 커패시터열과, 상기 샘플링된 입력 신호의 하위 비트를 결정하는 저항열을 각각 포함하는 커패시터-저항 하이브리드 DAC를 각각 포함할 수 있다.

[0015] 상기 저항열은, 공통모드전압 입력단에 일단이 스위칭 소자에 의해 연결되는 제1 저항, 상기 공통모드전압 입력단, 제1 기준전압 입력단 및 상기 제2 기준전압 입력단에 각각 스위칭 소자에 의해 일단이 연결되는 제2 저항 및 제3 저항, 상기 제2 저항 및 상기 제3 저항을 연결하는 제4 저항을 포함할 수 있다.

[0016] 상기 제1 저항, 상기 제2 저항 및 상기 제3 저항은 상기 제4 저항보다 2배의 저항값을 가질 수 있다.

[0017] 상기 커패시터-저항 하이브리드 DAC는 상기 샘플링된 입력 신호를 상기 공통모드전압과 비교하여 최상위 비트를 결정할 수 있다.

[0018] 본 발명의 다른 실시예에 따른 SAR ADC, 비동기 SAR 로직과 DAC를 포함하는 SAR ADC, 상기 DAC에서 출력된 전압을 소정의 기준 전압과 비교한 비교 결과를 상기 SAR 로직으로 출력하는 비교기, 그리고 상기 비교기의 동작을 위한 클록 신호를 생성하는 클록 타이밍 회로부를 포함한다.

[0019] 상기 비교기는, 상기 클록 신호, 상기 클록 신호를 소정 시간 지연한 클록 지연 신호 및 상기 비교기의 동작 완료에 대응하는 준비 신호를 입력받아 상기 비교기의 준안정 상태를 감지하고, 상기 비교기의 준안정 상태를 감지하면 상기 비교기가 미리 정해진 출력을 내보내고 다음 동작을 수행하게 하는 감지 신호를 출력하는 감지 회로부를 포함할 수 있다.

[0020] 상기 DAC는, 샘플링된 입력 신호의 상위 비트를 결정하는 커패시터열과, 상기 샘플링된 입력 신호의 하위 비트를 결정하는 저항열을 각각 포함할 수 있다.

발명의 효과

[0021] 본 발명에 의하면, 비교기의 준안정 상태로 인한 출력오류를 줄일 수 있고, 별도의 보정기법 없이 두 채널 간의 오프셋 부정합을 최소화할 수 있으며, DAC에 사용되는 커패시터의 수를 줄여 칩 면적 및 DAC 내에서 소모되는 스위칭 전력을 최소화할 수 있는 장점이 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 일 실시예에 따른 이중채널 비동기 파이프라인 SAR ADC의 구성을 나타낸 도면이다.

도 2는 본 발명의 일 실시예에 따른 이중채널 비동기 파이프라인 SAR ADC의 각 SAR ADC의 동작 타이밍을 예시한 도면이다.

도 3은 본 발명에 따른 이중채널 비동기 파이프라인 SAR ADC의 첫 번째 단계에 사용되는 공유 비교기의 구조를 나타낸 도면이다.

도 4는 본 발명에 따른 이중채널 비동기 파이프라인 SAR ADC의 두 번째 단계에 사용되는 공유 비교기의 구조를 나타낸 도면이다.

도 5는 본 발명에 따른 이중채널 비동기 파이프라인 SAR ADC에 사용되는 잔류전압 증폭기의 구조를 자세히 나타낸 도면이다.

도 6은 본 발명에 따른 이중채널 비동기 파이프라인 SAR ADC의 두 번째 단계에 형성되는 SAR ADC의 DAC 구조를 예시한 도면이다.

도 7은 동기 방식 SAR 알고리즘의 타이밍과 비동기 SAR 알고리즘의 타이밍을 비교한 타이밍도이다.

도 8은 본 발명에 따른 이중채널 비동기 파이프라인 SAR ADC에 적용된 준안정상상태 감지회로를 설명하기 위해 제공되는 도면이다.

도 9는 준안정상상태 감지 로직의 동작 원리를 설명하기 위해 제공되는 타이밍도이다.

도 10은 본 발명에 따라 모의 실험한 비교기의 준안정상상태 감지 결과를 나타낸 도면이다.

도 11은 본 발명에 따른 이중채널 비동기 파이프라인 SAR ADC에서 하나의 기준 전압을 공유하는 경우와 기준전압 구동회로를 분리한 경우를 비교하여 설명하기 위해 제공되는 도면이다.

도 12는 본 발명에 따른 이중채널 비동기 파이프라인 SAR ADC가 칩 상에 구현된 것을 도시한 도면이다.

도 13은 도 12의 이중채널 비동기 파이프라인 SAR ADC의 측정된 DNL 및 INL을 예시한 도면이다.

도 14는 도 12의 이중채널 비동기 파이프라인 SAR ADC의 측정된 FFT 스펙트럼을 예시한 도면이다.

도 15는 본 발명에 따른 이중채널 비동기 파이프라인 SAR ADC의 샘플링 주파수에 따라 측정된 SNDR 및 SFDR을 나타낸 도면이다.

도 16은 본 발명에 따른 이중채널 비동기 파이프라인 SAR ADC의 입력 주파수에 따른 동적 성능을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.

[0024] 도 1은 본 발명의 일 실시예에 따른 이중채널 비동기 파이프라인 SAR ADC의 구성을 나타낸 도면이다.

[0025] 도 1에 예시한 이중채널 비동기 파이프라인 SAR ADC는 이중채널 10비트 200MS/s 28nm CMOS 비동기 파이프라인 SAR ADC로서 4비트 및 7비트 결정기반의 2단 파이프라인 구조, 이중채널 T-I 구조 및 비동기 SAR 알고리즘을 동시에 적용한 경우를 예시하였으며, 이하에서는 이를 기준으로 설명한다. 물론 실시예에 따라서 첫 번째 단(1st-Stage)과 두 번째 단(2nd-Stage)에 이중채널로 구현되는 두 개의 SAR ADC에서 결정되는 비트수가 도 1에 예시한 것과 달라질 수도 있는 것으로 이해되어야 한다.

[0026] 도 1을 참고하면, 본 발명에 따른 이중채널 비동기 파이프라인 SAR ADC(이하 이중채널 SAR ADC 장치라 함)는 제1 비동기 SAR ADC(110a), 제2 비동기 SAR ADC(110b), 제1 비교기(120), 잔류전압 증폭기(300), 제3 비동기 SAR ADC(210a), 제4 비동기 SAR ADC(210b), 제2 비교기(220), 디지털 교정회로(digital correction logic)(400), 클럭 타이밍 회로(clock timing circuit)(500), 기준전류 및 기준전압 발생기(current & voltage generator)(600)를 포함할 수 있다.

[0027] 본 발명에 따른 이중채널 SAR ADC 장치는 첫 번째 단계에 제1 비동기 SAR ADC(110a), 제2 비동기 SAR ADC(110b) 및 제1 비교기(120)를 포함하고, 두 번째 단계에 제3 비동기 SAR ADC(210a), 제4 비동기 SAR ADC(210b) 및 제2 비교기(210)를 포함할 수 있다.

- [0028] 도 1에서는 첫 번째 단계에 위치한 제1 비동기 SAR ADC(110a) 및 제2 비동기 SAR ADC(110b)는 비동기 4비트 SAR ADC로 구현하였고, 두 번째 단계에 위치한 제3 비동기 SAR ADC(210a) 및 제4 비동기 SAR ADC(210b)는 비동기 7비트 SAR ADC로 구현한 예를 예시하였으나, 앞서 설명한 것과 같이 첫 번째 단계와 두 번째 단계에 위치하는 비동기 SAR ADC의 비트수는 실시예에 따라 달라질 수 있다.
- [0029] 한편 도 1에서 편의상 첫 번째 단계에 위치한 제1 비동기 SAR ADC(110a)과 두 번째 단계에 위치한 제3 비동기 SAR ADC(210a)에 각각 비동기 SAR 로직(asynchronous SAR logic)(Async. SAR Logic)과 커패시터 DAC (Capacitor-DAC)(C-DAC), 커패시터-저항 하이브리드 DAC (C&R-2R DAC)를 포함하는 것으로 도시하였으나, 제2 비동기 SAR ADC(110b)과 제4 비동기 SAR ADC(210b)에도 대응하는 비동기 SAR 로직과 C-DAC, C&R-2R DAC를 포함한다.
- [0030] 그리고 도 1에서 편의상 첫 번째 단계에 위치한 제1 비동기 SAR ADC(110a)과 두 번째 단계에 위치한 제3 비동기 SAR ADC(210a)에 각각 비교기(120, 220)이 연결된 것으로 도시하였으나, 첫 번째 단계에 위치한 제1 비동기 SAR ADC(110a) 및 제2 비동기 SAR ADC(110b)는 제1 비교기(120)를 공유하고, 두 번째 단계에 위치한 제3 비동기 SAR ADC(210a) 및 제4 비동기 SAR ADC(210b)는 제2 비교기(220)를 공유한다. 그리고 첫 번째 단계와 두 번째 단계 사이에 위치한 잔류전압 증폭기(300)도 이중채널을 구현하는 각 SAR ADC에 의해 공유된다.
- [0031] 잔류전압 증폭기(300)는 첫 번째 단계의 제1 비동기 SAR ADC(110a)과 제2 비동기 SAR ADC(110b) 중에서 선택된 SAR ADC의 잔류전압 증폭을 수행하여 두 번째 단계로 전달하는 기능을 수행한다.
- [0032] 디지털 교정회로(400)는 비교기 오프셋에 의한 코드 오차를 교정하는 기능을 수행한다.
- [0033] 클록 타이밍 회로(500)는 본 발명에 따른 이중채널 SAR ADC 장치의 동작과 관련된 클록을 생성하여 제공하는 기능을 수행한다.
- [0034] 기준전류 및 기준전압 발생기(600)는 본 발명에 따른 이중채널 SAR ADC 장치의 동작과 관련된 기준전류 및 기준전압을 발생하여 제공하는 기능을 수행한다.
- [0035] 이와 같이 본 발명에 따른 이중채널 SAR ADC 장치는 비동기 SAR ADC에 파이프라인 구조를 접목한 파이프라인 SAR 구조로, 이중채널 간 오프셋 등 각종 부정합을 최소화 하기 위해서, 도 1에 예시한 것과 같이 제1 비교기(120), 제2 비교기(220) 및 잔류전압 증폭기(300)를 공유하도록 구현할 수 있다.
- [0036] 먼저 첫 번째 단계 SAR ADC(110a, 110b)에는 V_{CM} 기반의 스위칭 기법을 적용하여 각 단계의 가장 큰 면적을 차지하는 커패시터(2^3C_0)를 제거할 수 있다. 또한, 첫 번째 단계에서 $1.2V_{PP}$ 입력신호(V_{IN})를 입력받은 후, 두 번째 단계에서는 신호를 $0.6V_{PP}$ 로 감소시켜 처리하는 레인지 스케일링(range-scaling) 기법을 적용하여 잔류전압 증폭기(300)의 설계 요구사항을 낮춤으로써 잔류전압 증폭기(300)에 의한 전력소모를 줄일 수 있다.
- [0037] 한편, 두 번째 단계 SAR ADC(210a, 210b)에는 V_{CM} 기반의 스위칭 기법 및 C&R-2R DAC를 사용하여 최상위 비트 및 최하위 2비트를 결정하는 기법을 통해 사용되는 커패시터의 수를 추가적으로 감소시킬 수 있다.
- [0038] 그리고 기준전류 및 기준전압 발생기(600)는 칩 내부에 집적하여, 잔류전압 증폭 및 SAR 동작 시 사용하는 기준전압 구동회로를 각각 분리하여 세 가지 서로 다른 스위칭 동작에 의한 기준전류 및 기준전압 간섭 문제를 최소화함으로써, 기준전압 간섭 및 채널 간 여러 가지 부정합 문제를 최소화할 수 있다.
- [0039] 한편 각 단계를 구성하는 SAR ADC(110a, 110b, 210a, 210b)는 비동기로 동작하며, 따라서 SAR 동작을 위한 고속의 내부 클록 생성회로를 원천적으로 제거하여 면적 및 전력소모를 최소화할 수 있다. 또한 간단한 구조의 디지털 감지회로를 추가함으로써 비교기의 준안정(meta-stable) 상태를 해결할 수 있다.
- [0040] 도 2는 본 발명의 일 실시예에 따른 이중채널 SAR ADC 장치의 각 SAR ADC의 동작 타이밍을 예시한 도면이다.
- [0041] 도 2에서는 이중채널 T-I 구조기반의 10비트 200MS/s 파이프라인 SAR ADC의 SAR 동작 및 잔류전압 증폭 타이밍을 예시한 것으로 두 개의 채널이 시간차를 두고 각각 100MS/s로 동작하므로 전체 ADC는 200MS/s의 동작속도를 얻을 수 있으며, 각 동작 회로 블록의 세부 동작은 다음과 같다.
- [0042] 우선, 첫 번째 단계의 각 2개 채널에 순차적으로 샘플링된 입력신호는 200MHz 클록의 반주기인 2.5ns 동안 비동기 SAR 동작을 통해서 첫 번째 단계 SAR ADC(110a, 110b)에서 상위 4비트의 디지털 코드로 변환된다. 그리고 입력신호와 4비트 코드에 의해 결정된 기준전압의 차이인 잔류전압은 100MHz 클록의 반주기인 5ns 동안 레인지-스케일링(range-scaling) 기법이 적용된 잔류전압 증폭기(300)에 의해 4배 증폭되어 두 번째 단계 7비트 SAR ADC(210a,

210b)로 순차적으로 전달된다.

- [0043] 두 번째 단은 첫 번째 단으로부터 증폭된 잔류전압을 샘플링한 후, 두 번째 단 7비트 SAR ADC(210a, 210b)에서 비동기 SAR 동작을 통해 잔류전압을 하위 7비트 코드로 변환을 하여, 최종적으로 200MS/s의 속도로 10비트 디지털 코드를 출력할 수 있다.
- [0044] 한편, 도 2에 예시한 것과 같이 첫 번째 단의 SAR 동작, 잔류전압 증폭 및 두 번째 단의 SAR 동작이 동일한 타이밍에 진행되어 기준전압 간섭문제가 발생할 수 있지만, 본 발명의 일 실시예에 따른 이중채널 SAR ADC 장치는 기준전압 구동회로를 세 가지로 분리하여 기준전압 간섭문제를 근본적으로 해결할 수 있다.
- [0045] 다음으로 본 발명에 따른 이중채널 SAR ADC 장치의 첫 번째 단과 두 번째 단에서 이중채널을 형성하는 SAR ADC(110a, 110b, 210a, 210b)에 의해 공유되는 비교기(120, 220)에 대해서 보다 자세히 설명한다.
- [0046] 일반적인 T-I 구조의 SAR ADC에서 각 채널별 비교기는 서로 다른 크기의 오프셋이 존재하며, 이는 선형성을 저하시켜 전체 ADC의 성능을 제한한다. 이를 해결하기 위해 다양한 오프셋 보정기법이 제안되고 있지만 추가적인 타이밍 및 디지털 회로 등이 필요한 단점이 있었다.
- [0047] 본 발명에 따른 이중채널 SAR ADC 장치는 별도 보정기법 없이 채널 간 오프셋 부정합을 줄이기 위해 채널 간에 하나의 비교기를 공유하도록 구현될 수 있다.
- [0048] 도 3은 본 발명에 따른 이중채널 SAR ADC 장치의 첫 번째 단에 사용되는 공유 비교기의 구조를 나타낸 도면이다.
- [0049] 도 1 및 도 3을 참고하면, 첫 번째 단에 공유된 비교기(120)는 도 3에 예시한 것과 같이 전력소모를 최소화하기 위해 프리앰프 없이 2단 구조의 래치로만 구성될 수 있다. 채널 선택을 위해 비교기 입력단에 스위치를 사용할 수도 있지만, 첫 번째 단의 경우 SAR 동작 후 생성된 잔류전압을 증폭하는 과정에서 채널 선택을 위한 스위치가 꺼지면서 발생하는 전하유입에 의해 잔류전압이 왜곡될 수 있다. 이를 해결하기 위해 비교기(120)의 입력단 스위치를 제거하고 두 쌍의 입력단으로 구성할 수 있다. 또한 비교기(120)의 입력단을 리셋(reset)하지 않음으로써 발생 가능한 메모리 효과도 샘플링 동작 시 자동적으로 제거되도록 할 수 있다.
- [0050] 본 발명에 따른 이중채널 SAR ADC 장치에서 파이프라인의 첫 번째 단 SAR ADC(110a, 110b)는 하나의 비교기(120)에 두 쌍의 입력단을 사용하여 공유하였기 때문에 채널 간 오프셋 부정합으로 인한 성능저하가 발생할 수 있다.
- [0051] 하지만 비교기(120)의 오프셋 크기가 4비트의 1/2 LSB 이내일 경우 오프셋에 의한 코드 오차는 디지털 교정회로(400)를 통해 보정이 가능할 수 있도록 설계될 수 있다.
- [0052] 도 3의 우측 그래프는 1000개 샘플에 대한 비교기 오프셋의 몬테카를로 모의실험 결과로써, 비교기 오프셋 크기의 표준편차는 11.56mV이며 전체 분포 또한 4비트의 1/2 LSB (37.5mV) 이내에 안정적으로 분포하는 것을 확인할 수 있다. 따라서 비교기 오프셋에 의한 코드 오차는 디지털 교정회로(400)를 통해 보정이 가능하므로 이는 전체 ADC의 선형성에는 영향을 주지 않는 것을 확인할 수 있다.
- [0053] 한편 비교기는 입력된 신호의 비교동작을 로직 수준의 디지털 값으로 최종 결정하기 전까지 회로 내부 잡음에 의해 코드 오차를 발생시킬 수 있다. 회로 내부 잡음의 크기는 등가적으로 비교기 입력 기준 잡음으로 나타낼 수 있으며, 비교기의 코드오차는 입력 기준 잡음 크기에 비례하여 증가하게 된다.
- [0054] 따라서 본 발명에 따른 이중채널 SAR ADC 장치는 4비트 및 7비트의 파이프라인 구조를 적용하여, 첫 번째 단 SAR ADC 비교기의 오프셋 및 잡음에 의해 발생한 코드오차는 디지털 교정회로를 통해 보정이 가능하지만, 두 번째 단 SAR ADC의 경우 비교기 회로 오프셋 및 잡음에 의해 발생한 코드 오차는 보정이 되지 않으며, 이 경우 전체 ADC의 성능 저하의 요인이 될 수 있다. 두 번째 단 SAR ADC의 비교기 회로 잡음에 의한 전체 ADC의 성능 제약은 아래 수학적 식 1로 요약될 수 있다.

수학식 1

$$\text{SNR} = 10\log\left(\frac{P_s}{P_N}\right)$$

$$= 10\log\left(\frac{P_s}{P_Q + P_C + P_A + P_{\text{COMP}}}\right)$$

[0055]

[0056]

수학식 1에서 P_s 및 P_N 은 각각 입력신호의 전력 및 총 잡음의 전력을 나타내며, P_Q , P_C , P_A 및 P_{COMP} 는 각각 양자화 잡음 전력, kT/C 잡음 전력, 잔류전압 증폭기 및 두 번째 단 비교기의 입력-기준 잡음 전력을 나타낸다. 수학식 1로부터, 10비트 T-I ADC에 요구되는 성능을 얻기 위해서는 P_{COMP} 가 1mV_{RMS} 이하로 설계되어야 하며, 이때 예상되는 SNR은 약 59.32dB 수준이다.

[0057]

도 4는 본 발명에 따른 이중 채널 SAR ADC 장치의 두 번째 단에 사용되는 공유 비교기의 구조를 나타낸 도면이다.

[0058]

도 4를 참고하면, 비교기(220)에 사용된 트랜지스터의 사이즈는 비교기의 속도 및 입력 기준 잡음의 크기를 고려하여 결정할 수 있다.

[0059]

아래 표 1에서는 기존에 발표된 비교기들과 본 발명에 따른 비교기의 동작속도, 킥-백(kick-back) 잡음 및 입력 기준 잡음을 비교하여 나타냈으며, 설계된 비교기의 잡음 크기는 $750\text{uV}_{\text{RMS}}$ 이다.

[0060]

[표 1]

	비교1	비교2	비교3	본발명
Operation Speed (GHz)	3.82	4.16	4.90	5.20
Kickback Noise (mV)	4.50	5.34	3.20	2.91
Input Referred Noise (mV_{RMS})	1.00	1.40	0.80	0.75

[0061]

[0062]

표 1에 예시한 것과 같이, 본 발명에 따른 두 번째 단에 사용되는 비교기(220)는 별도의 보정기법을 사용하지 않고도, 다른 구조의 비교기와 비교했을 때 빠른 동작속도에서 낮은 킥-백(kick-back) 잡음 및 입력 기준 잡음 특성을 보이는 것을 알 수 있다.

[0063]

한편 일반적인 T-I 구조의 파이프라인 ADC의 경우, 각 채널의 입력단 SHA(Sampling-and-Hold Amplifier) 및 첫 번째 단 MDAC(Multiplying D/A Converter) 증폭기에 서로 다른 크기의 오프셋 및 이득 부정합이 존재하며, 이러한 오프셋 및 이득 부정합이 전체 ADC의 성능저하의 주요 원인이 된다. 따라서 10비트 T-I ADC에 요구되는 성능을 만족시키기 위해서는 오프셋 및 이득 정합이 10비트 이상의 수준으로 설계되어야 한다. 그러나 기존의 파이프라인 ADC는 이중채널 구현을 위해 각 단에서 결정하는 비트수와 무관하게 기본적으로 총 2개 이상의 증폭기가 필요하여 추가적인 보정회로 없이 10비트 수준 이상의 정합성을 확보하기 어려울 뿐만 아니라, 채널 별로 각각의 증폭기를 사용할 경우 전력소모 및 면적 측면에서도 효율성이 떨어진다.

[0064]

도 5는 본 발명에 따른 이중채널 SAR ADC 장치에 사용되는 잔류전압 증폭기의 구조를 자세히 나타낸 도면이다.

[0065]

본 발명에 따른 이중채널 SAR ADC 장치는 도 5에 예시한 것과 같이 하나의 잔류전압 증폭기를 각 채널 간에 공유함으로써 오프셋 및 이득 부정합 문제를 해결함과 동시에 전력소모 및 면적을 최소화할 수 있다. 하나의 증폭기만 사용함으로써 두 개의 증폭기를 사용할 경우에 비해 전력소모 및 면적을 50% 수준으로 줄일 수 있으며, 증폭기의 요구사양을 낮추기 위한 레인지-스케일링(range-scaling) 기법을 적용함으로써 추가적으로 전력소모를 줄일 수 있다.

[0066]

본 발명에 따른 잔류전압 증폭기(300)는 분리된 두 쌍의 입력단을 사용하여 두 개의 채널을 공유하였으며, 사용하지 않는 채널을 리셋시킴으로써 공유기법에서 발생하는 메모리 효과를 제거할 수 있다. 또한, 일부 구간에서 중첩된 클록 Q1MB 및 Q2MB를 사용하여 두 입력단 트랜지스터가 동시에 꺼졌다가 켜질 때 발생할 수 있는 글리치

및 신호의 정착시간 지연문제를 해결할 수 있다. 또한 2단 증폭기 구조를 사용함으로써 나노미터 공정에서 짧은 채널 길이 및 낮아진 전원전압에서도 높은 전압이득을 가지며 충분한 출력 신호 스윙을 얻을 수 있다. 첫 번째 증폭기에는 높은 전압이득을 위해 이득-부스팅 구조의 폴디드 캐스코드 구조를 사용할 수 있으며, 두 번째 증폭기에는 충분한 출력 신호 스윙을 위해 공통-소스 구조를 적용할 수 있다.

[0067] 다시 도 1을 참고하면, 앞에서 설명한 것과 같이 본 발명에 따른 이중채널 SAR ADC 장치는 순차적으로 각각 4비트 및 7비트를 결정하는 2단 파이프라인 구조를 적용하였으며, 첫 번째 단의 4비트 SAR ADC(110a, 110b)에는 샘플링된 신호를 추가적인 스위칭 동작 없이 공통모드전압 V_{CM} 과 직접 비교하는 V_{CM} 기반의 스위칭 기법을 사용하여 C-DAC 내 가장 큰 커패시터인 2^3C_U 를 제거할 수 있다.

[0068] 두 번째 단의 7비트 SAR ADC(210a, 210b)의 경우 첫 번째 단의 4비트 SAR ADC(110a, 110b)에 비해 처리해야 하는 비트수가 더 많은 만큼 지수적으로 증가한 단위 커패시터의 수로 인해 면적 및 전력소모도 늘어나게 된다. 이러한 단점을 없애기 위해 두 번째 단 7비트 SAR ADC(210a, 210b)에 분리형 가중치 커패시터 (C_A)를 이용한 2단계 구조의 커패시터열을 사용할 경우, C_A 의 크기가 단위 커패시터의 정수배가 되지 못하여 상위 커패시터열 및 하위 커패시터열 간의 부정합이 발생하며 이는 또한 다른 성능저하의 요인이 될 수 있다.

[0069] 이를 해결하기 위해 본 발명에 따른 이중채널 SAR ADC 장치는 두 번째 단에 형성되는 SAR ADC의 DAC 를 R-2R 기반의 저항열로 이루어진 DAC와 커패시터열로 이루어지는 DAC로 구현할 수 있다.

[0070] 도 6은 본 발명에 따른 이중채널 SAR ADC 장치의 두 번째 단에 형성되는 SAR ADC의 DAC 구조를 예시한 도면이다.

[0071] 본 발명에 따른 이중채널 SAR ADC 장치의 두 번째 단에 형성되는 SAR ADC(210a, 210b)는 C_A 를 이용한 2단계 구조를 적용하지 않고, 도 6에 예시한 것과 같이 V_{CM} 기반의 스위칭 기법 및 R-2R 저항기반의 DAC를 사용하여 최상위 비트 및 최하위 2비트를 결정하는 C&R-2R DAC 구조를 적용하여 커패시터의 수를 줄이는 동시에 면적 및 전력소모도 최소화할 수 있다.

[0072] 도 1 및 도 6을 참고하면, 두 번째 단 7비트 SAR ADC(210a, 210b)는 샘플링 된 신호를 추가적인 스위칭 동작 없이 V_{CM} 과 직접 비교하여 최상위 비트를 결정하는 V_{CM} 기반의 스위칭 기법을 통해 DAC 내 가장 큰 면적을 차지하며 최상위 비트를 결정하는 커패시터 (2^6C_U)를 제거할 수 있다. 커패시터열은 V_{CM} 을 기준으로 스위칭 동작을 하기 때문에 ADC의 선형성 저하 요인이 되는 비교기의 입력단 공통모드전압 V_{CM} 변화에 따른 동적 오프셋이 발생하지 않으며, 커패시터 양단의 전압변화가 기존의 일반적인 스위칭 기법 대비 절반으로 줄어들어 DAC에서 소모되는 전력은 기존 대비 약 90% 감소시킬 수 있다.

[0073] 한편 기존에 발표된 저항 열을 사용하여 생성한 6개의 기준전압을 인가해 주는 기법의 경우 저항 열을 통해 일정한 정적전류가 흐르게 되며, 이에 따른 불필요한 전력을 소모한다.

[0074] 이에 반해 본 발명에 따른 SAR ADC(210a, 210b)은 R-2R 구조를 가지는 저항 열로 이루어지는 R-2R DAC(211)와 커패시터열로 이루어지는 커패시터 DAC(212)를 포함하는 커패시터-저항 하이브리드 DAC를 포함할 수 있다.

[0075] R-2R DAC(211)는 샘플링된 입력 신호의 하위 비트를 결정하고, 커패시터 DAC(212)는 샘플링된 입력 신호의 상위 비트를 결정한다. 예컨대 SAR ADC(210a, 210b)에서 결정되는 7 비트 중에서 최상위 비트는 V_{CM} 기반의 스위칭 기법에 의해 결정되고, R-2R DAC(211)에서는 하위 2 비트가 정해지며, 나머지 4 비트는 커패시터 DAC(212)에서 결정된다.

[0076] 이와 같이 R-2R 저항기반의 구조가 적용된 R-2R DAC(211)를 이용할 경우 비동기 SAR 동작이 끝난 후 스위치를 통해 R-2R DAC(211) 양단에 동일한 전압을 인가하여 저항 열에서 소비되는 정적전류에 의한 불필요한 전력소모를 제거함과 동시에 R-2R DAC(211)를 통해 생성된 기준전압을 이용하여 최하위 2비트를 결정함으로써 커패시터열의 가장 큰 커패시터 두 개 (2^5C_U 및 2^4C_U)를 추가적으로 제거할 수 있다. 따라서 총 128개의 커패시터를 사용하는 일반적인 7비트 SAR ADC에 비해 본 발명에 따라 두 기법을 적용한 두 번째 단의 7비트 SAR ADC(210a, 210b)는 단 16개의 커패시터만을 사용함으로써 면적 및 전력소모를 크게 줄일 수 있다.

[0077] 한편, 두 번째 단의 7비트 SAR ADC(210a, 210b)에서 레인지-스케일링(range-scaling)된 입력신호를 처리하기

위해 기준전압 발생기를 추가할 경우, 전력소모 및 면적은 급격히 증가한다. 따라서 두 번째 단 7비트 SAR ADC(210a, 210b)의 커패시터열(212)에 $2^4 C_U$ 만을 추가함으로써 추가적인 기준전압 없이 효율적으로 레인지-스케일링(range-scaling)된 입력신호를 처리할 수 있다.

[0078] 보다 자세하게는 R-2R DAC(211)는 공통모드전압 V_{CM} 입력단에 일단이 스위칭 소자에 의해 연결되는 제1 저항(2111), 공통모드전압 V_{CM} 입력단, 제1 기준전압 입력단(V_{REF+}) 및 제2 기준전압 입력단(V_{REF-})에 각각 스위칭 소자에 의해 일단이 연결되는 제2 저항(2112) 및 제3 저항(2113), 그리고 제2 저항(2112) 및 제3 저항(2113)을 연결하는 제4 저항(2114)을 포함할 수 있다. 그리고 제1 저항(2111), 제2 저항(2112) 및 제3 저항(2113)은 제4 저항(2114) 보다 2배의 저항값을 가지도록 구현할 수 있다. 그리고 R-2R DAC(211)에서 1 비트를 더 처리하도록 하기 위해서는 커패시터열(212)과 R-2R DAC(211) 사이에 R_U-2R_U 의 저항열을 추가적으로 부가할 수 있다.

[0079] 도 2에 도시된 두 번째 단의 7b SAR ADC의 타이밍도를 참고하여 잔류 전압 샘플링 주기에서의 두 번째 단의 7b SAR ADC의 DAC의 동작에 대해 설명한다.

[0080] 도 2 및 도 6을 참고하면, 도 6의 V_{OUT-} 쪽에 연결되어 있는 V_{CM} 스위치가 열리면서 잔류 전압 샘플링(residue Sampling)이 종료되며 R-2R DAC(211)를 포함한 모든 커패시터열의 하부 플레이트(bottom-plate)는 공통모드전압 V_{CM} 연결될 수 있다. 그리고 SAR Op.(SAR Operation)이 시작되며, 이때, V_{CM} 스위칭 기법에 의해 상부 플레이트(top-plate)의 샘플링된 입력 신호와 하부 플레이트(bottom-plate)의 공통모드전압 V_{CM} 을 바로 비교하여 최상위 비트(most significant bit)(MSB) 값을 결정할 수 있다.

[0081] 다음으로 비교기(220)를 통해 나온 값이 도 1에 예시한 것처럼 비동기 SAR 로직으로 들어가게 되고, 비동기 SAR 로직의 출력 값에 따라 커패시터 DAC(212) 및 R-2R DAC(211)의 스위치 동작이 결정된다. 여기서 R-2R DAC(211)의 스위칭 동작은 입력신호 샘플링 스위칭을 제외한 커패시터열의 스위칭 동작과 동일하다.

[0082] 도 7은 동기 방식 SAR 알고리즘의 타이밍과 비동기 SAR 알고리즘의 타이밍을 비교하기 위해 제공되는 도면이다.

[0083] 일반적인 동기 방식의 N비트 SAR ADC의 경우 도 7(a)와 같이 MSB로부터 LSB까지 샘플링 동작 후 동일한 주기를 갖는 N 번의 변환 과정이 필요하게 되며, 이때 필요한 내부 클록은 비교기의 동작시간, 디지털 로직의 지연시간 및 기준전압 정착시간 중 가장 긴 시간을 기반으로 하여 전체 주기가 결정된다.

[0084] 이와 같이 가장 긴 주기를 고려하여 설계한 내부 클록의 경우에는 일부 신호는 다음 신호의 클록을 기다리는 무동작(IDLE) 상태가 존재하게 되며, 이는 고속 동작을 제한한다. 반면에 비동기 SAR ADC의 경우 각 동작의 완료와 함께 다음 동작을 수행함으로써 이러한 IDLE 상태가 존재하지 않으며, 따라서 고속 동작을 하는데 유리하다.

[0085] 본 발명에 따른 이중채널 SAR ADC 장치에 동기 방식의 SAR 알고리즘을 적용할 경우 첫 번째 단 4비트 SAR ADC 및 두 번째 단 7비트 SAR ADC에는 각각 1.6GHz 및 1.4GHz의 높은 주파수를 갖는 클록신호가 필요하다. 그러나 샘플링 및 증폭 동작을 위한 100MHz 클록과 SAR 동작을 위한 높은 주파수의 클록을 동시에 외부에서 인가받을 경우 두 클록 신호의 동기 문제가 발생하는 단점이 있으며, 이를 시제품 내부에서 자체적으로 높은 주파수의 클록을 생성할 경우 1.6GHz, 1.4GHz의 높은 주파수를 갖는 클록 생성으로 인해 전력소모 및 면적이 증가하게 된다.

[0086] 따라서 본 발명에 따른 이중채널 SAR ADC 장치는 도 7(b)와 같은 타이밍의 비동기 SAR 알고리즘을 적용함으로써 자체적으로 높은 주파수의 클록을 생성하지 않고도 고속의 SAR 동작을 구현하였을 뿐만 아니라, 내부 클록 발생기를 아예 제거하여 면적 및 전력소모를 최소화하는 것이 바람직하다.

[0087] 한편 비교기를 기반으로 하는 SAR ADC는 비교기에 매우 작은 입력신호가 인가될 때 발생하는 불안정 상태에 의해 비교기의 출력이 로직 수준 값으로 최종 결정되는 데까지 시간이 길어지게 되며, 이는 전체 ADC의 동작속도 및 성능에 영향을 준다. 이러한 비교기 불안정성 문제를 줄이기 위해 종래에는 램프(ramp) 신호 발생기를 추가하여 비교기에 불안정 상태가 발생한 경우 플래그(flag)를 발생시키는 로직을 이용하였다. 그러나 이는 복잡한 디지털 회로가 추가되면서 면적 및 전력소모를 증가시키는 문제점이 있었다.

[0088] 이러한 문제점을 해결하기 위해서 본 발명에 따른 비교기에서는 도 8과 같이 간단한 구조의 불안정상태 감지회로를 포함하여 비교기의 불안정상태로 인한 출력오류를 줄였다.

[0089] 도 8은 본 발명에 따른 이중채널 SAR ADC 장치에 적용된 불안정상태 감지회로를 설명하기 위해 제공되는 도면이

고, 도 9는 준안정상상태 감지 로직의 동작 원리를 설명하기 위해 제공되는 타이밍도이다.

- [0090] 도 8 및 도 9를 참고하면, 본 발명에 따른 비교기(220)는 클록 타이밍 회로(500)에서 출력되는 클록 신호(CKL), CKL를 소정 시간 지연한 클록 지연 신호(CKL_D) 및 비교기(200)의 동작 완료에 대응하는 준비 신호(READY)를 입력받아 비교기(220)의 준안정 상태를 감지하고, 비교기(220)의 준안정 상태를 감지하면 비교기(220)가 미리 정해진 출력을 내보내고 다음 동작을 수행하게 하는 감지 신호(META)를 출력하는 감지 회로부(meta-stable detection logic)(221)를 포함할 수 있다.
- [0091] 예컨대 도 9에 예시한 것과 같이 READY 신호가 CKL, CKL_D 사이에서 0이 되지 않고 계속 1로 남아있게 되면 도 8의 NAND 게이트(222)에서 0을 출력해 연결되어 있는 PMOS를 턴온(turn on)시켜 비교기(220)의 출력을 강제로 1로 만들어 버림으로써 해당 비교 동작을 종료하고 다음 비교 동작을 수행하게 할 수 있다.
- [0092] 이와 같이 본 발명에 따른 비교기의 준안정 상태(meta-stable state)를 감지하는 감지 회로부(221)는 가변 지연 시간을 가지는 버퍼 및 간단한 로직을 이용하여 비교기의 준안정 상태로 인한 출력오류를 줄일 수 있다.
- [0093] 도 10은 본 발명에 따라 모의 실험한 비교기의 준안정상상태 감지 결과를 나타낸 도면이다.
- [0094] 본 발명에 따른 감지 회로부(221)는 도 10과 같이 일정 시간 동안 비교기의 동작 완료를 알리는 READY 신호가 출력되지 않을 경우, 비교기의 출력을 높은 로직 수준으로 결정하는 META 신호를 생성하는 것을 확인하였다.
- [0095] 한편 전형적인 파이프라인 SAR ADC에서는 고속 동작을 하는 SAR ADC 및 높은 정확도가 요구되는 잔류전압 증폭기가 혼재되어 있으므로 서로 다른 동작 모드가 중첩되어 일부 기준전압 정착동작이 불안정할 수 있다.
- [0096] 도 11은 본 발명에 따른 이중채널 SAR ADC 장치에서 하나의 기준 전압을 공유하는 경우와 기준전압 구동회로를 분리한 경우를 비교하여 설명하기 위해 제공되는 도면이다.
- [0097] 도 11을 참고하면, 본 발명에 따른 이중채널 SAR ADC 장치는 잔류전압 증폭 시 사용되는 기준전압은 10비트의 높은 정확도가 요구되지만, 도 11(a)와 같이 하나의 기준전압을 공유할 시 고속 SAR 동작에 의해 기준전압 간섭 문제가 발생하여 10비트의 높은 정확도를 갖는 기준전압 생성에 제약이 있다. 반면, 도 11(b)와 같이 SAR 동작 및 잔류전압 증폭 시 사용되는 기준전압 중 최종 구동회로만을 각각 분리하여 설계한 경우, SAR ADC의 고속 스위칭 동작에 의한 기준전압 간섭을 최소화하여 높은 정확도의 기준전압을 생성할 수 있다.
- [0098] 따라서 본 발명에 따른 이중채널 SAR ADC 장치는 첫 번째 단의 4비트 SAR 동작, 잔류전압 증폭 및 두 번째 단의 7비트 SAR 동작을 위한 기준전압 구동회로를 각각 분리하는 것이 바람직하다. 이와 같이 잔류전압 증폭을 위해 10비트 수준의 높은 해상도를 갖는 기준전압 구동회로와 SAR ADC 동작을 위해 4비트 및 7비트 수준의 해상도를 갖는 기준전압 구동회로를 분리함으로써 기준전압 간섭 및 채널 간 이득 부정합 문제를 줄일 수 있다. 그리고 기준전압 발생회로는 공유함으로써 면적 및 전력소모를 최적화할 수 있다.
- [0099] 도 12는 본 발명에 따른 이중채널 SAR ADC 장치가 칩 상에 구현된 것을 도시한 것이고, 도 13은 도 12의 이중채널 SAR ADC 장치의 측정된 DNL(differential non-linearity) 및 INL(integral non-linearity)을 예시한 도면이며, 도 14는 도 12의 이중채널 SAR ADC 장치의 측정된 FFT 스펙트럼을 예시한 도면이다.
- [0100] 도 12에서 예시된 본 발명에 따른 이중채널 SAR ADC 장치는 10비트 200MS/s 파이프라인 SAR ADC로써, 28nm CMOS 공정으로 제작되었으며, 전체 면적은 0.23mm^2 이다. 레이아웃은 도 12에 예시한 것과 같이 중앙에 동작에 가장 중요한 잔류전압 증폭기를 배치하였고 이를 중심으로 이중채널의 첫 번째 단 및 두 번째 단 SAR ADC를 대칭으로 배치하였다. 또한 커패시터 부정합을 최소화하기 위해 두 채널의 커패시터를 교대로 섞어서 칩 중앙에 배치하였다.
- [0101] 도 12에서 예시된 본 발명에 따른 이중채널 SAR ADC 장치에 의하면, 각 동작회로 블록을 제외한 유휴 공간의 경계지역에는 890pF 수준의 MOS 온-칩 커패시터를 집적하여, 전원전압의 잡음, 고속 스위칭에 의한 기준전압의 잡음 및 각 블록 간의 간섭현상을 최소화할 수 있다. 그리고 1.0V의 아날로그 및 디지털 전원전압, 200MS/s의 동작속도에서 기준전압 발생기를 포함하였을 경우 6.7mW의 전력을 소모하며 기준전압 발생기를 사용하지 않을 경우 3.6mW의 전력을 소모한다.
- [0102] 도 12에서 예시된 본 발명에 따른 이중채널 SAR ADC 장치에 대해 측정된 DNL 및 INL은 도 13과 같이 각각 최대 0.71LSB, 0.70LSB 수준인 것을 확인하였다.
- [0103] 한편, 도 14는 4MHz 입력 주파수, 25MS/s, 160MS/s 및 200MS/s 동작속도에서 측정한 본 발명에 따른 이중채널 SAR ADC 장치의 전형적인 신호 스펙트럼을 나타낸다. 세 가지 동작속도에서 모두 fs/2 지점에 톤이 발생하지 않

은 것을 확인할 수 있으며, 이를 통해 두 채널 간 비교기 공유기법을 통해 채널 간 오프셋 부정합 문제가 적절하게 해결되었음을 알 수 있다.

[0104] 도 15는 본 발명에 따른 이중채널 SAR ADC 장치의 샘플링 주파수에 따라 측정된 SNDR(signal-to-noise-and-distortion ratio) 및 SFDR(spurious-free dynamic range)을 나타낸 도면이고, 도 16은 본 발명에 따른 이중채널 SAR ADC 장치의 입력 주파수에 따른 동적 성능을 나타낸 도면이다.

[0105] 도 15는 본 발명에 따른 이중채널 SAR ADC 장치의 측정된 동적 성능을 요약한 그래프이며, 동작속도가 25MS/s에서 200MS/s까지 증가할 때 4MHz 차동입력 주파수에서의 SNDR 및 SFDR을 보여주고 있다. 동작속도 160MS/s까지 SNDR 및 SFDR은 각각 51.44dB, 62.51dB 이상으로 유지되며, 180MS/s 이상부터 약 3dB의 성능이 저하되는 것을 보여준다.

[0106] 도 16은 160MS/s의 동작속도에서 입력 주파수가 증가함에 따른 본 발명에 따른 이중채널 SAR ADC 장치의 동적 성능을 보여주며, T-I 구조를 적용하였음에도 나이퀴스트(Nyquist) 입력 주파수에서 SNDR 및 SFDR이 각각 51.07dB, 60.94dB 수준으로 성능이 유지되는 것을 확인할 수 있다. 또한 3dB ERBW(effective resolution bandwidth)는 100MHz로 측정되어 Nyquist 이상의 높은 입력 주파수에 대해서도 큰 성능 저하가 없음을 확인할 수 있다.

[0107] 본 발명에 따른 이중채널 SAR ADC 장치의 측정된 성능 결과를 표 2에 요약하였으며, 표 3에는 기존에 발표된 T-I ADC의 성능을 제한한 본 발명에 따른 이중채널 SAR ADC 장치와 비교하였다. 본 발명에 따른 이중채널 SAR ADC 장치는 T-I 구조에서 별도의 보정기법을 사용하지 않고도 Nyquist 입력 주파수에서 51dB 이상의 SNDR을 유지하며, FoM(figure of merit) 측면에서 우수한 성능을 보이는 것을 확인하였다.

[표 2]

Process	SAMSUNG 28nm CMOS			
Supply	1.0V			
Resolution	10bits			
Input Range	1.2V _{pp} (differential)			
DNL	± 0.71LSB			
INL	± 0.70LSB			
Conversion Rate	160MS/s		200MS/s	
SNDR	51.42 dB (@f _{in} =4MHz)		48.01 dB (@f _{in} =4MHz)	
	51.08 dB (@f _{in} =80MHz)		45.02 dB (@f _{in} =100MHz)	
SFDR	62.51 dB (@f _{in} =4MHz)		51.76 dB (@f _{in} =4MHz)	
	60.94 dB (@f _{in} =80MHz)		49.26 dB (@f _{in} =100MHz)	
ADC Core Power	w/o I/V REFs	w I/V REFs	w/o I/V REFs	w I/V REFs
	3.5 mW	5.6 mW	3.6 mW	6.7 mW
Figure of Merit (fJ/Conv.-Step)	77.56	114.74	87.61	163.05
Active Die Area	0.23mm ²			

[0109]

[표 3]

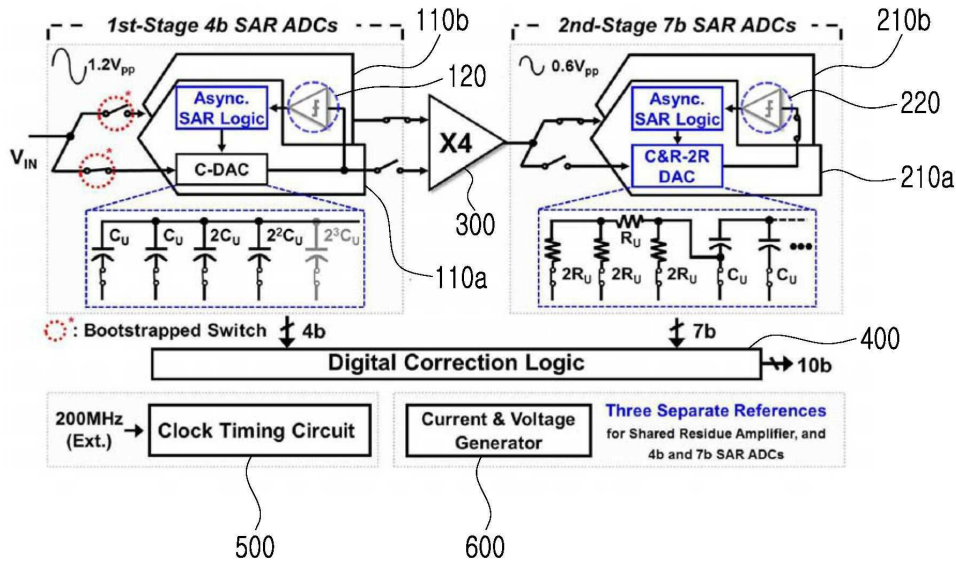
	Resol. [bits]	Speed [MS/s]	Supply [V]	Power [mW]	FoM [fJ/Conv.]	Area [mm ²]	Calibration	SNDR [dB] (@ Nyquist)	Process [CMOS]
This Work	10	160	1.0	3.5	74.85	0.23	X	51.1	28nm
[30]	10	160	1.1	2.72	51.07	0.21	X	52.2	65nm
[31]	10	150	1.1	47.3	1091.8	0.40	X	50.2	45nm
[32]	10	120	1.1	8.8	290	0.38	X	49.90	45nm
[33]	11	150	1.2	46.8	727.60	2.42	X	54.4	130nm

[0111]

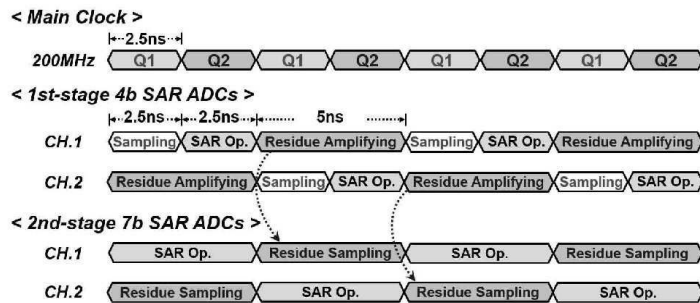
[0112] 이상에서 본 발명의 실시예를 설명하였으나, 본 발명의 권리범위는 이에 한정되지 아니하며 본 발명의 실시예로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 용이하게 변경되어 균등한 것으로 인정되는 범위의 모든 변경 및 수정을 포함한다.

도면

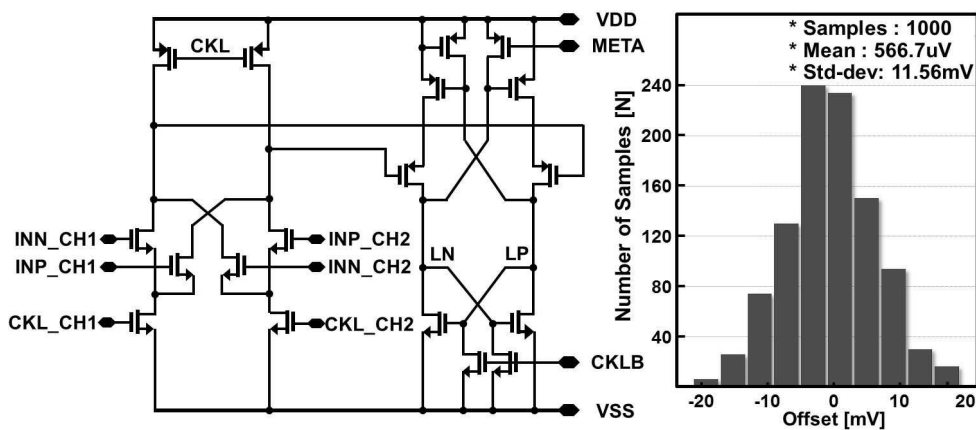
도면1



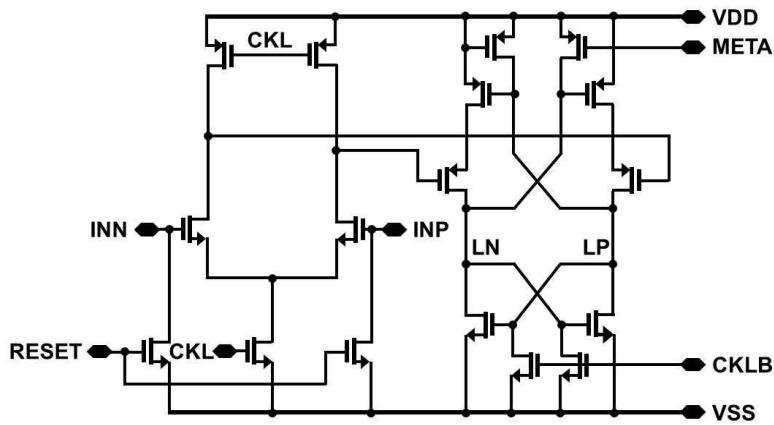
도면2



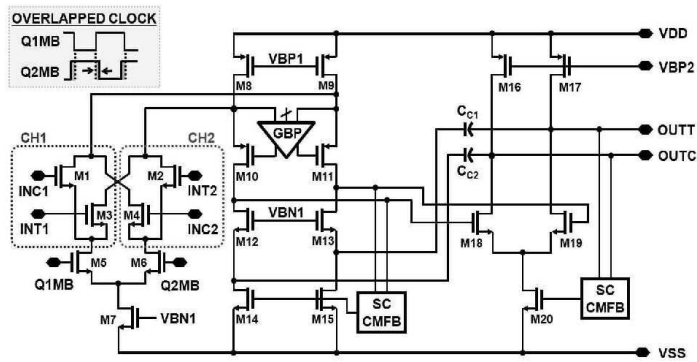
도면3



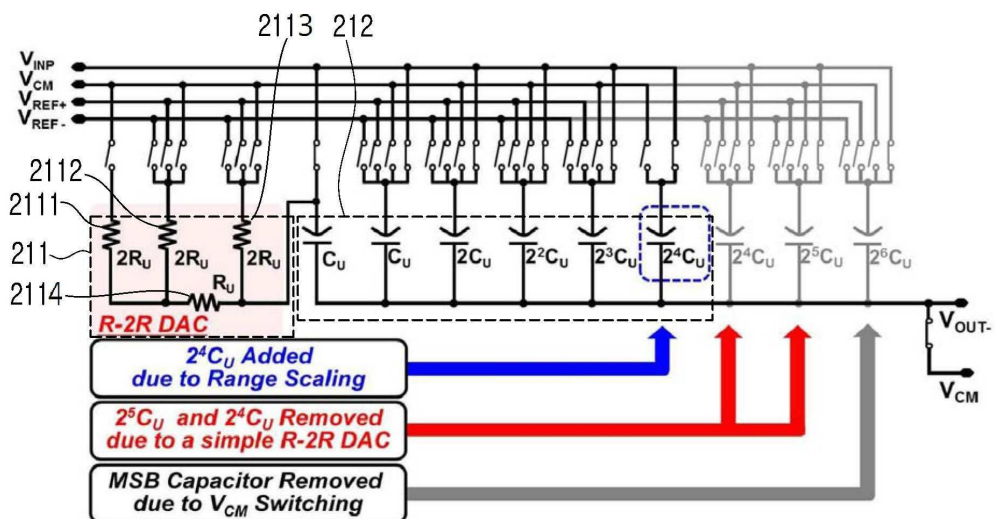
도면4



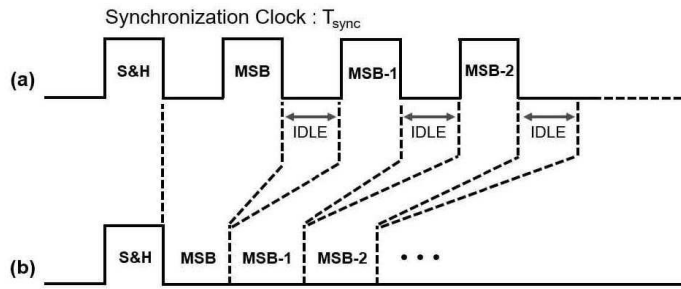
도면5



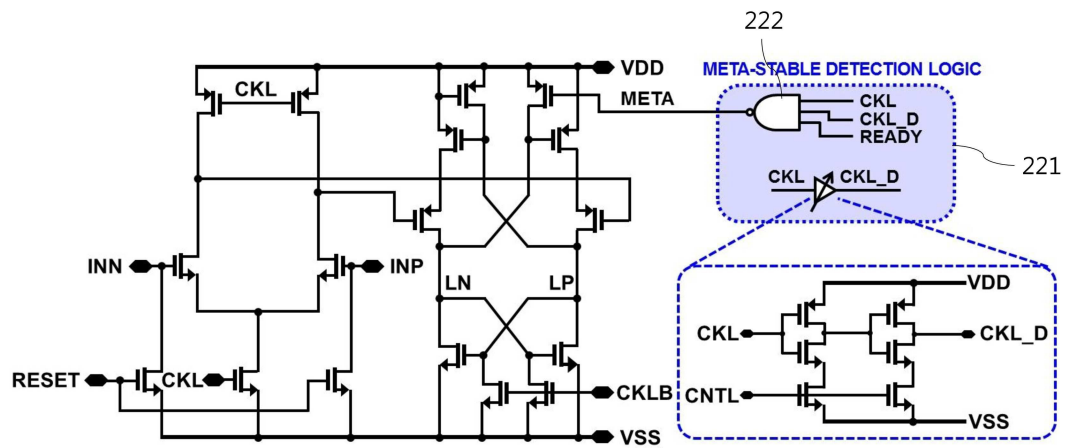
도면6



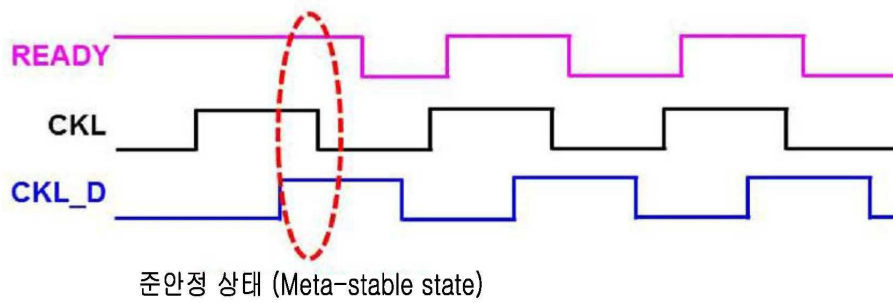
도면7



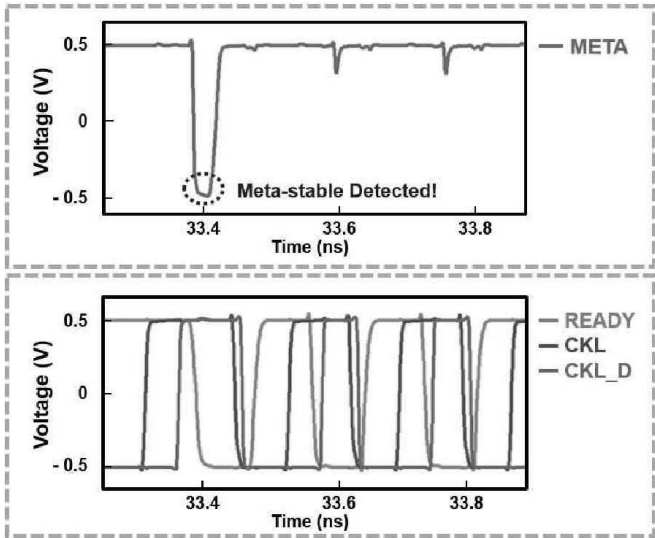
도면8



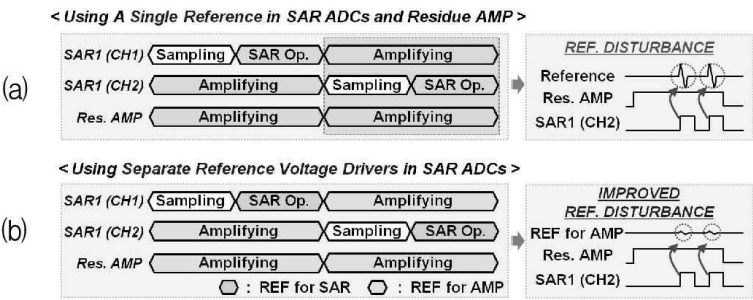
도면9



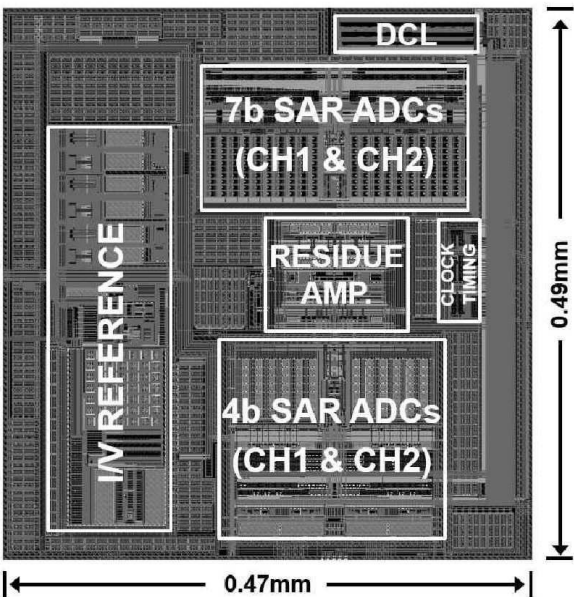
도면10



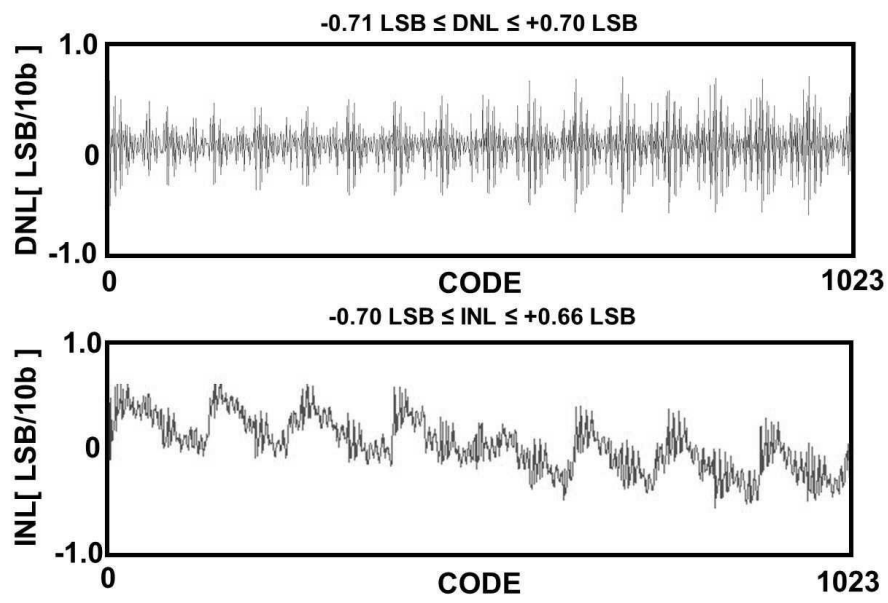
도면11



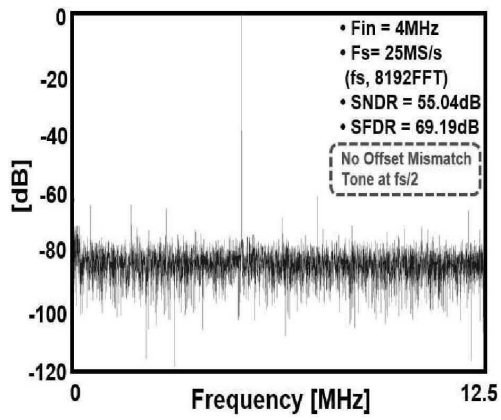
도면12



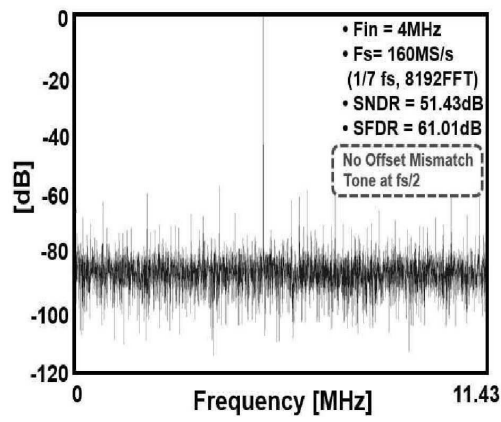
도면13



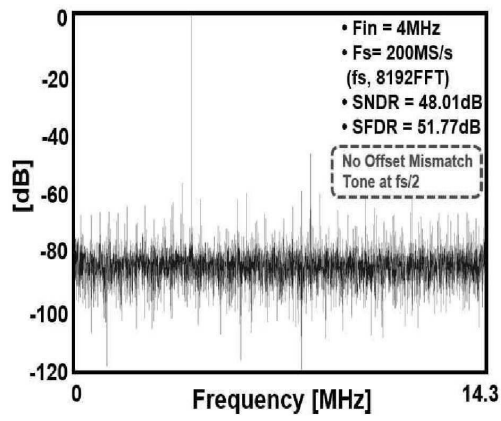
도면14



(a)

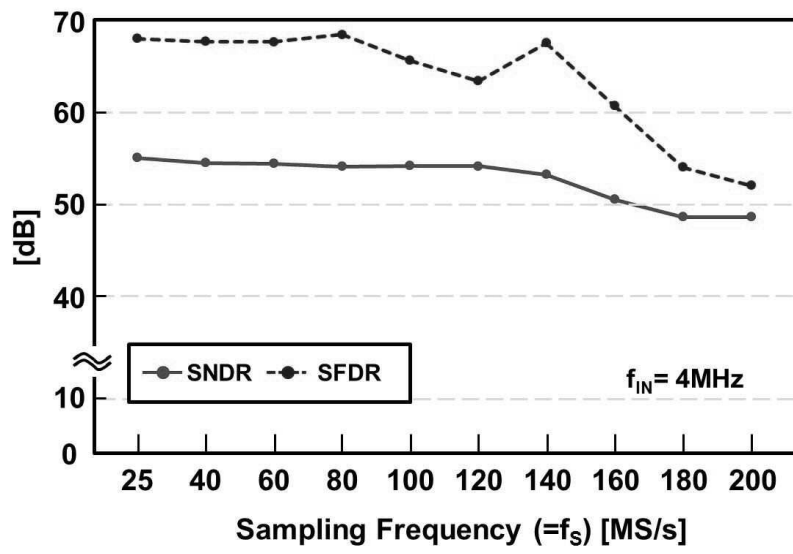


(b)



(c)

도면15



도면16

