(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월07일
(11) 등록번호 10-0819730
(24) 등록일자 2008년03월31일

(51) Int. Cl.
H01L 27/115 (2006.01)
(21) 출원번호 10-2002-7004682
(22) 출원일자 2002년04월12일
심사청구일자 2006년08월11일
번역문제출일자 2002년04월12일
(65) 공개번호 10-2002-0047228
(43) 공개일자 2002년06월21일
(86) 국제출원번호 PCT/US2001/025092
국제출원일자 2001년08월13일
(87) 국제공개번호 WO 2002/15277
국제공개일자 2002년02월21일
(30) 우선권주장
09/639,579 2000년08월14일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
US03671998 A
(뒷면에 계속)
전체 청구항 수 : 총 126 항

(73) 특허권자
샌디스크 쓰리디 엘엘씨
미국 캘리포니아 94089 서니베일 140 카스피안 코트
(72) 발명자
리,토마스,에이치.
미국95014캘리포니아주커퍼티노버브로드939
서브라마니안,비베크
미국94061캘리포니아주레드우드시트세퀘이어애비뉴203
(뒷면에 계속)
(74) 대리인
백만기, 이중희, 주성민

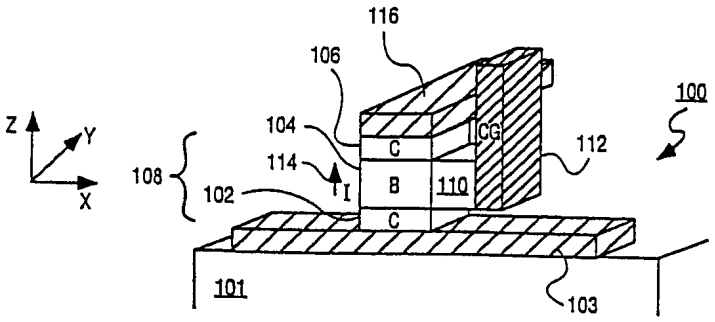
심사관 : 박정식

(54) 밀집한 어레이 및 전하 저장 장치와, 그 제조 방법

(57) 요 약

본 발명은 복수의 디바이스 레벨을 포함한 모놀리식 3차원 어레이의 전하 저장 장치에 관한 것으로, 2개의 연속하는 디바이스 레벨 사이의 적어도 하나의 표면은 화학 기계적 연마에 의해 평탄화된다.

대표도 - 도1a



(72) 발명자

클리브스,제임스,엠.

미국94062
캘리포니아주레드우드시티서미트드라이브551

워커,앤드류,제이.

미국94040캘리포니아주마운틴뷰코넬드라이브1638

페티,크리스토퍼

미국94041캘리포니아주마운티뷰시어러애비뉴660

코우즈네트조브,이고르,쥐.

미국95050캘리포니아주산타클라라몬로에스트리트넘버15062200

존슨,마크,쥐.

미국94022캘리포니아주로스알토스알부엘로웨이125

팜월드,폴,엠.

미국94028
캘리포니아주포톨라밸리골덴오크드라이브190

헬너르,브래드

미국94301캘리포니아주팔로알토애디슨애비뉴909

(56) 선행기술조사문헌

US03634929 A

US03629863 A

US03582908 A

US03576549 A

US03573757 A

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 케냐, 키르키즈스탐, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아 공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크맨, 터어키, 트리니아드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 가나, 감비아, 인도네시아, 세르비아 앤 몬테네그로, 짐바브웨, 시에라리온, 북한, 그라나다, 크로아티아, 인도, 남아프리카, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 모로코, 탄자니아, 벨리즈, 모잠비크, 미국, 에쿠아도르, 콜롬비아

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 가나, 감비아, 짐바브웨, 시에라리온, 탄자니아, 모잠비크

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탐, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨

EP 유럽특허 : 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스, 오스트리아, 터어키

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우, 적도 기니

(30) 우선권주장

09/639,702 2000년08월14일 미국(US)

09/639,749 2000년08월17일 미국(US)

09/745,125 2000년12월21일 미국(US)

09/801,233 2001년03월06일 미국(US)

60/279,855 2001년03월28일 미국(US)

특허청구의 범위

청구항 1

기판의 제1 평면이나 그 위에 형성된 제1 입력/출력 도전체와,

제2 입력/출력 도전체와,

상기 제1 입력/출력 도전체 및 상기 제2 입력/출력 도전체 사이의 그들의 돌출부(projection)의 교차점에 위치한 반도체 영역과,

전하 저장 매체(charge storage medium)를 포함하고,

상기 전하 저장 매체에 저장된 전하가 상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체 사이에 흐르는 전류의 양에 영향을 미치는 것을 특징으로 하는 메모리 디바이스.

청구항 2

제1항에 있어서,

상기 전하 저장 매체는 상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체의 교차점 사이에 형성된 것을 특징으로 하는 메모리 디바이스.

청구항 3

제2항에 있어서,

상기 전하 저장 매체는 상기 반도체 영역 상에 직접 형성된 것을 특징으로 하는 메모리 디바이스.

청구항 4

제1항에 있어서,

상기 전하 저장 매체는 상기 반도체 영역에 인접하여 형성된 것을 특징으로 하는 메모리 디바이스.

청구항 5

제4항에 있어서,

상기 전하 저장 매체에 인접하여 형성된 제어 게이트(control gate)를 더 포함하는 것을 특징으로 하는 메모리 디바이스.

청구항 6

제1항에 있어서,

전류는 상기 기판의 평면에 수직한 방향으로 상기 반도체 영역을 통하여 흐르는 것을 특징으로 하는 메모리 디바이스.

청구항 7

제1항에 있어서,

상기 반도체 영역은 도핑된 실리콘을 포함하는 것을 특징으로 하는 메모리 디바이스.

청구항 8

기판의 제1 평면이나 그 위에 형성된 제1 입력/출력 도전체와,

상기 제1 입력/출력 도전체 위에 형성되고, 상기 제1 입력/출력 도전체와 돌출된 교차점을 갖는 제2 입력/출력 도전체와,

상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체 사이에 위치하고, 상기 제1 및 제2 입력/출력 도전체의 교차점과 직접 정렬되는 실리콘 보디(silicon body)와,

전하 저장 매체를 포함하고,

판독 전류(read current)는 상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체 사이의 상기 실리콘 보디를 통하여 상기 기판의 평면에 수직한 방향으로 흐르고, 상기 전하 저장 매체에 저장된 전하는 상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체 사이에 인가된 전압에 대하여 상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체 사이에 흐르는 판독 전류의 양에 영향을 미치는 것을 특징으로 하는 메모리 디바이스.

청구항 9

제8항에 있어서,

상기 전하 저장 매체는 상기 실리콘 보디 상에, 상기 제1 및 제2 입력/출력 도전체의 상기 교차점과 직접 정렬하게 형성된 것을 특징으로 하는 메모리 디바이스.

청구항 10

제8항에 있어서,

상기 전하 저장 매체는 상기 실리콘 보디에 인접하여 형성된 것을 특징으로 하는 메모리 디바이스.

청구항 11

제8항에 있어서,

상기 전하 저장 매체에 인접하여 형성된 제어 게이트를 더 포함하는 것을 특징으로 하는 메모리 디바이스.

청구항 12

기판의 제1 평면이나 그 위에 형성된 제1 입력/출력 도전체와,

상기 제1 입력/출력 도전체 위에 형성된 제2 입력/출력 도전체와,

상기 제2 입력/출력 도전체 위에 형성된 제3 입력/출력 도전체와,

상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체의 돌출부의 교차점에 위치한 제1 반도체 영역과,

상기 제2 입력/출력 도전체와 상기 제3 입력/출력 도전체의 돌출부의 교차점에 위치한 제2 반도체 영역과,

상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체 사이에 흐르는 전류의 양에 영향을 미치는 제1 전하 저장 매체를 포함하는 것을 특징으로 하는 메모리 디바이스.

청구항 13

제1 영역과 제2 영역을 갖는 다이오드와,

전하 저장 영역과,

상기 전하 저장 영역에 인접하여 배치된 절연 영역과,

상기 제1 영역에 대한 제1 콘택과,

제2 콘택을 포함하고,

상기 제1 및 제2 콘택 사이의 전위가 상기 다이오드, 상기 절연 영역, 상기 전하 저장 영역을 통하여 전류를 흐르게 하는 것을 특징으로 하는 메모리 셀.

청구항 14

제13항에 있어서,

상기 제1 절연 영역에 대향하여 상기 제2 콘택과 상기 전하 저장 영역에 인접하여 배치된 제2 절연 영역을 더 포함하는 것을 특징으로 하는 메모리 셀.

청구항 15

제13항에 있어서,

상기 절연 영역은 산화물 영역인 것을 특징으로 하는 메모리 셀.

청구항 16

제13항에 있어서,

상기 전하 저장 영역은 질소 화합물을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 17

제16항에 있어서,

상기 화합물은 산소를 포함하는 것을 특징으로 하는 메모리 셀.

청구항 18

제16항에 있어서,

상기 화합물은 실리콘을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 19

제16항에 있어서,

상기 전하 저장 영역은 알루미나를 포함하는 것을 특징으로 하는 메모리 셀.

청구항 20

제13항에 있어서,

상기 다이오드는 도핑된 기판 영역을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 21

제14항 또는 제15항에 있어서,

상기 다이오드는 기판 위에 배치된 층을 포함하는 것을 특징으로 하는 메모리 셀.

청구항 22

제15항에 있어서,

상기 산화물 영역은 1 ~ 5 ㎚ 두께인 것을 특징으로 하는 메모리 셀.

청구항 23

제22항에 있어서,

상기 산화물 영역은 2 ~ 3 ㎚ 두께인 것을 특징으로 하는 메모리 셀.

청구항 24

N 도핑 영역과,

P 도핑 영역과,

상기 N 도핑 영역과 상기 P 도핑 영역 사이에 배치된 저장 소자와,

상기 N 도핑 영역과, 상기 P 도핑 영역과, 상기 저장 소자을 통하여 전류를 통과시키는 도전체를 포함하는 것을 특징으로 하는 비휘발성 판독-기록 메모리 셀.

청구항 25

제24항에 있어서,

상기 저장 소자는 제1 산화물 영역을 포함하는 것을 특징으로 하는 비휘발성 판독-기록 메모리 셀.

청구항 26

제25항에 있어서,

상기 저장 소자는 제2 산화물 영역을 포함하는 것을 특징으로 하는 비휘발성 판독-기록 메모리 셀.

청구항 27

제25항에 있어서,

상기 저장 소자는 질소를 함유하는 영역을 포함하는 것을 특징으로 하는 비휘발성 판독-기록 메모리 셀.

청구항 28

제27항에 있어서,

상기 저장 소자는 제2 산화물 영역을 포함하는 것을 특징으로 하는 비휘발성 판독-기록 메모리 셀.

청구항 29

제24항에 있어서,

상기 저장 소자는 상기 도핑 영역 중 적어도 하나와 전기적으로 직접 콘택하는 것을 특징으로 하는 비휘발성 판독-기록 메모리 셀.

청구항 30

제24항에 있어서,

상기 저장 소자는 실리콘을 포함하는 것을 특징으로 하는 비휘발성 판독-기록 메모리 셀.

청구항 31

제25항에 있어서,

상기 저장 소자는 알루미나를 포함하는 것을 특징으로 하는 비휘발성 판독-기록 메모리 셀.

청구항 32

제24항에 있어서,

상기 도핑 영역 중 적어도 하나는 기판 내에 배치된 것을 특징으로 하는 비휘발성 판독-기록 메모리 셀.

청구항 33

제24항에 있어서,

상기 도핑 영역 중 적어도 하나는 기판 위에 배치된 것을 특징으로 하는 비휘발성 판독-기록 메모리 셀.

청구항 34

셀을 프로그램하기 위한 영역에 전하를 포획(trapping)하는 단계와,

상기 셀로부터 데이터를 판독할 때 상기 영역으로 전류를 통과시키는 단계를 포함하는 것을 특징으로 하는 메모리 셀의 구동 방법.

청구항 35

제34항에 있어서,

상기 전류 통과 단계는 상기 셀을 프로그램 및 판독하기 위하여 제1 방향으로 전류를 흐르게 하는 단계를 포함하는 것을 특징으로 하는 메모리 셀의 구동 방법.

청구항 36

제34항에 있어서,

상기 전류 통과 단계는 상기 셀을 소거하기 위하여 제2 방향으로 전류를 흐르게 하는 단계를 더 포함하는 것을 특징으로 하는 메모리 셀의 구동 방법.

청구항 37

제34항에 있어서,

상기 포획 단계는 제1 방향으로 저장 소자를 통하여 전류를 통과시키는 단계를 포함하는 것을 특징으로 하는 메모리 셀의 구동 방법.

청구항 38

제34항에 있어서,

상기 소거 단계는 제2 방향으로 저장 소자를 통하여 전류를 흐르게 하는 단계를 포함하는 것을 특징으로 하는 메모리 셀의 구동 방법.

청구항 39

다이오드와, 상기 다이오드에 순방향 바이어스 전압을 가할 때 음-저항 특성을 나타내는 산화물 영역을 구비한 구조물로서,

상기 산화물 영역에 인접하게 배치되어 전하를 포획하는 저장 영역을 포함하고, 상기 다이오드와 산화물 영역을 통과한 전류는 상기 저장 영역을 통과하는 것을 특징으로 하는 구조물.

청구항 40

제39항에 있어서,

상기 저장 영역은 질소를 함유하는 화합물을 포함하는 것을 특징으로 하는 구조물.

청구항 41

제40항에 있어서,

상기 화합물은 산소를 포함하는 것을 특징으로 하는 구조물.

청구항 42

제41항에 있어서,

상기 화합물은 실리콘을 포함하는 것을 특징으로 하는 구조물.

청구항 43

제39항에 있어서,

상기 저장 영역은 알루미나를 포함하는 것을 특징으로 하는 구조물.

청구항 44

적어도 하나의 반도체 영역과 전하를 포획하기 위한 저장 영역을 갖는 복수의 셀과,

상기 반도체 영역과 상기 저장 영역을 통하는 전류 흐름을 제어하기 위한 제어 수단을 포함하는 것을 특징으로 하는 메모리 셀 어레이.

청구항 45

제44항에 있어서,

상기 제어 수단은 상기 셀 내에 배치된 것을 특징으로 하는 메모리 셀 어레이.

청구항 46

제44항에 있어서,

상기 적어도 하나의 반도체 영역은 n 형인 것을 특징으로 하는 메모리 셀 어레이.

청구항 47

제46항에 있어서,

상기 제어 수단은 p 형 반도체 영역을 포함하고, 상기 n 형 반도체 영역에 인접하여 배치된 것을 특징으로 하는 메모리 셀 어레이.

청구항 48

제47항에 있어서,

상기 저장 수단은 산화물 영역을 포함하는 것을 특징으로 하는 메모리 셀 어레이.

청구항 49

제48항에 있어서,

상기 저장 수단은 질소 화합물을 포함하는 것을 특징으로 하는 메모리 셀 어레이.

청구항 50

제44항에 있어서,

상기 제어 수단은 상기 셀 외부에 배치되는 것을 특징으로 하는 메모리 셀 어레이.

청구항 51

제44항에 있어서,

상기 셀의 반도체 영역은 기판 내에 배치된 것을 특징으로 하는 메모리 셀 어레이.

청구항 52

제44항에 있어서,

상기 셀의 반도체 영역은 폴리실리콘으로 형성된 것을 특징으로 하는 메모리 셀 어레이.

청구항 53

제47항에 있어서,

상기 제어 수단은 n 형 영역을 포함하는 n 채널 전계 효과 트랜지스터를 포함하는 것을 특징으로 하는 메모리 셀 어레이.

청구항 54

기판 위에 제작된 N 레벨(여기서, N은 2 이상임)을 갖는 메모리 어레이에 있어서,

각 레벨은

상기 기판에 평행한 제1 평면 내의 제1 이격 도전체와,

상기 제1 평면 위에, 상기 기판에 평행한 제2 평면 내의 제2 이격 도전체와,

상기 제1 및 제2 도전체 사이에 각각 배치된 복수의 셀을 포함하고,

상기 셀의 각각은

일 방향으로 더 용이하게 전류를 흐르게 하는 조종 소자(steering element)와,

제1 및 제2 산화물 영역과 상기 산화물 영역 사이의 저장 영역을 포함하는 저장 스택을 포함하고,

상기 조종 소자와 상기 저장 스택은 상기 제1 및 제2 도전체 사이에 배치되어, 일 도전체로부터의 전류가 상기 조종 소자와, 제1 산화물 영역과, 상기 저장 영역과, 상기 제2 산화물 영역을 통과하여 상기 제2 도전체에 도달하는 것을 특징으로 하는 메모리 어레이.

청구항 55

제54항에 있어서,

N-1 레벨의 상기 제2 도전체는 상기 제2 도전체의 위 및 아래의 셀과 공유되는 것을 특징으로 하는 메모리 어레이.

청구항 56

제54항에 있어서,

상기 조종 소자는 p 형 도핑 영역 및 n 형 도핑 영역과, 적어도 상기 n 형 도핑 영역과 콘택하는 저장 스택을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 57

기판 위에 배치되고, 비선형 소자를 각기 구비한 복수의 레벨을 갖는 3차원 메모리 어레이로서,

상기 비선형 소자 각각과 연관된 저장 스택을 포함하며, 상기 저장 스택은 산화물 영역 사이에 배치되어 전하를 포획하기 위한 저장 영역을 포함하고, 상기 비선형 소자를 통해 흐르는 전류는 상기 산화물 영역 중 하나, 상기 저장 영역 및 나머지 산화물 영역을 통해 흐르는 것을 특징으로 하는 3차원 메모리 어레이.

청구항 58

제57항에 있어서,

제1 소정 밀도의 전류를 제1 방향으로 통과시킴으로써 상기 저장 영역에 전하를 포획하는 것을 특징으로 하는 3차원 메모리 어레이.

청구항 59

제58항에 있어서,

제2 소정 밀도 - 상기 제2 소정 밀도는 상기 제1 소정 밀도 보다 밀도가 낮음 - 보다 낮은 밀도의 전류를 상기 제1 방향으로 통과시킴으로써 상기 저장 영역에 포획된 전하를 감지하는 것을 특징으로 하는 3차원 메모리 어레이.

청구항 60

제59항에 있어서,

상기 제1 방향과 반대된 제2 방향으로 상기 저장 영역을 통과하는 전류에 의해 포획된 전하를 중성화하는 것을 특징으로 하는 3차원 메모리 어레이.

청구항 61

제60항에 있어서,

상기 전류가 제1 방향으로 통과할 때, 다이오드가 순방향 바이어스되는 것을 특징으로 하는 3차원 메모리 어레이.

청구항 62

제61항에 있어서,

상기 저장 영역은 질소 화합물을 포함하는 것을 특징으로 하는 3차원 메모리 어레이.

청구항 63

제62항에 있어서,

상기 다이오드는 상기 산화물 영역 중 하나에 인접한 n 형 반도체 영역을 포함하는 것을 특징으로 하는 3차원 메모리 어레이.

청구항 64

청구항 64은(는) 설정등록료 납부시 포기되었습니다.

평면을 갖는 단결정 기판과,

상기 기판의 평면이나 그 위의 제1 콘택과,

상기 제1 콘택 상의 보디와,

상기 보디 상의 제2 콘택 - 상기 제2 콘택은 상기 제1 콘택 위에 실질적으로 수직하게 정렬됨 - 과,

상기 보디에 인접한 전하 저장 매체 - 판독 전류는 상기 기판의 평면에 수직한 방향으로 상기 제1 콘택과 상기 제2 콘택 사이에서 흐름 - 와,

상기 전하 저장 매체에 인접한 제어 게이트를 포함하는 것을 특징으로 하는 메모리.

청구항 65

청구항 65은(는) 설정등록료 납부시 포기되었습니다.

제64항에 있어서,

상기 보디는 실리콘을 포함하는 것을 특징으로 하는 메모리.

청구항 66

청구항 66은(는) 설정등록료 납부시 포기되었습니다.

제64항에 있어서,

상기 보디는 실리콘 막에 의해 포위된 유전체 막을 포함하는 것을 특징으로 하는 메모리.

청구항 67

청구항 67은(는) 설정등록료 납부시 포기되었습니다.

제64항에 있어서,

상기 전하 저장 매체는 유전체 스택을 포함하는 것을 특징으로 하는 메모리.

청구항 68

청구항 68은(는) 설정등록료 납부시 포기되었습니다.

제64항에 있어서,

상기 전하 저장 매체는 유전체에 의해 상기 보디로부터 이격된 실리콘 플로팅 게이트를 포함하는 것을 특징으로 하는 메모리.

청구항 69

청구항 69은(는) 설정등록료 납부시 포기되었습니다.

제64항에 있어서,

상기 전하 저항 매체는 도전성 나노 결정으로 형성되고 유전체에 의해 상기 보디로부터 분리된 플로팅 게이트를

포함하는 것을 특징으로 하는 메모리.

청구항 70

청구항 70은(는) 설정등록료 납부시 포기되었습니다.

평면을 갖는 실리콘 결정 기판과,

제1 도전형을 가지며 상기 기판 위에 형성된 상기 제1 도전형의 제1 농도의 불순물을 가지는 제1 실리콘 막과,

제2 도전형을 가지며 상기 제2 도전형의 제2 농도 - 상기 제1 농도는 상기 제2 농도 보다 큼 - 의 불순물을 가지는 제2 실리콘 막과,

상기 제1 도전형을 가지며 상기 제1 도전형의 제3 농도의 불순물을 가지는 제3 실리콘 막 - 상기 제1 실리콘 막과 상기 제3 실리콘 막은 거의 수직으로 정렬됨 - 과,

상기 제2 실리콘 막에 인접한 전하 저장 매체와,

상기 전하 저장 매체에 인접한 제어 게이트를 포함하는 것을 특징으로 하는 메모리.

청구항 71

청구항 71은(는) 설정등록료 납부시 포기되었습니다.

제70항에 있어서,

상기 전하 저장 매체는 ONO 막을 포함하는 것을 특징으로 하는 메모리.

청구항 72

청구항 72은(는) 설정등록료 납부시 포기되었습니다.

제70항에 있어서,

상기 전하 저장 매체는 상기 제2 실리콘 막에 인접한 제1 유전체 층과, 상기 제1 유전체 층에 인접한 플로팅 게이트와, 상기 플로팅 게이트와 상기 제어 게이트 사이의 제2 유전체 층을 포함하는 것을 특징으로 하는 메모리.

청구항 73

청구항 73은(는) 설정등록료 납부시 포기되었습니다.

제72항에 있어서,

상기 플로팅 게이트는 나노 결정을 포함하는 것을 특징으로 하는 메모리.

청구항 74

청구항 74은(는) 설정등록료 납부시 포기되었습니다.

제72항에 있어서,

상기 플로팅 게이트는 연속 실리콘 막을 포함하는 것을 특징으로 하는 메모리.

청구항 75

청구항 75은(는) 설정등록료 납부시 포기되었습니다.

제70항에 있어서,

상기 제1 도전형은 N 형이고 상기 제2 도전형은 P 형인 것을 특징으로 하는 메모리.

청구항 76

청구항 76은(는) 설정등록료 납부시 포기되었습니다.

기판 위에 형성된 제1 금속 콘택과,

상기 제1 금속 콘택에 형성되어 제1 도전형을 갖고, 상기 제1 금속 콘택과 쇼트키 접합을 형성하는 실리콘 막과,

상기 실리콘 막에 형성되고 상기 실리콘 막과 제2 쇼트키 접합을 형성하는 제2 금속 콘택과,

상기 실리콘 막에 인접한 전하 저장 매체와,

상기 전하 저장 매체에 인접한 제어 게이트를 포함하는 것을 특징으로 하는 메모리.

청구항 77

청구항 77은(는) 설정등록료 납부시 포기되었습니다.

제76항에 있어서,

상기 전하 저장 매체는 ONO 막을 포함하는 것을 특징으로 하는 메모리.

청구항 78

청구항 78은(는) 설정등록료 납부시 포기되었습니다.

제76항에 있어서,

상기 전하 저장 매체는 상기 실리콘 막에 인접한 제1 유전체, 상기 제1 유전체에 인접한 플로팅 게이트 및 상기 플로팅 게이트와 상기 제어 게이트 사이의 제2 유전체를 포함하는 것을 특징으로 하는 메모리.

청구항 79

청구항 79은(는) 설정등록료 납부시 포기되었습니다.

제78항에 있어서,

상기 플로팅 게이트는 나노 결정을 포함하는 것을 특징으로 하는 메모리.

청구항 80

청구항 80은(는) 설정등록료 납부시 포기되었습니다.

제78항에 있어서,

상기 플로팅 게이트는 실리콘 플로팅 게이트인 것을 특징으로 하는 메모리.

청구항 81

청구항 81은(는) 설정등록료 납부시 포기되었습니다.

제78항에 있어서,

상기 제1 도전형은 P 형인 것을 특징으로 하는 메모리.

청구항 82

청구항 82은(는) 설정등록료 납부시 포기되었습니다.

기판 위에 형성되어 제1 도전형을 갖는 제1 실리콘 막과,

상기 제1 실리콘 막 위에 형성된 제1 유전체 층과,

유전체 층 위에 형성된 상기 제1 도전형의 제2 실리콘 막과,

상기 제1 실리콘 막, 상기 제1 유전체 층 및 상기 제2 실리콘 막에 인접하여 콘택하는 제3 실리콘 막 - 상기 제3 실리콘 막은 상기 제1 도전형과 정반대인 제2 도전형을 가짐 - 과,

상기 제3 실리콘 막에 인접한 전하 저장 매체 및

상기 전하 저장 매체에 인접한 제어 게이트를 포함하는 것을 특징으로 하는 메모리.

청구항 83

청구항 83은(는) 설정등록료 납부시 포기되었습니다.

제82항에 있어서,

상기 전하 저장 매체는 ONO 막인 것을 특징으로 하는 메모리.

청구항 84

청구항 84은(는) 설정등록료 납부시 포기되었습니다.

제82항에 있어서,

상기 전하 저장 매체는 상기 제3 실리콘 막에 인접한 제3 유전체, 상기 제2 유전체에 인접한 플로팅 게이트 및 상기 플로팅 게이트와 상기 제어 게이트 사이의 제3 유전체를 포함하는 것을 특징으로 하는 메모리.

청구항 85

청구항 85은(는) 설정등록료 납부시 포기되었습니다.

제84항에 있어서,

상기 플로팅 게이트는 나노 결정으로부터 형성되는 것을 특징으로 하는 메모리.

청구항 86

청구항 86은(는) 설정등록료 납부시 포기되었습니다.

제84항에 있어서,

상기 플로팅 게이트는 실리콘으로부터 형성되는 것을 특징으로 하는 메모리.

청구항 87

청구항 87은(는) 설정등록료 납부시 포기되었습니다.

제82항에 있어서,

상기 제1 도전형은 N 형이고 상기 제2 도전형은 P 형인 것을 특징으로 하는 메모리.

청구항 88

청구항 88은(는) 설정등록료 납부시 포기되었습니다.

기판과,

제1 도전형을 가지고, 상기 기판 위에 상기 제1 도전형의 제1 농도를 갖는 제1 실리콘 막과,

상기 제1 실리콘 막 위에 상기 제1 도전형의 제2 농도 - 상기 제2 농도는 상기 제1 농도 미만임 - 을 갖는 제2 실리콘 막과,

상기 제2 실리콘 막 위에 형성된 제2 도전형을 갖는 제3 실리콘 막과,

상기 제2 실리콘 막에 인접한 전하 저장 매체와,

상기 전하 저장 매체에 인접한 제어 게이트를 포함하는 것을 특징으로 하는 메모리.

청구항 89

청구항 89은(는) 설정등록료 납부시 포기되었습니다.

제88항에 있어서,

상기 전하 저장 매체는 ONO 막인 것을 특징으로 하는 메모리.

청구항 90

청구항 90은(는) 설정등록료 납부시 포기되었습니다.

제88항에 있어서,

상기 전하 저장 장치는 상기 제2 실리콘 막에 인접한 제1 유전체, 상기 제1 유전체에 인접한 플로팅 게이트 및 상기 플로팅 게이트와 상기 제어 게이트 사이의 제2 유전체를 포함하는 것을 특징으로 하는 메모리.

청구항 91

청구항 91은(는) 설정등록료 납부시 포기되었습니다.

제90항에 있어서,

상기 플로팅 게이트는 나노 결정으로부터 형성되는 것을 특징으로 하는 메모리.

청구항 92

청구항 92은(는) 설정등록료 납부시 포기되었습니다.

제90항에 있어서,

상기 플로팅 게이트는 실리콘으로부터 형성되는 것을 특징으로 하는 메모리.

청구항 93

청구항 93은(는) 설정등록료 납부시 포기되었습니다.

제88항에 있어서,

상기 제1 도전형은 P 형이고 상기 제2 도전형은 N 형인 것을 특징으로 하는 메모리.

청구항 94

청구항 94은(는) 설정등록료 납부시 포기되었습니다.

평면을 갖는 단결정 실리콘 기판,

상기 단결정 실리콘 기판의 상기 평면 위에 형성된 유전체,

상기 유전체 위에 형성된 제1 콘택,

상기 제1 콘택 위에 형성된 보디,

상기 보디 위에 형성된 제2 콘택,

상기 보디에 인접한 전하 저장 매체 - 판독 전류가 상기 기판의 상기 평면에 수직한 방향으로 상기 제1 콘택과 상기 제2 콘택 사이로 흐름 -,

상기 전하 저장 매체에 인접한 제어 게이트를 포함하는 것을 특징으로 하는 메모리.

청구항 95

청구항 95은(는) 설정등록료 납부시 포기되었습니다.

제1 콘택, 상기 제1 콘택 위에 보디 및 상기 보디 위에 제2 콘택을 포함하는 제1 필러,

상기 제1 필러 위에 형성된 제2 필러 - 상기 제2 필러는 제3 콘택, 상기 제3 콘택 위에 형성된 제2 보디 및 상기 제2 보디 위에 형성된 제4 콘택을 포함함 -,

상기 제1 필러에 인접한 제1 전하 저장 매체,

상기 제2 필러에 인접한 제2 전하 저장 매체 및

상기 제1 전하 저장 매체 및 상기 제2 전하 저장 매체에 인접하여 형성된 연속 막 제어 게이트를 포함하는 것을 특징으로 하는 메모리.

청구항 96

청구항 96은(는) 설정등록료 납부시 포기되었습니다.

제95항에 있어서,

상기 제1 전하 저장 매체는 나노 결정을 포함하는 막을 포함하는 것을 특징으로 하는 메모리.

청구항 97

청구항 97은(는) 설정등록료 납부시 포기되었습니다.

제1 콘택, 상기 제1 콘택 위에 보디 및 상기 보디 위에 제2 콘택을 포함하는 제1 필러,

상기 제1 필러 위에 형성된 제2 필러 - 상기 제2 필러는 제3 콘택, 상기 제3 콘택 위에 형성된 제2 보디 및 상기 보디 위에 형성된 제4 콘택을 포함함 -,

상기 제1 필러 및 상기 제2 필러의 상기 측벽 위에 형성된 제1 유전체,

상기 제1 및 제2 필러에 인접한 상기 제1 유전체 위 및 부근에 형성된 나노 결정 막,

상기 나노 결정에 인접하여 형성된 제2 유전체,

상기 제1 필러에 인접한 상기 제2 유전체에 인접하여 형성된 제1 제어 게이트 및

상기 제2 필러에 인접한 상기 제2 유전체에 인접하여 형성된 제2 제어 게이트를 포함하는 것을 특징으로 하는 메모리.

청구항 98

청구항 98은(는) 설정등록료 납부시 포기되었습니다.

제97항에 있어서,

상기 제1 제어 게이트 및 상기 제2 제어 게이트는 연속 막으로부터 형성되는 것을 특징으로 하는 메모리.

청구항 99

청구항 99은(는) 설정등록료 납부시 포기되었습니다.

단결정 반도체 기판 위에 비정질 또는 다결정 반도체 층으로 형성된 전하 저장 장치의 모놀리식 3차원 어레이 및

상기 어레이 아래, 상기 어레이 내에 또는 상기 어레이 위에 적어도 일부분은 상기 기판에 형성된 구동 회로(driver circuitry)를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 100

청구항 100은(는) 설정등록료 납부시 포기되었습니다.

제99항에 있어서,

상기 구동 회로는 상기 기판의 상기 어레이 아래에 형성된 센스 앰프 및 전하 펌프 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 101

청구항 101은(는) 설정등록료 납부시 포기되었습니다.

제99항에 있어서,

두 개의 연속적인 디바이스 레벨 사이의 적어도 하나의 표면은 화학적 기계 연마에 의해 평탄화되는 것을 특징으로 하는 반도체 디바이스.

청구항 102

청구항 102은(는) 설정등록료 납부시 포기되었습니다.

제101항에 있어서,

상기 어레이는 4개 이상의 디바이스 레벨을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 103

청구항 103은(는) 설정등록료 납부시 포기되었습니다.

제102항에 있어서,

각각의 전하 저장 장치는 필러 TFT EEPROM, 전하 저장 영역을 가진 필러 다이오드, 자기 정렬된 TFT EEPROM 및 레일 스택 TFT EEPROM으로 구성되는 그룹으로부터 선택되는 것을 특징으로 하는 반도체 디바이스.

청구항 104

청구항 104은(는) 설정등록료 납부시 포기되었습니다.

제103항에 있어서,

각각의 어레이 레벨은 연마된 평탄한 층간 절연 층에 의해 상기 어레이의 또 다른 레벨로부터 분리되는 것을 특징으로 하는 반도체 디바이스.

청구항 105

청구항 105은(는) 설정등록료 납부시 포기되었습니다.

제104항에 있어서,

각각의 디바이스 레벨은 상기 인접 디바이스 레벨에 대하여 평탄한 것을 특징으로 하는 반도체 디바이스.

청구항 106

복수의 디바이스 레벨을 포함하는 3차원 반도체 디바이스에 있어서,

각각의 레벨은

액티브 반도체 영역,

전하 저장 영역,

제1 전극,

제2 전극을 포함하고,

상기 액티브 반도체 영역의 제1 평면은 상기 제1 및 상기 제2 전극 중 하나의 제1 평면에 정렬되는 것을 특징으로 하는 3차원 반도체 디바이스.

청구항 107

제106항에 있어서,

상기 액티브 반도체 영역의 제2 평면은 상기 제1 및 상기 제2 전극 중 나머지의 제2 평면에 정렬되는 것을 특징으로 하는 3차원 반도체 디바이스.

청구항 108

청구항 108은(는) 설정등록료 납부시 포기되었습니다.

제107항에 있어서,

상기 액티브 반도체 영역은 채널, 소스 및 드레인 영역을 포함하는 수직 필러를 포함하고,

상기 제1 및 제2 전극은 상기 소스 및 상기 드레인 영역 중 하나를 콘택시키며,

상기 디바이스는 게이트 전극을 더 포함하는 것을 특징으로 하는 3차원 반도체 디바이스.

청구항 109

청구항 109은(는) 설정등록료 납부시 포기되었습니다.

제107항에 있어서,

상기 액티브 반도체 영역은 수직 P-N 접합 필러를 포함하고,

상기 제1 및 제2 전극은 상기 P-N 접합의 상기 P 및 상기 N 영역 중 하나를 콘택시키는 것을 특징으로 하는 3차원 반도체 디바이스.

청구항 110

복수의 디바이스 레벨을 포함하는 3차원 반도체 디바이스의 제조 방법에 있어서,

각각의 디바이스 레벨을 제조하는 상기 방법은

액티브 반도체 영역을 형성하는 단계,

전하 저장 영역을 형성하는 단계,

제1 전극을 형성하는 단계,

제2 전극을 형성하는 단계 및

동일한 포토리쏘그래피 단계 동안 상기 액티브 반도체 영역 및 제1 전극 중 적어도 두 면을 패턴화하는 단계를 포함하는 것을 특징으로 하는 3차원 반도체 디바이스의 제조 방법.

청구항 111

청구항 111은(는) 설정등록료 납부시 포기되었습니다.

제110항에 있어서,

상기 액티브 반도체 영역 및 제1 전극은 제1 마스크를 사용하여 에칭되는 것을 특징으로 하는 3차원 반도체 디바이스의 제조 방법.

청구항 112

청구항 112은(는) 설정등록료 납부시 포기되었습니다.

제111항에 있어서,

상기 제2 전극 및 상기 액티브 반도체 영역을 제2 마스크를 사용하여 에칭하는 단계를 더 포함하는 것을 특징으로 하는 3차원 반도체 디바이스의 제조 방법.

청구항 113

청구항 113은(는) 설정등록료 납부시 포기되었습니다.

제111항에 있어서,

상기 액티브 반도체 영역은 채널, 소스 및 드레인 영역을 포함하는 수직 필러를 포함하고,

상기 제1 및 상기 제2 전극은 상기 소스 및 상기 드레인 영역 중 하나를 콘택시키며,

게이트 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 3차원 반도체 디바이스의 제조 방법.

청구항 114

청구항 114은(는) 설정등록료 납부시 포기되었습니다.

제111항에 있어서,

상기 액티브 반도체 영역은 수직 P-N 접합 필러를 포함하고,

상기 제1 및 상기 제2 전극은 상기 P-N 접합의 상기 P 영역 및 상기 N 영역 중 하나를 콘택시키는 것을 특징으

로 하는 3차원 반도체 디바이스의 제조 방법.

청구항 115

청구항 115은(는) 설정등록료 납부시 포기되었습니다.

채널, 소스 및 드레인 영역을 포함하는 액티브 반도체 영역,

게이트 절연 층,

소스 전극,

드레인 전극 및

게이트 전극을 포함하고,

상기 액티브 반도체 영역의 제1 평면은 상기 액티브 반도체 영역의 상기 채널부에서만 상기 게이트 전극의 한 면에 정렬되는 것을 특징으로 하는 반도체 디바이스.

청구항 116

청구항 116은(는) 설정등록료 납부시 포기되었습니다.

제115항에 있어서,

상기 게이트 절연 층은 전하 저장 영역의 한 부분을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 117

청구항 117은(는) 설정등록료 납부시 포기되었습니다.

제116항에 있어서,

상기 디바이스는 디바이스의 모놀리식 3차원 어레이(monolithic three dimensional array)에 결합된 자기 정렬 TFT를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 118

청구항 118은(는) 설정등록료 납부시 포기되었습니다.

채널, 소스 및 드레인 영역을 포함하는 액티브 반도체 영역을 형성하는 단계,

게이트 절연 층을 형성하는 단계,

소스 전극을 형성하는 단계,

드레인 전극을 형성하는 단계,

게이트 층을 형성하는 단계 및

동일한 포토리쏘그래피 단계 동안 상기 액티브 반도체 층의 상기 채널 영역이 아닌 상기 게이트 층과 상기 소스 및 드레인 영역을 패턴화하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 119

청구항 119은(는) 설정등록료 납부시 포기되었습니다.

제118항에 있어서,

상기 액티브 반도체 영역 및 게이트 층은 제1 마스크를 사용하여 에칭되고.

상기 게이트 절연 층은 전하 저장 영역의 한 부분을 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 120

청구항 120은(는) 설정등록료 납부시 포기되었습니다.

제119항에 있어서,

상기 패턴화된 액티브 반도체 층을 포함하는 전하 저장 장치의 모놀리식 3차원 어레이를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스의 제조 방법.

청구항 121

삭제

청구항 122

삭제

청구항 123

삭제

청구항 124

삭제

청구항 125

삭제

청구항 126

삭제

청구항 127

삭제

청구항 128

삭제

청구항 129

삭제

청구항 130

삭제

청구항 131

삭제

청구항 132

3차원 비휘발성 디바이스 어레이에 있어서,

복수의 수직으로 분리된 디바이스 레벨 - 각 레벨은 채널, 소스 및 드레인 영역을 포함하는 TFT EEPROM의 어레이 및 상기 채널 영역에 인접한 전하 저장 영역을 포함함 -,

각각의 디바이스 레벨의 복수의 비트 라인 컬럼 - 각각의 비트 라인은 상기 TFT EEPROM의 상기 소스 또는 상기 드레인 영역을 콘택시킴 -,

각각의 디바이스 레벨의 복수의 워드 라인 로우 및

상기 디바이스 레벨 사이에 위치한 적어도 하나의 층간 절연 층을 포함하는 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 133

청구항 133은(는) 설정등록료 납부시 포기되었습니다.

제132항에 있어서,

적어도 하나의 디바이스 레벨에 있어서, 상기 비트 라인 컬럼은 상기 워드 라인 로우로부터 TFT EEPROM 채널의 정반대 면에 배치되고,

각각의 TFT EEPROM의 상기 채널은 비정질 실리콘 또는 폴리실리콘을 포함하고,

비트 라인의 상기 컬럼은 상기 TFT EEPROM의 소스-채널-드레인 방향에 실질적으로 수직하게 뻗어 있고,

각각의 워드 라인은 상기 TFT EEPROM의 상기 제어 게이트를 콘택시키거나 상기 TFT EEPROM의 제어 게이트로서 행동하고, 워드 라인의 상기 로우는 상기 TFT EEPROM의 상기 소스-채널-드레인에 실질적으로 평행하게 확장하며,

워드 라인은 TFT EEPROM의 상기 어레이의 상기 제어 게이트에 자기 정렬되고 상기 각각의 워드 라인의 아래에 위치한 상기 TFT EEPROM의 상기 전하 저장 영역 및 상기 채널에 자기 정렬되는 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 134

청구항 134은(는) 설정등록료 납부시 포기되었습니다.

제133항에 있어서,

각각의 전하 저장 영역은 ONO 유전체 막 또는 도전성 나노 결정을 포함하는 절연 층을 포함하는 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 135

청구항 135은(는) 설정등록료 납부시 포기되었습니다.

제133항에 있어서,

각각의 전하 저장 영역은

상기 채널 위에 터널 유전체,

상기 터널 유전체 위에 플로팅 게이트 및

상기 플로팅 게이트 위에 제어 게이트 유전체를 포함하는 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 136

청구항 136은(는) 설정등록료 납부시 포기되었습니다.

제133항에 있어서,

상기 TFT EEPROM의 상기 제어 게이트의 측벽 부근에 위치한 측벽 스페이서 - 상기 측벽 스페이서는 상기 제어 게이트와 거의 동일한 높이를 가짐 -,

각각의 디바이스 층의 상기 TFT EEPROM의 상기 소스 및 드레인 영역 위의 상기 측벽 스페이서 사이에 위치한 게이트간 절연 층 - 상기 게이트간 절연 층은 상기 측벽 스페이서와 거의 동일한 높이를 가짐 - 을 더 포함하는 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 137

청구항 137은(는) 설정등록료 납부시 포기되었습니다.

제136항에 있어서,

상기 워드 라인은 각각의 디바이스 레벨의 상기 측벽 스페이서 및 상기 게이트간 절연 층 위에 위치하고,

상기 워드 라인은 상기 측벽 스페이서 사이의 개구를 통하여 상기 각각의 TFT EEPROM 제어 게이트를 콘택시키는 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 138

청구항 138은(는) 설정등록료 납부시 포기되었습니다.

제137항에 있어서,

각각의 디바이스 레벨의 상기 비트 라인은 상기 게이트간 절연 층 아래로 확장하는 레일(rail)을 포함하는 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 139

청구항 139은(는) 설정등록료 납부시 포기되었습니다.

제138항에 있어서,

상기 레일은 도핑된 반도체 영역 위에 실리사이드 층을 포함하고,

상기 도핑된 반도체 영역은 상기 도핑된 반도체 영역이 상기 TFT EEPROM 채널 부근에 위치하는 영역의 상기 TFT EEPROM 소스 및 드레인 영역을 포함하는 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 140

제132항에 있어서,

각각의 제어 게이트는

상기 전하 저장 영역을 콘택시키는 제1 부분 및

상기 제1 부분 위에 제2 부분을 포함하고,

상기 제1 및 상기 제2 게이트 부분은 분리하여 증착된 층을 포함하는 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 141

제132항에 있어서,

상기 워드 라인 및 상기 비트 라인을 상기 어레이의 상기 제1 디바이스 레벨 아래의 반도체 기판에 위치한 주변 회로에 접속시키는 워드 라인 콘택 및 비트 라인 콘택을 더 포함하는 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 142

제141항에 있어서,

상기 워드 라인 및 상기 비트 라인 콘택은 복수의 디바이스 층 사이에 확장하는 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 143

제132항에 있어서,

각각의 메모리 셀은 TFT EEPROM를 포함하고,

비트당 각각의 메모리 셀의 크기는 $(2F^2)/N$이고, 여기서 F는 최소 배선 폭이고, N은 3차원의 디바이스 층의 수이며, N>1인 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 144

청구항 144은(는) 설정등록료 납부시 포기되었습니다.

채널,

소스,

드레인,

상기 채널 위에 위치한 터널 유전체,

상기 터널 유전체 위에 위치한 플로팅 게이트,

상기 플로팅 게이트 측벽 부근에 위치한 측벽 스페이서,

상기 플로팅 게이트 위에 위치한 워드 라인 및

상기 제어 게이트 및 상기 플로팅 게이트 사이에 위치한 제어 게이트 유전체를 포함하고,

상기 제어 게이트 유전체는 상기 측벽 스페이서 위에 위치하는 것을 특징으로 하는 EEPROM.

청구항 145

청구항 145은(는) 설정등록료 납부시 포기되었습니다.

제144항에 있어서,

상기 측벽 스페이서는 상기 플로팅 게이트의 상부까지 뻗어 있고,

상기 제어 게이트 유전체는 상기 플로팅 게이트 및 상기 측벽 스페이서의 상면에 위치하는 것을 특징으로 하는 EEPROM.

청구항 146

청구항 146은(는) 설정등록료 납부시 포기되었습니다.

제144항에 있어서,

상기 플로팅 게이트는 상기 측벽 스페이서 위에 수직으로 확장하는 것을 특징으로 하는 EEPROM.

청구항 147

청구항 147은(는) 설정등록료 납부시 포기되었습니다.

제146항에 있어서,

상기 플로팅 게이트는 상기 측벽 스페이서 위에 측면으로 확장하여 상기 플로팅 게이트가 "T" 형태를 갖는 것을 특징으로 하는 EEPROM.

청구항 148

청구항 148은(는) 설정등록료 납부시 포기되었습니다.

제147항에 있어서,

상기 제어 게이트 유전체는 상기 측벽 스페이서 위로 확장하는 상기 플로팅 게이트의 상면 및 측면 위에 위치하고,

상기 워드 라인은 상기 제어 게이트 유전체 위에 위치하여 상기 워드 라인이 상기 EEPROM의 제어 게이트로서 행동하는 것을 특징으로 하는 EEPROM.

청구항 149

청구항 149은(는) 설정등록료 납부시 포기되었습니다.

제146항에 있어서,

상기 플로팅 게이트의 상면을 조면화(roughening) 또는 텍스처화(texturing)하는 것을 특징으로 하는 EEPROM.

청구항 150

청구항 150은(는) 설정등록료 납부시 포기되었습니다.

제144항에 있어서,

상기 소스, 상기 드레인 및 상기 채널은, 층간 절연 층 위에 위치하여 상기 EEPROM이 TFT를 포함하도록 하는 폴리실리콘 액티브 층에서 형성되는 것을 특징으로 하는 EEPROM.

청구항 151

청구항 151은(는) 설정등록료 납부시 포기되었습니다.

복수의 수직으로 분리된 디바이스 레벨 - 각각의 레벨은 청구항 150의 TFT EEPROM의 어레이를 포함함 -,

각각의 디바이스 레벨의 복수의 비트 라인 컬럼 - 각각의 비트 라인은 상기 TFT EEPROM의 상기 소스 또는 상기 드레인 영역을 콘택시키고, 비트 라인의 상기 컬럼은 상기 TFT EEPROM의 소스-채널-드레인 방향에 실질적으로 수직하게 확장함 -,

각각의 디바이스 레벨의 복수의 워드 라인 로우 - 워드 라인의 상기 로우는 상기 TFT EEPROM의 상기 소스-채널-드레인 방향에 실질적으로 평행하게 확장함 - 및

상기 디바이스 레벨 사이에 위치한 적어도 하나의 층간 절연 층을 포함하는 것을 특징으로 하는 3차원 메모리 어레이.

청구항 152

청구항 152은(는) 설정등록료 납부시 포기되었습니다.

제151항에 있어서,

상기 워드 라인은 상기 TFT EEPROM의 상기 채널 및 상기 플로팅 게이트에 자기 정렬되고,

각각의 디바이스 레벨의 상기 비트 라인은 상기 워드 라인 아래로 확장하는 레일을 포함하는 것을 특징으로 하는 3차원 메모리 어레이.

청구항 153

비휘발성 메모리 셀의 어레이에 있어서,

각각의 메모리 셀은 반도체 디바이스를 포함하고 비트 당 각각의 메모리 셀의 크기는 $(2f^2)/N$이며, f는 최소 배선 폭이고, N은 3차원의 디바이스 층의 수이고, $N \geq 1$인 것을 특징으로 하는 비휘발성 메모리 셀의 어레이.

청구항 154

제153항에 있어서,

상기 어레이는 $N>1$인 경우, 복수의 수직으로 분리된 디바이스 레벨을 포함하는 모놀리식 3차원 메모리 어레이를 포함하고,

상기 반도체 디바이스는, 채널, 소스 및 드레인 영역 및 전하 저장 영역을 포함하는 TFT EEPROM을 포함하는 것을 특징으로 비휘발성 메모리 셀의 어레이.

청구항 155

청구항 155은(는) 설정등록료 납부시 포기되었습니다.

제154항에 있어서,

각각의 디바이스 레벨의 복수의 비트 라인 컬럼 - 각각의 비트 라인은 상기 TFT EEPROM의 상기 소스 또는 상기 드레인 영역을 콘택시키고, 상기 비트 라인의 상기 컬럼은 상기 TFT EEPROM의 소스-채널-드레인 방향에 실질적으로 수직하게 확장함 -,

각각의 디바이스 레벨의 복수의 워드 라인 로우 - 상기 워드 라인의 상기 로우는 상기 TFT EEPROM의 상기 소스-채널-드레인 방향에 실질적으로 평행하게 확장함 - 및

상기 디바이스 레벨 사이에 위치한 적어도 하나의 층간 절연 층을 더 포함하는 것을 특징으로 하는 비휘발성 메모리 셀의 어레이.

청구항 156

청구항 156은(는) 설정등록료 납부시 포기되었습니다.

제155항에 있어서,

상기 TFT EEPROM은 제어 게이트를 더 포함하고,

상기 복수의 워드 라인은, 상기 각각의 TFT EEPROM의 상기 제어 게이트, 상기 각각의 TFT EEPROM의 상기 채널 영역 및 상기 각각의 워드 라인 아래에 위치한 상기 각각의 TFT EEPROM의 상기 전하 저장 영역에 자기 정렬되는 것을 특징으로 하는 비휘발성 메모리 셀의 어레이.

청구항 157

청구항 157은(는) 설정등록료 납부시 포기되었습니다.

제156항에 있어서,

상기 TFT EEPROM은

상기 TFT EEPROM의 상기 게이트의 측벽 부근에 위치한 측벽 스페이서 - 상기 측벽 스페이서는 상기 게이트와 거의 동일한 높이를 가짐 - 및

상기 측벽 스페이서 사이 및 각각의 디바이스 층의 상기 TFT EEPROM의 상기 소스 및 상기 드레인 영역 위에 위치하는 게이트간 절연 층 - 상기 게이트간 절연 층은 상기 측벽 스페이서와 거의 동일한 높이를 가짐 - 을 더 포함하는 것을 특징으로 하는 비휘발성 메모리 셀의 어레이.

청구항 158

청구항 158은(는) 설정등록료 납부시 포기되었습니다.

제157항에 있어서,

상기 워드 라인은 각각의 디바이스 레벨의 상기 게이트간 절연 층 및 상기 측벽 스페이서 위에 위치하고,

상기 워드 라인은 상기 측벽 스페이서 사이의 개구를 통하여 상기 각각의 TFT EEPROM 제어 게이트를 콘택시키는 것을 특징으로 하는 비휘발성 메모리 셀의 어레이.

청구항 159

청구항 159은(는) 설정등록료 납부시 포기되었습니다.

제155항에 있어서,

상기 TFT EEPROM은

상기 전하 저장 영역에 위치한 플로팅 게이트,

상기 TFT EEPROM의 상기 플로팅 게이트의 측벽 부근에 위치한 측벽 스페이서,

각각의 디바이스 층의 상기 TFT EEPROM의 상기 소스 및 상기 드레인 영역 위 및 상기 측벽 스페이서 사이에 위치하는 게이트간 절연 층 - 상기 게이트간 절연 층은 상기 측벽 스페이서와 거의 동일한 높이를 가짐 - 및

상기 측벽 스페이서 및 상기 게이트간 절연 층 위와 상기 워드 라인의 아래에 위치한 제어 게이트 유전체를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 셀의 어레이.

청구항 160

청구항 160은(는) 설정등록료 납부시 포기되었습니다.

제159항에 있어서,

상기 플로팅 게이트는 상기 측벽 스페이서 위로 수직 및 측면으로 확장하여, 상기 플로팅 게이트가 "T" 형태를 갖도록 하는 것을 특징으로 하는 비휘발성 메모리 셀의 어레이.

청구항 161

청구항 161은(는) 설정등록료 납부시 포기되었습니다.

제155항에 있어서,

상기 워드 라인 및 상기 비트 라인을 상기 어레이의 상기 제1 디바이스 레벨 아래의 반도체 기판에 위치한 주변 회로와 접속시키는 워드 라인 콘택 및 비트 라인 콘택을 더 포함하고,

상기 비트 라인 콘택은 복수의 디바이스 층 사이로 확장하는 것을 특징으로 하는 비휘발성 메모리 셀의 어레이.

청구항 162

반도체 액티브 영역을 제공하는 단계,

상기 액티브 영역 위에 전하 저장 영역을 형성하는 단계,

상기 전하 저장 영역 위에 도전성 게이트 층을 형성하는 단계,

상기 게이트 층을 패턴화하여 상기 전하 저장 영역 위에 가로놓인 제어 게이트를 형성하는 단계,

마스크로서 상기 제어 게이트를 사용하여 상기 액티브 영역을 도핑하여 상기 액티브 영역에 소스 및 드레인 영역을 형성하는 단계,

상기 제어 게이트 위 및 부근에 제1 절연 층을 형성하는 단계,

포토리쏘그래피 마스킹 없이 상기 제어 게이트의 상부를 노출시키는 단계,

상기 제어 게이트의 상기 노출된 상부를 콘택시키는 워드 라인을 형성하여, 상기 워드 라인이 상기 제어 게이트에 자기 정렬되도록 하는 단계를 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 163

제162항에 있어서,

상기 게이트 층 위에 블록킹 층을 형성하는 단계,

상기 게이트 층을 패턴화하는 상기 단계 동안 상기 블록킹 층을 패턴화하는 단계,

상기 제어 게이트 및 상기 블록킹 층 측벽 부근에 측벽 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 164

제163항에 있어서,

상기 블록킹 층은 상기 측벽 스페이서의 소재 및 상기 제어 게이트의 소재와 다른 소재를 포함하고,

상기 제어 게이트의 상기 상부를 노출시키는 상기 단계는 상기 제1 절연 층을 평탄화하여 상기 블록킹 층을 노출시키고, 상기 측벽 스페이서 사이로부터 상기 블록킹 층을 선택적으로 제거하여 게이트 콘택 비어를 형성하는 단계를 포함하고,

워드 라인을 형성하는 상기 단계는 상기 워드 라인을 상기 제1 절연 층 위 및 상기 게이트 콘택 비어에 증착시켜서, 상기 게이트 콘택 비어의 상기 워드 라인의 상기 부분이 상기 제어 게이트의 상부를 형성하도록 하는 단계를 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 165

제162항에 있어서,

상기 워드 라인은 제1 절연 층 위에 형성되어 상기 워드 라인은 실질적으로 평탄한 상면을 갖도록 하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 166

제162항에 있어서,

상기 제어 게이트의 상기 상부를 노출시키는 상기 단계는 상기 제1 절연 층을 평탄화하여 상기 제어 게이트를 노출시키는 단계를 포함하고,

워드 라인을 형성하는 상기 단계는 상기 워드 라인을 상기 제1 절연 층 위에 증착시켜서, 상기 노출된 제어 게이트를 콘택시키도록 하는 단계를 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 167

제162항에 있어서,

상기 액티브 영역을 제공하는 상기 단계는 폴리실리콘 액티브 층을 층간 절연 층 위에 형성하는 단계를 포함하고,

상기 전하 저장 영역을 형성하는 상기 단계는 ONO 유전체 막 또는 도전성 나노 결정을 포함하는 절연 층을 형성하는 단계를 포함하며,

상기 워드 라인을 형성하는 상기 단계는 적어도 하나의 도전 층을 상기 제1 절연 층 및 상기 노출된 제어 게이트 위에 증착하고, 제1 포토리지스트 마스크(photoresist mask)를 상기 적어도 하나의 도전 층에 형성하고, 상기 적어도 하나의 도전 층을 에칭하여 상기 워드 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 168

제167항에 있어서,

마스크로서 상기 워드 라인을 사용하여 상기 액티브 영역 및 상기 전하 저장 영역을 에칭하여, 상기 워드 라인이 EEPROM 채널 및 상기 전하 저장 영역에 자기 정렬되도록 하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 169

제168항에 있어서,

상기 제어 게이트 측벽 부근에 측벽 스페이서를 형성하는 단계,

금속 층을 상기 제어 게이트, 상기 측벽 스페이서 및 상기 도핑된 소스 및 드레인 영역 위에 형성하는 단계,

상기 금속 층을 열처리하여 상기 소스 및 드레인 영역 위에 금속 실리사이드 영역을 형성하는 단계 및

상기 측벽 스페이서로부터 상기 금속 층을 선택적으로 제거하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 170

제169항에 있어서,

상기 도핑된 소스 및 드레인 영역 및 상기 실리사이드 영역은 소스-채널-드레인 방향에 실질적으로 수직하게 확장하는 비트 라인을 포함하고,

상기 워드 라인은 상기 소스-채널-드레인 방향에 실질적으로 평행하게 확장하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 171

제170항에 있어서,

폴리실리콘 액티브 층을 형성하는 상기 단계는

비정질 실리콘 층 또는 폴리실리콘 층을 형성하는 단계,

상기 금속 층을 형성한 후에 상기 EEPROM를 열처리하여 상기 비정질 실리콘 층 또는 상기 폴리실리콘 층을 촉매로서 상기 금속 층을 사용하여 재결정화 하는 단계를 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 172

제162항에 있어서,

상기 EEPROM은 두 개의 포토리쏘그래피 마스킹 단계를 사용하여 형성되는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 173

청구항 173은(는) 설정등록료 납부시 포기되었습니다.

반도체 액티브 영역을 제공하는 단계,

상기 액티브 영역 위에 터널 유전체 층을 형성하는 단계,

상기 터널 유전체 층 위에 도전성 게이트 층을 형성하는 단계,

상기 게이트 층을 패턴화하여 상기 터널 유전체 층 위에 가로놓인 플로팅 게이트를 형성하는 단계,

마스크로서 상기 플로팅 게이트를 사용하여 상기 액티브 영역을 도핑하여 상기 액티브 영역에 소스 및 드레인 영역을 형성하는 단계,

상기 플로팅 게이트 측벽 부근에 측벽 스페이서를 형성하는 단계,

상기 측벽 스페이서의 위 및 부근에, 상기 소스 및 드레인 영역의 위에 제1 절연 층을 형성하는 단계,

상기 플로팅 게이트 위에 제어 게이트 유전체 층을 형성하는 단계 및

상기 제어 게이트 유전체 위 및 상기 제1 절연 층 위에 워드 라인을 형성하는 단계를 포함하는 EEPROM 제조 방법.

청구항 174

청구항 174은(는) 설정등록료 납부시 포기되었습니다.

제173항에 있어서,

상기 게이트 층 위에 블록킹 층 - 상기 블록킹 층은 상기 측벽 스페이서의 소재 및 상기 게이트 층의 소재와 다른 소재를 포함함 - 을 형성하는 단계,

상기 게이트 층을 패턴화하는 단계 동안 상기 블록킹 층을 패턴화하는 단계,

상기 플로팅 게이트 측벽 부근에 형성되는 것 외에 상기 블록킹 층 측벽 부근에 위치하도록 상기 측벽 스페이서를 형성하는 단계,

제1 절연 층을 평탄화하여 상기 블록킹 층을 노출시키는 단계,

상기 측벽 스페이서 사이로부터 상기 블록킹 층을 선택적으로 제거하여 게이트 콘택 비어를 형성하는 단계,

상기 게이트 콘택 비어에 상기 제어 게이트 유전체를 형성하는 단계 및

상기 게이트 콘택 비어의 제어 게이트를 상기 워드 라인의 한 부분을 상기 게이트 콘택 비어에 증착함으로써 상기 제어 게이트 유전체 위에 형성하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 175

청구항 175은(는) 설정등록료 납부시 포기되었습니다.

제173항에 있어서,

상기 제1 절연 층을 평탄화하여 상기 플로팅 게이트의 상부를 노출시키는 단계,

상기 제어 게이트 유전체를 상기 제1 절연 층 위, 상기 측벽 스페이서 위 및 상기 플로팅 게이트 위에 형성하는

단계 및

상기 워드 라인을 상기 제어 게이트 유전체 위에 형성하여 상기 워드 라인이 상기 EEPROM의 제어 게이트로서 행동하도록 하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 176

청구항 176은(는) 설정등록료 납부시 포기되었습니다.

제175항에 있어서,

상기 측벽 스페이서 위에 수직 및 측면으로 확장하는 상기 플로팅 게이트의 상부를 형성하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 177

청구항 177은(는) 설정등록료 납부시 포기되었습니다.

제176항에 있어서,

상기 플로팅 게이트의 상부에 반구형 그레인 실리콘(hemispherical grain silicon)을 형성하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 178

청구항 178은(는) 설정등록료 납부시 포기되었습니다.

제177항에 있어서,

상기 플로팅 게이트의 상기 상부의 상면을 조면화 하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 179

청구항 179은(는) 설정등록료 납부시 포기되었습니다.

제173항에 있어서,

금속 층을 상기 플로팅 게이트, 상기 측벽 스페이서 및 상기 도핑된 소스 및 드레인 영역 위에 형성하는 단계,

상기 금속 층을 열처리하여 상기 소스 및 드레인 영역 위에 금속 실리사이드를 형성하는 단계 및

상기 측벽 스페이서로부터 상기 금속 층을 선택적으로 제거하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 180

청구항 180은(는) 설정등록료 납부시 포기되었습니다.

제179항에 있어서,

상기 도핑된 소스 및 드레인 영역 및 상기 실리사이드 영역은 소스-채널-드레인 방향에 실질적으로 수직하게 확장하는 비트 라인을 포함하고,

상기 워드 라인은 상기 소스-채널-드레인 방향에 실질적으로 평행하게 확장하는 것을 특징으로 하는 EEPROM 제조 방법.

청구항 181

청구항 181은(는) 설정등록료 납부시 포기되었습니다.

반도체 액티브 층을 형성하는 단계,

상기 액티브 층 위에 제1 절연 층을 형성하는 단계,

상기 제1 절연 층 위에 복수의 게이트 전극을 형성하는 단계,

마스크로서 상기 게이트 전극을 사용하여 상기 액티브 층을 도핑하여 상기 액티브 층에 복수의 소스 및 드레인 영역 및 소스-드레인 방향에 실질적으로 수직하게 확장하는 복수의 비트 라인을 형성하는 단계,

상기 게이트 전극 위 및 부근에, 상기 소스 영역, 드레인 영역 및 상기 비트 라인 위에 제2 절연 층을 형성하는 단계,

상기 제2 절연 층을 평탄화하는 단계 및

상기 소스-드레인 방향에 실질적으로 평행하게 확장하는 상기 제2 절연 층 위에 복수의 워드 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 182

청구항 182은(는) 설정등록료 납부시 포기되었습니다.

제181항에 있어서,

게이트 전극, 소스, 드레인, 채널, 워드 라인의 한 부분, 두 개의 비트 라인 부분을 포함하는 상기 메모리 디바이스의 각각의 셀은 단지 두 포토리쏘그래피 마스킹 단계만을 사용하여 형성되는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 183

청구항 183은(는) 설정등록료 납부시 포기되었습니다.

제182항에 있어서,

상기 게이트 전극 측벽 부근에 측벽 스페이서를 형성하는 단계,

상기 게이트 전극, 상기 측벽 스페이서, 상기 도핑된 소스 및 드레인 영역 및 상기 비트 라인 위에 금속 층을 형성하는 단계,

상기 금속 층을 열처리하여 상기 소스 및 드레인 영역 및 상기 비트 라인 위에 금속 실리사이드 영역을 형성하는 단계, 및

상기 측벽 스페이서로부터 상기 금속 층을 선택적으로 제거하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 184

청구항 184은(는) 설정등록료 납부시 포기되었습니다.

제181항에 있어서,

상기 게이트 전극은 EEPROM 제어 게이트를 포함하고 상기 절연 층은 EEPROM 전하 저장 영역을 포함하는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 185

청구항 185은(는) 설정등록료 납부시 포기되었습니다.

제184항에 있어서,

상기 워드 라인은 상기 제어 게이트에 자기 정렬되는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 186

청구항 186은(는) 설정등록료 납부시 포기되었습니다.

제181항에 있어서,

상기 게이트 전극은 EEPROM 플로팅 게이트를 포함하고 상기 절연 층은 터널 유전체 층을 포함하는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 187

청구항 187은(는) 설정등록료 납부시 포기되었습니다.

제181항에 있어서,

상기 워드 라인을 형성하는 상기 단계는 상기 제2 절연 층 위에 적어도 하나의 도전 층을 증착하는 단계, 상기 적어도 하나의 도전 층 위에 제1 포토리지스트 마스크를 형성하는 단계 및 상기 적어도 하나의 도전 층을 에칭하여 상기 워드 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 188

청구항 188은(는) 설정등록료 납부시 포기되었습니다.

제187항에 있어서,

마스크로서 상기 워드 라인을 사용하여 상기 액티브 층 및 상기 제1 절연 층을 에칭하여 상기 워드 라인이 상기 소스 및 드레인 영역 사이의 상기 액티브 층에 위치한 복수의 EEPROM 채널에 자기 정렬되도록 하는 단계를 더 포함하는 비휘발성 메모리 어레이 형성 방법.

청구항 189

청구항 189은(는) 설정등록료 납부시 포기되었습니다.

제181항에 있어서,

상기 워드 라인 위에 층간 절연 층을 형성하는 단계 및 상기 층간 절연 층 위에 상기 어레이의 적어도 하나의 추가적인 디바이스 레벨을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 190

청구항 190은(는) 설정등록료 납부시 포기되었습니다.

제189항에 있어서,

제1 워드 또는 비트 라인에 확장하는 상기 제2 절연 층에 제1 비어를 형성하는 단계,

적어도 하나의 도전 층을 형성하는 단계 및

상기 도전 층을 패턴화하여 복수의 워드 라인 또는 워드 라인 콘택 층 및 적어도 하나의 비트 라인 콘택 층 - 상기 비트 라인 콘택 층은 상기 제1 비어를 통하여 상기 복수의 상기 워드 또는 비트 라인 중 적어도 하나를 콘택시킴 - 을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 191

청구항 191은(는) 설정등록료 납부시 포기되었습니다.

제190항에 있어서,

상기 제1 비어는 상기 제2 절연 층을 통하여 확장하는 것 이외에도 상기 층간 절연 층을 통하여 뻗어 있고,

상기 적어도 하나의 도전 층을 패턴화하는 단계는 상기 어레이의 N+1번째 레벨에 복수의 워드 라인 콘택 층을 형성하는 단계 및 상기 어레이의 N번째 레벨에 적어도 하나의 워드 또는 비트 라인 콘택 층을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 192

청구항 192은(는) 설정등록료 납부시 포기되었습니다.

제189항에 있어서,

동일 어닐링 단계 동안 상기 어레이의 복수의 디바이스 레벨의 상기 도핑된 소스 및 드레인 영역을 활성화시키는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 193

청구항 193은(는) 설정등록료 납부시 포기되었습니다.

제189항에 있어서,

동일 어닐링 단계 동안 상기 어레이의 복수의 디바이스 레벨의 상기 액티브 층을 재결정화 하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 194

청구항 194은(는) 설정등록료 납부시 포기되었습니다.

제193항에 있어서,

상기 재결정 단계와 동일한 어닐링 단계 동안 상기 어레이의 상기 복수의 디바이스 레벨의 상기 도핑된 소스 및 드레인 영역을 활성화시키는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 어레이 형성 방법.

청구항 195

청구항 195은(는) 설정등록료 납부시 포기되었습니다.

반도체 액티브 영역을 제공하는 단계,

상기 액티브 영역 위에 복수의 더미 블록(dummy block)을 형성하는 단계,

마스크로서 상기 더미 블록을 사용하여 상기 액티브 영역을 도핑하여 상기 액티브 영역에 소스 및 드레인 영역을 형성하는 단계,

상기 더미 블록 위 및 사이에 게이트간 절연 층을 형성하는 단계,

상기 게이트간 절연 층을 평탄화하여 상기 더미 블록의 상부를 노출시키는 단계,

상기 평탄화 된 게이트간 절연 층의 부분들 사이로부터 상기 더미 블록을 선택적으로 제거하여 상기 게이트간 절연 층의 상기 부분들 사이에 복수의 비어를 형성하는 단계,

상기 복수의 비어의 상기 액티브 영역 위에 전하 저장 영역을 형성하는 단계,

상기 전하 저장 영역 위에 도전성 게이트 층을 형성하는 단계 및

상기 도전성 게이트 층을 패턴화하여 상기 전하 저장 영역 위에 가로놓인 제어 게이트를 형성하는 단계를 포함하는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 196

청구항 196은(는) 설정등록료 납부시 포기되었습니다.

제195항에 있어서,

상기 전하 저장 영역은 ONO 유전체 막 또는 도전성 나노 결정을 포함하는 절연 층을 포함하는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 197

청구항 197은(는) 설정등록료 납부시 포기되었습니다.

제195항에 있어서,

상기 전하 저장 영역은 터널 유전체와 제어 게이트 유전체 사이에 플로팅 게이트를 포함하는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 198

청구항 198은(는) 설정등록료 납부시 포기되었습니다.

제195항에 있어서,

상기 더미 블록은 PECVD 실리콘 질화막을 포함하는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 199

청구항 199은(는) 설정등록료 납부시 포기되었습니다.

제195항에 있어서,

상기 더미 블록은 희생 도전성 게이트 및 보호 절연 층을 포함하는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 200

청구항 200은(는) 설정등록료 납부시 포기되었습니다.

제199항에 있어서,

상기 더미 블록의 측벽 위에 측벽 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 201

청구항 201은(는) 설정등록료 납부시 포기되었습니다.

제195항에 있어서,

상기 액티브 영역은 층간 절연 층 위에 형성된 비정질 실리콘 또는 폴리실리콘 층을 포함하고,

상기 더미 블록 소재는 600℃ 이하의 온도에서 증착되는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 202

청구항 202은(는) 설정등록료 납부시 포기되었습니다.

제201항에 있어서,

상기 액티브 영역의 노출된 소스 및 드레인 영역 위 및 상기 더미 블록 위에 금속 층을 형성하는 단계,

상기 금속 층을 어닐링하여 상기 소스 및 드레인 영역 위에 실리사이드 영역을 형성하는 단계 및

상기 더미 블록 위에 남아 있는 상기 금속 층의 미반응 부분을 선택적으로 제거하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 203

청구항 203은(는) 설정등록료 납부시 포기되었습니다.

제202항에 있어서,

촉매로서 상기 실리사이드 영역을 사용하여 상기 액티브 영역을 재결정화 하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 204

청구항 204은(는) 설정등록료 납부시 포기되었습니다.

제202항에 있어서,

상기 실리사이드 영역은 소스에서 드레인 방향에 실질적으로 수직한 방향으로 확장하는 매립된 비트 라인을 포함하는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 205

청구항 205은(는) 설정등록료 납부시 포기되었습니다.

제204항에 있어서,

상기 도전성 게이트 층을 패턴화하는 상기 단계는 상기 비어의 복수의 제어 게이트를 상기 전하 저장 영역 위에 형성하는 단계 및 복수의 워드 라인을 상기 게이트간 절연 층 위에 형성하는 단계를 포함하는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 206

청구항 206은(는) 설정등록료 납부시 포기되었습니다.

제195항에 있어서,

각각의 전하 저장 영역은 상기 비어의 상기 액티브 영역 위의 제1 수평부, 상기 게이트간 절연 층 측벽에 인접한 상기 비어의 수직부 및 상기 게이트간 절연 층 위의 제2 수평부를 포함하는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 207

청구항 207은(는) 설정등록료 납부시 포기되었습니다.

제195항에 있어서,

상기 EEPROM 어레이 위에 층간 절연 층을 형성하는 단계 및 상기 층간 절연 층 위에 적어도 하나 이상의 EEPROM 어레이를 형성하는 단계를 더 포함하는 것을 특징으로 하는 EEPROM 어레이 제조 방법.

청구항 208

청구항 208은(는) 설정등록료 납부시 포기되었습니다.

비정질 실리콘 또는 폴리실리콘 액티브 층, 전하 저장 영역 및 제어 게이트를 포함하는 TFT EEPROM를 형성하는 단계,

상기 액티브 층과 콘택하는 결정화 촉매를 제공하는 단계 및

상기 촉매를 제공하는 상기 단계 이후 상기 액티브 층을 열처리하여 상기 촉매를 사용하여 상기 액티브 층을 재결정화 하는 단계를 포함하는 것을 특징으로 하는 TFT EEPROM 형성 방법.

청구항 209

청구항 209은(는) 설정등록료 납부시 포기되었습니다.

제208항에 있어서,

상기 액티브 층 위에 복수의 결정화 윈도우를 형성하는 단계 및

상기 결정화 윈도우에 상기 결정화 촉매를 제공하는 단계를 더 포함하는 것을 특징으로 하는 TFT EEPROM 형성 방법.

청구항 210

청구항 210은(는) 설정등록료 납부시 포기되었습니다.

제209항에 있어서,

상기 복수의 결정화 윈도우를 형성하는 상기 단계는

상기 TFT EEPROM 위에 절연 층을 형성하는 단계 및

상기 절연 층을 패턴화하여 결정화 윈도우 경계 및 측벽 스페이서를 동시에 형성하는 단계를 포함하는 것을 특징으로 하는 TFT EEPROM 형성 방법.

청구항 211

청구항 211은(는) 설정등록료 납부시 포기되었습니다.

제210항에 있어서,

상기 측벽 스페이서는 희생 게이트에 형성되는 것을 특징으로 하는 TFT EEPROM 형성 방법.

청구항 212

청구항 212은(는) 설정등록료 납부시 포기되었습니다.

제211항에 있어서,

상기 희생 게이트를 제거하는 단계 및

상기 희생 게이트를 제거한 후 및 열처리하는 상기 단계 후 상기 전하 저장 영역 및 상기 제어 게이트를 형성하는 단계를 더 포함하는 것을 특징으로 하는 TFT EEPROM 형성 방법.

청구항 213

청구항 213은(는) 설정등록료 납부시 포기되었습니다.

제208항에 있어서,

상기 촉매는 Ni, Ge, Mo, Co, Pt, Pd 또는 이들의 실리사이드를 포함하는 것을 특징으로 하는 TFT EEPROM 형성 방법.

청구항 214

청구항 214은(는) 설정등록료 납부시 포기되었습니다.

제208항에 있어서,

상기 액티브 층에 소스 및 드레인 영역을 형성하는 단계,

상기 소스 및 드레인 영역과 콘택하는 금속 실리사이드 결정화 촉매를 형성하는 단계 및

상기 결정화 촉매로서 상기 금속 실리사이드를 사용하여 상기 액티브 층을 재결정화 하는 단계를 더 포함하는 것을 특징으로 하는 TFT EEPROM 형성 방법.

청구항 215

청구항 215은(는) 설정등록료 납부시 포기되었습니다.

제208항에 기재된 TFT EEPROM의 3차원 어레이의 형성 방법에 있어서,

상기 TFT EEPROM 위에 적어도 하나의 층간 절연 층을 형성하는 단계 및

상기 적어도 하나의 층간 절연 층 위에 복수의 제2 TFT EEPROM을 형성하는 단계를 포함하는 것을 특징으로 하는 TFT EEPROM의 3차원 어레이의 형성 방법.

청구항 216

청구항 216은(는) 설정등록료 납부시 포기되었습니다.

제215항에 있어서,

동일 어닐링 단계 동안 상기 어레이의 복수의 디바이스 레벨의 상기 TFT의 액티브 층을 재결정화 하는 단계를 더 포함하는 것을 특징으로 하는 TFT EEPROM의 3차원 어레이의 형성 방법.

청구항 217

청구항 217은(는) 설정등록료 납부시 포기되었습니다.

제216항에 있어서,

상기 재결정 단계와 동일한 어닐링 단계 동안 상기 어레이의 상기 복수의 디바이스 레벨의 TFT 도핑된 소스 및 드레인 영역을 활성화시키는 단계를 더 포함하는 것을 특징으로 하는 TFT EEPROM의 3차원 어레이의 형성 방법.

청구항 218

기판 위에 배치된 반도체 디바이스의 어레이에 있어서,

상기 어레이는

제1 방향으로 상기 기판 위에 제1 높이로 배치된 제1 복수의 분리된 도전체 및

상기 제1 방향과 다른 제2 방향으로 제2 높이로 배치된 제2 복수의 분리된 레일 스택을 포함하고,

각각의 레일 스택은

반도체 막 - 상기 반도체 막의 제1 표면이 상기 제1 복수의 분리된 도전체와 콘택함 -,

도체 막 및

상기 반도체 막의 제2 표면과 상기 도전 막 사이에 배치된 국소 전하 저장 막을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 219

제218항에 있어서,

상기 제2 복수의 분리된 레일 스택은 상기 제1 복수의 분리된 도전체에 배치되는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 220

제218항에 있어서,

상기 분리된 도전체 사이의 공간은 평탄화 된 증착 산화물을 포함하는 것을 특징으로 반도체 디바이스의 어레이.

청구항 221

청구항 221은(는) 설정등록료 납부시 포기되었습니다.

제218항에 있어서,

상기 반도체 막은 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 222

청구항 222은(는) 설정등록료 납부시 포기되었습니다.

제221항에 있어서,

상기 폴리실리콘은 P-형으로 도핑되는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 223

청구항 223은(는) 설정등록료 납부시 포기되었습니다.

제222항에 있어서,

상기 P-형으로 도핑된 폴리실리콘은 상기 분리된 도전체와 상기 분리된 레일 스택 사이의 콘택 교점에 N+ 아웃 디퓨전 영역을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 224

청구항 224은(는) 설정등록료 납부시 포기되었습니다.

제218항에 있어서,

상기 국소 전하 저장 막은 전하 포획 매체를 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 225

청구항 225은(는) 설정등록료 납부시 포기되었습니다.

제224항에 있어서,

상기 전하 포획 매체는 유전성 절연 플로팅 게이트를 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 226

청구항 226은(는) 설정등록료 납부시 포기되었습니다.

제224항에 있어서,

상기 전하 포획 매체는 전기적으로 절연된 나노 결정을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 227

청구항 227은(는) 설정등록료 납부시 포기되었습니다.

제224항에 있어서,

상기 전하 포획 매체는 유전성 스택의 전하 포획 층을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 228

청구항 228은(는) 설정등록료 납부시 포기되었습니다.

제227항에 있어서,

상기 유전성 스택은 O-N-O 유전성 스택을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 229

청구항 229은(는) 설정등록료 납부시 포기되었습니다.

제224항에 있어서,

상기 도전 막은 도전성 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 230

청구항 230은(는) 설정등록료 납부시 포기되었습니다.

제229항에 있어서,

상기 도전 막은 도전성 금속을 포함하는 막을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 231

청구항 231은(는) 설정등록료 납부시 포기되었습니다.

제218항에 있어서,

상기 분리된 도전체는 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 232

청구항 232은(는) 설정등록료 납부시 포기되었습니다.

제231항에 있어서,

상기 분리된 도전체는 도전성 금속을 포함하는 막을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 233

청구항 233은(는) 설정등록료 납부시 포기되었습니다.

제231항에 있어서,

상기 분리된 도전체의 상기 폴리실리콘은 제2 도전형의 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 234

청구항 234은(는) 설정등록료 납부시 포기되었습니다.

제233항에 있어서,

상기 제2 도전형의 상기 폴리실리콘은 N+ 도핑되는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 235

청구항 235은(는) 설정등록료 납부시 포기되었습니다.

제218항에 있어서,

상기 반도체 막은 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 236

청구항 236은(는) 설정등록료 납부시 포기되었습니다.

제235항에 있어서,

상기 제1 도전형은 P-형으로 도핑되는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 237

청구항 237은(는) 설정등록료 납부시 포기되었습니다.

제236항에 있어서,

상기 P-형으로 도핑된 반도체 막은 상기 제1 복수의 분리된 도전체와 상기 제2 복수의 분리된 레일 스택 사이의 콘택 교점에 N+ 아웃디퓨전 영역을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 238

청구항 238은(는) 설정등록료 납부시 포기되었습니다.

제218항에 있어서,

상기 제1 복수의 분리된 도전체는 금속 또는 금속 실리사이드를 포함하는 인접 층 및 제1 도전형의 도핑된 폴리실리콘을 포함하고,

상기 도전 막은 금속 또는 금속 실리사이드를 포함하는 인접 층 및 상기 제1 도전형의 도핑된 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 239

청구항 239은(는) 설정등록료 납부시 포기되었습니다.

기판 위에 배치된 반도체 디바이스의 어레이에 있어서,

상기 어레이는

제1 방향으로 상기 기판 위에 제1 높이로 배치된 제1 복수의 분리된 도전체,

상기 제1 방향과 다른 제2 방향으로 제2 높이로 배치된 제2 복수의 분리된 레일 스택 - 각각의 레일 스택은 그 제1 표면이 상기 제1 복수의 분리된 도전체와 콘택하는 반도체 막, 도전 막, 및 상기 반도체 막의 제2 표면과 상기 도전 막 사이에 배치된 국소 전하 저장 막을 포함함 -,

절연 막,

상기 제1 방향으로 상기 절연 막 위에 제3 높이로 배치된 제3 복수의 분리된 도전체,

상기 제1 방향과 다른 제2 방향으로 상기 절연 막 위에 제4 높이로 배치된 제4 복수의 분리된 레일 스택 - 각각의 레일 스택은 그 제1 표면이 상기 제3 복수의 분리된 도전체와 콘택하는 반도체 막, 도전 막, 및 상기 반도체 막의 제2 표면과 상기 도전 막 사이에 배치된 국소 전하 저장 막을 포함함 - 을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 240

청구항 240은(는) 설정등록료 납부시 포기되었습니다.

제239항에 있어서,

상기 제2 복수의 분리된 레일 스택은 제1 복수의 분리된 도전체 위에 배치되고,

상기 절연막은 제2 복수의 분리된 레일 스택 위에 배치되고,

상기 제3 복수의 분리된 도전체는 상기 절연막 위에 배치되고,

상기 제4 복수의 분리된 레일 스택은 상기 제3 복수의 분리된 도전체 위에 배치되는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 241

청구항 241은(는) 설정등록료 납부시 포기되었습니다.

제239항에 있어서,

상기 분리된 도전체 사이의 공간은 평탄화 된 증착 산화물을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 242

청구항 242은(는) 설정등록료 납부시 포기되었습니다.

제239항에 있어서,

상기 반도체 막은 P-형으로 도핑된 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 243

청구항 243은(는) 설정등록료 납부시 포기되었습니다.

제242항에 있어서,

상기 P-형으로 도핑된 폴리실리콘은 상기 분리된 도전체와 상기 분리된 레일 스택 사이의 콘택 교점에 N+ 아웃 디퓨전 영역을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 244

청구항 244은(는) 설정등록료 납부시 포기되었습니다.

제239항에 있어서,

상기 국소 전하 저장 막은 전하 포획 매체를 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 245

청구항 245은(는) 설정등록료 납부시 포기되었습니다.

제244항에 있어서,

상기 전하 포획 매체는 유전성 절연 플로팅 게이트를 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 246

청구항 246은(는) 설정등록료 납부시 포기되었습니다.

제244항에 있어서,

상기 전하 포획 매체는 전기적으로 절연된 나노 결정을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 247

청구항 247은(는) 설정등록료 납부시 포기되었습니다.

제244항에 있어서,

상기 전하 포획 매체는 유전성 스택의 전하 포획 층을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 248

청구항 248은(는) 설정등록료 납부시 포기되었습니다.

제247항에 있어서,

상기 유전성 스택은 O-N-O 유전성 스택을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 249

청구항 249은(는) 설정등록료 납부시 포기되었습니다.

제244항에 있어서,

상기 도전 막은 도전성 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 250

청구항 250은(는) 설정등록료 납부시 포기되었습니다.

제249항에 있어서,

상기 도전 막은 도전성 금속을 포함하는 막을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 251

청구항 251은(는) 설정등록료 납부시 포기되었습니다.

제239항에 있어서,

상기 분리된 도전체는 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 252

청구항 252은(는) 설정등록료 납부시 포기되었습니다.

제251항에 있어서,

상기 분리된 도전체는 도전성 금속을 포함하는 막을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 253

청구항 253은(는) 설정등록료 납부시 포기되었습니다.

제251항에 있어서,

상기 분리된 도전체의 상기 폴리실리콘은 제2 도전형의 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 254

청구항 254은(는) 설정등록료 납부시 포기되었습니다.

제253항에 있어서,

상기 제2 도전형의 상기 폴리실리콘은 N+ 도핑되는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 255

청구항 255은(는) 설정등록료 납부시 포기되었습니다.

제239항에 있어서,

상기 반도체 막은 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 256

청구항 256은(는) 설정등록료 납부시 포기되었습니다.

제255항에 있어서,

상기 반도체 막 폴리실리콘은 P-형으로 도핑되는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 257

청구항 257은(는) 설정등록료 납부시 포기되었습니다.

제256항에 있어서,

상기 P-형으로 도핑된 반도체 막은 상기 제1 복수의 분리된 반도체와 상기 제2 복수의 분리된 레일 스택 사이의 콘택 교점에 N+ 아웃디퓨전 영역을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 258

청구항 258은(는) 설정등록료 납부시 포기되었습니다.

제239항에 있어서,

상기 제1 및 상기 제3 복수의 분리된 도전체는 금속 또는 금속 실리사이드를 포함하는 인접 층 및 제1 도전형의 도핑된 폴리실리콘을 포함하고,

상기 도전 막은 금속 또는 금속 실리사이드를 포함하는 인접 층 및 상기 제1 도전형의 도핑된 폴리실리콘을 포함하는 것을 특징으로 하는 반도체 디바이스의 어레이.

청구항 259

청구항 259은(는) 설정등록료 납부시 포기되었습니다.

기판 위에 배치된 메모리 어레이에 있어서,

상기 어레이는

제1 방향으로 상기 기판 위에 제1 높이로 배치된 제1 복수의 제1 분리된 레일 스택 - 각각의 제1 레일 스택은 도전 막, 상기 도전 막 위에 배치된 국소 전하 저장 막 및 상기 국소 전하 저장 막 위에 배치된 반도체 막을 구비함 -,

상기 제1 방향과 다른 제2 방향으로 상기 제1 높이 위에 제2 높이로 배치된 제2 복수의 분리된 도전체 및

상기 제1 방향으로 상기 제2 높이 위에 제3 높이로 배치된 제3 복수의 제2 분리된 레일 스택 - 각각의 제2 레일 스택은 반도체 막, 상기 반도체 막 위에 배치된 국소 전하 저장 막 및 상기 국소 전하 저장 막 위에 배치된 도전 막을 구비함 - 을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 260

청구항 260은(는) 설정등록료 납부시 포기되었습니다.

제259항에 있어서,

상기 제2 복수의 분리된 도전체는 상기 제1 및 상기 제3 레일 스택의 상기 반도체 막을 콘택시키는 것을 특징으로 하는 메모리 어레이.

청구항 261

청구항 261은(는) 설정등록료 납부시 포기되었습니다.

제260항에 있어서,

상기 제2 복수의 분리된 도전체는 상기 제1 및 제3 레일 스택의 상기 반도체 막의 도핑된 소스 또는 드레인 영역을 콘택시키는 것을 특징으로 하는 메모리 어레이.

청구항 262

기판 위에 배치된 메모리 어레이에 있어서,

상기 어레이는

제1 방향으로 상기 기판 위에 제1 높이로 배치된 제1 복수의 분리된 레일 스택 - 각각의 레일 스택은 도전 막, 상기 도전 막 위에 배치된 국소 전하 저장 막 및 상기 국소 전하 저장 막 위에 배치된 반도체 막을 구비함 - 및

상기 제1 방향과 다른 제2 방향으로 상기 제1 높이 위에 제2 높이로 배치된 제1 복수의 분리된 도전체 - 상기 분리된 도전체는 불순물을 포함하는 상기 반도체 막의 영역 위에 가로놓이고, 상기 영역은 상기 분리된 도전체 및 상기 국소 전하 저장 막 사이의 전기적 접속을 형성함 - 를 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 263

제262항에 있어서,

상기 제1 방향으로 상기 제2 높이 위에 제3 높이로 배치된 제3 복수의 분리된 레일 스택 - 각각의 레일 스택은 도전 막, 상기 도전 막 위에 배치된 국소 전하 저장 막 및 상기 국소 전하 저장 막 위에 배치된 제2 반도체 막 - 및

상기 제2 방향으로 상기 제3 높이 위에 제4 높이로 배치된 제4 복수의 분리된 도전체 - 상기 분리된 도전체는 불순물을 포함하는 상기 제2 반도체 막의 영역 위에 가로놓이고, 상기 영역은 상기 분리된 도전체 및 상기 국소 전하 저장 막 사이의 전기적 접속을 형성함 - 를 더 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 264

제262항에 있어서,

상기 분리된 도전체 사이의 공간은 평탄화 된 산화물을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 265

기판 위에 배치된 메모리 어레이에 있어서,

상기 어레이는

제1 방향으로 상기 기판 위에 제1 높이로 배치된 제1 복수의 분리된 레일 스택 - 각각의 레일 스택은 도전 막 및 상기 도전 막 위에 배치된 국소 전하 저장 막을 포함함 -,

상기 제1 방향과 다른 제2 방향으로 상기 제1 높이 위에 제2 높이로 배치된 제1 복수의 분리된 도전체 - 상기 분리된 도전체는 상기 레일 스택과 콘택 교점을 형성하여 상기 분리된 도전체가 상기 콘택 교점에서 상기 국소 전하 저장 막을 직접 콘택시킬 수 있음 - 및

상기 분리된 도전체 사이 및 상기 콘택 교점 주위 영역의 상기 국소 전하 저장 막 위에 배치된 반도체 막을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 266

제265항에 있어서,

상기 분리된 도전체 사이의 공간은 평탄화 된 산화물을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 267

청구항 267은(는) 설정등록료 납부시 포기되었습니다.

제265항에 있어서,

상기 반도체 막은 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 268

청구항 268은(는) 설정등록료 납부시 포기되었습니다.

제267항에 있어서,

상기 폴리실리콘 반도체 막은 P-형으로 도핑되는 것을 특징으로 하는 메모리 어레이.

청구항 269

청구항 269은(는) 설정등록료 납부시 포기되었습니다.

제268항에 있어서,

상기 P-형으로 도핑된 폴리실리콘은 상기 분리된 도전체 부근에 N+ 아웃디퓨전 영역을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 270

청구항 270은(는) 설정등록료 납부시 포기되었습니다.

제265항에 있어서,

상기 국소 전하 저장 막은 전하 포획 매체를 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 271

청구항 271은(는) 설정등록료 납부시 포기되었습니다.

제270항에 있어서,

상기 전하 포획 매체는 유전성 절연 플로팅 게이트를 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 272

청구항 272은(는) 설정등록료 납부시 포기되었습니다.

제270항에 있어서,

상기 전하 포획 매체는 전기적으로 절연된 나노 결정을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 273

청구항 273은(는) 설정등록료 납부시 포기되었습니다.

제270항에 있어서,

상기 전하 포획 매체는 유전성 스택의 전하 포획 층을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 274

청구항 274은(는) 설정등록료 납부시 포기되었습니다.

제273항에 있어서,

상기 유전성 스택은 O-N-O 유전성 스택을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 275

청구항 275은(는) 설정등록료 납부시 포기되었습니다.

제270항에 있어서,

상기 도전 막은 도전성 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 276

청구항 276은(는) 설정등록료 납부시 포기되었습니다.

제275항에 있어서,

상기 도전 막은 도전성 금속을 포함하는 막을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 277

청구항 277은(는) 설정등록료 납부시 포기되었습니다.

제265항에 있어서,

상기 분리된 도전체는 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 278

청구항 278은(는) 설정등록료 납부시 포기되었습니다.

제277항에 있어서,

상기 분리된 도전체는 도전성 금속을 포함하는 막을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 279

청구항 279은(는) 설정등록료 납부시 포기되었습니다.

제277항에 있어서,

상기 분리된 도전체의 상기 폴리실리콘은 제2 도전형의 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 280

청구항 280은(는) 설정등록료 납부시 포기되었습니다.

제277항에 있어서,

상기 제2 도전형의 상기 폴리실리콘은 N+ 도핑되는 것을 특징으로 하는 메모리 어레이.

청구항 281

청구항 281은(는) 설정등록료 납부시 포기되었습니다.

제265항에 있어서,

상기 반도체 막은 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 282

청구항 282은(는) 설정등록료 납부시 포기되었습니다.

제281항에 있어서,

상기 반도체 막 폴리실리콘은 P-형으로 도핑되는 것을 특징으로 하는 메모리 어레이.

청구항 283

청구항 283은(는) 설정등록료 납부시 포기되었습니다.

제282항에 있어서,

상기 P-형으로 도핑된 반도체 막은 상기 제1 복수의 분리된 도전체와 상기 제2 복수의 분리된 레일 스택 사이의 콘택 교점에 N+ 아웃디퓨전 영역을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 284

청구항 284은(는) 설정등록료 납부시 포기되었습니다.

제265항에 있어서,

상기 제1 복수의 분리된 도전체는 금속 또는 금속 실리사이드를 포함하는 인접 층 및 제1 도전형의 도핑된 폴리실리콘을 포함하고,

상기 도전 막은 금속 또는 금속 실리사이드를 포함하는 인접 층 및 상기 제1 도전형의 도핑된 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 285

청구항 285은(는) 설정등록료 납부시 포기되었습니다.

제265항에 있어서,

상기 어레이는 모놀리식 3차원 어레이를 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 286

청구항 286은(는) 설정등록료 납부시 포기되었습니다.

2 비트 정보를 가진 NMOS 메모리 셀의 3차원 어레이의 메모리 셀을 프로그래밍하는 방법에 있어서,

메모리 셀의 상기 어레이는 기판 위에 배치되고 메모리 레벨의 제1 복수 Z를 포함하고, 상기 z번째 메모리 레벨은 비트 라인 도전체의 제2 복수 X 및 워드 라인 도전체의 제3 복수 Y를 포함하고, 상기 메모리 셀은 국소 전하 저장 매체를 구비하고,

상기 방법은

제1 전위, 제2 전위 및 제3 전위를 제공하는 단계 - 상기 제1 전위는 상기 제2 전위보다 작고 상기 제2 전위는 상기 제3 전위보다 작음 -,

워드 라인 y, 레벨 z에 의해 정의되고 비트 라인 x와 x+1 사이에 배치되는 위치에서 메모리 셀을 프로그램밍하기 위해 선택하는 단계,

상기 2 비트 중 제1 비트를 프로그래밍하는 단계 - 상기 단계는 상기 제1 전위를 상기 z 번째 레벨의 x 이하의 모든 비트 라인에 인가하고, 상기 제2 전위를 상기 z번째 레벨의 x보다 큰 모든 비트 라인에 인가하고, 상기 제3 전위를 상기 z번째 레벨의 워드 라인 y로 인가하며, 상기 제1 전위를 상기 z번째 레벨의 y 이외의 모든 워드 라인 및 상기 z번째 레벨 이외의 레벨의 모든 워드 라인 및 비트 라인에 인가하여 이루어짐 - 및

상기 2 비트 중 제2 비트를 프로그래밍하는 단계 - 상기 단계는 상기 제1 전위를 상기 z번째 레벨의 x보다 큰 모든 비트 라인에 인가하고, 상기 제2 전위를 상기 z번째 레벨의 x이하의 모든 비트 라인에 인가하고, 상기 제3 전위를 상기 z번째 레벨의 워드 라인 y에 인가하며, 상기 제1 전위를 상기 z번째 레벨의 y 이외의 모든 워드 라인 및 상기 z번째 레벨 이외의 레벨의 모든 워드 라인 및 비트 라인에 인가하여 이루어짐 - 를 포함하는 것을 특징으로 하는 3차원 어레이의 메모리 셀을 프로그래밍하는 방법.

청구항 287

청구항 287은(는) 설정등록료 납부시 포기되었습니다.

제286항에 있어서,

상기 제2 전위는 상기 제1 전위보다 큰 3 V 내지 8 V의 범위에 있는 것을 특징으로 하는 3차원 어레이의 메모리 셀을 프로그래밍하는 방법.

청구항 288

청구항 288은(는) 설정등록료 납부시 포기되었습니다.

제287항에 있어서,

상기 제3 전위는 상기 제1 전위보다 큰 9 V 내지 13 V의 범위에 있는 것을 특징으로 하는 3차원 어레이의 메모리 셀을 프로그래밍하는 방법.

청구항 289

청구항 289은(는) 설정등록료 납부시 포기되었습니다.

2 비트 정보를 가진 PMOS 메모리 셀의 3차원 어레이의 메모리 셀을 프로그래밍하는 방법에 있어서,

메모리 셀의 상기 어레이는 기판 위에 배치되고 메모리 레벨의 제1 복수 Z를 포함하고, 상기 z번째 메모리 레벨은 비트 라인 도전체의 제2 복수 X 및 워드 라인 도전체의 제3 복수 Y를 포함하고, 상기 메모리 셀은 국소 전하 저장 매체를 구비하고,

상기 방법은

제1 전위, 제2 전위 및 제3 전위를 제공하는 단계 - 상기 제1 전위는 상기 제2 전위보다 크고 상기 제2 전위는 상기 제3 전위보다 큼 -,

워드 라인 y, 레벨 z에 의해 정의되고 비트 라인 x와 x+1 사이에 배치되는 위치에서 메모리 셀을 프로그램밍하기 위해 선택하는 단계,

상기 2 비트 중 제1 비트를 프로그래밍하는 단계 - 상기 단계는 상기 제1 전위를 상기 z 번째 레벨의 x 이하의 모든 비트 라인에 인가하고, 상기 제2 전위를 상기 z번째 레벨의 x보다 큰 모든 비트 라인에 인가하고, 상기 제3 전위를 상기 z번째 레벨의 워드 라인 y로 인가하며, 상기 제1 전위를 상기 z번째 레벨의 y 이외의 모든 워드 라인 및 상기 z번째 레벨 이외의 레벨의 모든 워드 라인 및 비트 라인에 인가하여 이루어짐 - 및

상기 2 비트 중 제2 비트를 프로그래밍하는 단계 - 상기 단계는 상기 제1 전위를 상기 z번째 레벨의 x보다 큰 모든 비트 라인에 인가하고, 상기 제2 전위를 상기 z번째 레벨의 x이하의 모든 비트 라인에 인가하고, 상기 제3 전위를 상기 z번째 레벨의 워드 라인 y에 인가하며, 상기 제1 전위를 상기 z번째 레벨의 y 이외의 모든 워드 라인 및 상기 z번째 레벨 이외의 레벨의 모든 워드 라인 및 비트 라인에 인가하여 이루어짐 - 를 포함하는 것을 특징으로 하는 3차원 어레이의 메모리 셀을 프로그래밍하는 방법.

청구항 290

청구항 290은(는) 설정등록료 납부시 포기되었습니다.

제289항에 있어서,

상기 제2 전위는 상기 제1 전위보다 작은 3 V 내지 8 V의 범위에 있는 것을 특징으로 하는 3차원 어레이의 메모리 셀을 프로그래밍하는 방법.

청구항 291

청구항 291은(는) 설정등록료 납부시 포기되었습니다.

제290항에 있어서,

상기 제3 전위는 상기 제1 전위보다 작은 9 V 내지 13 V의 범위에 있는 것을 특징으로 하는 3차원 어레이의 메모리 셀을 프로그래밍하는 방법.

청구항 292

청구항 292은(는) 설정등록료 납부시 포기되었습니다.

2 비트 정보를 가진 NMOS 메모리 셀 - 상기 메모리 셀에 2 비트 정보가 저장됨 - 의 3차원 어레이의 메모리 셀의 내용을 판독하는 방법에 있어서,

메모리 셀의 상기 어레이는 기판 위에 배치되고 메모리 레벨의 제1 복수 Z를 포함하고, 상기 z번째 메모리 레벨은 비트 라인 도전체의 제2 복수 X 및 워드 라인 도전체의 제3 복수 Y를 포함하며, 상기 메모리 셀은 국소 전하 저장 매체를 구비하고,

상기 방법은

제1 전위, 제2 전위 및 제3 전위를 제공하는 단계 - 상기 제1 전위는 상기 제2 전위보다 작고 상기 제2 전위는 상기 제3 전위보다 작음 -,

워드 라인 y, 레벨 z에 의해 정의되고 비트 라인 x와 x+1 사이에 배치되는 위치에서 메모리 셀을 판독하기 위해 선택하는 단계,

상기 제2 전위를 상기 z번째 레벨의 x이하의 모든 비트 라인에 인가하는 단계,

상기 제1 전위를 상기 z번째 레벨의 x보다 큰 모든 비트 라인에 인가하는 단계,

상기 제3 전위를 상기 z번째 레벨의 워드 라인 y에 인가하는 단계,

상기 제1 전위를 상기 z번째 레벨의 y 이외의 모든 워드 라인 및 상기 z번째 레벨 이외의 레벨의 모든 워드 라인 및 비트 라인에 인가하는 단계,

상기 제2 전위를 상기 z번째 레벨의 x보다 큰 모든 비트 라인에 인가하는 단계,

상기 제1 전위를 상기 z번째 레벨의 x이하의 모든 비트 라인에 인가하는 단계,

상기 제3 전위를 상기 z번째 레벨의 워드 라인 y에 인가하는 단계,

상기 제1 전위를 상기 z번째 레벨의 y 이외의 모든 워드 라인 및 상기 z번째 레벨 이외의 레벨의 모든 워드 라인 및 비트 라인에 인가하는 단계를 포함하는 것을 특징으로 하는 3차원 어레이의 메모리 셀의 내용을 판독하는 방법.

청구항 293

청구항 293은(는) 설정등록료 납부시 포기되었습니다.

제292항에 있어서,

상기 제2 전위는 상기 제1 전위보다 큰 50 mV 내지 3 V의 범위에 있는 것을 특징으로 하는 3차원 어레이의 메모리 셀의 내용을 판독하는 방법.

청구항 294

청구항 294은(는) 설정등록료 납부시 포기되었습니다.

제293항에 있어서,

상기 제3 전위는 상기 제1 전위보다 큰 1 V 내지 5 V의 범위에 있는 것을 특징으로 하는 3차원 어레이의 메모리 셀의 내용을 판독하는 방법.

청구항 295

청구항 295은(는) 설정등록료 납부시 포기되었습니다.

2 비트 정보를 가진 PMOS 메모리 셀 - 상기 메모리 셀에 2 비트 정보가 저장됨 - 의 3차원 어레이의 메모리 셀의 내용을 판독하는 방법에 있어서,

메모리 셀의 상기 어레이는 기판 위에 배치되고 메모리 레벨의 제1 복수 Z를 포함하고, 상기 z번째 메모리 레벨은 비트 라인 도전체의 제2 복수 X 및 워드 라인 도전체의 제3 복수 Y를 포함하며, 상기 메모리 셀은 국소 전하 저장 매체를 구비하고,

상기 방법은

제1 전위, 제2 전위 및 제3 전위를 제공하는 단계 - 상기 제1 전위는 상기 제2 전위보다 크고 상기 제2 전위는 상기 제3 전위보다 큼 -,

워드 라인 y, 레벨 z에 의해 정의되고 비트 라인 x와 x+1 사이에 배치되는 위치에서 메모리 셀을 판독하기 위해 선택하는 단계,

상기 제2 전위를 상기 z번째 레벨의 x이하의 모든 비트 라인에 인가하는 단계,

상기 제1 전위를 상기 z번째 레벨의 x보다 큰 모든 비트 라인에 인가하는 단계,

상기 제3 전위를 상기 z번째 레벨의 워드 라인 y에 인가하는 단계,

상기 제1 전위를 상기 z번째 레벨의 y 이외의 모든 워드 라인 및 상기 z번째 레벨 이외의 레벨의 모든 워드 라인 및 비트 라인에 인가하는 단계,

상기 제2 전위를 상기 z번째 레벨의 x보다 큰 모든 비트 라인에 인가하는 단계,

상기 제1 전위를 상기 z번째 레벨의 x이하의 모든 비트 라인에 인가하는 단계,

상기 제3 전위를 상기 z번째 레벨의 워드 라인 y에 인가하는 단계,

상기 제1 전위를 상기 z번째 레벨의 y 이외의 모든 워드 라인 및 상기 z번째 레벨 이외의 레벨의 모든 워드 라인 및 비트 라인에 인가하는 단계를 포함하는 것을 특징으로 하는 3차원 어레이의 메모리 셀의 내용을 판독하는 방법.

청구항 296

청구항 296은(는) 설정등록료 납부시 포기되었습니다.

제295항에 있어서,

상기 제2 전위는 상기 제1 전위보다 작은 50 ㎷ 내지 3 V의 범위에 있는 것을 특징으로 하는 3차원 어레이의 메모리 셀의 내용을 판독하는 방법.

청구항 297

청구항 297은(는) 설정등록료 납부시 포기되었습니다.

제296항에 있어서,

상기 제3 전위는 상기 제1 전위보다 작은 1 V 내지 5 V의 범위에 있는 것을 특징으로 하는 3차원 어레이의 메모리 셀의 내용을 판독하는 방법.

청구항 298

청구항 298은(는) 설정등록료 납부시 포기되었습니다.

메모리 셀 당 저장된 2 비트 정보를 가진 NMOS 메모리 셀의 3차원 어레이에 속한 모든 메모리 셀의 내용을 소거하는 방법에 있어서,

메모리 셀의 상기 어레이는 기판 위에 배치되고 메모리 레벨의 제1 복수 Z를 포함하고, 상기 z번째 메모리 레벨은 비트 라인 도전체의 제2 복수 X 및 워드 라인 도전체의 제3 복수 Y를 포함하며, 상기 메모리 셀은 국소 전하 저장 매체를 구비하고,

상기 방법은

제1 전위 및 제2 전위를 제공하는 단계 - 상기 제1 전위는 상기 제2 전위보다 작음 -,

상기 제2 전위를 모든 비트 라인에 인가하는 단계 및

상기 제1 전위를 모든 워드 라인에 인가하는 단계를 포함하는 것을 특징으로 하는 메모리 셀의 내용을 소거하는 방법.

청구항 299

청구항 299은(는) 설정등록료 납부시 포기되었습니다.

제298항에 있어서,

상기 제2 전위는 상기 제1 전위보다 큰 약 5 V 내지 약 15 V의 범위에 있는 것을 특징으로 하는 메모리 셀의 내용을 소거하는 방법.

청구항 300

청구항 300은(는) 설정등록료 납부시 포기되었습니다.

메모리 셀 당 저장된 2 비트 정보를 가진 PMOS 메모리 셀의 3차원 어레이에 속한 모든 메모리 셀의 내용을 소거하는 방법에 있어서,

메모리 셀의 상기 어레이는 기판 위에 배치되고 메모리 레벨의 제1 복수 Z를 포함하고, 상기 z번째 메모리 레벨은 비트 라인 도전체의 제2 복수 X 및 워드 라인 도전체의 제3 복수 Y를 포함하며, 상기 메모리 셀은 국소 전하 저장 매체를 구비하고,

상기 방법은

제1 전위 및 제2 전위를 제공하는 단계 - 상기 제1 전위는 상기 제2 전위보다 큼 -,

상기 제2 전위를 모든 비트 라인에 인가하는 단계 및

상기 제1 전위를 모든 워드 라인에 인가하는 단계를 포함하는 것을 특징으로 하는 메모리 셀의 내용을 소거하는 방법.

청구항 301

청구항 301은(는) 설정등록료 납부시 포기되었습니다.

제300항에 있어서,

상기 제2 전위는 상기 제1 전위보다 작은 5 V 내지 15 V의 범위에 있는 것을 특징으로 하는 메모리 셀의 내용을 소거하는 방법.

청구항 302

청구항 302은(는) 설정등록료 납부시 포기되었습니다.

2 비트 정보를 가진 NMOS 메모리 셀의 3차원 어레이의 메모리 셀의 단일 비트를 소거하는 방법에 있어서,

메모리 셀의 상기 어레이는 기판 위에 배치되고 메모리 레벨의 제1 복수 Z를 포함하고, 상기 z번째 메모리 레벨은 비트 라인 도전체의 제2 복수 X 및 워드 라인 도전체의 제3 복수 Y를 포함하며, 상기 메모리 셀은 국소 전하 저장 매체를 구비하고,

상기 방법은

제1 전위, 제2 전위 및 제3 전위를 제공하는 단계 - 상기 제1 전위는 상기 제2 전위 이하이고 상기 제2 전위는 상기 제3 전위보다 작음 -,

워드 라인 y, 레벨 z에 의해 정의되고 비트 라인 x와 x+1 사이에 배치된 위치에서 메모리 셀의 메모리 저장 위치 - 상기 저장 위치는 비트 라인 x+1에 인접함 - 를 소거하기 위해 선택하는 단계,

워드 라인 y, 레벨 z에 의해 정의되고 비트 라인 x+1과 x+2 사이에 배치된 위치에서 메모리 셀의 메모리 저장 위치 - 상기 저장 위치는 비트 라인 x+1에 인접함 - 의 내용을 판독하는 단계,

상기 내용을 메모리 저장소(store)에 저장하는 단계,

상기 제1 전위를 워드 라인 y에 인가하는 단계,

상기 제2 전위를 비트 라인 x+1 이외의 모든 비트 라인에 인가하는 단계,

상기 제3 전위를 비트 라인 x+1에 인가하는 단계,

워드 라인 y 이외의 모든 워드 라인을 플로팅하는 단계,

상기 제1 전위를 인가하거나 또는 상기 z번째 레벨 이외의 레벨의 워드 라인 및 모든 비트 라인을 플로팅하는 단계,

상기 내용을 상기 메모리 저장소로부터 회수하는 단계 및

상기 내용을 워드 라인 y, 레벨 z에 의해 정의되고 비트 라인 x+1과 x+2 사이에 배치된 상기 위치에서 상기 메모리 셀의 상기 메모리 저장 위치 - 상기 저장 위치는 비트 라인 x+1에 인접함 - 로 기록하는 단계를 포함하는 것을 특징으로 하는 메모리 셀의 단일 비트를 소거하는 방법.

청구항 303

청구항 303은(는) 설정등록료 납부시 포기되었습니다.

제302항에 있어서,

상기 제2 전위는 상기 제1 전위보다 큰 0 V 내지 5 V의 범위에 있는 것을 특징으로 하는 메모리 셀의 단일 비트를 소거하는 방법.

청구항 304

청구항 304은(는) 설정등록료 납부시 포기되었습니다.

제303항에 있어서,

상기 제3 전위는 상기 제1 전위보다 큰 5 V 내지 15 V의 범위에 있는 것을 특징으로 하는 메모리 셀의 단일 비트를 소거하는 방법.

청구항 305

청구항 305은(는) 설정등록료 납부시 포기되었습니다.

2 비트 정보를 가진 PMOS 메모리 셀의 3차원 어레이의 메모리 셀의 단일 비트를 소거하는 방법에 있어서,

메모리 셀의 상기 어레이는 기판 위에 배치되고 메모리 레벨의 제1 복수 Z를 포함하고, 상기 z번째 메모리 레벨은 비트 라인 도전체의 제2 복수 X 및 워드 라인 도전체의 제3 복수 Y를 포함하며, 상기 메모리 셀은 국소 전하 저장 매체를 구비하고,

상기 방법은

제1 전위, 제2 전위 및 제3 전위를 제공하는 단계 - 상기 제1 전위는 상기 제2 전위 이상이고 상기 제2 전위는 상기 제3 전위보다 큼 -,

워드 라인 y, 레벨 z에 의해 정의되고 비트 라인 x와 x+1 사이에 배치된 위치에서 메모리 셀의 메모리 저장 위치 - 상기 저장 위치는 비트 라인 x+1에 인접함 - 를 소거하기 위해 선택하는 단계,

워드 라인 y, 레벨 z에 의해 정의되고 비트 라인 x+1과 x+2 사이에 배치된 위치에서 메모리 셀의 메모리 저장 위치 - 상기 저장 위치는 비트 라인 x+1에 인접함 - 의 내용을 판독하는 단계,

상기 내용을 메모리 저장소에 저장하는 단계,

상기 제1 전위를 워드 라인 y에 인가하는 단계,

상기 제2 전위를 인가하거나 또는 비트 라인 x+1 이외의 모든 비트 라인을 플로팅하는 단계,

상기 제3 전위를 비트 라인 x+1에 인가하는 단계,

워드 라인 y 이외의 모든 워드 라인을 플로팅하는 단계,

상기 제1 전위를 상기 z번째 레벨 이외의 레벨의 워드 라인 및 모든 비트 라인에 인가하는 단계,

상기 내용을 상기 메모리 저장소로부터 회수하는 단계 및

상기 내용을 워드 라인 y, 레벨 z에 의해 정의되고 비트 라인 x+1과 x+2 사이에 배치된 상기 위치에서 상기 메모리 셀의 상기 메모리 저장 위치 - 상기 저장 위치는 비트 라인 x+1에 인접함 - 로 기록하는 단계를 포함하는 것을 특징으로 하는 메모리 셀의 단일 비트를 소거하는 방법.

청구항 306

청구항 306은(는) 설정등록료 납부시 포기되었습니다.

제305항에 있어서,

상기 제2 전위는 상기 제1 전위보다 작은 0 V 내지 5 V의 범위에 있는 것을 특징으로 하는 메모리 셀의 단일 비트를 소거하는 방법.

청구항 307

청구항 307은(는) 설정등록료 납부시 포기되었습니다.

제306항에 있어서,

상기 제3 전위는 상기 제1 전위보다 작은 5 V 내지 15 V의 범위에 있는 것을 특징으로 하는 메모리 셀의 단일 비트를 소거하는 방법.

청구항 308

청구항 308은(는) 설정등록료 납부시 포기되었습니다.

TFT 메모리 셀의 3차원 어레이 제조 방법에 있어서,

상기 방법은

(a) 기판 위에 절연 층을 배치하는 단계,

(b) 상기 절연 층 위에 제1 방향으로 제1 복수의 분리된 도전체를 배치하는 단계,

(c) 상기 제1 복수의 분리된 도전체 위에 절연 층을 배치하여 상기 분리된 도전체 사이의 공간을 상기 절연재로 채우는 단계,

(d) 상기 절연 층을 평탄화하여 상기 제1 복수의 분리된 도전체를 노출시키는 단계,

(e) 상기 제1 복수의 분리된 도전체 위 및 콘택하게 제2 방향으로 제2 복수의 레일 스택을 배치하는 단계 - 상기 레일 스택은 제1 도전형의 반도체 물질의 제1 층을 포함하고, 제2 층은 국소 전하 저장 막 및 제3 도전 층을 포함함 - 를 포함하는 것을 특징으로 하는 TFT 메모리 셀의 3차원 어레이 제조 방법.

청구항 309

청구항 309은(는) 설정등록료 납부시 포기되었습니다.

제308항에 있어서,

(a), (b), (c), (d) 및 (e)를 소망하는 횟수로 반복하여 TFT 메모리 셀의 소망하는 수의 레벨을 형성하는 단계(f)를 더 포함하는 것을 특징으로 하는 TFT 메모리 셀의 3차원 어레이 제조 방법.

청구항 310

청구항 310은(는) 설정등록료 납부시 포기되었습니다.

제308항에 있어서,

평탄화하는 상기 단계는 CMP를 포함하는 것을 특징으로 하는 TFT 메모리 셀의 3차원 어레이 제조 방법.

청구항 311

청구항 311은(는) 설정등록료 납부시 포기되었습니다.

제310항에 있어서,

상기 절연 층을 CMP 평탄화하는 단계를 더 포함하는 것을 특징으로 하는 TFT 메모리 셀의 3차원 어레이 제조 방법.

청구항 312

청구항 312은(는) 설정등록료 납부시 포기되었습니다.

제308항에 있어서,

상기 제1 복수의 분리된 제2 도전형 도핑된 폴리실리콘 도전체로부터 반도체 물질의 상기 제1 층으로 소스 및 드레인 불순물이 아웃디퓨전하도록 하는 단계(g)를 더 포함하는 것을 특징으로 하는 TFT 메모리 셀의 3차원 어레이 제조 방법.

청구항 313

청구항 313은(는) 설정등록료 납부시 포기되었습니다.

제312항에 있어서,

(a), (b), (c), (d), (e), (f) 및 (g)를 소망하는 횟수로 반복하여 TFT 메모리 셀의 소망하는 수의 레벨을 형성하는 단계를 더 포함하는 것을 특징으로 하는 TFT 메모리 셀의 3차원 어레이 제조 방법.

청구항 314

청구항 314은(는) 설정등록료 납부시 포기되었습니다.

TFT 메모리 셀의 3차원 어레이 제조 방법에 있어서,

상기 방법은

(a) 기판 위에 절연 층을 배치하는 단계,

(b) 상기 절연 층 위에 제1 방향으로 제1 복수의 분리된 도전체를 배치하는 단계,

(c) 상기 제1 복수의 분리된 도전체 위 및 콘택하게 상기 제1 방향으로 국소 전하 저장 막의 레일을 배치하는 단계,

(d) 상기 국소 전하 저장 막 위 및 콘택하게 제2 방향으로 제2 복수의 분리된 도전체를 배치하는 단계 - 상기 도전체는 제1 도전형의 폴리실리콘 물질로 형성됨 -,

(e) 상기 제2 복수의 분리된 도전체 사이에 제2 도전형의 반도체 막을 배치하는 단계,

(f) 상기 반도체 막 및 상기 제2 복수의 분리된 도전체 위에 절연 층을 배치하여 상기 제2 분리된 도전체 사이의 공간을 상기 절연재로 채우는 단계,

(g) 상기 절연 층을 평탄화하는 단계를 포함하는 TFT 메모리 셀의 3차원 어레이 제조 방법.

청구항 315

청구항 315은(는) 설정등록료 납부시 포기되었습니다.

제314항에 있어서,

(a), (b), (c), (d), (e), (f) 및 (g)를 소망하는 횟수로 반복하여 TFT 메모리 셀의 소망하는 수의 레벨을 형성하는 단계(h)를 더 포함하는 것을 특징으로 하는 TFT 메모리 셀의 3차원 어레이 제조 방법.

청구항 316

청구항 316은(는) 설정등록료 납부시 포기되었습니다.

TFT 메모리 셀의 3차원 어레이 제조 방법에 있어서,

상기 방법은

(a) 기판 위에 절연 층을 배치하는 단계,

(b) 상기 절연 층 위에 제1 방향으로 제1 복수의 분리된 도전체를 배치하는 단계,

(c) 상기 제1 복수의 분리된 도전체 위에 제1 국소 전하 저장 막을 배치하는 단계,

(d) 상기 국소 전하 저장 막 위에 제1 도전형의 반도체 물질의 제1 층을 배치하는 단계,

(e) 반도체 물질의 상기 제1 층 위에 제2 방향으로 제2 도전형의 도핑된 반도체 물질로 형성된 제2 복수의 분리된 도전체를 배치하는 단계,

(f) 상기 제2 복수의 분리된 도전체 위에 절연 층을 배치하여 상기 제2 분리된 도전체 사이의 공간을 상기 절연재로 채우는 단계,

(g) 상기 제2 분리된 도전체를 노출시키기 위해 평탄화하는 단계,

(h) 상기 제2 분리된 도전체 위에 제1 도전형의 반도체 물질의 제2 층을 배치하는 단계,

(i) 반도체 물질의 상기 제2 층 위에 제2 국소 전하 저장 막을 배치하는 단계,

(j) 상기 제2 국소 전하 저장 막 위에 상기 제1 방향으로 제1 복수의 분리된 도전체를 배치하는 단계 및

(k) 상기 층과 상기 분리된 도전체 사이의 교점에서 상기 제1 도전형의 반도체 물질의 상기 제1 및 제2 층에 아웃디퓨전 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 TFT 메모리 셀의 3차원 어레이 제조 방법.

청구항 317

청구항 317은(는) 설정등록료 납부시 포기되었습니다.

제316항에 있어서,

(c), (d), (e), (f), (g), (h), (i), (j) 및 (k)를 소망하는 횟수로 반복하여 TFT 메모리 셀의 소망하는 수의 레벨을 형성하는 단계(l)를 더 포함하는 것을 특징으로 하는 TFT 메모리 셀의 3차원 어레이 제조 방법.

청구항 318

청구항 318은(는) 설정등록료 납부시 포기되었습니다.

TFT 메모리 셀의 어레이 제조 방법에 있어서,

상기 방법은

기판 위에 절연 층을 배치하는 단계,

상기 절연 층 위에 제1 방향으로 제1 복수의 레일 스택을 배치하는 단계 - 상기 레일 스택은 도전 막 층을 포함하고, 국소 전하 저장 막 층은 상기 도전 막 층 위에 형성되며, 제1 도전형의 반도체 막 층은 상기 국소 전하 저장 막 층 위에 배치됨 -,

상기 레일 스택 위에 산화물 층을 배치하는 단계,

상기 산화물 층을 마스킹하는 단계,

상기 산화물 층을 에칭하는 단계,

상기 마스크를 제거하는 단계,

상기 산화물 층에 에칭된 틈(aperture)을 통하여 및 상기 반도체 막 층으로 상기 제2 도전형의 불순물을 주입하는 단계,

상기 틈으로 도전 막을 증착하는 단계 및

상기 도전 층을 평탄화하는 단계를 포함하는 것을 특징으로 하는 TFT 메모리 셀의 어레이 제조 방법.

청구항 319

청구항 319은(는) 설정등록료 납부시 포기되었습니다.

기판 위에 절연 층을 배치하고,

상기 절연 층 위에 제1 도전형의 비결정질 실리콘을 배치하고,

상기 비결정질 실리콘 층 위에 실리콘 질화막 CMP 정지층을 배치하고,

상기 실리콘 비결정질 층을 마스크하고,

상기 절연 층 내에 마스크하는 것에 의해 정의되는 구멍들을 에칭하고,

상기 구멍들 위 및 내부에 제2 도전형의 반도체 물질의 도전 층을 어레이하고,

상기 CMP 정지층에 상기 도전 층을 평탄화하고,

상기 CMP 정지층 위에 국소 전하 저장 막을 어레이하는 것을 포함하는 것을 특징으로 하는 TFT 메모리의 어레이 제조 방법.

청구항 320

청구항 320은(는) 설정등록료 납부시 포기되었습니다.

절연 층,

제1 방향내에서 절연 층 내에 배치되는 제1 복수의 분리된 도전체들,

상기 분리된 도전체들의 인접한 영역와 콘택하거나 사이에 배치된 제1 도전형의 반도체 영역 및

상기 제1 복수의 분리된 도전체들과 콘택하고 위에 제2 방향에 어레이된 제2 복수의 분리된 레일 스택 - 각 레일 스택은 국소 전하 저장 막과 국소 전하 저장 막 위에 배치된 도전 막을 포함함 - 을 포함하는 것을 특징으로 하는 기판 위에 배치된 메모리 어레이.

청구항 321

청구항 321은(는) 설정등록료 납부시 포기되었습니다.

제320항에 있어서,

상기 반도체 막은 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 322

청구항 322은(는) 설정등록료 납부시 포기되었습니다.

제321항에 있어서,

상기 폴리실리콘은 P-형 도핑인 것을 특징으로 하는 메모리 어레이.

청구항 323

청구항 323은(는) 설정등록료 납부시 포기되었습니다.

제322항에 있어서,

상기 P-형 도핑된 폴리실리콘이 상기 분리된 도전체 및 상기 반도체 영역사이에서 콘택하는 n+형 아웃디퓨전 영역을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 324

청구항 324은(는) 설정등록료 납부시 포기되었습니다.

제320항에 있어서,

상기 국소 전하 저장 막은 전하 포획 매체를 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 325

청구항 325은(는) 설정등록료 납부시 포기되었습니다.

제324항에 있어서,

상기 전하 포획 매체는 유전성 절연 플로팅 게이트를 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 326

청구항 326은(는) 설정등록료 납부시 포기되었습니다.

제324항에 있어서,

상기 전하 포획 매체는 전기 절연된 나노 결정체체을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 327

청구항 327은(는) 설정등록료 납부시 포기되었습니다.

제324항에 있어서,

상기 전하 포획 매체는 유전성 스택의 전하 포획 층을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 328

청구항 328은(는) 설정등록료 납부시 포기되었습니다.

제327항에 있어서,

상기 유전성 스택은 O-N-O 유전성 스택을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 329

청구항 329은(는) 설정등록료 납부시 포기되었습니다.

제324항에 있어서,

상기 도전 막은 도전 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 330

청구항 330은(는) 설정등록료 납부시 포기되었습니다.

제329항에 있어서,

상기 도전 막은 도전 금속을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 331

청구항 331은(는) 설정등록료 납부시 포기되었습니다.

제320항에 있어서,

상기 분리된 도전체들은 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 332

청구항 332은(는) 설정등록료 납부시 포기되었습니다.

제331항에 있어서,

상기 분리된 도전체들은 도전 금속을 포함하는 막을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 333

청구항 333은(는) 설정등록료 납부시 포기되었습니다.

제331항에 있어서,

상기 분리된 도전체들의 상기 폴리실리콘은 제2 도전형의 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 334

청구항 334은(는) 설정등록료 납부시 포기되었습니다.

제333항에 있어서,

상기 제2 도전형의 상기 폴리실리콘은 n+형으로 도핑된 것을 특징으로 하는 메모리 어레이.

청구항 335

청구항 335은(는) 설정등록료 납부시 포기되었습니다.

제320항에 있어서,

성기 반도체 막은 폴리실리콘을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 336

청구항 336은(는) 설정등록료 납부시 포기되었습니다.

제335항에 있어서,

상기 제1 도전형은 P-형인 것을 특징으로 하는 메모리 어레이.

청구항 337

청구항 337은(는) 설정등록료 납부시 포기되었습니다.

제320항에 있어서,

상기 제2 복수의 분리된 레일 스택 위에 배치된 절연 막,

상기 제1 방향으로 절연 막 안의 제3 복수의 분리된 도전체들,

상기 분리된 도전체들과 인접하여 콘택하고 그 사이에 배치된 제1 도전형의 복수의 반도체 영역 및

상기 제3 복수의 분리된 도전체들과 콘택하고 그 위에 제2 방향으로 제4 복수의 분리된 레일 스택 - 각 레일 스택은 국소 전하 저장 막과 그 국소 전하 저장 막 위에 배치된 도전 막을 포함함 - 을 더 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 338

청구항 338은(는) 설정등록료 납부시 포기되었습니다.

게이트 전극,

상기 게이트 전극의 제1 측면에 인접한 제1 절연 층,

상기 게이트 전극에 반대되는 제1 절연 층의 측면에 배치된 제1 도전형을 갖는 제1 반도체 층,

상기 제1 반도체 층 내에 제2 도전형의 제1 소스 및 드레인 영역,

상기 제1 소스 및 드레인 영역에 콘택하고 상기 제1 절연 층에 반대되는 제1 반도체 층의 측면에 배치된 제1 소스 및 드레인 전극,

상기 게이트 전극의 제2 측면에 인접한 제2 절연 층,

상기 게이트 전극에 반대되는 제2 절연 층의 측면 위에 배치된 제2 도전형을 갖는 제2 반도체 층,

상기 제2 반도체 층 내에 배치된 제1 도전형의 제2 소스 및 드레인 영역 및

상기 제2 절연 층에 반대되는 제2 반도체 층의 측면 위에 배치된 제2 소스 및 드레인 영역과 콘택하는 제2 소스 및 드레인 전극을 포함하는 것을 특징으로 하는 TFT CMOS.

청구항 339

청구항 339은(는) 설정등록료 납부시 포기되었습니다.

제338항에 있어서,

반도체 기판,

상기 기판과 상기 TFT CMOS사이의 층간 절연 층,

상기 제1 소스와 드레인 전극 사이에 배치된 제1 평탄 절연 충전 층

상기 제2 소스와 드레인 전극 사이에 배치된 제1 평탄 절연 충전 층을 더 포함하는 것을 특징으로 하는 TFT CMOS.

청구항 340

청구항 340은(는) 설정등록료 납부시 포기되었습니다.

제339항에 있어서,

제1 평면 내의 층간 절연 층 위에 연장되는 제2 도전형 폴리실리콘 레일을 포함하는 제1 소스 및 드레인 전극,

제2 평면 내의 상기 제1 소스 및 드레인 전극 위에 연장되는 폴리실리콘 층을 포함하는 제1 반도체 층,

제2 도전형의 제1 폴리실리콘 층 및 실리사이드 층 위에 제1 도전형의 제2 폴리실리콘 층과 제1 폴리실리콘 층 위의 규소화합물 층을 포함하는 게이트 전극 - 상기 게이트 전극은 제3 평면 내의 제1 절연 층 위에 연장됨 -,

제4 평면 내의 게이트 전극 위에 연장되는 폴리실리콘 층을 포함하는 제2 반도체 층,

제5 평면 내의 제2 반도체 층 위에 연장되는 제1 도전형의 폴리실리콘 레일을 포함하는 제2 소스와 드레인 전극 및

제1 평면 내지 제5 평면은 겹치지 않는 것을 특징으로 하는 TFT CMOS.

청구항 341

청구항 341은(는) 설정등록료 납부시 포기되었습니다.

제340항에 있어서,

상기 게이트 전극, 상기 제1 절연 층, 상기 제1 반도체 층, 상기 제2 절연 층 및 상기 제2 반도체 층은 기판에 평행한 평면 내에 제1 소스와 제2 소스 및 제2 드레인 전극에 수직으로 연장되는 레일 스택을 포함하고,

상기 게이트 전극, 상기 제1 절연 층, 상기 제1 반도체 층, 상기 제2 절연 층 및 상기 제2 반도체 층은 소스 및 드레인 방향으로 평행하고 기판에 수직인 평면 내에 정렬되는 것을 특징으로 하는 TFT CMOS.

청구항 342

청구항 342은(는) 설정등록료 납부시 포기되었습니다.

제340항에 있어서,

제1 절연 층을 포함하는 제1 전하 저장 영역 및

제2 절연 층을 포함하는 제2 전하 저장 영역을 더 포함하는 것을 특징으로 하는 TFT CMOS.

청구항 343

청구항 343은(는) 설정등록료 납부시 포기되었습니다.

제342항에 있어서,

제1 전하 저장 영역은 제1 절연 층과 제어 게이트 유전체 사이에 O-N-O 스택, 절연된 나노 결정체들 또는 플로팅 게이트를 포함하고,

제2 전하 저장 영역은 제1 절연 층과 제어 게이트 유전체 사이에 O-N-O 스택, 절연된 나노 결정체들 또는 플로팅 게이트를 포함하는 것을 특징으로 하는 TFT CMOS.

청구항 344

청구항 344은(는) 설정등록료 납부시 포기되었습니다.

제340항에 있어서,

상기 제1 절연 층은 상기 제2 절연 층이 전하 저장 영역을 포함하지 않는 동안 전하 저장 영역을 포함하는 것을 특징으로 하는 TFT CMOS.

청구항 345

청구항 345은(는) 설정등록료 납부시 포기되었습니다.

하나 이상의 층간 절연 층에 의해 수직 분리된 복수의 디바이스 레벨을 포함하는 모놀리식 3차원 어레이로서,

상기 디바이스 레벨 각각은 제344항의 복수의 TFT CMOS 디바이스를 포함하는 것을 특징으로 하는 모놀리식 3차원 어레이.

청구항 346

청구항 346은(는) 설정등록료 납부시 포기되었습니다.

제1 방향으로 기판 위에 제1 높이로 배치된 제1 복수의 분리된 도전체들,

제1 방향과 달리 제2 방향으로 제1 높이 위에 제2 높이로 배치된 제2 복수의 분리된 레일 스택들 및

- 각 레일 스택은

상기 제1 복수의 분리된 도전체들과 콘택하는 제2 도전형의 복수의 소스 및 드레인 영역을 포함하는 제1 도전형의 제1 반도체 막,

상기 제1 반도체 막 위에 배치된 제1 국소 전하 저장 막,

상기 제1 국소 전하 저장 막 위에 배치된 게이트 라인,

상기 게이트 라인 위에 배치된 제2 국소 전하 저장 막 및

제1 도전형의 복수의 소스 및 드레인 영역을 포함하는 제2 도전형의 제2 반도체 막을 포함함 -

제1 도전형의 소스 및 드레인 영역과 콘택하는 제3 분리된 도전체들 - 상기 제3 복수의 분리된 도전체들은 제2 복수의 분리된 레일 스택 위에 제3 높이로 배치됨 - 을 포함하는 것을 특징으로 하는 기판 위에 배치된 반도체 디바이스의 어레이.

청구항 347

청구항 347은(는) 설정등록료 납부시 포기되었습니다.

제346항에 있어서,

상기 분리된 도전체들 사이의 공간은 평탄 증착 절연 층을 포함하는 것을 특징으로 하는 어레이.

청구항 348

청구항 348은(는) 설정등록료 납부시 포기되었습니다.

제347항에 있어서,

상기 제1 및 제2 반도체 막은 폴리실리콘 층을 포함하는 것을 특징으로 하는 어레이.

청구항 349

청구항 349은(는) 설정등록료 납부시 포기되었습니다.

제348항에 있어서,

상기 제1 및 제2 전하 저장 막은 전하 포획 매체를 포함하는 것을 특징으로 하는 어레이.

청구항 350

청구항 350은(는) 설정등록료 납부시 포기되었습니다.

제349항에 있어서,

상기 전하 포획 매체는 유전성 절연 플로팅 게이트, 전기 절연된 나노 결정체 또는 O-N-O 유전성 스택을 포함하는 것을 특징으로 하는 어레이.

청구항 351

청구항 351은(는) 설정등록료 납부시 포기되었습니다.

제350항에 있어서,

상기 게이트 라인은 제1 전하 저장 막에 인접한 제2 도전형의 제1 폴리실리콘 층, 제2 전하 저장 막에 인접한 실리사이드 층 위의 제1 도전형의 상기 제1 폴리실리콘 층과 제2 폴리실리콘 층 위의 실리사이드 층을 포함하는 것을 특징으로 하는 어레이.

청구항 352

청구항 352은(는) 설정등록료 납부시 포기되었습니다.

제351항에 있어서,

상기 제1 복수의 분리된 도전체들은 제2 도전형의 폴리실리콘 층을 포함하고,

상기 제3 복수의 분리된 도전체들은 제1 도전형의 폴리실리콘 층을 포함하는 것을 특징으로 하는 어레이.

청구항 353

청구항 353은(는) 설정등록료 납부시 포기되었습니다.

제352항에 있어서,

상기 제1 및 제3 복수의 분리된 도전체들은 금속 또는 실리사이드 층을 더 포함하는 것을 특징으로 하는 어레이.

청구항 354

청구항 354은(는) 설정등록료 납부시 포기되었습니다.

제353항에 있어서,

상기 제2 도전형의 상기 소스와 드레인 영역은 아웃디퓨전 영역을 포함하는 것을 특징으로 하는 어레이.

청구항 355

청구항 355은(는) 설정등록료 납부시 포기되었습니다.

제346항에 있어서,

TFT EEPROM CMOS 디바이스는 상기 제1 및 제3 분리된 도전체들과 상기 게이트 라인의 각 교차에서 형성되는 것을 특징으로 하는 어레이.

청구항 356

청구항 356은(는) 설정등록료 납부시 포기되었습니다.

하나 이상의 층간 절연층에 의해 수직 분리된 복수의 디바이스 레벨을 포함하는 모놀리식 3차원 어레이로서,

상기 디바이스 레벨 각각은 제346항의 어레이를 포함하는 것을 특징으로 하는 모놀리식 3차원 어레이.

청구항 357

청구항 357은(는) 설정등록료 납부시 포기되었습니다.

제356항에 있어서,

상기 어레이는 셋 또는 그 이상의 디바이스 레벨을 포함하는 것을 특징으로 하는 어레이.

청구항 358

청구항 358은(는) 설정등록료 납부시 포기되었습니다.

제357항에 있어서,

어레이 밑의 기판 속에 배열된 구동 회로 및 적어도 일부에 어레이와 함께 수직의 정렬을 더 포함하는 것을 특징으로 하는 어레이.

청구항 359

청구항 359은(는) 설정등록료 납부시 포기되었습니다.

제358항에 있어서,

상기 전하 저장 막은 전하의 저장이 가능한 적어도 하나의 절연 층을 포함하고,

상기 구동 회로는 상기 도전체와 게이트 라인 사이에 도전 링크를 형성하도록 같은 디바이스 레벨에서, 분리된 도전체와 게이트 라인 사이에 충분한 전압을 공급하기에 적합하도록 된 것을 특징으로 하는 어레이.

청구항 360

청구항 360은(는) 설정등록료 납부시 포기되었습니다.

제359항에 있어서,

적어도 하나의 도전 링크는 적어도 하나의 도전체와 적어도 하나의 게이트 라인 사이에 형성되는 것을 특징으로 하는 어레이.

청구항 361

청구항 361은(는) 설정등록료 납부시 포기되었습니다.

제360항에 있어서,

상기 어레이는 적어도 하나의 논리 회로를 포함하는 것을 특징으로 하는 어레이.

청구항 362

청구항 362은(는) 설정등록료 납부시 포기되었습니다.

제361항에 있어서,

상기 적어도 하나의 논리 회로는 인버터 또는 낸드 게이트(NAND gate)를 포함하는 것을 특징으로 하는 어레이.

청구항 363

청구항 363은(는) 설정등록료 납부시 포기되었습니다.

제360항에 있어서,

상기 어레이는 정적 RAM을 포함하는 것을 특징으로 하는 어레이.

청구항 364

복수의 전하 저장 장치 및 복수의 안티퓨즈 디바이스를 포함하는 것을 특징으로 하는 회로.

청구항 365

청구항 365은(는) 설정등록료 납부시 포기되었습니다.

제364항에 있어서,

상기 복수의 전하 저장 장치 및 상기 복수의 안티퓨즈 디바이스는 제1 프로그래밍 전압이 디바이스에 적용될 때

전하 저장 장치로서 기능하고, 제2 프로그래밍 전압이 제1 전압보다 높을 때 전하 저장 영역을 통해 도전 링크를 형성하기에 충분한 디바이스에 적용되어 안티퓨즈로서 기능하는 디바이스의 동일한 세트를 포함하는 것을 특징으로 하는 회로.

청구항 366

청구항 366은(는) 설정등록료 납부시 포기되었습니다.

제365항에 있어서,

상기 안티퓨즈 디바이스는 도전 링크는 전하 저장 장치의 전하 저장 영역을 통해 형성된 디바이스를 포함하는 것을 특징으로 하는 회로.

청구항 367

청구항 367은(는) 설정등록료 납부시 포기되었습니다.

제365항에 있어서,

상기 전하 저장 장치는 전하 저장 영역을 포함하는 반도체 다이오드를 포함하는 것을 특징으로 하는 회로.

청구항 368

청구항 368은(는) 설정등록료 납부시 포기되었습니다.

제367항에 있어서,

상기 다이오드는 층간 절연 층에 의해 분리된 적어도 3개의 디바이스 레벨을 포함하는 3차원 모놀리식 어레이 속에 배열된 폴리실리콘 또는 비정질 실리콘 박막 트랜지스터 - 상기 어레이는 기판 위에 배치됨 - 를 포함하고,

상기 전하 저장 영역은 다이오드의 P 도핑 영역 N 도핑 영역 사이 또는 다이오드의 P 도핑 영역 또는 N 도핑 영역과 인접한 영역에 위치한 절연 층의 스택을 포함하는 것을 특징으로 하는 회로.

청구항 369

청구항 369은(는) 설정등록료 납부시 포기되었습니다.

제365항에 있어서,

상기 전하 저장 장치는 EEPROM 트랜지스터를 포함하는 것을 특징으로 하는 회로.

청구항 370

청구항 370은(는) 설정등록료 납부시 포기되었습니다.

제369항에 있어서,

상기 트랜지스터는 층간 절연 층에 의해 분리된 적어도 3개의 디바이스 레벨을 포함하는 3차원 모놀리식 어레이 속에 배열된 폴리실리콘 또는 비정질 실리콘 박막 트랜지스터 - 상기 어레이는 기판 위에 배치됨 - 를 포함하고,

상기 전하 저장 영역은 채널과 박막 트랜지스터의 제어 게이트 사이에 위치한 절연 층의 스택을 포함하는 것을 특징으로 하는 회로.

청구항 371

청구항 371은(는) 설정등록료 납부시 포기되었습니다.

제370항에 있어서,

상기 3차원 모놀리식 어레이의 적어도 하나의 디바이스 레벨은,

제1 방향으로 기판 위에 제1 높이로 배치된 제1 복수의 분리된 도전체들 및

제1 방향과 달리, 제2 방향으로 제2 높이에서 배치된 제2 복수의 분리된 레일 스택들 - 각 레일 스택은 상기 제1 복수의 분리된 도전체들, 상기 국소 전하 저장 막 위에 배치된 도전 막과 반도체 막 위에 배치된 국소 전하 저장 막을 포함함 - 을 포함하는 것을 특징으로 하는 회로.

청구항 372

청구항 372은(는) 설정등록료 납부시 포기되었습니다.

제365항에 있어서,

제1 세트의 전하 저장 장치의 임계 전압을 증가시키는 것에 의해 전하 저장 장치의 제1 세트를 오프시키는 전하 저장 장치의 제1 세트에 대한 제1 프로그래밍 전압 및 안티퓨즈 디바이스에 대한 전하 저장 장치의 제2 세트를 전환하는 전하 저장 장치의 제2 세트의 전하 저장 영역을 통해 도전성 링크를 형성하는 전하 저장 장치의 제2 세트에 대한 제2 프로그래밍 전압을 공급하기에 적합하게 된 드리이버 회로를 더 포함하는 것을 특징으로 하는 회로.

청구항 373

청구항 373은(는) 설정등록료 납부시 포기되었습니다.

제372항에 있어서,

상기 회로는 필드 프로그램 가능한 게이트 어레이 또는 프로그램 가능한 논리 디바이스를 포함하는 것을 특징으로 하는 회로.

청구항 374

청구항 374은(는) 설정등록료 납부시 포기되었습니다.

제373항에 있어서,

상기 회로는 인버터, NAND 게이트 또는 정적 RAM으로 기능하도록 프로그램 된 회로인 것을 특징으로 하는 회로.

청구항 375

청구항 375은(는) 설정등록료 납부시 포기되었습니다.

제373항에 있어서,

회로에서 논리 게이트 별 영역은 $4(F(x+1))^2$ 에서 $5(F(x+1))^2$ - 상기 F는 최소 배선 폭이고 x는 논리 게이트상의 입력 숫자임 - 인 것을 특징으로 하는 회로.

청구항 376

청구항 376은(는) 설정등록료 납부시 포기되었습니다.

복수의 전하 저장 장치를 포함한 회로를 제공하는 단계와,

제1 프로그래밍 전압을 제1 세트의 전하 저장 장치에 인가하여 상기 제1 세트의 전하 저장 장치의 임계 전압을 증가시킴으로써 상기 제1 세트의 전하 저장 장치를 턴 오프하는 단계와,

제2 프로그래밍 전압을 제2 세트의 전압 저장 장치에 인가하여 상기 제2 세트의 전하 저장 장치의 전하 저장 영역을 통하는 도전 링크를 형성함으로써 상기 제2 세트의 전하 저장 장치를 안티퓨즈 디바이스로 전환하는 단계를 포함하는 것을 특징으로 하는 회로의 프로그래밍 방법.

청구항 377

청구항 377은(는) 설정등록료 납부시 포기되었습니다.

제376항에 있어서,

상기 제1 및 제2 세트의 전하 저장 장치는 동일한 전하 저장 장치를 포함하는 것을 특징으로 하는 방법.

청구항 378

청구항 378은(는) 설정등록료 납부시 포기되었습니다.

제377항에 있어서,

상기 전하 저장 장치는 전하 저장 영역을 포함하는 반도체 다이오드를 포함하는 것을 특징으로 하는 방법.

청구항 379

청구항 379은(는) 설정등록료 납부시 포기되었습니다.

제378항에 있어서,

상기 다이오드는 계층간 절연 층에 의해 분리된 적어도 세 개의 디바이스 레벨들을 포함하는 3차원의 모놀리식 어레이에 배열된 비정질 실리콘 다이오드 또는 폴리실리콘을 포함하고,

상기 전하 저장 영역은 다이오드의 P 도핑 영역과 N 도핑 영역 사이 또는 다이오드의 P 도핑 영역과 N 도핑 영역에 인접하여 위치한 절연 층의 스택을 포함하는 것을 특징으로 하는 방법.

청구항 380

청구항 380은(는) 설정등록료 납부시 포기되었습니다.

제379항에 있어서,

상기 전하 저장 장치는 EEPROM 트랜지스터를 포함하는 것을 특징으로 하는 방법.

청구항 381

청구항 381은(는) 설정등록료 납부시 포기되었습니다.

제380항에 있어서,

상기 트랜지스터는 계층간 절연 층에 의해 분리되는 적어도 세 개의 디바이스 레벨들을 포함하는 3차원 모놀리식 어레이에 배열되는 비정질 박막 트랜지스터 또는 폴리실리콘을 포함하고,

상기 전하 저장 영역은 박막 트랜지스터의 제어 게이트와 채널 사이에 위치하는 절연 층의 스택을 포함하는 것을 특징으로 하는 방법.

청구항 382

청구항 382은(는) 설정등록료 납부시 포기되었습니다.

제376항에 있어서,

상기 회로는 논리 게이트로 기능하도록 프로그램 되는 것을 특징으로 하는 방법.

청구항 383

청구항 383은(는) 설정등록료 납부시 포기되었습니다.

제376항에 있어서,

상기 회로는 정적 RAM으로 기능하도록 프로그램 되는 것을 특징으로 하는 방법.

청구항 384

반도체 액티브 영역,

상기 반도체 액티브 영역에 인접한 전하 저장 영역,

제1 전극 및

제2 전극

- 상기 전하는 제1 프로그래밍 전압이 제1 및 제2 전극에 지원될 때 전하 저장 영역에 저장되고, 도전성 링크는

제2 프로그래밍 전압이 제1 및 제2 전극에 지원되는 제1 프로그래밍 전압보다 높을 때 제1 및 제2 전극 사이에 도전성 경로를 형성하는 전하 저장 영역을 통해 형성됨 - 을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 385

제384항에 있어서,

상기 제1 프로그래밍 전압은 디바이스의 임계 전압을 증가시키는 것에 의해 디바이스를 오프시키는 것을 특징으로 하는 디바이스.

청구항 386

제384항에 있어서,

상기 디바이스는 전하 저장 영역을 포함하는 반도체 다이오드를 포함하는 것을 특징으로 하는 디바이스.

청구항 387

제386항에 있어서,

상기 다이오드는 계층간 절연 층에 의해 분리된 적어도 세 개의 디바이스 레벨들을 포함하는 3차원의 모놀리식 어레이에 배열된 비정질 실리콘 다이오드 또는 폴리실리콘을 포함하고 - 상기 어레이는 기판 위에 배치되어 있음 -,

상기 전하 저장 영역은 다이오드의 반도체 액티브 영역의 P-형도핑 부분과 N-도핑 부분 사이 또는 다이오드의 반도체 액티브 영역의 P-형도핑 부분과 N-도핑 부분에 인접하여 위치한 절연 층의 스택을 포함하는 것을 특징으로 하는 디바이스.

청구항 388

청구항 388은(는) 설정등록료 납부시 포기되었습니다.

제385항에 있어서,

상기 디바이스는 EEPROM 트랜지스터를 포함하는 것을 특징으로 하는 디바이스.

청구항 389

청구항 389은(는) 설정등록료 납부시 포기되었습니다.

제388항에 있어서,

상기 트랜지스터의 상기 반도체 액티브 영역은 폴리실리콘 또는 절연 층 위에 배치된 비정질 실리콘 박막을 포함하고,

상기 트랜지스터는 계층간 절연 층에 의해 분리된 적어도 세 개의 디바이스 레벨들을 포함하는 3차원의 모놀리식 어레이에 배열되고 - 상기 어레이는 기판 위에 배치되어 있음 -,

상기 전하 저장 영역은 반도체 액티브 영역액티브 영역과 트랜지스터의 제어 게이트 사이에 위치한 절연 층의 스택을 포함하는 것을 특징으로 하는 디바이스.

청구항 390

제384항에 있어서,

상기 디바이스는 프로그램 가능 게이트 어레이 또는 프로그램 가능 논리 디바이스 내에 배열되는 것을 특징으로 하는 디바이스.

청구항 391

청구항 391은(는) 설정등록료 납부시 포기되었습니다.

기판 위에 배치된 반도체 디바이스 어레이의 제조 방법으로서,

제1 방향으로 상기 기판 위에 제1 높이로 배치된 제1 복수의 분리된 도전체를 형성하는 단계와,

상기 제1 도전체 위 및 사이에 제1 절연 층을 형성하는 단계와,

상기 제1 도전체를 노출시키는 절연 층을 평탄화하는 단계와,

상기 제1 복수의 분리된 도전체들에 콘택하는 제1 도전형의 제1 반도체 층, 상기 제1 반도체 층 위에 배치된 제1 국소 전하 저장 막, 상기 제1 국소 전하 저장 막 위에 배치된 게이트 라인, 상기 게이트 라인 위에 배치된 제2 국소 전하 저장 막 및 상기 제2 국소 전하 저장 막 위에 제2 도전형의 제2 반도체 층을 포함하는 층들의 스택을 형성하는 단계와,

제1 방향과는 달리 제2 방향으로 제1 높이 위에 제2 높이에서 배치된 제2 복수의 분리된 레일 스택을 형성하는 층들의 스택을 패턴화하는 단계와,

상기 레일 스택 위 및 사이에 제2 절연 층을 형성하는 단계와,

상기 제2 절연 층을 평탄화하는 단계와,

상기 제2 절연 층에 복수의 홈을 형성하는 단계와,

상기 도전 층을 평탄화하여 상기 제2 복수의 분리된 레일 스택들 위에 제3 높이로 배치된 제3 복수의 분리된 도전체를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 어레이의 제조 방법.

청구항 392

청구항 392은(는) 설정등록료 납부시 포기되었습니다.

제391항에 있어서,

상기 제1 및 제2 반도체 층은 폴리실리콘 층을 포함하는 것을 특징으로 하는 방법.

청구항 393

청구항 393은(는) 설정등록료 납부시 포기되었습니다.

제392항에 있어서,

상기 제1 및 제2 전하 저장 막은 전하 포획 매체를 포함하는 것을 특징으로 하는 방법.

청구항 394

청구항 394은(는) 설정등록료 납부시 포기되었습니다.

제393항에 있어서,

상기 전하 포획 매체는 유전성 절연 플로팅 게이트, 전기적으로 절연된 나노 결정체 또는 O-N-O 유전성 스택을 포함하는 것을 특징으로 하는 방법.

청구항 395

청구항 395은(는) 설정등록료 납부시 포기되었습니다.

제393항에 있어서,

상기 게이트 라인은 제이 전하 저장 막에 인접하는 제2 도전형의 제1 폴리실리콘 층 및 제2 전하 저장 막에 인접하는 실리사이드 층 위에 제1 도전형의 제1 폴리실리콘 층과 제2 폴리실리콘 층 위에 실리사이드 층을 포함하는 것을 특징으로 하는 방법.

청구항 396

청구항 396은(는) 설정등록료 납부시 포기되었습니다.

제391항에 있어서,

소스 및 드레인 영역을 형성하는 제1 반도체 층에 제1 도전체들로부터 제2 도전형의 아웃디퓨징 불순물을 더 포

함하는 것을 특징으로 하는 방법.

청구항 397

청구항 397은(는) 설정등록료 납부시 포기되었습니다.

제391항에 있어서,

상기 제2 반도체 층 내에 소스 및 드레인 영역을 형성하는 홈 내에 제1 도전형의 주입 이온을 더 포함하는 것을 특징으로 하는 방법.

청구항 398

청구항 398은(는) 설정등록료 납부시 포기되었습니다.

제391항에 있어서,

상기 제2 절연 층을 형성하기에 앞서 레일 스택 측벽에 측벽 역전류기를 형성하는 것을 더 포함하는 것을 특징으로 하는 방법.

청구항 399

청구항 399은(는) 설정등록료 납부시 포기되었습니다.

제391항에 있어서,

상기 제2 복수의 레일 스택은 제1 및 제3 복수의 분리된 도전체들에 수직으로 배치된 것을 특징으로 하는 방법.

청구항 400

청구항 400은(는) 설정등록료 납부시 포기되었습니다.

제391항에 있어서,

적어도 3개의 디바이스 레벨을 갖는 3차원의 모놀리식 어레이를 형성하는 어레이의 복수의 부가적인 디바이스 레벨을 모놀리식하게 형성하는 것을 더 포함하는 것을 특징으로 하는 방법.

청구항 401

청구항 401은(는) 설정등록료 납부시 포기되었습니다.

기판 위에 배치된 플래시 메모리 어레이로서,

제1 방향으로 기판 위에 제1 높이로 배치된 제1 복수의 분리된 도전성 비트 라인 및

상기 제1 방향과 달리 제2 방향으로 제2 높이에 배치된 제2 복수의 분리된 레일 스택 - 각 레일 스택은

제1 표면이 상기 제1 복수의 분리된 도전성 비트 라인에 콘택하는 복수의 반도체 섬,

도전성 워드 라인 및

상기 반도체 섬과 워드 라인의 제2 표면 사이에 배치된 전하 저장 영역을 포함함 -

을 포함하는 것을 특징으로 하는 기판 위에 배치된 플래시 메모리 어레이.

청구항 402

청구항 402은(는) 설정등록료 납부시 포기되었습니다.

제401항에 있어서,

상기 반도체 섬은 제1 도전형의 폴리실리콘을 포함하는 것을 특징으로 하는 어레이.

청구항 403

청구항 403은(는) 설정등록료 납부시 포기되었습니다.

제402항에 있어서,

상기 폴리실리콘 섬은 상기 분리된 도전성 비트 라인과 상기 분리된 레일 스택 사이 콘택하는 교차점에 제2 도전형의 아웃디퓨전 소스 및 드레인 영역을 포함하는 것을 특징으로 하는 어레이.

청구항 404

청구항 404은(는) 설정등록료 납부시 포기되었습니다.

제403항에 있어서,

상기 분리된 도전성 비트 라인은 상기 소스와 드레인 영역과 콘택하는 제2 도전형의 폴리실리콘을 포함하는 것을 특징으로 하는 어레이.

청구항 405

청구항 405은(는) 설정등록료 납부시 포기되었습니다.

제404항에 있어서,

상기 비트 라인과 콘택하는 금속 또는 금속 실리사이드 층을 더 포함하는 것을 특징으로 하는 어레이.

청구항 406

청구항 406은(는) 설정등록료 납부시 포기되었습니다.

제401항에 있어서,

상기 분리된 도전성 비트 라인은 평탄화 된 절연 매체를 포함하는 것을 특징으로 하는 어레이.

청구항 407

청구항 407은(는) 설정등록료 납부시 포기되었습니다.

제406항에 있어서,

상기 전하 저장 영역은 유전성 절연 플로팅 게이트, 전기적 절연 나노 결정체 또는 O-N-O 유전성 스택을 포함하는 것을 특징으로 하는 어레이.

청구항 408

청구항 408은(는) 설정등록료 납부시 포기되었습니다.

제407항에 있어서,

상기 전하 저장 영역은 터널 유전체와 제어 게이터 유전체 사이에 플로팅 게이트를 포함하고,

상기 터널 유전체와 상기 플로팅 게이트의 측면은 상기 반도체 섬의 측면과 정렬되며,

상기 제어 게이트 유전체는 상기 반도체 섬 사이에 연장되고 상기 반도체 섬 사이의 평탄화 된 절연재와 콘택하는 것을 특징으로 하는 어레이.

청구항 409

청구항 409은(는) 설정등록료 납부시 포기되었습니다.

제407항에 있어서,

상기 전하 저장 영역은 터널 유전체와 제어 게이트 유전체 사이에 텍스처화된 표면을 갖는 반구형 그레인 폴리실리콘으로부터 만들어진 플로팅 게이트를 포함하는 것을 특징으로 하는 어레이.

청구항 410

청구항 410은(는) 설정등록료 납부시 포기되었습니다.

제401항에 있어서,

상기 워드 라인은 제2 도전형의 폴리실리콘 층과 금속 또는 상기 폴리실리콘 층과 콘택하는 금속 실리사이드 층을 포함하는 것을 특징으로 하는 어레이.

청구항 411

청구항 411은(는) 설정등록료 납부시 포기되었습니다.

제401항에 있어서,

상기 레일 스택은 상기 비트 라인 위에 배치된 것을 특징으로 하는 어레이.

청구항 412

청구항 412은(는) 설정등록료 납부시 포기되었습니다.

제401항에 있어서,

상기 레일 스택은 상기 비트 라인 아래에 배치된 것을 특징으로 하는 어레이.

청구항 413

청구항 413은(는) 설정등록료 납부시 포기되었습니다.

제401항에 있어서,

상기 워드 라인 및 전하 저장 영역은 반도체 섬 내의 드레인 영역과 떨어져서 오프 셋인 것을 특징으로 하는 어레이.

청구항 414

청구항 414은(는) 설정등록료 납부시 포기되었습니다.

제413항에 있어서,

상기 절연 층은 상기 반도체 섬과 오프셋 영역 내의 워드 라인 사이에 위치한 것을 특징으로 하는 어레이.

청구항 415

청구항 415은(는) 설정등록료 납부시 포기되었습니다.

제401항에 있어서,

상기 반도체 섬은 상기 레일 스택과 상기 비트 라인의 교차점에 위치하는 것을 특징으로 하는 어레이.

청구항 416

청구항 416은(는) 설정등록료 납부시 포기되었습니다.

제415항에 있어서,

상기 TFT EEPROM은 상기 레일 스택과 상기 비트 라인의 교차점에 형성되는 것을 특징으로 하는 어레이.

청구항 417

청구항 417은(는) 설정등록료 납부시 포기되었습니다.

제416항에 있어서,

상기 레일 스택과 비트 라인의 교차점에 위치하는 액세스 트랜지스터를 포함하는 것을 특징으로 하는 어레이.

청구항 418

청구항 418은(는) 설정등록료 납부시 포기되었습니다.

제417항에 있어서,

상기 반도체 섬은 액세스 트랜지스터의 인접한 채널 영역 및 공통 소스와 드레인 영역 사이의 EEPROM을 포함하

고,

상기 워드 라인은 EEPROM의 제어 게이트와 액세스 트랜지스터의 게이트 전극을 형성하고,

제1 절연 층은 EEPROM의 공통 제어 게이트 유전체 및 액세스 트랜지스터의 게이트 절연 층을 형성하고,

플로팅 게이트와 터널 유전체는 워드 라인과 EEPROM의 채널 영역 사이에 위치하는 것을 특징으로 하는 어레이.

청구항 419

청구항 419은(는) 설정등록료 납부시 포기되었습니다.

제416항에 있어서,

소스 비트 라인이 접지되고, 드레인 비트 라인이 플로팅 또는 접지되고, 높은 양의 전압 펄스가 선택된 EEPROM 셀의 워드 라인에 지원될 때,

같은 디바이스 레벨의 다른 워드 라인이 접지되는 동안 약한 양 전압에 위치하거나 또는 같은 디바이스 레벨상의 다른 비트 라인이 플로팅으로 남는 동안 어레이 내의 EEPROM 셀이 프로그래밍 되는 것을 특징으로 하는 어레이.

청구항 420

청구항 420은(는) 설정등록료 납부시 포기되었습니다.

제419항에 있어서,

상기 복수의 EEPROM 셀은 동시에 프로그래밍 되는 것을 특징으로 하는 어레이.

청구항 421

청구항 421은(는) 설정등록료 납부시 포기되었습니다.

제420항에 있어서,

상기 프로그래밍 전압은 10에서 20볼트인 것을 특징으로 하는 어레이.

청구항 422

청구항 422은(는) 설정등록료 납부시 포기되었습니다.

제419항에 있어서,

어레이 내의 상기 EEPROM 셀은 소스와 드레인 비트 라인이 접지인 동안 워드 라인에 높은 음의 값으로 펄스화 하는 것에 의해 삭제되거나,

어레이 내의 상기 EEPROM 셀은 워드 라인을 접지화하고 적어도 하나의 소스 및 드레인을 높은 양의 값으로 펄스화 하는 것에 의해 삭제되는 것을 특징으로 하는 어레이.

청구항 423

청구항 423은(는) 설정등록료 납부시 포기되었습니다.

제422항에 있어서,

상기 어레이 내의 복수의 EEPROM 셀은 비트 라인이 접지된 동안, 복수의 워드 라인을 높은 음의 값으로 펄스화 하는 것에 의해 삭제되거나,

상기 어레이 내의 복수의 EEPROM 셀은 그들 소스 및 드레인 중 적어도 하나를 높은 양의 값으로 펄스화하고 그들의 워드 라인을 접지화 하는 것에 의해 동시에 삭제되는 것을 특징으로 하는 어레이.

청구항 424

청구항 424은(는) 설정등록료 납부시 포기되었습니다.

복수의 디바이스 레벨을 포함하는 모놀리식 3차원 어레이로서,

상기 디바이스 레벨 각각은 제415항의 어레이를 포함하는 것을 특징으로 하는 모놀리식 3차원 어레이.

청구항 425

청구항 425은(는) 설정등록료 납부시 포기되었습니다.

제424항에 있어서,

어레이 내의 비트 당 각 셀 크기는 $8F^2/N$ 에서 $11F^2/N$ - F는 최소 배선 폭이고 N은 어레이 내의 디바이스 레벨의 수 임 - 인 것을 특징으로 하는 어레이.

청구항 426

청구항 426은(는) 설정등록료 납부시 포기되었습니다.

제424항에 있어서,

상기 제2 복수의 분리된 레일 스택 위에 층간 절연 층,

제1 방향으로 기판 위에 제3 높이로 배치된 제3 복수의 분리된 도전성 비트 라인 및

제1 방향과 달리 제2 방향으로 제4 높이로 배치된 제4 복수의 분리된 레일 스택 - 각 레일 스택은

상기 제3 복수의 분리된 비트 라인에 제1 표면이 콘택하는 복수의 반도체 섬,

도체 워드 라인 및

상기 반도체 섬의 제2 표면과 상기 워드 라인 사이에 배치된 전하 저장 영역을 포함함 -

을 포함하는 것을 특징으로 하는 어레이.

청구항 427

청구항 427은(는) 설정등록료 납부시 포기되었습니다.

제426항에 있어서,

제4 복수의 분리된 레일 스택 위에 층간 절연 층,

상기 제1 방향으로 상기 층간 절연 층 위에 제1 높이로 배치된 제5 복수의 분리된 도전성 비트 라인 및

제1 방향과 달리 제2 방향으로 제6 높이로 배치된 제6 복수의 분리된 레일 스택 - 각 레일 스택은

상기 제5 복수의 분리된 비트 라인에 제1 표면이 콘택하는 복수의 반도체 섬,

도전성 워드 라인 및

상기 반도체 섬의 제2 표면과 상기 워드 라인 사이에 배치된 전하 저장 영역을 포함함 -

을 더 포함하는 것을 특징으로 하는 어레이.

청구항 428

청구항 428은(는) 설정등록료 납부시 포기되었습니다.

제424항에 있어서,

상기 워드 라인, 상기 전하 저장 영역 및 상기 레일 스택의 상기 반도체 섬은 기판에 수직인 평면에 정렬되고 드레인 방향으로 소스에 평행한 것을 특징으로 하는 어레이.

청구항 429

청구항 429은(는) 설정등록료 납부시 포기되었습니다.

제428항에 있어서,

상기 워드 라인, 상기 전하 저장 영역 및 상기 레일 스택의 상기 반도체 섬은 기판에 수직인 두 평면에 정렬되

고 드레인 방향으로 소스에 평행한 것을 특징으로 하는 어레이.

청구항 430

청구항 430은(는) 설정등록료 납부시 포기되었습니다.

기판 위에 배치된 플래시 메모리 어레이 제조 방법으로서,

제1 방향으로 기판 위에 제1 높이로 배치된 제1 복수의 분리된 도전체를 형성하는 단계와,

상기 제1 도전체 사이에 위치한 제1 절연 층을 형성하는 단계와,

제1 반도체 층과 전하 저장 막을 포함하는 층들의 스택을 형성하는 단계와,

상기 스택을 패턴화하여 적어도 하나의 정렬된 측면 에지를 갖는 전하 저장 영역 레일과 반도체 레일을 포함하는 제1 복수의 제1 레일 스택을 형성하는 단계와,

상기 반도체 레일 내에 소스 및 드레인 영역을 형성하는 단계와,

제2 도전 층을 형성하는 단계와,

상기 제2 도전 층 및 상기 제1 레일 스택을 패턴화하여 워드 라인, 전하 저장 영역 섬 및 반도체 섬을 포함한 복수의 제2 레일 스택을 형성하는 단계를 포함하며, 상기 제2 레일 스택은 기판에 수직하고 소스-드레인 방향에 평행한 평면에 정렬되는 것을 특징으로 하는 플래시 메모리 어레이 제조 방법.

청구항 431

청구항 431은(는) 설정등록료 납부시 포기되었습니다.

제430항에 있어서,

제1 도전체들 사이에 위치한 제1 절연 층을 형성하는 단계는 제1 도전체들이 드러나도록 제1 절연 층을 평탄화하고 제1 도전체들 사이 위에 제1 절연 층을 형성하는 것들 포함하고,

층의 스택을 형성하는 단계는 제1 절연 층을 평탄화하고 제1 도전체들을 드러내는 층의 스택을 형성하는 것을 포함하는 것을 특징으로 하는 방법.

청구항 432

청구항 432은(는) 설정등록료 납부시 포기되었습니다.

제431항에 있어서,

상기 소스와 드레인 영역을 형성하는 단계는 제1 복수의 분리된 도전체들로부터 제1 도전형의 반도체 섬에 제2 도전형의 불순물의 아웃디퓨징을 포함하는 것을 특징으로 하는 방법.

청구항 433

청구항 433은(는) 설정등록료 납부시 포기되었습니다.

제430항에 있어서,

제1 절연 층을 형성하는 단계는 제2 레일 스택의 반도체 섬 위에 제1 절연 층을 형성하는 것을 포함하고,

제1 도전체들을 형성하는 단계는 제2 도전 층을 평탄화하고 제1 절연 층 위의 홈 내에 제2 도전 층을 증착하는, 제1 절연 층에 홈을 형성하는 것을 포함하는 것을 특징으로 하는 방법.

청구항 434

청구항 434은(는) 설정등록료 납부시 포기되었습니다.

제430항에 있어서,

상기 제1 도전체는 폴리실리콘 층 및 금속 또는 금속 실리사이드 층을 포함하고,

상기 워드 라인은 폴리실리콘 층 및 금속 또는 금속 실리사이드 층을 포함하는 것을 특징으로 하는 방법.

청구항 435

청구항 435은(는) 설정등록료 납부시 포기되었습니다.

제430항에 있어서,

상기 전하 저장 영역 섬은 유전성 절연 플로팅 게이트, 전기적으로 절연된 나노 결정체 또는 O-N-O 유전성 스택을 포함하는 것을 특징으로 하는 방법.

청구항 436

청구항 436은(는) 설정등록료 납부시 포기되었습니다.

제435항에 있어서,

상기 스택을 형성하는 단계는 제1 반도체 층 위의 플로팅 게이트 층과 터널 유전체 층을 형성하는 것을 포함하고,

상기 스택을 패턴화하는 단계는 제1 레일 스택, 터널 유전체 및 두 개의 정열된 측면 테두리를 갖는 제1 레일 스택을 포함하는 전하 저장 영역 레일과 반도체 레일을 포함하는 복수의 제1 레일 스택을 포함하는 스택을 에칭하고 플로팅 게이트 위에 포토리지스트를 형성하는 것을 포함하는 것을 특징으로 하는 방법.

청구항 437

청구항 437은(는) 설정등록료 납부시 포기되었습니다.

제436항에 있어서,

제1 레일 스택의 플로팅 게이트 위에 제어 게이트 유전체 층 - 상기 제어 게이트 유전체 층은 제1 레일 스택의 측면 테두리 뒤에 연장됨 - 을 형성하는 것을 더 포함하는 것을 특징으로 하는 방법.

청구항 438

청구항 438은(는) 설정등록료 납부시 포기되었습니다.

제437항에 있어서,

제2 도전 층과 제1 레일 스택을 패턴화하는 단계는 상기 워드 라인과 상기 제1 절연 층 사이에 배치된 제어 게이트 유전체와 같은 제어 게이트 유전체 층을 패턴화 - 상기 제어 게이트 유전체는 상기 반도체 섬, 상기 터널 유전체, 상기 플로팅 게이트 및 상기 제어 게이트에 드레인 방향으로 소스에 평행하고 상기 기판에 수직인 평면에 정렬됨 - 를 포함하는 것을 특징으로 하는 방법.

청구항 439

청구항 439은(는) 설정등록료 납부시 포기되었습니다.

제435항에 있어서,

상기 스택을 형성하는 단계는 제1 반도체 층 위에 플로팅 게이트 층과 터널 유전체 층을 형성하는 것을 포함하고,

상기 스택을 패턴화하는 단계는 터널 유전체와 제1 폭 보다 제2 폭을 더 작게 갖는 플로팅 게이트를 포함하는 전하 저장 영역 레일과 제1 폭을 갖는 반도체 레일을 포함하는 복수의 제1 레일 스택을 형성하는 스택을 에칭하는 것

- 그러한 제1 레일 스택은 반도체 레일의 하나의 정렬된 측면 테두리, 터널 유전체 와 플로팅 게이트 및 상기 반도체 레일의 드러난 부분을 포함함 - 을 포함하는 것을 특징으로 하는 방법.

청구항 440

청구항 440은(는) 설정등록료 납부시 포기되었습니다.

제439항에 있어서,

상기 스택을 패턴화하는 단계는,

스택 위에 제1 폭을 갖는 제1 포토리지스트 마스크를 형성하고,

상기 제1 반도체 층, 상기 터널 유전체 층 및 상기 포토리지스트 마스크를 사용하는 상기 플로팅 게이트 층을 에칭하고,

상기 플로팅 게이트 층 위에 제1 폭 보다 작은 제2 폭을 갖는 제2 포토리지스트 마스크를 형성하고,

상기 제2 포토리지스트 마스크를 사용하는 제1 반도체 층이 아닌 터널 유전체 층과 플로팅 게이트 층을 에칭하는 것을 포함하는 것을 특징으로 하는 방법.

청구항 441

청구항 441은(는) 설정등록료 납부시 포기되었습니다.

제439항에 있어서,

상기 스택을 패턴화하는 단계는,

상기 스택 위에 제1 폭을 갖는 제1 포토리지스트 마스크를 형성하고,

상기 제1 반도체 층의 부분을 드러내기 위해 제1 포토리지스트 마스크를 이용하는 플로팅 게이트 층 및 터널 유전체 층을 에칭하고,

상기 제1 반도체 층의 드러난 부분 위 및 상기 플로팅 게이트 층 위에 제1 폭 보다 큰 제2 폭을 갖는 제2 포토리지스트 마스크를 형성하고,

상기 제2 포토리지스트 마스크를 이용하여 상기 제1 반도체 층을 에칭하는 것을 포함하는 것을 특징으로 하는 방법.

청구항 442

청구항 442은(는) 설정등록료 납부시 포기되었습니다.

제439항에 있어서,

상기 제1 레일 스택의 상기 반도체 레일의 드러난 부분 위 및 상기 플로팅 게이트 위에 제어 게이트 유전체 층 - 상기 제어 게이트 유전체 층은 상기 반도체 레일의 드러난 부분 위에 액세스 트랜지스터의 게이트 유전체로서 기능함 - 을 형성하는 것을 더 포함하는 것을 특징으로 하는 방법.

청구항 443

청구항 443은(는) 설정등록료 납부시 포기되었습니다.

제442항에 있어서,

상기 제어 게이트 유전체 층은 상기 제1 레일 스택의 측면 테두리에 연장되는 것을 특징으로 하는 방법.

청구항 444

청구항 444은(는) 설정등록료 납부시 포기되었습니다.

제443항에 있어서,

제2 도전 층과 제1 레일 스택을 패턴화하는 단계는 워드 라인과 제1 절연 층 사이에 배치된 제어 게이트 유전체와 같은 제어 게이트 유전체 층을 패턴화 - 상기 제어 게이트 유전체는 기판에 수직이고 상기 반도체 섬, 상기 터널 유전체 및 상기 제어 게이트에 드레인 방향으로 소스에 평행한 평면에 정렬됨 - 하는 것을 포함하는 것을 특징으로 하는 방법.

청구항 445

청구항 445은(는) 설정등록료 납부시 포기되었습니다.

제439항에 있어서,

오프셋 영역을 형성하기 위한 상기 워드 라인 및 상기 반도체 레일의 드러난 부분 사이에 제2 절연 층을 형성하는 것을 더 포함하는 것을 특징으로 하는 방법.

청구항 446

청구항 446은(는) 설정등록료 납부시 포기되었습니다.

제445항에 있어서,

상기 반도체 레일을 절연화하기 위해 반도체 레일 사이에 제2 절연 층을 형성하는 것을 더 포함하는 것을 특징으로 하는 방법.

청구항 447

청구항 447은(는) 설정등록료 납부시 포기되었습니다.

제430항에 있어서,

적어도 3개의 디바이스 레벨을 갖는 3차원 모놀리식 어레이를 형성하는 복수의 부가적인 어레이의 디바이스 레벨을 모놀리식하게 형성하는 것을 더 포함하는 것을 특징으로 하는 방법.

청구항 448

청구항 448은(는) 설정등록료 납부시 포기되었습니다.

제447항에 있어서,

각 디바이스 레벨 사이에 층간 절연 층을 형성하는 것을 더 포함하는 것을 특징으로 하는 방법.

청구항 449

기판 위에 배치된 제1 층의 전이 금속 결정화 실리콘,

상기 제1 층에 배치된 P-N 접합 및

상기 제1 층에 인접하여 배치된 국소 전하 저장 막을 포함하는 것을 특징으로 하는 기판 위에 배치된 전하 저장 장치.

청구항 450

제449항의 디바이스를 포함한 복수의 디바이스 레벨을 포함하는 모놀리식 3차원 어레이로서,

상기 P-N접합은 소스 영역과 채널 또는 드레인 영역과 채널 사이의 접합을 포함하는 것을 특징으로 하는 모놀리식 3차원 어레이.

청구항 451

청구항 451은(는) 설정등록료 납부시 포기되었습니다.

제1 방향으로 기판 위에 제1 높이로 배치된 제1 복수의 분리된 도전체 및

상기 제1 방향과 달리 제2 방향으로 제2 높이로 배치된 제2 복수의 분리된 레일 스택 - 각 레일 스택은

상기 제1 복수의 분리된 도전체에 콘택하는 제1 도전형의 반도체 막,

상기 반도체 막에 인접하여 배치된 국소 전하 저장 막 및

상기 국소 전하 저장 막에 인접하여 배치된 도전 막 - 각 반도체 막은 측면 결정화 프로세스로 유도된 전이 금속을 이용하여 적어도 부분적으로 결정화 됨 - 을 포함함 -

을 포함하는 것을 특징으로 하는 기판 위에 배치된 메모리 어레이.

청구항 452

기판 위에 제1 비결정질 실리콘 또는 폴리실리콘 층을 제공하는 단계와,

제1 층 위에 전이 금속 촉매를 제공하는 단계와,

제1 층을 결정화하는 단계와,

상기 제1 층에 P-N접합을 형성하는 단계와,

상기 제1 층에 인접하게 배치된 국소 전하 저장 막을 형성하는 단계를 포함하는 전하 저장 장치 제조 방법.

청구항 453

제452항에 있어서,

상기 결정화는 400℃에서 700℃의 범위에서 일어나고, 750℃에서 975℃의 범위에서 고온의 가열 냉각과 함께 상기 제1 층을 더 결정화하는 것을 더 포함하는 것을 특징으로 하는 방법.

청구항 454

제452항에 있어서,

상기 국소 전하 저장 막에 인접하여 배치된 게이트를 형성하는 것을 더 포함하는 것을 특징으로 하는 방법.

청구항 455

제454항에 있어서,

전이 금속 결정화 실리콘 TFTs를 포함하는 복수의 디바이스 레벨을 형성하는 것을 더 포함하는 것을 특징으로 하는 방법.

청구항 456

복수의 디바이스 레벨을 포함한 모놀리식 3차원 어레이의 전하 저장 장치를 포함하는 반도체 디바이스로서,

두 개의 연속하는 디바이스 레벨 사이의 적어도 하나의 표면은 화학 기계적 연마에 의해 평탄화되는 것을 특징으로 하는 반도체 디바이스.

청구항 457

제456항에 있어서,

상기 어레이는 4개 또는 그 이상의 디바이스 레벨을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 458

제457항에 있어서,

상기 각 전하 저장 장치는 필러 TFT EEPROM을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 459

제457항에 있어서,

상기 각 전하 저장 장치는 전하 저장 영역은 전하 저장 영역을 갖는 필러 다이오드를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 460

제457항에 있어서,

각 전하 저장 장치는 자기 정렬 TFT EEPROM을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 461

제457항에 있어서,

상기 각 전하 저장 장치는 레일 스택 TFT EEPROM을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 462

제457항에 있어서,

각 디바이스 내의 절연 또는 도전 층의 표면은 화학 기계적 연마에 의해 평탄화 되는 것을 특징으로 하는 반도체 디바이스.

청구항 463

제457항에 있어서,

두 레벨 사이에 위치한 층간 절연 층의 표면은 화학 기계적 연마에 의해 평탄화 되는 것을 특징으로 하는 반도체 디바이스.

청구항 464

제457항에 있어서,

화학 기계적 연마에 의해 평탄화 되는 표면의 피크간 조도는 4000Å또는 그 이하인 것을 특징으로 하는 반도체 디바이스.

청구항 465

제457항에 있어서,

어레이 아래, 어레이 안 또는 어레이 위에 적어도 부분적으로 기판에 형성되는 구동 회로를 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 466

제465항에 있어서,

상기 구동 회로가 기판 내부의 어레이 아래에 형성되는 센스 앰프와 전하 펌프 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 467

모놀리식 3차원 어레이의 전하 저장 장치를 제조하는 방법으로서,

복수의 디바이스 레벨을 형성하는 단계와,

화학 기계적 연마에 의해 두 개의 연속적인 디바이스 레벨 사이의 적어도 하나의 표면을 평탄화하는 단계를 포함하는 것을 특징으로 하는 전하 저장 장치 제조 방법.

청구항 468

제467항에 있어서,

4개 또는 그 이상의 디바이스 레벨을 형성하고,

화학 기계적 연마에 의해 적어도 3개의 연속하는 디바이스 레벨 사이의 적어도 하나의 표면을 평탄화하는 것을 더 포함하는 방법.

청구항 469

제468항에 있어서,

각 전하 저장 장치는 필러 TFT EEPROM, 전하 저장 영역을 갖는 필러 다이오드, 자기 정렬 TFT EEPROM 및 레일 스택 TFT EEPROM으로 구성되는 그룹으로부터 선택되는 것을 특징으로 하는 방법.

청구항 470

제468항에 있어서,

각 디바이스 레벨 속의 절연 층의 표면은 화학 기계적 연마에 의해 평탄화 되는 것을 특징으로 하는 방법.

청구항 471

제468항에 있어서,

각 디바이스 레벨 속의 도전 층의 표면은 화학 기계적 연마에 의해 평탄화 되는 것을 특징으로 하는 방법.

청구항 472

제468항에 있어서,

두 레벨 사이에 위치한 층간 절연 층의 표면은 화학 기계적 연마에 의해 평탄화 되는 것을 특징으로 하는 방법.

청구항 473

제468항에 있어서,

어레이 아래, 어레이 내부 또는 어레이 위의 부분으로서 적어도 기판 속에 구동 회로를 형성하는 것을 더 포함하는 것을 특징으로 하는 방법.

청구항 474

제473항에 있어서,

상기 구동 회로는 기판 속의 어레이 밑에 형성된 전하 펌프 또는 센스 엠프 중 적어도 하나를 포함하는 것을 특징으로 하는 방법.

청구항 475

복수의 디바이스 레벨을 포함한 모놀리식 3차원 어레이의 전하 저장 장치를 포함하는 반도체 디바이스로서,

두 개의 연속적인 디바이스 레벨 사이의 적어도 하나의 표면은 스테퍼 필드 내부에 4000Å 이하의 피크간 조도를 갖는 것을 특징으로 하는 반도체 디바이스.

청구항 476

제475항에 있어서,

상기 어레이는 4개 또는 그 이상의 디바이스 레벨을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 477

제476항에 있어서,

각 전하 저장 장치는 필러 TFT EEPROM, 전하 저장 영역을 갖는 필러 다이오드, 자기 정렬 TFT EEPROM 및 레일 스택 TFT EEPROM을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 478

청구항 478은(는) 설정등록료 납부시 포기되었습니다.

제475항에 있어서,

두 개의 연속적인 디바이스 레벨 사이의 적어도 하나의 표면은 스태퍼 필드 내에 500에서 1000Å의 피크간 조도를 갖는 것을 특징으로 하는 반도체 디바이스.

청구항 479

청구항 479은(는) 설정등록료 납부시 포기되었습니다.

제478항에 있어서,

상기 적어도 하나의 표면은 화학 기계적 연마에 의해 평탄화 되는 각 디바이스 레벨 속에 도전 층 또는 절연 층의 표면을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 480

청구항 480은(는) 설정등록료 납부시 포기되었습니다.

제478항에 있어서,

상기 적어도 하나의 표면은 화학 기계적 연마에 의해 평탄화 되는 두 레벨 사이에 위치하는 층간 절연 층의 표면을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 481

청구항 481은(는) 설정등록료 납부시 포기되었습니다.

제475항에 있어서,

상기 어레이 밑, 어레이 내부 또는 어레이 위에 적어도 부분적으로 기판 속에 형성된 구동 회로를 더 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 482

청구항 482은(는) 설정등록료 납부시 포기되었습니다.

제481항에 있어서,

상기 구동 회로는 기판 속의 어레이 밑에 형성된 센스 앰프와 전하 펌프 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 483

청구항 483은(는) 설정등록료 납부시 포기되었습니다.

제102항에 있어서,

상기 어레이는 8개 이하의 디바이스 레벨을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 484

청구항 484은(는) 설정등록료 납부시 포기되었습니다.

제143항에 있어서,

N≤8인 것을 특징으로 하는 3차원 비휘발성 디바이스 어레이.

청구항 485

청구항 485은(는) 설정등록료 납부시 포기되었습니다.

제153항에 있어서,

N≤8인 것을 특징으로 하는 비휘발성 메모리 셀의 어레이.

청구항 486

청구항 486은(는) 설정등록료 납부시 포기되었습니다.

제425항에 있어서,

상기 N은 N≤8인 것을 특징으로 하는 어레이.

청구항 487

청구항 487은(는) 설정등록료 납부시 포기되었습니다.

제476항에 있어서,

상기 어레이는 8개 이하의 디바이스 레벨을 포함하는 것을 특징으로 하는 반도체 디바이스.

청구항 488

청구항 488은(는) 설정등록료 납부시 포기되었습니다.

제464항 또는 제475항에 있어서,

상기 피크간 조도는 500Å 이상인 것을 특징으로 하는 반도체 디바이스.

명 세 서

<1> 본 출원은 2000년 12월 21일에 출원된 미국 출원 제 09/745,125호의 일부 계속 출원(continuation-in-part; CIP)인 2001년 3월 6일에 출원된 미국 출원 제 09/801,233호의 일부 계속 출원이며, 상기 미국 출원들은 본 명세서에 전체적으로 참조 결합된다. 본 출원은 또한 2000년 8월 14일에 출원된 미국 출원 제 09/639,579호의 일부 계속 출원이며, 상기 미국 출원도 본 명세서에 전체적으로 참조 결합된다. 본 출원은 또한 2000년 8월 14일에 출원된 미국 출원 제 09/639,702호의 일부 계속 출원이며, 상기 미국 출원도 본 명세서에 전체적으로 참조 결합된다. 본 출원은 또한 2000년 8월 17일에 출원된 미국 출원 제 09/639,749호의 일부 계속 출원이며, 상기 미국 출원도 본 명세서에 전체적으로 참조 결합된다. 본 출원은 또한 2001년 3월 28일에 출원된 가출원 제 60/279,855호의 우선권의 이익을 주장하며, 상기 출원도 본 명세서에 전체적으로 참조 결합된다.

<2> 발명의 배경

기 술 분 야

<3> 본 발명은 일반적으로 반도체 디바이스에 관한 것이며, 구체적으로는 3차원 TFT 어레이(three dimensional TFT array)에 관한 것이다.

배 경 기 술

<4> 집적 회로와 컴퓨터가 강력해짐에 따라, 대용량 데이터를 저장하는 능력을 필요로 하는 새로운 응용 분야들이 생겨나게 되었다. 어떤 응용 분야들은 데이터를 기록하고, 삭제하는 능력 및 비휘발성 방식으로 데이터를 저장하는 능력을 가지고 있는 메모리를 필요로 한다. 반도체 메모리의 메가바이트 당 가격을 메가바이트 당 US 1달러 아래로 떨어뜨림으로써 가격경쟁력이 있게 되어 가능하게 된 많은 응용 분야들이 있다. 예컨대: (1) 사진 영상을 저장하기 위한 화학 필름; (2) 유통용 음악 및 문자 데이터를 저장하기 위한 콤팩트 디스크(CD); (3) 유통용 비디오 및 멀티미디어 자료를 저장하기 위한 디지털 다목적 디스크(digital versatile disk; DVD) 및 (4) 소비자의 오디오 및 비디오 기록의 저장을 위한 비디오 테이프와 디지털 오디오 및 비디오 테이프가 있다. 그러한 메모리들은 장비 및 모든 전원으로부터 제거된 채 약 10년이라는 기간까지 저장된 정보에 중요한 손실 없이 견디어 낼 수 있어야 한다는 점에서 아카이벌(archival)하고 비휘발성이어야 한다. 그러한 조건은 CD, DVD, 마그네틱 테이프 및 대부분 형태의 사진 필름에 대한 일반적인 수명을 어림잡은 것이다.

<5> 현재, 그러한 메모리는 플래시 메모리 및 EEPROM과 같은 전기적으로 삭제할 수 있는 비휘발성 메모리를 가지고 형성된다. 불행히도, 이러한 디바이스들은 일반적으로 단결정 실리콘 기판(single crystalline silicon substrate)에서 제조되며, 따라서 저장 디바이스들의 2차원 어레이로 제한되는 바, 이로 인해 실리콘의 단일 면에서 제조될 수 있는 디바이스들의 수로 저장될 수 있는 데이터의 양이 제한된다.

<6> 유전체 층(dielectric layer)에 포획된 전하를 사용하는 비휘발성 메모리를 제조하는 것도 또한 공지되어 있다. 일반적으로, 전자들은 예컨대, 질화물 층을 통해 전류를 터널링하는 것에 의해 실리콘 질화물 층(layer of silicon nitride)에서 포획된다. 실리콘 질화물은 전계 효과 트랜지스터(field-effect transistor; FET)의 채널로부터 절연된 게이트 사이에 형성된다. 포획된 전하는 트랜지스터의 문턱 전압(threshold voltage)을 천이시키며, 따라서 전하가 질화물 층에 포획되는지를 결정하기 위해 문턱 전압이 탐지된다. 그러한 메모리의 예로서는 미국 특허 제5,768,192호를 참조하라.

<7> "B. Eitan"의 미국 특허 제5,768,192호 및 "NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell"(B. Eitan 등, IEEE Electron Device Letters, vol.21, NO.11, 2000년 11월, 543-545 쪽)라는 제목의 기술 자료는 하나의 셀에 두 비트를 저장하기 위해 산화물-질화물-산화물(Oxide-Nitride-Oxide; ONO) 스택의 질화물 전하 저장 층 내의 비대칭형 전하 포획을 사용하는 비휘발성 반도체 메모리 셀을 개시한다. 상기 셀은 드레인 접합(drain junction) 위의 전하 저장 층으로의 열 전자 주입(hot electron injection)에 의해 기록된다. 상기 셀은 기록된 것과 반대 방향으로 판독된다, 즉 전압은 소스(source) 및 게이트에 인가되며, 드레인은 접지

된다. 상기 메모리 셀은 p 형 실리콘 기판 내에 만들어진다. 그러나, 이러한 실리콘-산화물-질화물-산화물-실리콘(SONOS) 1TC 메모리는 NOR 가상 접지 어레이(NOR Virtual Ground Array) 내에 비트 당 2.5 F^2(여기서 F는 최소 배선 폭(minimum feature size))의 셀 영역으로 배치된다. 이러한 셀 영역은 원하는 것보다 크며, 최적의 셀 밀도보다 적은 셀 밀도를 가지게 한다.

<8> 선행 기술인 음-저항(negative-resistance) 디바이스도 또한 공지되어 있다. 이러한 디바이스들은 1972년경 개발되었으며, "Thin-MIS-Structure Si Negative-Resistance Diode"(Applied Physics Letters, Volume 20, NO.8, 269쪽에서 시작, 1972년 4월 15일)에 개시되었다. 위 문헌에 개시된 디바이스는 도 96의 다이오드(5510)와 같은 접합 다이오드(junction diode) 및 도 96의 산화물 영역(5511)과 같은 다이오드의 n-형 영역에 배치된 얇은 산화물 영역(thin oxide region)이다. 도 97에 나타낸 바와 같이 상기 디바이스는 음-저항 영역을 나타내는 스위칭 현상(switching phenomenon)을 제공한다. 다이오드 상의 전압이 다이오드의 순방향(diode's forward direction)으로 증가함에 따라, 전위(potential)가 포인트(5512)에 보여진 다이오드가 음-저항을 나타내는 전압에 최초로 도달할 때까지 거의 전도가 일어나지 않음을 주의해야 한다. 그곳으로부터 상기 디바이스는 도 97의 선분(5513)에 의해 나타낸 바와 같이 어느 정도 다이오드형 특성(diode-like characteristic)을 나타낸다. 이러한 스위칭 특성은 미국 특허 제5,535,156호 및 제6,015,738호에 개시된 바와 같은 정적 메모리 셀{static memory cell(flip-flop)}을 제조하는 데 사용된다. 또한, 이러한 디바이스의 기본 동작은 "Sze"의 "The Physics of Semiconductor Devices"(2판, 9.5 장, 549-553 쪽)에 개시된다(다만, 극성에 대한 설명에서 에러를 가지고 있다).

<9> 도 96의 디바이스는 PN 접합 다이오드 및 얇은 산화물 영역을 포함한다. 상기 다이오드가 순방향으로 바이어스될 때, n-영역 및 산화물 영역을 가로질러 전압 강하(voltage drop)의 균형을 유지한 채 다이오드 접합 전압이 인가된 전압의 일부이기 때문에 초기에 매우 적은 전류가 흐른다. p 영역으로부터 n- 영역으로 주입된 홀(hole)들은 그 수가 충분히 적으므로, 산화물을 통하는 터널링 전류는 (비록 홀 흐름에 대한 불리한 장애에도 불구하고) n-영역이 n-형 영역을 유지할 수 있도록 한다. 유사하게, 공핍 영역(depletion region) 내에 생성된 어떠한 홀들도 얇은 산화물을 통과할 수 없는 반면, 어떠한 생성 전자들도 p 영역으로 및 애노드 콘택(anode contact) 밖으로 휩쓸려간다.

<10> 인가된 순방향 전압이 증가함에 따라, 문턱 전압이 도달된 일반적인 MOSFET에서와 마찬가지로 n-영역은 산화물과의 경계면에서 공핍(depletion)해지기 시작한다. 충분히 높은 전압에서, 이 공핍 영역은 접합까지 모든 방향으로 확장되어, 펀치-쓰루(punch-through)를 생성하며, p 영역으로부터 n-층으로의 홀들의 중요한 주입을 일으킨다. 상기 홀들은 산화물을 통해서는 잘 흐를 수 없으며, 결과적으로 표면 근처에 축적된다. 이것은 n-영역이 산화물 경계면 근처에서 보다 강하게 전도(invert)되게 하며, 산화물을 가로지르는 전압 강하를 증가시킨다(V=Q/C를 상기해 보라). 산화물을 통하는 전자 터널링 전류는 초지수적인 팩터(super-exponential factor)로 증가되며, 다이오드를 가로지르는 순방향 바이어스 및 전류를 증가시킨다. 동시에 홀들은 n-영역을 가득 채우며, 전도성을 증가시키고 전압 강하를 감소시킨다. 다이오드를 가로지르는 전압은 비교적 작으므로(그리고, 전류의 큰 변화에도 불구하고 거의 변하지 않으므로), (디바이스의 파열을 피하기 위해 회로에 적합한 직렬 저항을 가정한다면) n-전압 강하에서의 큰 감소는 전체 구조를 가로지르는 전압을 극적으로 감소시킨다. 전술한 재생 반응은 전압의 급격한 감소를 동반한 전류의 급격한 증가를 일으킨다. 상기 참조된 특허에서 개시된 SRAM 셀들을 제조하기 위해 이용되는 것은 이러한 음-저항 영역이다.

<11> 더 높은 전류 레벨에서는, 대부분의 전압이 PN 접합을 가로질러 결국 강하되기 때문에 상기 디바이스는 본질적으로 통상의 순방향 바이어스 다이오드로서 행동한다. 결국, 상기 구조의 전압-전류 특성은 도 96의 구조에 접속된 직렬 저항에 의해 주로 결정되는 부분(5513)의 기울기를 가지며, 도 97에 개시된다.

<12> 역방향 바이어스될 경우, 상기 다이오드는 블록킹(blocking) 상태에 있으며, 산화물을 통해 흐르는 유일한 전류는 전자 누설 전류(electron leakage current)뿐이다. 역방향 접합 전압은 인가된 전압의 일부는 산화물 영역을 가로질러 강하되기 때문에 인가된 전압의 몇 분의 일뿐이다. 전자는 역방향 바이어스와 강한 순방향 바이어스에서 모두 산화물 영역을 통해 전류를 운반한다는 것에 유의해야 한다.

<13> 종래 기술의 메모리 디바이스의 또 다른 유형은 "A Novel Cell Structure for Giga-bit EPROMs and Flash Memories Using Polysilicon Thin Film Transistors"(S. Koyama, 1992, Symposium on VLSI Technology Digest of Technical Papers, 44-45 쪽)라는 제목의 기술 기사에 개시되어 있다. 도 98에 나타낸 바와 같이, 각 메모리 셀은 "자기 정렬된" 플로팅 게이트 셀("self-aligned" floating gate cell)이며, 절연 층 위로 다결정 실리콘(polycrystalline silicon) 박막 트랜지스터 전기적 소거 가능한 프로그램 가능한 판독 전용 메모리(thin

film transistor electrically erasable read only memory; TFT EEPROM)를 포함한다. 이러한 디바이스에서, 비트 라인들은 소스-채널-드레인(source-channel-drain) 방향에 평행한 방향으로 확장된다(즉, 비트 라인들은 전하 캐리어 흐름 방향에 평행하게 확장된다). 워드 라인은 소스-채널-드레인 방향에 수직인 방향으로 확장된다(즉, 워드 라인은 전하 캐리어 흐름 방향에 수직으로 확장된다). 상기 TFT EEPROM들은 개별적인 제어 게이트를 포함하지 않는다. 대신에, 워드 라인이 플로팅 게이트들의 위에 있는 영역들에서 제어 게이트로서 행동한다.

<14> "Koyama"의 레이아웃은 각 TFT의 소스 및 드레인 영역과 콘택하도록 형성되는 2개의 폴리사이드 콘택 패드(polycide contact pad)를 필요로 한다. 비트 라인들은 워드 라인의 위에 형성되고, 상기 비트 라인들을 워드 라인들로부터 분리시키는 층간 절연 층(interlayer insulating layer) 내의 콘택 비어(contact via)를 통해 상기 콘택 패드들과 콘택한다. 따라서, 이러한 레이아웃내의 각 셀은, 상기 콘택 패드 및 콘택 비어가 자기 정렬되지 않은 포토리쏘그래피(photolithography) 단계를 사용하여 각각 패턴화되기 때문에 서로 충분히 자기 정렬되지 않는다. 따라서, 각 메모리 셀은 원하는 것보다 더 큰 영역을 가지며, 최적 셀 밀도보다 더 적은 밀도를 가지게 된다. "Koyama"의 상기 셀은, 콘택 패드 및 비트 라인 콘택 비어의 형성을 필요로 하기 때문에 제조하기도 복잡하다. 게다가, "Koyama"의 상기 디바이스의 제조 가능성은, 비트 라인과 워드 라인이 모두 비평면의 하부 형태(non-planer underlying topography)에 기인하는 비평면의 상부 표면(top surface)을 가지기 때문에 최적인 경우에 미칠 수 없다. 이것은 상기 비트 및 워드 라인들에서 개방 회로(open circuit)를 발생시킨다.

<15> 결정성 실리콘 비휘발성 메모리들에 대한 "가상 접지 어레이(Virtual Ground Array)" 도 어느 정도 공지되어 있으며, 이는 메모리 셀 크기를 상당히 저감할 수 있는 좋은 방법이다. 도 99를 보면, 기본적인 방법은 단결정 실리콘 P-형 기판(5614) 내의 매립된 N+ 확산(buried N+ diffusion)(5612)의 비트 라인들과 기판(5614) 위에 배치된 폴리실리콘 레일(5616)로 형성된 워드 라인들의 교차점 어레이(cross point array)(5610)를 사용한다. 트랜지스터는 인접한 비트 라인(5612) 및 인접한 비트 라인(5612) 사이에 배치된 P-형 채널 영역(5618)으로부터 형성된다. 게이트 산화물 층(5620)은 채널들(5618) 위에 존재하며, 예컨대 폴리실리콘으로 형성된 플로팅 게이트(5622)를 절연시킨다. 상부 유전체 층(5624)은 폴리실리콘 워드 라인들(WLs)(5616)로부터 플로팅 게이트(5622)를 절연시킨다.

<16> "가상 접지"는 어레이 내에 어떠한 전용 접지 라인도 없다는 사실을 말한다. 판독이나 프로그램을 위해 셀이 선택될 때마다, 한 쌍의 매립된 N+ 비트 라인들(BLs)은 소스 및 드레인이며, 소스는 접지되어 있다. 예컨대, 도 100에서 윤곽을 나타낸 셀(5624)을 선택하기 위해서는 BL(k) 및 BL(k+1)이 소스 및 드레인(또는 그 역으로)으로 선택되어지고, WL(j)이 디바이스의 제어 게이트로서 선택되어질 것이다. 한 방법에서, 도 100에서 나타낸 바와 같이 BL(k) 좌측의 모든 비트 라인들은 BL(k)와 같은 전위를 유지하고, BL(k+1) 우측의 모든 비트 라인들은 BL(k+1)과 같은 전위를 유지하며, 그 결과 소스-드레인 전류는 단지 선택되어진 셀 내에서의 흐름(판독이나 프로그램밍을 위함)일 뿐이다(모든 다른 WLs는 접지됨).

<17> 이러한 모든 방법에서, 전하 저장 매체는 도핑된 폴리실리콘으로 제작된 전도성 플로팅 게이트이다. 열 전자 주입 프로그래밍(모든 고전적 EPROM(erasable programmable read only memory)에서의 선택 방법)에 의해, 전자들은 플로팅 게이트로 주입되어, 고유 MOS 트랜지스터의 문턱 전압을 변화시킨다.

<18> 상술된 SONOS(polysilicon-blocking oxide-nitride-tunnel-oxide-silicon) 전하 포획은 도 101에서 나타낸 바와 같이 가상 접지 어레이 구조(5626) 내에 배치된 비휘발성 MTP 메모리를 위한 실행 가능한 후보로서 재부상하고 있다. 상기 어레이는 단결정 실리콘 기판(5614) 내에 배치된 N+ 매립된 비트 라인들(5612)을 포함한다. ONO(oxide-nitride-oxide) 유전체 스택(5628)은 폴리실리콘 워드 라인(5630)으로부터 비트 라인들(5612)을 절연시킨다. 열 전자들은 프로그래밍 중 전하가 질화물 층 내에 포획되는 드레인 에지 근처의 ONO 유전체 스택(5628) 내로 주입된다. 열 전자들이 프로그래밍 드레인 에지의 ONO 유전체 스택 내로 주입되기 때문에, 이러한 방법을 사용하는 메모리 셀 당 2개의 비트들이 저장될 수 있다. 질화막 전하 저장 매체는 측면으로는 전도되지 않으므로, 전하는 주입되는 곳에 남는다. 트랜지스터 소스 근처에 포획된 전하는 트랜지스터 문턱 전압에 큰 영향을 미치는 반면, 드레인 근처에 포획된 전하는 문턱 전압에 거의 영향을 미치지 않는다. 따라서, ONO 층의 어느 한 쪽의 개별적인 전하 지대들은 셀에 대한 드레인 및 소스 연결을 단순히 바꿈으로써 기록되거나 판독될 수 있다. 셀이 프로그램될 때, 전하는 드레인에 가장 가까운 지대에 주입된다. 같은 셀에 대해 소스 및 드레인이 바뀌면, 또 다른 전하가 같은 셀 내의 "다른" 드레인 내로 주입될지도 모른다. 또한 양 쪽 모두도 판독될 수 있으며, 그 결과 셀 당 2비트가 저장되거나 검색될 수 있다.

<19> 상술한 종래 기술에 의한 디바이스들은 그들의 밀도가 최적화되어 있지 않기 때문에 상대적으로 비싸다.

<20> 발명의 요약

<21> 본 발명의 바람직한 일 실시예에 따르면, 반도체 디바이스는 복수의 디바이스 레벨을 포함하는 모놀리식 3차원 어레이(monolithic three dimensional array)의 전하 저장 장치를 포함하며, 2개의 연속하는 디바이스 레벨 사이의 적어도 하나의 표면은 화학 기계적 연마(chemical mechanical polishing)에 의해 평탄화되어 있다.

<22> 본 발명의 바람직한 또 다른 실시예에서, 전하 저장 장치의 모놀리식 3차원 어레이는 단결정 반도체 기판 위의 비결정 또는 다결정 반도체 층 내에 형성되며, 구동 회로는 기판 내에 상기 어레이 아래, 상기 어레이 내 또는 상기 어레이 위에 적어도 일부분이라도 형성된다.

<23> 본 발명의 바람직한 또 다른 실시예는 기판의 제1 평면에 또는 그 위에 형성된 제1 입력/출력 도전체를 포함하는 메모리 디바이스를 제공한다. 상기 메모리 디바이스는 또한 제2 입력/출력 도전체도 포함한다. 반도체 영역은 제1 입력/출력 도전체와 제2 입력/출력 도전체 사이의 그들의 돌출부(projection)의 교차점(intersection)에 위치하고 있다. 상기 메모리 디바이스는 전하 저장 매체를 포함하는 바, 전하 저장 매체에 저장된 전하는 제1 입력/출력 도전체와 제2 입력/출력 도전체 사이를 흐르는 전류의 양에 영향을 미친다.

<24> 본 발명의 바람직한 또 다른 실시예는 N 도핑 영역과 P 도핑 영역 및 둘 사이에 배치된 저장 소자를 가지는 비휘발성 판독-기록 메모리 셀을 제공한다.

<25> 본 발명의 바람직한 또 다른 실시예는 메모리 셀을 동작시키기 위한 방법을 제공한다. 상기 방법은 상기 셀을 프로그램하기 위해 한 영역에 전하를 포획하는 단계 및 상기 셀로부터 데이터를 판독할 때 전류를 상기 영역을 통해 흐르게 하는 단계를 포함한다.

<26> 본 발명의 바람직한 또 다른 실시예는 메모리 셀들의 어레이를 제공하는 바, 상기 어레이는 각각 전하를 포획하기 위한 저장 수단 및 적어도 하나의 반도체 영역을 포함하는 복수의 메모리 셀들을 가진다. 상기 어레이는 또한 상기 셀들의 상기 저장수단 및 상기 반도체 영역을 통하는 전류의 흐름을 제어하기 위한 제어 수단을 가진다.

<27> 본 발명의 바람직한 또 다른 실시예는 비휘발성 스택 가능한 필러 메모리 디바이스(nonvolatile pillar memory device) 및 그 제조 방법을 제공한다. 상기 메모리 디바이스는 제1 평면을 가지는 기판을 포함한다. 제1 콘택은 기판의 상기 면에 또는 그 위에 형성된다. 보디(body)는 제1 콘택 상에 형성된다. 제2 콘택은 보디 상에 형성되는 바, 제2 콘택은 제1 콘택 위에 적어도 부분적으로 정렬된다. 제어 게이트는 상기 전하 저장 매체에 인접하게 형성된다. 판독 전류는 제1 콘택과 제2 콘택 사이를 상기 기판의 상기 면에 수직한 방향으로 흐른다.

<28> 본 발명의 바람직한 또 다른 실시예는 소스, 드레인, 채널, 게이트, 상기 게이트와 상기 채널 사이의 적어도 하나의 절연 층, 실질적으로 소스-채널-드레인 방향으로 평행하게 확장하고 상기 게이트와 콘택하며 상기 게이트에 자기 정렬(self alignment)되는 게이트 라인을 포함하는 전계 효과 트랜지스터를 제공한다.

<29> 본 발명의 바람직한 또 다른 실시예는 복수의 수직으로 분리된 디바이스 레벨 - 각 레벨은 TFT EEPROM(각 TFT EEPROM은 채널, 소스 및 드레인 영역을 포함함)의 어레이 및 상기 채널에 인접한 전하 저장 영역을 포함함 - 과, 각 디바이스 레벨 내의 복수의 비트 라인 컬럼(bit line column) - 각 비트 라인은 상기 TFT EEPROM 들의 소스 또는 드레인 영역을 콘택함 - 과, 각 디바이스 레벨 내의 복수의 워드 라인 로우(word line row)와, 상기 디바이스 레벨들 사이에 위치하는 적어도 하나의 층간 절연 층을 포함하는 3차원 비휘발성 메모리를 제공한다.

<30> 본 발명의 바람직한 또 다른 실시예는 채널, 소스, 드레인, 상기 채널 위에 위치하는 터널링 유전체, 상기 터널링 유전체 위에 위치하는 플로팅 게이트, 상기 플로팅 게이트 측벽들에 인접하게 위치하는 측벽 스페이서(sidewall spacer), 상기 플로팅 게이트 위에 위치하는 워드 라인 및 상기 제어 게이트 및 상기 플로팅 게이트 사이에 위치하는 제어 게이트 유전체를 포함하는 EEPROM을 제공한다. 상기 제어 게이트 유전체는 상기 측벽 스페이서 위에 위치한다.

<31> 본 발명의 바람직한 또 다른 실시예는 비휘발성 메모리 셀들의 어레이를 제공하는 바, 각 메모리 셀은 반도체 디바이스를 포함하고, 각 메모리 셀 크기는 약 $2F^2/N$(여기서, F는 최소 배선 폭이고, N>1)이다.

<32> 본 발명의 바람직한 또 다른 실시예는 반도체 액티브 영역을 제공하는 단계, 상기 액티브 영역 위에 전하 저장 영역을 형성하는 단계 및 상기 전하 저장 영역 위에 위치하는 제어 게이트를 형성하기 위해 상기 게이트 층을 패턴화하는 단계를 포함하는 EEPROM을 제조하는 방법을 제공한다. 상기 방법은 액티브 영역 내에 소스 및 드레인 영역을 형성하기 위해 상기 제어 게이트를 마스크로 사용하여 액티브 영역을 도핑하는 단계, 상기 제어 게이

트 위에 인접하게 제1 절연 층을 형성하는 단계, 상기 제어 게이트의 상층부를 포토리쏘그래피 마스킹 없이 노출시키는 단계 및 상기 노출된 제어 게이트의 상층부에 콘택하여 상기 워드 라인이 상기 제어 게이트에 자기 정렬되도록 하는 워드 라인을 형성하는 단계를 포함한다.

<33> 본 발명의 바람직한 또 다른 실시예는 반도체 액티브 영역을 제공하는 단계, 상기 액티브 영역 위에 터널 유전체 층을 형성하는 단계, 상기 터널 유전체 층 위에 전도성 게이트 층을 형성하는 단계, 상기 터널 유전체 층 위에 위치하는 플로팅 게이트를 형성하기 위해 상기 게이트 층을 패턴화하는 단계 및 상기 액티브 영역 내에 소스 및 드레인 영역들을 형성하기 위해 상기 플로팅 게이트를 마스크로 사용하여 상기 액티브 영역을 도핑하는 단계를 포함하는 EEPROM을 제조하는 방법을 제공한다. 상기 방법은 또한 상기 플로팅 게이트 측벽들에 인접하게 측벽 스페이서들을 형성하는 단계, 상기 소스 및 드레인 영역들 위에 및 상기 측벽 스페이스들 위에 인접하게 제1 절연 층을 형성하는 단계, 상기 플로팅 게이트 위에 제어 게이트 유전체 층을 형성하는 단계 및 상기 제어 게이트 유전체 위에 및 상기 제1 절연 층 위에 워드 라인을 형성하는 단계도 포함한다.

<34> 본 발명의 바람직한 또 다른 실시예는 반도체 액티브 영역을 형성하는 단계, 상기 액티브 영역 위에 제1 절연 층을 형성하는 단계, 상기 제1 절연 층 위에 복수의 게이트 전극을 형성하는 단계 및 상기 액티브 영역 내에 복수의 소스 및 드레인 영역 및 소스-드레인 방향에 실질적으로 수직으로 확장하는 복수의 비트 라인을 형성하기 위해 상기 게이트 전극을 마스크로 사용하여 상기 액티브 영역을 도핑하는 단계를 포함하는 비휘발성 메모리 어레이를 형성하는 방법을 제공한다. 상기 방법은 또한 상기 소스 및 드레인 영역들 및 상기 비트 라인들 위에 및 상기 게이트 전극들 위에 인접하게 제2 절연 층을 형성하는 단계, 상기 제2 절연 층을 평탄화하는 단계 및 소스-드레인 방향에 실질적으로 수직으로 확장하는 상기 제2 절연 층 위에 복수의 워드 라인들을 형성하는 단계도 포함한다.

<35> 본 발명의 바람직한 또 다른 실시예는 반도체 액티브 영역을 제공하는 단계, 상기 액티브 영역 위에 복수의 더미 블록(dummy block)을 형성하는 단계, 상기 액티브 영역 내에 소스 및 드레인 영역을 형성하기 위해 상기 더미 블록을 마스크로 사용하여 상기 액티브 영역을 도핑하는 단계, 상기 더미 블록 위에 및 사이에 게이트간 절연 층을 형성하는 단계, 상기 더미 블록들의 상층부를 노출시키기 위해 게이트간 절연 층을 평탄화하는 단계, 상기 게이트간 절연 층의 부분들 사이에 복수의 비어를 형성하기 위해 상기 평탄화 된 게이트간 절연 층의 부분들 사이로부터 상기 더미 블록들을 선택적으로 제거하는 단계, 상기 전하 저장 영역 위에 전도성 게이트 층을 형성하는 단계 및 상기 전하 저장 영역 위에 위치하는 제어 게이트를 형성하기 위해 상기 전도성 게이트 층을 패턴화하는 단계를 포함하는 EEPROM 어레이를 제조하는 방법을 제공한다.

<36> 본 발명의 바람직한 또 다른 실시예는 비결정 실리콘 또는 폴리실리콘 액티브 층, 전하 저장 영역 및 제어 게이트를 포함하는 TFT EEPROM을 형성하는 단계, 상기 액티브 층에 콘택하여 결정화 촉매를 제공하는 단계 및 촉매를 사용하여 상기 액티브 층을 재결정화하기 위해 촉매를 제공한 후에 상기 액티브 층을 가열하는 단계를 포함하는 TFT EEPROM를 형성하는 방법을 제공한다.

<37> 본 발명의 바람직한 또 다른 실시예는 기판 위에 배치된 박막 트랜지스터로 구성되는 2차원 또는 3차원 메모리 어레이를 제공한다. 제1 방향으로 배치된 분리된 도전체들은 제1 방향과는 다른 제2 방향으로 배치된 레일 스택 내에 형성되는 메모리 셀들을 가지는 콘택들을 형성한다. 국소 전하 포획 매체는 상기 분리된 도전체들 및 상기 레일 스택들의 교차점에 형성된 박막 트랜지스터들에 의해 주입된 열 전자들을 받아들여서 저장한다. 상기 국소 전하 포획 매체는 트랜지스터 드레인에 인접한 전하를 저장하기 위해 사용될 수도 있으며, 원한다면 상기 드레인 및 소스 라인을 바꿈으로써, 메모리 셀 당 2 비트가 저장될 수 있다. 프로그래밍 방법은 저장된 메모리가 우연히 교란되지 않는다는 것을 보증한다.

<38> 본 발명의 바람직한 또 다른 실시예는 기판 위에 구성되는 비휘발성 박막 트랜지스터(TFT) 메모리 디바이스를 제공한다. 그것은 전이 금속 결정화 실리콘(transition metal crystallized silicon)으로 형성된 소스, 드레인 및 채널을 사용한다. 국소 전하 저장 막은 상기 채널에 수직으로 인접하게 배치되며, 주입된 전하를 저장한다. 이와 같은 디바이스들의 2차원 또는 3차원 어레이는 상기 기판 위에 구성될 수도 있다. 제1 방향으로 배치된 분리된 도전체들은 제1 방향과는 다른 제2 방향으로 배치된 레일 스택 내에 형성되는 메모리 셀들을 가지는 콘택들을 형성한다. 상기 국소 전하 저장 막은 상기 분리된 도전체들 및 상기 레일 스택들의 교차점에 형성된 TFT들에 의해 주입된 전하를 받아들여서 저장한다. 상기 국소 전하 저장 막은 트랜지스터 드레인에 인접한 전하를 저장하기 위해 사용될 수도 있으며, 원한다면 상기 드레인 및 소스 라인을 바꿈으로써, 메모리 셀 당 2 비트가 저장될 수 있다. 프로그래밍 방법은 저장된 메모리가 우연히 교란되지 않는다는 것을 보증한다.

<39> 본 발명의 바람직한 또 다른 실시예는 기판 위에 배치된 플래시 메모리 어레이를 제공하는 바, 상기 어레이는

상기 기판 위의 제1 높이에 제1 방향으로 배치된 제1 복수의 분리된 도전성 비트 라인들 및 제2 높이에 제1 방향과는 다른 제2 방향으로 배치된 제2 복수의 분리된 레일 스택들을 포함하며, 각 레일 스택은 제1 표면이 반도체 섬들과 워드 라인 사이에 배치된 전하 저장 영역들, 상기 도전성 워드 라인들 및 상기 제1 복수의 분리된 도전성 비트 라인들과 콘택하는 상기 복수의 반도체 섬들을 포함한다.

<40> 본 발명의 바람직한 또 다른 실시예는 게이트 전극, 상기 게이트 전극의 제1 측에 인접하는 제1 절연 층, 상기 게이트 전극과 반대로 상기 제1 절연 층의 한쪽에 배치되는 제1 도전형을 가지는 제1 반도체 층, 상기 제1 반도체 층 내에 배치되는 제2 도전형의 제1 소스 및 드레인 영역들 및 제1 소스 및 드레인 영역들과 콘택하고 상기 제1 절연 층과 반대로 상기 제1 반도체 층의 한쪽에 배치되는 제1 소스 및 드레인 전극들을 포함하는 TFT CMOS 디바이스를 제공한다. 상기 TFT CMOS 디바이스는 상기 게이트 전극의 제2 측과 인접하는 제2 절연 층, 상기 게이트 전극과 반대로 상기 제2 절연 층의 한쪽에 배치되는 제2 도전형을 가지는 제2 반도체 층, 상기 제2 반도체 층 내에 배치되는 제1 도전형의 제2 소스 및 드레인 영역들 및 제2 소스 및 드레인 영역들과 콘택하고 상기 제2 절연 층과 반대로 상기 제2 반도체 층의 한쪽에 배치되는 제2 소스 및 드레인 전극들을 더 포함한다.

<41> 본 발명의 바람직한 또 다른 실시예는 복수의 전하 저장 장치들 및 복수의 안티퓨즈 디바이스(antifuse device)를 포함하는 회로를 제공한다.

<42> 본 발명의 바람직한 또 다른 실시예는 반도체 액티브 영역, 상기 반도체 액티브 영역에 인접한 전하 저장 영역, 제1 전극 및 제2 전극을 포함하는 반도체 디바이스를 제공한다. 제1 및 제2 전극들 사이에 제1 프로그래밍 전압이 인가될 때 전하는 상기 전하 저장 영역에 저장되며, 상기 제1 프로그래밍 전압보다 더 높은 제2 프로그래밍 전압이 상기 제1 및 제2 전극들 사이에 인가될 때 상기 제1 및 제2 전극들 사이에 도전성 경로를 형성하기 위해 도전성 링크는 상기 전하 저장 영역을 통해 형성된다.

실 시 예

<111> 본 발명자들은 디바이스 밀도가 증가된다면 메모리 및 논리 디바이스들의 비용이 감소될 것이라는 것을 깨달았다. 그래서, 본 발명자들은 증가된 밀도와 감소된 비용을 가지는 전하 저장 반도체 디바이스들의 초밀집 매트릭스 어레이(ultra dense matrix array)를 제공하였다.

<112> 디바이스 밀도를 증가시키는 하나의 방법은 상기 디바이스들을 복수의 디바이스 레벨들을 가지는 전하 저장 장치들의 모놀리식 3차원 어레이 내에 배열하는 것이다. "모놀리식(monolithic)"이라는 용어는 상기 어레이의 각 레벨의 층들이 상기 어레이의 레벨 위에 각각 위치하는 층들 상에 직접 배치된다는 것을 의미한다. 반면에, 2차원 어레이들은 개별적으로 형성된 후, 비모놀리식(non-monolithic) 메모리 디바이스를 형성하기 위해 함께 패키징될 수도 있다.

<113> 이러한 3차원 어레이, 특히 4개 또는 그 이상의 층을 가지는 어레이를 형성하기 위해, 2개의 연속된 디바이스 레벨들 사이의 적어도 하나의 표면이 화학 기계적 연마(chemical mechanical polishing; CMP)에 의해 평탄화된다. 에치 백(etch back)과 같은 다른 평탄화 방법과는 달리, 화학 기계적 연마는, 서로의 위에 상업적으로 실현 가능한 디바이스의 다수의 디바이스 레벨을 적층할 수 있을 정도로 충분한 정도의 평탄화를 가능하게 한다. 본 발명자들은 화학 기계적 연마가 일반적으로, 상기 어레이의 4 내지 8 층들이 형성된 후일 지라도 3차원 메모리 어레이 내의 스테퍼 필드(stepper field) 내에서 4000 옹스트롬(Angstrom) 차수 이하(즉, 10 내지 50 mm 차수의 영역에서 4000 옹스트롬 이하의 피크간 조도 값(peak to peak roughness value))의 평탄도(flatness)를 달성한다는 것을 발견했다. 바람직하게도, CMP에 의해 연마된 어레이 내의 한 층의 피크간 조도는 스테퍼 필드 내에서 500 내지 1000 옹스트롬과 같이 3000 옹스트롬 이하이다. 반대로, 에치 백만으로는 일반적으로 상업적으로 적당한 3차원 메모리 또는 논리 모로리식 어레이를 달성할 만큼 충분한 평탄도를 제공할 수 없다.

<114> 예컨대, "2개의 연속한 디바이스 레벨들 사이의 적어도 하나의 표면이 화학 기계적 연마에 의해 평탄화 된다"라는 말은 디바이스 층들 사이에 배치된 층간 절연 층들의 표면뿐만 아니라 디바이스 층들의 바닥 및 중간에 형성된 표면들도 포함한다. 따라서, 상기 어레이의 중간 및 바닥 디바이스 레벨 각각의 도전 층 및/또는 절연 층의 표면은 화학 기계적 연마에 의해 평탄화 된다. 따라서, 만약 상기 어레이가 적어도 4개의 디바이스 레벨을 포함한다면, 적어도 3개의 디바이스 레벨은 적어도 하나의 화학 기계적 연마에 의해 평탄화 된 표면을 가져야 한다. 상부 디바이스 레벨 내의 도전 층 및/또는 절연 층의 표면도 또한 화학 기계적 연마에 의해 평탄화될 수 있다.

<115> 디바이스 밀도를 향상시키는 또 다른 방법은 상기 메모리 또는 논리 어레이를 가진 주변 회로 및 상기 구동 회

로를 수직으로 집적(integration)하는 것이다. 종래 기술에서는 주변 회로가 상기 단결정 실리콘 기판의 주변에 형성되었던 반면, 상기 메모리 또는 논리 어레이는 상기 주변 회로에 인접한 상기 기판의 다른 부분에 형성되었다. 따라서, 종래 기술에 의한 디바이스에서는 상기 주변 회로가 상당한 기판 공간을 차지하였다. 이에 반해, 본 발명의 바람직한 일 실시예는, 단결정 반도체 기판 위의 비결정 또는 다결정 반도체 층 내에 형성되는 전하 저장 장치들의 모놀리식 3차원 어레이를 제공하는데, 한편 적어도 일부분, 바람직하게는 모든 구동(즉 주변 기기(peripheral)) 회로가 상기 어레이 아래, 어레이 내 또는 어레이 위의 기판 내에 형성된다. 바람직하게도, 상기 구동 회로는 상기 기판 내의 어레이 아래에 완전히 또는 부분적으로 형성되는 전하 펌프 및 센스 앰프 가운데 적어도 하나를 포함한다.

<116> 도 35는 단결정 기판(3105) 위에 배치된 층간 절연 층(3102) 위에 형성된 전하 저장 논리 또는 메모리 디바이스들의 어레이(3101)를 개략적으로 나타낸다. 전하 저장 논리 또는 메모리 디바이스들의 어레이(3101)는 비결정 또는 다결정 층 내에 3차원 모놀리식 어레이 박막 트랜지스터 또는 다이오드로서 배열된다. 상기 어레이(3101)는 복수의 디바이스 레벨(3104)을 가지며, 바람직하게는 층간 절연 층에 의해 분리된다. 센스 앰프 및 전하 펌프와 같은 구동 회로(3103)는 CMOS 또는 다른 트랜지스터로서 단결정 기판(3105) 내에 배치된다. 도 36은 비결정 또는 다결정 층 내에 3박막 트랜지스터 또는 다이오드로서 단결정 기판(3105) 위에 형성된 전하 저장 논리 또는 메모리 디바이스들의 어레이(3101)를 도식적으로 예시한다. 센스 앰프 및 전하 펌프와 같은 구동 회로(3103)는 어레이(3101) 내 및/또는 어레이(3101) 위에 형성된다.

<117> 디바이스 밀도를 향상시키는 또 다른 방법은 자기 정렬과 다른 층들을 패턴화하는 데 동일한 포토리쏘그래피(photolithography) 방법이다. 디바이스 셀 영역은 다른 층들 상의 형상들(features) 사이의 완전한 중첩을 보장하기 위해 허용되는 정렬 오류 공차(misalignment tolerance)만큼 확장될 수 있다. 따라서, 본 발명자는 정렬 오류 공차를 필요로 하지 않거나 또는 감소된 정렬 오류 공차를 필요로 하는 완전히 또는 부분적으로 정렬된 메모리 셀 구조를 개발하였다. 그러한 셀 구조에서, 어떤 디바이스 형상들은 다른 디바이스 형상들과 자기 정렬될 수 있으며, 패턴화를 위한 포토리쏘그래피 단계를 필요로 하지 않는다. 이에 대해, 복수의 층들은 동일한 포토리지스트 마스크(photoresist mask)를 사용하여 에칭 될 수 있으며 또는 더 낮은 디바이스 층은 패턴화된 상부 디바이스 층을 마스크로 사용하여 에칭 될 수 있다. 정렬된 메모리 셀들의 특정한 예가 아래에서 보다 자세하게 개시될 것이다.

<118> 상기 어레이의 전하 저장 장치들은 EPROM 또는 EEPROM과 같은 전하를 저장하는 어떠한 유형의 반도체 디바이스들이라도 좋다. 아래에 자세하게 개시된 본 발명의 바람직한 실시예에서, 상기 전하 저장 장치들은 필러 TFT EEPROM, 전하 저장 영역을 가지는 필러 다이오드, 자기 정렬된 TFT EEPROM, 레일 스택 TFT EEPROM 등의 다양한 구성으로 형성된다. 이러한 구성들 각각은 높은 정도의 평탄화 및 정렬 또는 자기정렬을 가지는 디바이스를 제공하여, 어레이 밀도를 증가시킨다.

<119> 예컨대, 필러 TFT EEPROM 또는 전하 저장 영역을 가지는 필러 다이오드에서, 적어도 한 면의 반도체 액티브 영역이 상기 반도체 액티브 영역과 콘택하는 전극들 가운데 하나에 정렬된다. 따라서, 필러 TFT EEPROM 구성에서, 상기 반도체 액티브 영역은 소스 및 드레인 전극 모두에 정렬된다. 이러한 정렬은, 동일한 포토리쏘그래피 단계 동안 상기 반도체 액티브 영역의 적어도 두 면 및 전극들 가운데 하나가 패턴화되기 때문에 일어난다(즉, 동일한 포토리지스트를 사용하여 에칭되거나 한 층이 다른 층에 대한 마스크로서 사용된다).

<120> 자기 정렬된 TFT에서, 상기 반도체 액티브 영역의 두 면은 상기 반도체 액티브 영역의 소스 및 드레인 영역 내가 아닌 채널 부분 내에서만 게이트 전극의 한 면에 정렬된다. 이러한 정렬은, 동일한 포토리쏘그래피 단계 동안 상기 채널 영역의 적어도 두 면 및 상기 게이트 전극이 패턴화되기 때문에 일어난다(즉, 동일한 포토리지스트를 사용하여 에칭되거나 한 층이 다른 층에 대한 마스크로서 사용된다). 이에 비해, 상기 소스 및 드레인 영역은 에칭되지 않는다.

<121> 다음의 개시에서, 본 발명의 완전한 이해를 제공하기 위해 특정한 두께, 물질 등과 같은 많은 특정한 세부 사항들이 설명된다. 이러한 특정한 세부 사항들 없이도 본 발명이 실행될 수 있다는 것은 본 분야의 통상의 지식을 가진 자라면 명백할 것이다. 한편, 본 발명을 불필요하게 불명확하게 하지 않기 위해 공지된 개념, 회로 및 제조 기술은 자세하게 설명하지 않는다.

<122> 아래에 개시된 임의의 실시예의 어떠한 특성도 다른 실시예에 사용될 수 있다. 제1 세트의 실시예는 다양한 필러 디바이스들에 대해 기술하고, 제2 세트의 실시예는 자기 정렬 TFT 디바이스들에 대해 기술하며, 제3 세트의 실시예는 다양한 레일 스택 TFT 디바이스들에 대해 기술한다. 제4 및 제5 세트의 실시예는 이러한 디바이스들이 논리 또는 메모리 회로에서 어떻게 사용될 수 있는지에 대해 기술한다. 최종 세트의 실시예는 상기 디바이

스 레벨들의 결정성을 향상시키기 위한 금속 유도 결정화(metal induced crystallization)의 사용에 대해 기술한다.

<123> I. 필러 디바이스

<124> 본 실시예는 필러 구성으로 배열된(즉, 기판에 관하여 수직 방향이며, 여기서 상기 디바이스의 길이는 기판에 수직이다) 다이오드 및 박막 트랜지스터(TFT) 및 그들의 제조 방법에 관한 것이다. 바람직하게도, 상기 필러 디바이스들은 수직 판독 전류를 가지는 전하 포획 메모리를 형성한다. 상기 메모리는 기판에 또는 그 위에 형성된 제1 입력/출력 도전체 및 상기 제1 입력/출력 도전체 위에 또는 떨어져 위치한 제2 입력/출력 도전체를 포함한다. 상기 제1 입력/출력 도전체 및 상기 제2 입력/출력 도전체는 서로 겹치거나 교차하도록, 바람직하게는 서로 수직으로 교차하도록 위치시켜 진다. 도핑된 실리콘 영역과 같은 반도체 영역은 상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체 사이에 상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체의 교차점에서 형성된다. 전하 포획 유전체(이것으로 제한되지는 않음)와 같은 전하 저장 매체는 상기 반도체 영역 근처에 형성되며, 상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체를 가로질러 인가된 주어진 전압에 대해 상기 반도체 영역을 통해 상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체 사이를 흐르는 전류의 양에 영향을 미친다. 상기 반도체 영역을 통해 흐르는 단일 전압에 대한 전류(판독 전류)의 양은 전하가 상기 전하 저장 매체에 저장될지 따라서 상기 메모리가 프로그램되거나 또는 소거될지를 결정하기 위해 사용될 수 있다. 상기 반도체 영역을 통해 상기 제1 입력/출력 도전체와 상기 제2 입력/출력 도전체 사이를 흐르는 판독 전류는 상기 메모리가 형성되는 기판의 면에 수직인 방향으로 흐른다. 본 실시예의 전하 포획 메모리의 구조 및 그 제조 방법은 메모리 디바이스들의 3차원 어레이로 집적하는데 매우 적합하다.

<125> 후술하는 바와 같이, 본 실시예의 전하 포획 메모리 디바이스는 2가지 일반적인 구조 중 하나의 구조를 가지고 제조될 수 있다. 한 실시예에서, 전하 저장 매체는 상기 반도체 영역에 인접하게 형성되며, 제2 실시예에서, 전하 저장 매체는 상기 반도체 영역 위에 또는 아래에 형성된다.

<126> 1. 인접한 전하 저장 매체를 가지는 3단자 필러 메모리

<127> 본 발명의 일 실시예는 3단자 비휘발성 스택 가능한 필러 메모리 디바이스이다. 본 발명의 이 실시예에 따른 필러 메모리 디바이스(100)가 도 1a에 대략적으로 도시되어 있다. 필러 메모리 디바이스(100)는 단결정 기판(101)의 한 평면(x-y)에 또는 그 위에 형성된 제1 입력/출력(I/O) 도전체(103) 상에 형성된 제1 콘택 영역(102)을 포함한다. 반도체 보디(104)는 제1 콘택 영역(102) 상에 직접 형성되며, 제2 콘택 영역(106)은 보디(104) 상에 직접 형성된다. 제2 I/O 도전체(116)는 제2 콘택 영역(106) 상에 형성된다. 제1 콘택 영역(102), 보디(104) 및 제2 콘택(소스/드레인) 영역(106)은 서로에 대해 서로 수직으로 정렬되어 필러(108)를 형성한다. 전하 저장 매체(110)는 보디(104)에 인접하고 보디(104)에 콘택하고 있다. 제어 게이트(112)는 전하 저장 매체(110)에 인접하고 또한 콘택하도록 형성된다. 제어 게이트(112) 및 전하 저장 매체(110)는 필러(108)에 측면으로 인접하여 전기적으로 필러(108)와 통할 수 있도록 구성된다. 상기 전하 저장 매체는 제어 게이트 및 제어 게이트에 의해 어드레싱(addressing)되는 채널 영역을 전기적으로 블록킹하는 영역이다.

<128> 상기 필러 메모리 디바이스의 프로그램 또는 비프로그램 상태는 전하 저장 매체(110)에 전하가 저장되는지 여부에 따라 결정된다. 상기 전하 저장 매체에 저장된 전하는 상기 제어 게이트에 인가된 전압으로부터 더해지거나 삭감되며, 이로 인해 보디(104) 내의 도전성 채널을 형성하는데 필요한 전압을 변경함으로써 제1 및 제2 콘택(소스/드레인) 영역들 사이에 전류(예컨대, 판독 전류 I^R)를 흐르게 할 수 있다. 이러한 전압은 V_T로서 정의된다. 보디(104) 내에 도전성 채널을 형성하기 위해 필요로 하는 전압의 양 및 주어진 제어 게이트 전압에 대해 상기 보디를 흐르는 전류의 양은 상기 디바이스를 프로그램 할지 여부를 결정하는데 사용될 수 있다. 또한, 다수 비트의 데이터가 단일 전하 저장 매체(110) 내에 저장될 수 있는데, 저장된 전하의 각각 다른 양은 각각 상기 전하 저장 매체의 다른 상태를 나타내는 다른 V_T를 생성한다. 상기 전하 저장 매체는 다수의 상태들을 포함할 수 있기 때문에, 다수의 비트들이 단일 전하 저장 매체 내에 저장될 수 있다.

<129> 디바이스(100)의 판독 동작 중, 도전성 채널이 보디(104) 내에 형성될 때, 전류(114)가 그 위에 필러 메모리 디바이스가 형성된 기판(101)의 면(x-y)에 관하여 수직으로(z)(또는 직교하여) 흐른다. "수직인" 판독 전류 경로를 가지는 메모리 디바이스를 생성함으로써, 본 발명의 필러 메모리 셀은 소스 및 드레인 접속을 위한 수직 교차 기법의 사용을 필요로 함이 없이 서로 평행하게 또는 수직으로 및 기판(101)의 면에 평행하게 동작하는 소스/드레인 도전체(103 및 116)를 가지는 3차원 어레이로 쉽게 적층될 수 있다. 상기 제어 게이트에 대한 도전체(112)는 수직으로(도 1a 참조) 또는 수평으로 동작될 수 있다.

<130> 비록 도 1a에 나타낸 메모리 디바이스(100)가 필러(108)의 단지 한쪽 면 또는 한 면 상에만 전하 저장 매체(110) 및 제어 게이트(112)를 포함한다 할 지라도, 본 발명의 필러 메모리 디바이스가 도 1b에 나타낸 바와 같이 단일 전하 저장 멤버(110) 및 단일 제어 게이트(112)에 의해 둘러싸여진다는 것은 이해될 수 있다. 또한, 필러(108)의 각 표면은 도 1c에 나타낸 바와 같이 독립적으로 제어되는 전하 저장 멤버 및 제어 게이트를 가질 수 있으며, 이로 인해 다수 비트의 데이터가 본 발명의 단일 필러 메모리 디바이스 내에 저장될 수 있도록 한다. 다수의 전하 저장 멤버들 및 제어 게이트들의 사용은 상기 채널의 얼마나 전하에 노출되는지를 결정함으로써 단일 필러 디바이스 상에 다수 값의 저장을 가능하게 한다. 또한, 필러(108)의 보디(104)의 각 면은 각 면에 대해 다른 문턱 전압을 생성하는 다른 도핑 밀도를 가져 상기 필러 메모리가 추가적인 상태 및 따라서 추가적인 비트를 저장하는 것이 더 가능하게 한다.

<131> 도 2는 필러(207)가 기판(201)에 또는 그 위에 형성된 제1 입력/출력(204)(예컨대, 비트 라인) 상에 형성된 1×10^{19} 내지 1×10^{20}, 바람직하게는 1×10^{19} 내지 1×10^{21} atoms/cm^3 사이 범위의 도핑 밀도를 가지는 강하게 도핑된 N+ 실리콘 막을 포함하는 제1 소스/드레인 콘택 영역(202)을 포함하는 본 발명의 일 실시예를 나타낸다. 1×10^{16} 내지 1×10^{18} atoms/cm^3 사이의 도핑 밀도를 가지는 약하게 도핑된 P-형 실리콘 막(206)을 포함하는 보디는 제1 N+ 소스/드레인 콘택 영역(202) 상에 직접 콘택하게 형성된다. 1×10^{19} 내지 1×10^{20}, 바람직하게는 1×10^{19} 내지 1×10^{21} atoms/cm^3의 도핑 밀도를 가지는 강하게 도핑된 N+ 실리콘 막을 포함하는 제2 소스/드레인 영역(208)은 도 2에 나타낸 바와 같이 P-형 실리콘 막(206) 상에 직접 콘택하게 형성된다. 제2 도전성 입력/출력(예컨대, 워드 라인/비트 라인)(210)은 제2 N+ 소스/드레인 영역(208) 상에 형성된다. N+ 소스/드레인 막(202 및 208)은 500-1000Å 사이의 두께를 가진다. 제1 및 제2 입력/출력(204 및 210)은 텅스텐 같은 금속(이것으로 제한되지는 않음) 등의 강한 도전성 물질, 티타늄 실리사이드 또는 텅스텐 실리사이드 같은 실리사이드 또는 강하게 도핑된 실리콘으로 형성될 수 있다. 메모리 디바이스(200)에서, N+ 소스/드레인 영역(202), P-형 실리콘 보디(206) 및 N+ 소스/드레인 영역(208)은 각각 서로에게 실질적으로 수직으로 정렬되어 필러(207)를 형성한다.

<132> 도 2에 나타낸 필러 메모리(200)는 터널 유전체(212), 플로팅 게이트(214) 및 제어 게이트 유전체(216)를 포함하는 전하 저장 매체(211)를 가진다. 상기 터널 유전체는 P-형 실리콘 보디(206)에 인접하게 그리고 직접 콘택하게 형성된다. 플로팅 게이트(214)는 터널 유전체(212)에 인접하게 그리고 직접 콘택하게 형성된다. 플로팅 게이트(214)는 n 형 실리콘과 같은 도핑된 실리콘 또는 텅스텐과 같은 금속(이것으로 제한되지는 않음)과 같은 도전체를 포함한다. 제어 게이트 유전체(216)는 플로팅 게이트(214)에 인접하게 그리고 직접 콘택하게 형성된다. 최종적으로, 제어 게이트(218)는 제어 게이트 유전체(218)에 인접하게 그리고 직접 콘택하게 형성된다. 제어 게이트(218)는 도핑된 실리콘 또는 텅스텐과 같은 금속(이것으로 제한되지는 않음)과 같은 도전체로 형성된다.

<133> P-형 실리콘 막(206) 및 터널 유전체(212)의 두께들은 원하는 프로그램 및 소거 전압에 달려 있다. 만약 4 내지 5 볼트의 저전압 프로그래밍 동작을 원한다면, P-형 실리콘 막(206)은 1000-2500Å 사이의 두께를 가질 수 있으며, 상기 터널 유전체는 20-50Å과 같은 20-150Å, 바람직하게는 80-130Å 사이의 두께를 가질 수 있다. (만약 질화막 터널 유전체(212)를 형성한다면 상기보다 다소 두꺼워질 것이다.) P-형 실리콘 막(206)의 두께가 상기 디바이스의 채널 길이를 정의한다는 것은 이해될 것이다. 만약 보다 높은 전압(6-10볼트) 프로그램 동작을 원한다면, P-형 실리콘 막(206)은 6000-7000Å 사이의 두께를 가질 수 있으며, 터널 유전체(212)는 60-100Å 사이의 두께를 가질 수 있다. 제어 유전체(216)는 일반적으로 터널 유전체(212)의 차수의 두께를 가지나, 다소(10-30Å) 두꺼우며, 바람직하게는 130-180Å인 것이 좋다.

<134> 필러 메모리(200)는 전하가 플로팅 게이트(214)에 저장되는지에 따라서 프로그램되거나 프로그램되지 않는다고 할 수 있다. 필러 메모리 디바이스(200)는 드레인 측 프로그래밍(drain side programming)을 사용하여 프로그램될 수 있는 바, 이에 의해 P-형 실리콘 영역(206)의 일부분을 n 형 실리콘으로 반전시켜 채널 영역이 형성되고 전자들이 상기 소스 영역과 드레인 영역 사이를 흐르게 하기 위해 상대적으로 높은 전압이 상기 드레인 영역(208)에 인가되고, 저전압 동작에 대해서는 약 4-5볼트 또는 고전압 동작에 대해서는 6-10볼트가 제어 게이트(218)에 인가된 채, 상기 소스 영역(202)을 접지시킴으로써 전자들은 플로팅 게이트(214) 상에 위치하게 된다. 제어 게이트 고전압은 전자들을 상기 반전된 채널 영역으로부터 터널 유전체(212)를 통해 플로팅 게이트(214)로 끌어당긴다. 전자들은 상기 터널 산화물을 터널링하면서 자신들의 에너지 일부를 잃기 때문에, 절연 층에 의해 둘러싸인 플로팅 게이트로부터 탈출할 만큼 더 이상 충분한 에너지를 가지고 있지 않다. 소스 측 주입(source side injection)(이것으로 제한되지는 않음)과 같은 다른 기술이 메모리 디바이스(200)를 프로그래밍하기 위해

사용될 수 있다.

<135> 메모리 디바이스(200)는 저장된 전자들을 플로팅 게이트(214)로부터 제거함으로써 소거될 수 있다. 메모리 디바이스(200)는 저전압 동작에서 약 4-5볼트 또는 고전압 동작에서 6-10볼트의 음의 전압을 제어 게이트(218)에 가하면서, 상기 소스 영역에 상대적으로 높은 양의 전압(3볼트)을 가함으로써 소거될 수 있다. 상기 소스 영역의 양의 전압은 플로팅 게이트(214) 상의 전자들을 끌어들이며, 이로 인해 전자들을 플로팅 게이트(214)에서 분리시켜 터널 유전체(212)를 통해 상기 소스 영역으로 끌어당긴다.

<136> 메모리 디바이스(200)의 상태를 판독하기 위해서, 주어진 제어 게이트 전압이 상기 제어 게이트에 인가되면서 (3.3볼트 등의) 전압이 상기 드레인에 인가될 수 있다. 주어진 제어 게이트 전압에 대해 상기 드레인 영역으로부터 상기 채널 영역을 통해 상기 소스 영역으로 흐르는 전류(판독 전류)의 양은 상기 메모리 디바이스의 상태를 결정하는데 사용될 수 있다. 또한, 주어진 판독 전류가 보디(206)를 통해 흐를 수 있도록 하는데 필요한 제어 게이트 전압의 양을 검출함으로써 메모리(200)의 상태를 판독할 수 있다. 판독 전류가 보디(206)를 통해 제1 및 제2 소스/드레인 영역들(202 및 208) 사이를 흐를 때, 기판(201)의 면(x-y)에 수직한 방향으로(z) 흐른다.

<137> 도 3은 본 발명의 비휘발성 필러 메모리의 또 다른 실시예를 나타낸다. 도 3은 초박(ultra thin) 실리콘 채널 또는 보디(302)를 가지는 3단자 비휘발성 필러 메모리 디바이스(300)를 나타낸다. 메모리 디바이스(200)와 같이 초박 메모리 디바이스(300)도 제1 입력/출력(204) 상에 형성된 제1 N+ 소스/드레인 콘택 영역(202)을 가진다. SiO_2막 또는 실리콘 질화막과 같은 절연 층(304)이 제1 소스/드레인 콘택 영역(202) 상에 형성된다. 제2 N+ 소스/드레인 콘택 영역(208)이 절연 층(304) 상에 형성된다. 절연 층(304)은 소스/드레인 영역(202 및 208)들을 서로 분리시키며, 따라서 디바이스의 채널 길이를 정의한다. 1×10^{16} 내지 1×10^{18} $atoms/cm^3$ 사이 범위의 농도를 가지는 p 형 실리콘 박막(302)은 제1 및 제2 소스/드레인 영역뿐만 아니라 분리시키는 절연 층과도 인접하고 직접 콘택하도록 N+/절연 층/N+ 스택의 측벽을 따라서 형성된다. 상기 p 형 실리콘 막은 상기 디바이스를 위한 채널 또는 보디로서 역할하며, 소스/드레인 영역(202 및 208) 사이의 갭을 연결한다. p 형 실리콘 박막을 상기 N+/절연 층/N+ 스택에 인접하게 형성함으로써, 채널 영역은 극도로 얇아질 수 있다(50-100 Å). 상기 채널 두께를 나타내는 상기 p 형 실리콘 막의 두께는 바람직하게는 상기 채널 길이(즉, 상기 소스/드레인 영역들(202 및 208) 사이의 거리)의 1/2보다 작아야 하며, 이상적으로는 채널 길이의 1/3보다 작아야 한다.

<138> 메모리 디바이스(200)와 같이 메모리 디바이스(300)도 또한 전하 저장 매체(211) 및 제어 게이트(218)를 포함한다. 트랜지스터(300)가 켜지면, p 형 실리콘 영역의 일부분은 반전되어, 하나의 소스/드레인 영역(202)으로부터 다른 소스/드레인 영역(208)으로 전류가 흐를 수 있도록 도전성 채널을 형성한다. 채널 또는 초박 보디(302)를 통해 하나의 소스/드레인 영역으로부터 다른 소스/드레인 영역으로 통하는 대부분의 전류 경로(306)는 상기 기판의 면(x-y)에 수직인 방향(z)이다.

<139> 초박 채널 또는 보디 트랜지스터는 예컨대, "스페이서 에치(spacer etch)" 기술을 사용하여 형성될 수 있다. 예컨대, 도 3b에 나타낸 바와 같이, N+ 실리콘/절연 층/N+ 실리콘 스택은 패턴화된 금속 I/O(204)를 가지는 기판 위에 블랭킷 증착(blanket deposition)될 수 있다. 그 후, 상기 스택은 공지된 포토리쏘그래피를 사용하여 패턴화되며, 필러(306)속으로의 에칭 기술이 도 3의 (b)에 보여진다. p 형 실리콘 막은, 도 3의 (c)에 나타낸 바와 같이 상기 필러 위에 블랭킷 증착될 수 있다. 상기 p 형 실리콘 막은 상기 디바이스의 채널 두께로 희망되는 두께로 증착된다. 상기 p 형 폴리실리콘 막은 이방성으로 에칭되어, 필러(306)의 측벽과 같이 p 형 실리콘 막(302)이 수평면으로부터는 제거되고, 수직면에는 유지되도록 한다. 이런한 방식으로, p 형 실리콘 막은 상기 필러에 인접하게 형성되며, 소스/드레인 영역들을 절연 층(304)을 가로질러 연결시킨다. 그 후, 전하 저장 매체(211) 및 제어 게이트(218)를 다른 필러 디바이스와 같이 형성할 수 있다.

<140> 도 4는 본 발명의 3단자 스택 가능한 비휘발성 필러 메모리 디바이스의 또 다른 실시예를 보여준다. 도 4는 쇼트키(Schottky) 콘택이 상기 디바이스의 소스 및 드레인 영역들을 형성하는 3단자 스택 가능한 비휘발성 필러 메모리 디바이스이다. 본 발명의 쇼트키 콘택 MOSFET(400)은 제1 입력/출력 상에 형성된 제1 금속 콘택(402)을 포함한다. 1×10^{16} 내지 1×10^{18} $atoms/cm^3$ 사이의 농도 레벨까지 도핑되고, 채널 길이로서 요구되는 두께를 가지는 n 형 실리콘과 같은 도핑된 실리콘 보디 또는 채널(404)이 금속 콘택(402) 상에 형성된다. 제2 금속 콘택(406)이 실리콘 보디(404)의 상에 직접 콘택하게 형성된다. 제2 I/O가 제2 금속 콘택(406)의 상에 형성된다. 제1 금속 콘택(402) 및 제2 금속 콘택(406)은 플래티늄 실리사이드, 텅스텐 실리사이드 및 티타늄 실리사이드와 같은 물질로서, 실리콘 보디(404)와 쇼트키 배리어 콘택을 형성하는 두께로 형성된다. 제1 금속 콘택(402), 실

리콘 보디(404) 및 제2 금속 콘택(406)은 각각 서로에 대해 직접 수직으로 정렬되어, 도 4에서 나타낸 바와 같이 필러(408)를 형성한다. 도 4에 나타낸 바와 같이, 메모리 디바이스(400)도 또한 실리콘 보디(404)에 직접 인접하고 콘택하는 전하 저장 매체(211)를 포함한다. 또한, 메모리 디바이스(400)는 전하 저장 매체(211)에 인접하고 직접 콘택하는 제어 게이트(218)를 포함한다. 채널이 실리콘 보디(404)에 생성될 때, 전류(예컨대, 판독 전류 I_R)는 금속 콘택(402)으로부터 금속 콘택(406)으로 메모리 디바이스(400)가 형성되는 상기 기판의 표면(x-y)에 수직인 방향(z)으로 흐른다.

<141> 도 5는 본 발명의 바람직한 실시예에 따른 3단자 비휘발성 메모리 디바이스의 또 다른 실시예를 예시한다. 도 5는 게이티드 다이오드 메모리 디바이스(gated diode memory device)(500)를 나타낸다. 메모리 디바이스(500)는 1×10^{19} 내지 1×10^{21}, 바람직하게는 1×10^{19} 내지 1×10^{20} atoms/cm^3 사이의 도핑 밀도 및 500-1000Å 사이의 두께를 가지는 P+형 실리콘 막 콘택 영역(502)을 포함한다. 1×10^{16} 내지 1×10^{18} atoms/cm^3 사이의 도핑 밀도를 가지는 P- 실리콘 막(504)은 P+ 실리콘 막(502) 상에 및 직접 콘택하게 형성된다. 1×10^{19} 내지 1×10^{21}, 바람직하게는 1×10^{19} 내지 1×10^{20} atoms/cm^3 사이의 도핑 밀도 및 500-1000Å 사이의 두께를 가지는 N+형 실리콘 콘택 영역(506)은 P- 실리콘 막(504) 상에 직접 형성된다. 본 발명의 일 실시예에서, 도 5에서 나타낸 바와 같이, P+ 실리콘 막(502), P- 실리콘 막(504) 및 N+ 실리콘 막(506)은 각각 서로에게 수직으로 정렬되어 필러(508)를 형성한다. 도 5에 나타낸 바와 같이 메모리 디바이스(500)는 P- 실리콘 막(504) 및 N+ 실리콘 막(506)에 인접하고 직접 콘택하게 형성되는 전하 저장 매체(211)도 포함한다. 제어 게이트(218)는 전하 저장 매체(211)에 인접하고 직접 콘택한다. 또한, 트랜지스터들(100, 200, 300 및 400)과 같이, 게이트를 갖는 다이오드(500)가 "온"될 때, 전류(I)는 P+ 실리콘 막(502)으로부터 N+형 실리콘 막(506)으로 디바이스(500)가 형성되는 기판(501)의 면(x-y)에 수직한 방향으로 이동한다.

<142> 비록 디바이스들(200-500)을 터널 유전체(212) 및 제어 게이트 유전체(216)에 의해 격리된 연속 막 플로팅 게이트(214)를 포함하는 전하 저장 매체와 함께 나타냈다고 할지라도, 상기 플로팅 게이트가 반드시 실리콘 또는 금속의 연속 도전 막(conductive film)으로부터 형성될 필요는 없으며, 도 6에 나타낸 바와 같이 전기적으로 격리된 복수의 나노 결정(602)으로부터 대체적으로 생성될 수도 있다. 나노 결정은 전기적으로 서로 격리된 도전성 물질의 작은 클러스터(cluster) 또는 결정들이다. 플로팅 게이트로 나노 결정을 사용하는 이점은, 연속 막을 형성하지 않기 때문에 나노 결정 플로팅 게이트는 자기 격리(self isolating)된다는 점이다. 나노 결정(602)은 다수의 자기-격리되는 플로팅 게이트들이 단일 실리콘 보디(206) 주변에 형성되는 것을 가능하게 한다. 예컨대, 구형(square shaped) 또는 사각형 필러, 플로팅 게이트는 상기 실리콘 보디 또는 채널의 각 측면 상에 형성되어, 4개 또는 그 이상의 격리된 플로팅 게이트들이 단일 구형 필러 주변에 생성될 수 있도록 한다. 이러한 방식으로, 각 필러 메모리 내에 다수 비트들이 저장될 수 있다. 마찬가지로, 나노 결정이 불연속 막을 형성하기 때문에, 하나의 셀 레벨의 플로팅 게이트가 직접 위나 아래에 위치하는 인접한(예컨대, 수직으로 인접한) 셀의 플로팅 게이트들에 단락되는 것을 걱정할 필요 없이 필러의 2개 또는 그 이상의 레벨들이 형성된 후에 플로팅 게이트를 형성할 수 있다. 플로팅 게이트로 나노 결정을 사용하는 또 다른 이점은, 연속 막 플로팅 게이트보다 저 적은 전하 누설이 발생한다는 점이다.

<143> 나노 결정(602)은 실리콘, 텅스텐 또는 알루미늄과 같은 도전성 물질로 형성될 수 있다. 자기 격리를 위해, 나노 결정은 플로팅 게이트들이 수직이나 수평으로 인접한 셀들로부터 격리될 수 있도록 상기 셀의 피치의 절반보다 작은 물질 클러스터 크기를 가져야만 한다. 즉, 나노 결정 또는 물질 클러스터(602)는 충분히 작아서, 단일 나노 결정(602)이 수직으로 또는 수평으로 인접한 셀들을 연결할 수 없어야 한다. 실리콘 나노 결정들은, 실란(silane)과 같은 실리콘 소스 가스를 매우 낮은 압력에서 분해하는 화학 기상 증착(chemical vapor deposition)을 사용함으로써 실리콘으로부터 형성될 수 있다. 유사하게, 텅스텐 나노 결정 플로팅 게이트는 WF_6과 같은 텅스텐 소스 가스를 매우 낮은 압력에서 분해하는 화학 기상 증착을 사용함으로써 형성될 수 있다. 또한, 알루미늄 나노 결정 플로팅 게이트는 알루미늄의 용해 온도 및 그 근처에서 스퍼터 증착(sputter deposition)에 의해 형성될 수 있다.

<144> 또한, 본 발명의 메모리 디바이스에서 전하를 저장하기 위한 유전체 격리 플로팅 게이트(dielectric isolated floating gate)의 사용에 대한 대안으로, 도 7에 나타낸 바와 같이 유전체 스택(702) 내에 형성된 포획 층을 사용할 수 있다. 예컨대, 전하 저장 매체는 실리콘 보디 또는 채널에 인접한 제1 산화물 층(704), 제1 산화물 층에 인접한 질화물 층(706) 및 상기 질화물 층 및 제어 게이트(218)에 인접한 제2 산화물 층(708)을 포함하는 유전체 스택(702)일 수 있다. 그러한 유전체 스택(702)은 때때로 ONO 스택(즉, 산화물-질화물-산화물(oxide-nitride-oxide))이라고 불린다. 원한다면, H+를 함유 산화물 막 등의 다른 적당한 전하 포획 유전체 막이 사용

될 수 있다.

<145> 도 2-5에서 나타낸 메모리 디바이스들(200-500)이 단순히 필러 내의 실리콘 영역 각각의 도전형을 반전시키고, 농도 범위를 유지함으로써 반대 극성으로 만들어질 수 있다는 것을 이해할 것이다. 이러한 방식으로, 단지 NMOS 디바이스들이 도 2-5에 나타낸 바와 같이 제조될 수 있을 뿐만 아니라, 원한다면 PMOS 디바이스들도 형성될 수 있다. 또한, 상기 디바이스의 필러를 형성하기 위해 사용되는 실리콘 막은 단결정 실리콘 또는 다결정 실리콘일 수 있다. 또한, 실리콘 막은 n 형 또는 p 형 도전성 이온들로 원하는 농도까지 도핑된 실리콘 게르마늄 막과 같은 실리콘 합금 막일 수 있다.

<146> 또한, 도 1-3 및 5에서 나타낸 바와 같이, 필러들(108, 208, 308 및 508)은 콘택 및 보디가 상부에서 보았을 때 서로 정렬되도록 제조된다. 이것은 도 8a에 나타낸 바와 같이, 먼저 I/O(204)를 형성하고, 그 후 필러 막 스택(예컨대, N+/P-/N+)을 블랭킷 증착함으로써 달성될 수 있다. 막 스택(802)은 마스킹되고, 모든 세 막들은 도 8b에서 나타낸 것처럼 단일 공정에서 이방성으로 에칭되어, 필러(804)를 형성할 수 있다. 명시된 필러 형성 단계는 임의의 원하는 형태를 가지는 필러를 형성할 수 있다. 예컨대, 필러(804)는 위에서 보았을 때, 도 8b에 나타낸 바와 같이 구형의 형태를 취할 수도 있고, 사각형 또는 원의 형태를 취할 수도 있다.

<147> 또한, 도 9a 및 9b에 나타낸 바와 같이, 필러는 제1 및 제2 I/O들의 패턴화의 교차에 의해 형성될 수도 있다. 예컨대, 필러는 먼저 I/O 도전체(900)를 블랭킷 증착한 후에 원하는 필러의 막 스택(902)(예컨대, N+/P-/N+)을 연속적으로 블랭킷 증착함으로써 형성될 수 있다. 도 9a에 나타낸 바와 같이, 제1 I/O 막(900) 및 필러 막 스택(902)은 그 후 에칭되어 복수의 필러 스트립(pillar strip)(904)을 형성한다. 제2 I/O를 패턴화하는 연속적인 처리 중, 제2 I/O(906)는 복수의 스트립(904)에 수직한 또는 직교하는 방향으로 에칭된다. 제2 I/O(906)를 패턴화하는 에칭 공정을 계속함으로써, 제2 I/O(906)에 의해 피복되거나 마스킹되지 않는 스트립(904) 부분으로부터 필러 막 스택(902)을 에칭해 버릴 수 있다. 이러한 방식으로, 필러(908)는 제1 및 제2 I/O의 교차점에서 형성된다. 필러(908)는 제1 및 제2 I/O의 교차점이나 중복 부분에 직접 정렬되어 형성된다. 필러를 형성하는 상기 교차점 기술은 추가적인 리쏘그래피 단계들을 생략할 수 있기 때문에 유용하다.

<148> 본 발명의 메모리 디바이스의 전하 저장 매체는 "스페이서 에치(spacer etch)" 기술을 이용하여 만들 수 있다. 예를 들어, 도 10의 (a)-(e)에 도시된 바와 같이 필러(1000) 또는 필러 스트립을 제일 먼저 만든다. 그 이후에 제1 터널 유전체(1002)는 필러(1000) 위에 블랭킷 증착된다. 다음으로, 플로팅 게이트 유전체 물질이 터널 유전체(1002) 위에 블랭킷 증착된다. 플로팅 게이트 유전체 물질은 플로팅 게이트에 요구되는 두께로 증착된다. 플로팅 게이트 물질은 나노 결정이 될 수도 있고 연속적인 도전 막(continuous conductive film)이 될 수도 있다. 그 이후에 플로팅 게이트 물질(1004) 및 터널 유전체(1002)는 이방성 에치 백(anisotropic etch back)되어 필러(1000)의 상부 및 주변 필러 사이와 같은 수평 표면으로부터 제거됨으로써, 플로팅 게이트(1008)는 필러(1000) 또는 필러 스트립의 측벽 상의 터널 유전체에 의하여 격리된다. 만약 플로팅 게이트가 나노 결정이 아닌 연속 도전 막으로 제조된다면, 주변 셀들의 플로팅 게이트(1008)들이 격리되도록 플로팅 게이트 물질(1004)을 주변 셀들 사이로부터 완전히 제거하도록 주의를 기울여야 한다.

<149> 플로팅 게이트가 나노 결정으로 제조되거나 전하 저장 매체가 포획 유전체인 경우에, 막들은 주변 셀들과 전기적으로 결합하지 않기 때문에 주변 셀들 사이의 수평 표면으로부터 반드시 에칭될 필요는 없음을 인식해야 한다. 하지만, 필요하다면 전하 포획 유전체 및 나노 결정 플로팅 게이트는 이방성 에치 백 될 수 있다. 그 다음으로, 도 10의 (d)에 도시되어 있듯이, 제어 게이트 유전체(1006)가 플로팅 게이트(1008) 및 필러(1000)의 상부 위에 블랭킷 증착된다.

<150> 제어 게이트는 "스페이서 에치" 기술을 사용하여 형성될 수도 있다. 이와 같은 경우, 도핑된 폴리실리콘과 같은 제어 게이트 물질(1010)은 도 10의 (d)에 도시된 바와 같이 제어 게이트에 요구되는 두께로 제어 게이트 유전체(1006) 위에 블랭킷 증착된다. 그 다음으로, 제어 게이트 물질(1010)을 도 10의 (e)에 도시된 바와 같이 이방성 에치 백 함으로써, 제어 게이트 유전체(1006) 상 및 주변 필러 또는 필러 스트립 사이와 같은 수평 표면으로부터 제어 게이트 물질을 제거하여 제어 게이트 유전체(1006) 주위에 제어 게이트(1012)를 형성시킨다. 제어 게이트 유전체(1006)는 제어 게이트 물질의 이방성 에칭 중 아래에 놓인 실리콘 필러(1000)가 에칭되는 것을 방지한다.

<151> 플로팅 게이트는 주변 셀들로부터 격리시킬 필요가 있지만, 제어 게이트는 수평 또는 수직 셀들 사이에서 공유될 수 있다. 수평 공유 제어 게이트(horizontal shared control gate)는 리쏘그래피 법을 사용하여 수평적으로 주변 트랜지스터들을 연결하는 도전체 스트립을 형성함으로써 얻을 수 있다. 이와 달리, 도 11a-11c에 도시된 바와 같이, 주변 셀들의 수평 커플링은, 도 11a에 도시된 것처럼 격리된 제어 게이트를 갖는 셀들 사이에 더 큰

갭(1104)을 배치하고 커플링된 제어 게이트를 갖는 셀들 사이에 최소 갭(1102)을 배치하도록 주변 셀(1100) 사이의 간격을 정확하게 제어함으로써 얻을 수 있다. 이러한 방식에 있어 도 11b에 도시된 바와 같이, 제어 게이트 물질(1106)이 증착될 때, 주변 셀 사이의 최소 또는 작은 갭(1102)은 완전히 채워지지만, 격리된 셀 간의 큰 갭(1104) 상에는 박막만이 남게 된다. 도 11c에 도시된 바와 같이 이방성 에칭동안, 큰 갭에서의 제어 게이트 물질은 완전히 제거되어 주변 제어 게이트를 격리시키는 반면, 작은 갭에서의 제어 게이트 물질(1106)의 두꺼운 부분(1108)은 그대로 남아, 주변 셀들을 연결함으로써 수평적으로 인접한 셀들을 커플링시킨다.

<152> 이에 부가하여, 제어 게이트의 수평 공유는 도 12a 및 12b에 도시된 바와 같이 2 이상 레벨의 필러가 형성된 이후에 주변 셀 간에 제어 게이트 플러그(plug)를 형성함으로써 얻을 수 있다. 제어 게이트 플러그는, 도핑된 폴리실리콘 막 또는 텅스텐 막(1200)과 같은 도전 막을 2 이상 레벨의 필러 상부 및 필러 사이에 증착시키고 필러 위에 텅스텐 막의 일부를 평탄화하고 패턴화하여 필러 사이에 플러그를 형성시킴으로써 얻을 수 있다. 이러한 방식에 있어, 제어 게이트는 2 이상의 수직 레벨 상의 디바이스 및 수평적으로 인접한 셀 간의 디바이스와 공유된다.

<153> 본 발명의 필러 메모리 디바이스를 저장 셀의 다중 레벨 어레이에 집적하는 방법에 대하여 기술한다. 도 13에 도시된 바와 같이, 저장 디바이스의 다중 레벨 어레이가 형성되는 기판(1300)을 제공함으로써 제작이 시작된다. 기판(1300)은 통상, 금속 산화물 반도체(MOS) 트랜지스터와 같은 트랜지스터가 형성되는 약하게 도핑된 단결정 실리콘 기판(1302)을 포함한다. 이러한 트랜지스터는 예를 들어, 액세스 트랜지스터로 사용될 수 있고, 또는 제작된 메모리 디바이스에 대한 감지 증폭기(sense amp) 또는 전하 펌프(charge pump)를 형성하기 위하여 회로에 함께 커플링될 수 있다. 또한 기판(1300)은 통상적으로 기판(1302)의 트랜지스터를 동작 회로로 커플링시키기 위해 사용되는 층간 유전체(1304) 및 상호 연결부의 다중 레벨을 포함하기도 한다. 기판(1300)의 상부 표면(1306)은 통상적으로 아래에 놓인 트랜지스터 및 상호 연결부가 오염(contamination)되는 것을 방지하기 위하여 절연 층 또는 패시베이션 층을 포함하기도 한다. 상부 표면(1306)은 통상적으로, 본 발명의 메모리 디바이스의 다중 레벨 어레이가 실리콘 기판(1302)의 트랜지스터와 전기적 콘택을 형성하기 위하여 전기적으로 커플링 될 수 있는 전기적 콘택 패드를 포함한다. 본 발명의 실시예에 있어, 메모리 디바이스는 상호 연결부 및 유전체(1304)의 다중 레벨에 의하여 단일 결정 기판으로부터 물리적으로 격리되거나 분리된다. 패시베이션 층 또는 절연 층의 상부 표면(1306)은 통상 평탄화되어 본 발명의 전하 저장 장치의 다중 레벨을 균일하고 신뢰할 수 있도록 제작할 수 있게 하여준다. 도 13a는 기판의 횡단면을 보여주고, 도 13b는 본 발명의 디바이스가 제작되는 기판(1300) 면에서 아래로 본 기판의 상면을 도시한다. 본 발명의 일 실시예에 따라, 메모리 디바이스는 단결정 실리콘 기판(1302)으로부터 물리적으로 분리된다. 본 발명의 다른 실시예에 있어, 메모리 디바이스는 평탄 패널 디스플레이에서 사용되는 것과 같은 유리 기판(glass substrate)(1300) 상에 제작될 수 있다.

<154> 본 발명의 실시예에 따른 메모리 디바이스의 다중 레벨 어레이를 형성하는 공정은 기판(1300)의 표면(1306) 상에 제1 도전 층(1308)을 블랭킷 적층시킴으로써 시작된다. 도전체(1308)는 티타늄 실리사이드, 도핑된 폴리실리콘 또는 알루미늄이나 텅스텐 및 적합한 기술에 의해 형성된 그들의 합금과 같은 금속 등의 적합한 도전체일 수 있으나, 이에 한정되지는 않는다. 도전 층(1308)은 예를 들어, 비트 라인이나 워드 라인으로 사용되어 메모리 디바이스의 로우나 컬럼을 결합시킨다. 그 다음으로, 도 13a에 도시된 바와 같이 필러의 제1 레벨이 제작되는 막의 스택(1310)이 도전체(1308) 위에 블랭킷 적층된다. 예를 들어, 일 실시예에 있어 필러는 N+ 소스/드레인 영역, P- 실리콘 보디(body), 및 N+ 실리콘 소스/드레인 영역을 포함할 수 있다. 1×10^{19} 내지 1×10^{21} 사이, 바람직하기로는 1×10^{19} 내지 1×10^{20} $atoms/cm^3$ 사이의 도핑 농도로 n 형 불순물 인 시츄 도핑(in situ doping)되는 화학 기상 증착(chemical vapor deposition, CVD)에 의하여 비정질 실리콘 막(amorphous silicon film)을 제일 처음 블랭킷 증착함으로써 적합한 막 스택(1310)을 형성할 수 있다. 그 다음으로, 예를 들어 1×10^{16} 내지 1×10^{18} $atoms/cm^3$ 사이의 도핑 농도로 p 형 불순물(예를 들어, 붕소) 인 시츄 도핑되는 화학적 기상 증착에 의하여 비정질 실리콘 막을 증착시킴으로써, P- 실리콘 막이 N+ 실리콘 막(1312) 상에 증착된다. 그 다음으로, 화학적 기상 증착에 의하여 비정질 실리콘 막을 증착하고, 1×10^{19} 내지 1×10^{21} 사이, 바람직하기로는 1×10^{19} 내지 1×10^{20} $atoms/cm^3$ 사이의 수준으로 인 시츄 도핑함으로써, N+ 실리콘 막(1316)이 P- 실리콘 보디(1314) 상에 블랭킷 증착된다. 그 다음으로, 비정질 실리콘 막은 뒤이은 어닐링을 통하여 다결정 실리콘으로 변환될 수 있다. 인 시츄 도핑을 대신하여, 비도핑 실리콘으로 막의 스택을 증착시켜 불순물을 주입시키거나 확산시킬 수도 있다.

<155> 적합한 막 스택을 증착시켜, 도 4에 도시된 바와 같이 디바이스(400)를 형성하도록 금속/실리콘/금속 스트립과

같은 필러 구조를 얻거나, 도 5에 도시된 바와 같이 디바이스(500)를 형성하도록 P+/P-/N+ 스택과 같은 필러 구조를 얻거나, 도 3에 도시된 바와 같이 디바이스(300)를 형성하도록 N+/SiO_2/N+ 스택과 같은 필러 구조를 얻음으로써, 본 발명에 따른 그 외의 메모리 디바이스가 제작될 수 있음을 알 수 있다. 그 다음으로, 도 14a 및 14b에 도시된 바와 같이, 블랭킷 증착된 막 스택(1310) 및 금속 도전체(1308)는 잘 알려진 포토리쏘그래피 법 및 에칭 기법을 사용하여 패턴화되어 복수의 필러 스트립(1318)을 형성한다. 금속 도전체(1308) 및 증착된 막 스택(1310)의 막은 일렬로 정렬되어 에칭되고 수직 측벽을 갖는 스트립을 형성한다.

<156> 그 다음으로, 도 15a 및 15b에 도시된 바와 같이, 필요하다면 각 스트립 상의 p 형 영역의 면 또는 표면의 도핑 농도를 변경시키기 위하여 기판은 임계 조정 이온 주입 단계(threshold adjusting ion implantation step)를 거칠 수 있다. 즉, 제1 이온 주입 단계(1315)는 P-형 불순물을 필러(1318)의 일 표면에 주입시켜 p 형 불순물 농도를 증가시키는데 사용할 수도 있고, 또는 n 형 불순물을 주입시켜 p 형 도핑 농도를 감소시키는데 사용할 수도 있다. 이와 유사하게, 제1 주입(1315) 이후에, 기판은 필러 스트립(1318)의 반대편 또는 반대 면의 도핑 농도를 변경시키기 위하여 회전되어 제2 이온 주입 공정(1317)을 거칠 수 있다. 임계 조정 주입은, 각 면에 관한 상이한 판독 전류를 충분히 구분하고 감지할 수 있도록 각 면의 임계 전압을 충분히 변경시킬 수 있을 정도로 충분한 양만큼 이루어져야 한다. 이온 주입 단계의 각도는 주입의 대부분이 P-형 보디(1314)의 표면에 부딪쳐 발생하도록 선택된다. 주입의 각도는 스트립(1314) 사이의 간격 뿐만 아니라 스트립 높이에 좌우된다.

<157> 그 다음으로, 도 16a 및 16b에 도시된 바와 같이, 터널 유전체(1320)가 스트립(1318) 사이의 기판(1300) 상에 뿐만 아니라 스트립(1318)의 상부 및 측벽 위에도 형성된다. 터널 유전체는 산화물, 질화물, 산질화물 또는 다른 적합한 유전체일 수 있다. 터널 유전체(1320)는 섭씨 750도 이하, 바람직하게는 섭씨 600도 이하의 온도에서 플라즈마 증착 또는 성장 공정(growth process)을 사용하여 증착되는 것이 바람직하다. 터널 유전체(1320)는 동작 조건에서의 항복(breakdown) 및 누설(leakage)을 방지할 수 있는 두께 및 품질로 형성된다. 그 다음으로, 도 16a 및 16b에 도시된 바와 같이, 플로팅 게이트 물질(1322)이 터널 유전체(1320) 위에 블랭킷 증착된다. 본 발명의 바람직한 실시예에 있어, 플로팅 게이트 물질은 나노 결정으로 이루어진다.

<158> 실리콘 나노 결정은, 실리콘이 점착 계수(sticking coefficient)에 비하여 매우 높은 표면 확장성(surface diffusivity)을 갖는 방식으로 실리콘을 증착시킴으로써 형성될 수 있다. 예를 들어, 실리콘 나노 결정은 화학적 기상 증착(CVD)에 의하여 섭씨 250-650도의 온도에서 1 millitorr 내지 200 millitorr 사이의 매우 낮은 압력에서 실란(SiH_4)을 증착함으로써 형성될 수 있다. 그와 같은 공정에 있어, 50-250 옹스트롬의 초 박막의 증착에 의해 작은 실리콘 섬(1322)이 형성된다. 증착 중에 H_2가 실란에 포함되어 있으면, 보다 높은 압력을 사용하여 나노 결정을 얻을 수 있다. 본 발명의 다른 실시예에 있어, 알루미늄 나노 결정과 같은 금속 나노 결정은 그 금속의 녹는 점 근처의 온도에서 금속 타겟으로부터 스퍼터링함으로써 금속이 덩어리가 져서 나노 결정을 형성함에 의하여 얻을 수 있다. 텅스텐 나노 결정은 WF_6 및 게르메인(GeH4)과 같은 텅스텐 소스 가스(tungsten source gas)를 포함하는 반응성 가스 혼합(reactant gas mix)을 사용하여 화학적 기상 증착에 의하여 형성될 수 있다. 본 발명의 또 다른 실시예에 있어, 플로팅 게이트 물질의 연속 막은 증착되고 (가열에 의하여) 응결을 야기하여 막에 섬이 형성되도록 할 수 있다.

<159> 나노 결정이 자기 격리 성질(self isolating quality) 때문에 플로팅 게이트 용으로 더 바람직하기는 하지만, 플로팅 게이트는 텅스텐과 같은(이에 한정되지 않음) 금속의 연속 막이나 필요한 도전성 형태(통상 N+/P-/N+ 필러에 대하여 N+ 실리콘)로 도핑된 비정질 또는 다결정 실리콘과 같은 실리콘 막으로 형성될 수 있다. 연속 막이 플로팅 게이트 물질(1322)로서 사용되면, 막(1322)은 스트립을 전기적으로 격리시키기 위하여 스트립(1318) 사이의 플로팅 게이트 물질(1322)의 일부를 제거하기 위한 시기에 이방성으로 에칭될 것이다.

<160> 그 다음으로, 도 16a 및 16b에 도시된 바와 같이, 제어 게이트 유전체(1324)는 나노 결정(1322) 또는 플로팅 게이트 물질이나 그 위에 블랭킷 증착된다. 제어 게이트 유전체(1324)는 예를 들어, 증착 온도를 감소시키기 위하여 플라즈마 개선 증착 공정에 의해 형성되는 산화물 또는 산질화물 막으로 된 증착된 유전체이다. 제어 게이트 유전체(1324)는 터널 유전체(1320)와 비슷한 두께를 갖지만, 약간, 예를 들어 20-30 옹스트롬 정도 두껍다. 제어 게이트 유전체(1324)는 이어서 형성되는 제어 게이트로부터 플로팅 게이트를 격리시키는데 사용된다. 제어 게이트 유전체의 두께 및 품질은 메모리 셀을 프로그래밍하고 언프로그래밍 하기 위한 프로그램 임계 전압에 좌우된다. 상술한 바와 같이, p 형 실리콘 보디 또는 채널의 두께 뿐만 아니라 터널 유전체 층의 두께는 요구되는 프로그램 전압에 좌우된다.

<161> 그 다음으로, 도 17a 및 17b에 도시된 바와 같이, 제어 게이트 물질(1328)이 스트립(1318)이나 그 위에 블랭킷

증착된다. 제어 게이트 물질은 최소한 주변 스트립 사이의 갭을 채우기에 충분할 정도의 두께로 형성된다. 통상적으로, 갭(1330)의 최소한 절반 넓이의 두께로 증착되는 등각 막(conformal film)은 갭(1330)을 완전히 채우도록 보장한다. 본 발명의 실시예에 있어, 제어 게이트 물질(1328)은 화학적 기상 증착에 의하여 형성된 도핑된 다결정 실리콘 막이다. 이와 달리, 제어 게이트는 WF_6을 사용한 화학적 기상 증착에 의하여 형성된 블랭킷 증착된 텅스텐 막과 같은 그 외의 도전체로 이루어진 것일 수 있다. 그 다음으로, 도 18a 및 18b에 도시된 바와 같이, 제어 게이트 막(1328)은 제어 게이트의 상부 표면이 스트립(1318)의 상부에 제어 게이트 유전체를 포함하고도 실질적으로 평탄할 때까지 예를 들어, 화학적 기계적 연마에 의하여 평탄화 된다. 그 이후에, 도 18a에 도시된 바와 같이, 스트립(1318)의 상면 아래의 제어 게이트 물질의 상면인 오목부(recess; 1331)까지 플라즈마 에치 공정을 적용하고, 바람직하게는 상부 소스/보디 접합(예를 들어, N+ 실리콘 막(1316) 및 P- 실리콘 막(1314)의 접합) 약간 위까지 플라즈마 에치 공정을 적용하는 것이 좋다. 스트립(1318)의 상면의 제어 게이트 유전체(1324)는 상기 오목부 형성 에칭 동안 스트립(1318)이 에칭되는 것을 방지한다. 오목부 형성 에칭 후에, 제어 게이트(1332A, B)가 형성된다.

<162> 그 다음으로, 산화물과 같은 층간 유전체(ILD, 1334)가 제어 게이트(1332) 위에 오목부(1331) 위 및 안에 뿐만 아니라 스트립(1318) 상부 상에도 블랭킷 증착된다. 그 이후에 도 19a 및 19b에 도시된 바와 같이 스트립(1318) 상부 상에 제어 게이트 유전체 뿐 아니라 증착된 산화물 층(1334), 나노 결정 및 터널 유전체는 연마되거나 에치 백되어, 각 필러 스트립(1318)의 상부 소스/드레인 영역(예를 들면, N+ 막(1316))의 표면이 드러난다.

<163> 그 다음으로, 도 20a 및 20b에 도시된 바와 같이, 제2 도전 층(1336)이 ILD(1334) 위에 뿐만 아니라 상부 소스/드레인 영역(N+ 소스/드레인 영역(1316)) 위에 그리고 접촉하게 블랭킷 증착된다. 제2 도전 층(1336)은 메모리 디바이스의 제1 레벨을 위한 제2 입력/출력(예를 들어, 비트 라인 또는 워드 라인)을 형성하는데 사용되고, 메모리 디바이스의 제2 레벨을 위한 제1 입력/출력(예를 들어, 워드 라인 또는 비트 라인)을 형성하는데 사용되기도 한다. 제2 도전 층(1336)은 제1 도전 층(1308)과 유사한 두께 및 물질로 형성될 수 있다.

<164> 그 다음으로, 도 20a 및 20b에 도시된 바와 같이, 필러의 제2 레벨을 형성하는데 사용되는 N+/P-/N+ 스택과 같은 막 스택(1338)이 제2 도전 층(1336) 위에 블랭킷 증착된다. 막 스택(1338)은 막 스택(1310)에 사용된 물질 및 두께와 동일하게 형성될 수 있다. 이와 달리, 상이한 형태의 메모리 디바이스를 원한다면, 그러한 디바이스 형태에 대응하는 막 스택이 형성될 것이다.

<165> 그 다음으로, 도 21a 및 21b에 도시된 바와 같이, 제2 필러 스택(1338) 및 제2 도전 층(1336)은 잘 알려진 포토리쏘그래피 법 및 에칭 기법으로 패턴화되어, 제1 복수의 필러 스트립(1318)에 수직이거나 직각인 복수의 제2 필러 스트립(1340)을 형성한다. 제2 도전 층(1336) 및 제2 필러 스택(1338)의 막은 서로 일직선으로 에칭되어 실질적으로 수직인 측벽을 가진 스트립을 형성한다.

<166> 도 22a 및 22b는 도 21a 및 21b의 기판을 90도 회전하여 도시한 도면이다.

<167> 일단 제2 필러 막 스택(1338) 및 제2 도전체(1336)가 스트립(1340)에 에칭되어 패턴화되었다면, 도 23a 및 23b에 도시된 바와 같이 제2 필러 스트립(1340)에 의하여 덮히거나 마스크되지 않은 제1 필러 스트립(1318)의 부분(1341)을 제거하기 위하여 에칭을 계속한다. 에칭은 제1 도전 층(1308)에 도달할 때까지 계속한다. 이러한 방식에 있어, 도 23a 및 23b에 도시된 바와 같이, 직사각형 또는 정사각형 필러(1342)의 제1 레벨은 제1 및 제2 입력/출력(1308, 1336) (도 23a에서 M1 및 M2로 도시됨)의 겹치거나 교차되는 지점에서 제1 필러 스트립(1318)으로부터 형성되었다. 본 발명의 실시예에 있어, 0.18㎛ 이하의 폭을 갖는 정사각형 필러가 형성된다. 바람직하게는 에칭 단계에서 ILD(1334), 터널 및 제어 게이트 유전체에 관련하여 필러 스트립을 선택적으로 에칭할 수 있는 에칭을 이용한다는 것을 인식해야 한다. 예를 들어, 필러가 도핑된 실리콘을 포함하고 ILD, 터널 및 제어 게이트 유전체가 산화물이라면, Cl_2 및 HBr을 사용한 플라즈마 에칭을 통하여 산화물 ILD 혹은 터널 및 제어 게이트 유전체를 심하게 에칭하지 않고 실리콘을 에칭할 수 있다. 도 23c에 도시된 바와 같이, ILD(1334)는 아래에 놓인 실리콘 제어 게이트(1332)가 에칭되는 것을 방지한다는 것을 알 수 있다. 게다가, ILD(1334)의 목적은 필러의 제2 레벨용으로 뒤이어 형성되는 제어 게이트로부터 제어 게이트(1332)를 전기적으로 격리시키는 것이다.

<168> 여기서, 필요하다면, 각 면의 도핑 농도 및 각 면의 임계 전압을 변경시키기 위하여, 기판은 필러(1342)의 P-형 보디(1314)의 새로 노출된 표면의 도핑 농도를 변경시키는 일련의 이온 주입 단계를 거칠 수도 있다.(도 23a를 참조)

<169> 다음으로, 도 24에 도시된 바와 같이, 터널 유전체(1344), 나노 결정 플로팅 게이트 물질(1346) 및 제어 게이트 유전체(1348)는 각각 기판(1300) 상에 순차적으로 블랭킷 증착되어, 제2 필러 스트립(1340)의 측벽 뿐만 아니라 필러 디바이스(1342)의 측벽 상에 터널 유전체/플로팅 게이트/제어 게이트를 형성한다. (도 23a를 참조) 이러한 막 스택은 ILD(1334) 위 및 필러(1342)의 제1 레벨 사이의 제1 도전체(1308) 위에 뿐만 아니라 제2 필러 스트립(1340)의 상부 표면을 따라 또한 형성된다.

<170> 플로팅 게이트 물질이 도전성이라 하더라도 나노 결정의 비연속 성질(non-continuous nature)로 인하여 필러들 사이는 격리되기 때문에, 필러를 격리시키기 위하여 주변 필러(1342) 사이의 갭(1343)으로부터 플로팅 게이트 물질을 제거하도록 플로팅 게이트 물질을 이방성 에칭할 필요는 없다. 이러한 방식에 있어서, 터널 유전체, 플로팅 게이트 및 제어 게이트 유전체는 제1 금속 도전체로부터 그 이후에 생성되는 제어 게이트를 격리시키기 위하여 사용될 수 있다. 부가적으로, 플로팅 게이트(1346)는 나노 결정으로부터 형성되므로, 나노 결정이 동시에 형성되었더라도 레벨 2의 바로 위에 위치한 플로팅 게이트로부터 스스로 격리된다.

<171> 그 다음으로, 도 25a에 도시된 바와 같이, 제어 게이트(1350)는 필러(1342) 사이의 갭(1343)에 뿐만 아니라 제2 필러 스트립(1340) 사이에서도 형성된다. 제어 게이트는 전술한 바와 같이 도 17-20과 관련하여 형성될 수 있는데, 도 17-20에서는 도핑된 실리콘과 같은 제어 게이트 막이 증착되어 제2 필러 스트립(1340) 사이의 갭 뿐만 아니라 주변 필러(1342) 사이의 갭(1343)을 채우게 된다. 필요에 따라서는 도 25a에 도시된 바와 같이, 그 이후 제어 게이트 막은 오목부에 형성된 제2 ILD(1352) 및 N+ 소스/드레인 영역의 상부 표면 아래로 연마되고 오목부가 형성됨으로써 부가적인 층을 더 구비할 수 있게 된다. ILD(1352), 제2 필러 스트립(1340)의 상부 위의 터널 유전체/플로팅 게이트/제어 게이트 유전체는 그 이후에 연마되어 스트립(1340)의 상부 N+ 소스/드레인 영역이 노출된다.

<172> 이 시점에서, 메모리 디바이스의 제1 레벨 제작이 완료된다. 도 26에 도시된 바와 같이, 제1 레벨 상의 각 필러(1342)는 4개의 독립적으로 제어 가능한 전하 저장 영역 전부를 위한 것으로서 필러의 각 면 상에 분리된 제어 게이트 및 플로팅 게이트를 포함한다. 즉, 도 26에 도시된 바와 같이, 필러(1342)는 필러(1342)의 반대쪽 측벽을 따라 형성된 제1 제어 게이트 쌍(1332a, 1332b)을 포함한다. 또, 제어 게이트(1332a, 1332b)는 각각 수평적으로 인접한 필러에 공유된다. 필러(1342)는 필러(1342)의 반대쪽 제3 및 제4 평면을 따라 형성된 제2 제어 게이트 쌍(1350a, 1350b)을 포함한다. 각 제어 게이트(1350)는 제2 레벨에서 수평적으로 인접한 필러(1342) 뿐만 아니라 제2 레벨에서 수직으로 위에 뒤이어 형성된 필러 메모리 디바이스 위치에 공유되기도 한다. 필러(1342)는 4개의 독립적으로 제어 가능한 제어 게이트 및 4개의 관련되고 격리된 플로팅 게이트를 포함하기 때문에, 각 필러 메모리 디바이스(1342)는 복수의 상태를 저장할 수 있다.

<173> 도 20-25와 관련하여 기술된 공정은, 제2 레벨 상의 메모리 디바이스 제작을 완료하고 제3 레벨 상의 메모리 디바이스 제작을 시작하기 위하여 다시 반복될 수 있다. 즉, 도 27a 및 27b(도 26을 90도 회전시킴)에 있어서, 도 20-25의 단계를 반복하여 제2 필러 스트립(1340)을 제2 레벨 상의 복수의 제2 필러(1362)에 패턴화하는데 사용함으로써, 제2 필러 스트립(1340)에 수직으로 제3 필러 스트립(1360)을 형성하고, 제2 필러에 인접한 제2 제어 게이트 쌍(1364)을 형성한다.

<174> 이러한 방식에 있어서, 4개의 독립적으로 제어 가능한 게어 게이트 및 4개의 관련되고 격리된 플로팅 게이트를 포함하는 메모리 필러(1362)의 제2 레벨이 제작된다. 제1 제어 게이트 쌍(1350a, 1350b)은 필러(1362)의 제2 레벨의 반대쪽 측벽을 따라 형성되고, 수평적으로 인접한 필러 뿐만 아니라 제1 레벨 상에 위치한 메모리 필러(1342)에 공유된다. 제2 제어 게이트 쌍(1364a, 1364b)은 필러(1362)의 제2 레벨의 제3, 제4 반대쪽 면을 따라 형성되고, 메모리 어레이의 제3 레벨에서 뒤이어 형성된 필러에 공유된다.

<175> 전술한 공정들은 필러 메모리의 부가적인 레벨을 어레이에 부가하기 위하여 필요한 만큼 반복될 수 있다. 메모리 셀의 최종 레벨은 최종 입력/출력을 패턴화하는 동안 필러 스택 스트립으로부터 패턴화될 수 있다.

<176> 본 발명의 3 단자 메모리 필러 디바이스가 바람직한 특정 실시예에 있어 3차원 메모리 어레이로 집적된 것을 보였긴 하지만, 그 외의 방법들이 본 발명의 범위를 벗어나지 않고 3차원 메모리 어레이를 제작하는데 사용될 수 있음을 인식해야 한다.

<177> 2. 반도체 영역 위 또는 아래에 위치한 전하 저장 매체를 사용하는 메모리 셀

<178> 도 29a에 있어, 셀은 영역(2921, 2922, 2923)을 포함하는 스택과 다이오드를 포함한다. 영역(2921)은 제1 유전체 영역을 포함하고, 영역(2923)은 제2 유전체 영역을 포함한다. 포획 전하(trap charge)에 사용되는 저장 영역(2922)은 이러한 영역들 사이에 배치되어 있다. 이 영역이 주로 전하를 보유하고 셀의 메모리를 제공하게 된

다. 이하 서술하는 바와 같이, 전하는 영역(2922) 내에 전기적으로 위치하고 전기적으로 감지되며 영역(2922)으로부터 전기적으로 제거될 수 있다.

<179> 영역(2921)은 통상 1-5nm, 바람직하게는 2-3nm의 두께를 갖는 산화물을 포함한다. 일 실시예에 있어, 영역(2921)은 본 출원에서 터널 유전체로 호칭된다. 영역(2922)은 (이하 자세히 서술될) 질화물 영역과 같은 종래 기술에서 알려진 바와 같이 포획된 전하를 저장하는 영역이다. 일 실시예에 있어, 영역(2922)은 본 출원에서 저장 유전체로 호칭된다. 영역(2923)은 산화물을 포함하기도 하며, 포획된 전하를 보유하기 위한 장벽으로 동작하는데, 본 출원의 일 실시예에 있어 블록킹 유전체로 호칭된다. 이 영역은 영역(2921)과 유사한 두께를 갖는다.

<180> 일단 펀치 쓰루(punch through)가 발생하면 다이오드에서 전자가 순방향 전류(forward current)를 통하게 하므로, 이러한 전자는 터널 유전체와 저장 유전체의 경계면(2925) 및 영역(2922) 내에 포획된 것이 된다. 이러한 전자는 경계면 영역(2921)에서 N 영역의 조숙한 반전(premature inversion)을 촉진시키기 위한 극성을 가짐을 주목해야 한다. 그러므로, 저장된 전자는 셀의 특성 중 음-저항(negative-resistance) 부분을 처음으로 나타내는 곳에서의 전압을 감소시킨다. 도 29b의 곡선(2926)과 곡선(2927)을 참조하라.

<181> 일 실시예에 있어, 프로그래밍은 디바이스를 도통시키도록 하기 위하여 충분한 순방향 바이어스를 다이오드에 인가하고, 충분한 전하가 포획될 정도로 오랫동안 순방향 전류가 유지되도록 하여, 전압 임계를 곡선(2927)의 피크 순방향 전압으로부터 곡선(2926)의 피크 순방향 전압으로 편이시킨다. 이하에서는 이진(binary) 프로그래밍에 대하여 기술하겠지만, 임계 편이의 다중 값을 채택함으로써 다중 비트가 셀마다 저장될 수도 있다. 유사하게, 임의의 플래시 메모리는 셀 당 2-4비트 또는 그 이상의 비트를 저장한다.

<182> 판독(감지)은 피크(2928, 2929) 사이에서 하락하는 순방향 전압을 인가함으로써 수행된다. 소정의 임계값 이상의 전류가 흐르면, 셀이 프로그램된다. 만약에 전도가 발생하지 않으면 프로그램되지 않는다. 판독 동작 동안 프로그램되는 셀을 통하여 흐르는 전도는 포획된 전하를 강화시킨다.

<183> 소거는 포획된 전자를 중성화시키기 위하여 홀(hole)의 흐름을 통하여 또는 블록킹 산화물(2923)을 통하여 전자가 포획에서 벗어나 터널링하는 메모리 셀에 충분한 역방향 바이어스를 인가함으로써 수행된다. 이러한 동작은 다이오드가 항복 상태에서 동작하도록 요구하며, 따라서 소거 전압은 적어도 항복 전압의 저 단(lower end)을 필요로 할 것이다.

<184> A. 기판에서의 2단자 셀

<185> 도 30을 참조하면, 본 발명의 메모리 셀의 제1 실시예가 P 형 기판(2930)에 배치된 상태로 도시되어 있다. 다이오드(셀의 조종 소자, steering element)는 예를 들어 5×10^{16} - 10^{18} cm^{-3}의 수준으로 도핑된 N- 영역(2932)과 N- 영역(2932) 내에 형성된 $10^{19}cm^{-3}$ 이상의 수준으로 도핑된 P+ 영역(2931)을 포함하는 기판에 형성된다. 이러한 영역들은 확산 또는 이온 주입과 같은 잘 알려진 방법으로 형성될 수 있다.

<186> 유전체(예를 들어 산화물) 영역(2933), 포획 층(2934) 및 제2 유전체(예를 들어 산화물) 영역(2935)을 포함하는 저장 스택이 영역(2932) 상에 형성된다.

<187> 유전체 영역(2933)은 성장 산화물 층(grown oxide layer)이거나 증착된 실리콘 이산화물 영역일 수 있다. 산화물을 포함하는 경우, 이 영역은 1-5nm의 두께일 수 있다. 이러한 영역을 형성하기 위하여 일반적인 공정을 사용할 수 있다.

<188> 포획 영역(2934) 및 본 출원에서 논의된 그 외의 포획 영역은 다른 물질 뿐 아니라 질소 화합물로 형성될 수 있다. 종래 기술에 있어, 이러한 목적을 위하여 실리콘 질화물(질화물)이 가장 일반적으로 사용되었다. 질소 화합물을 갖는 그 외의 층으로서 사용될 수 있는 것은 산질화물(ON) 및 산화물-질화물-산화물(ONO)이다. 전하 포획 특성을 보이는 그 외의 물질을 단독으로 또는 결합하여 사용할 수 있다. 예를 들어, 알루미나(Al_2O_3) 및 폴리실리콘으로 된 절연 영역을 가진 실리콘 이산화물이 이러한 특성을 보인다. 포획 영역은 일반적으로 2-20nm, 바람직하게는 3-10nm의 두께를 갖는다.

<189> 영역(2933, 2934)은 SONOS 메모리에 대한 기술 분야에 주지된 인자(factor)에 의하여 결정되는 두께를 갖는다. 예를 들어, 터널 유전체 영역은 과도한 전압 강하 없이도 터널링을 허용할 정도도 얇고 긴 수명을 제공할 필요가 있으나, 반면, 포획 유전체 영역은 전하가 현저하게 자발적으로 포획 상태에서 벗어나지 못하도록 충분히 두꺼워야 한다. 상술한 바와 같이, 통상의 두께는 1-5nm 범위에 있으며, 산화물 영역(2933)에 대해서는 2-3nm가

바람직하고, 질화물이 사용되는 포획 영역에 대해서는 3-10㎚가 바람직하다.

<190> 층(2935)은 영역(2933)과 동일한 두께를 갖는 산화물 또는 그 외의 유전체 영역이다. 사용될 수 있는 그 외의 유전체에는 페로브스카이트(perovskite), 세라믹, 다이아몬드(및 다이아몬드와 유사한 막), 실리콘 카바이드(silicon carbide), 및 비도핑 실리콘(폴리실리콘을 포함)이 포함된다. 이 영역은 잘 알려진 증착 기술에 의하여 형성될 수 있다. 상술한 바와 같이, 영역(2933)은 터널 유전체 층으로 호칭되고, 최소한 부분적으로나마 상술한 음-저항 성질을 초래하게 된다. 반면, 층(2935)은 영역(2934)의 포획된 전하가 예를 들어, 콘택(2938)으로 누설되는 것을 방지한다. 그러므로, 층(2935)은 가끔 블록킹 유전체로 호칭된다.

<191> 영역(2933, 2934, 2935)을 포함하는 저장 스택은 예를 들어, 증착 체임버(deposition chamber) 내의 가스 혼합물이 변화하여 처음에는 산화물, 그리고 질화물, 마지막으로 산화물을 제공하는 단일의 연속 공정에서 제작될 수 있다. 이러한 영역은 상대적으로 얇기 때문에, 전체 스택은 수초 내에 형성될 수 있다.

<192> 도 30의 셀을 동작시키기 위하여, 제조 과정에서 포획 층이 중성인 경우, 즉, 포획 영역(2934)에 포획된 전하가 없는 경우를 가정해 본다. 영역(2934)에 전하를 위치시키기 위하여 애노드 콘택(anode contact)(2937)은, 그 전위가 도 29b에 도시된 전압(2929)에 이를 때까지 영역(2931, 2932)에 의하여 정의되는 다이오드에 순방향 바이어스를 가하기 위하여 콘택(2938)에 비하여 상대적으로 양의 전위를 갖도록 유지된다. 산화물(2935) 뿐만 아니라 산화물(2933)을 통하여 터널링이 발생하고, 전하가 영역(2934) 내에 포획된다. 포획된 전하의 양은 전하 흐름 합계 및 영역(2934)의 포획 효율(trapping efficiency)에 의존한다.

<193> 이 전하의 존재를 감지하기 위하여, 라인(2937, 2938) 사이에 전위가 다시 인가되어 영역(2931, 2932)에 의하여 정의되는 다이오드에 순방향 바이어스가 가해진다. 하지만, 이 경우 전위는 도 29b에 도시된 전압(2928)보다 크고 전압(2929)보다 작은 범위에 있게 된다. 소정의 임계치를 초과한 전류가 흐르면, 전하가 영역(2934)에 포획된다는 것이 알려져 있다. 반면, 그와 같은 전류가 흐르지 않으면, 거의 대부분의 전하가 층에 저장되지 않거나 어떠한 전하도 층에 저장되지 않는다는 것이 알려져 있다. 이러한 방식에 있어, 이진 데이터의 경우 셀이 프로그램되어야 하는지 여부를 결정할 수 있다. 상술한 바와 같이, 상이한 레벨의 전하가 포획 층(2934) 내에 위치할 수 있고, 상기한 전류 흐름이 발생하는 전압(전압(2928, 2929) 사이를 참조)을 결정할 수 있다. 이것은 각 셀로부터 1비트 이상의 데이터를 제공하는데 사용할 수 있는 층(2934)에서의 전하량에 대응한다.

<194> 판독 동작 동안 판독 전류가 프로그램된 셀을 통과하고 그 이후에 영역(2933), 포획 영역(2934) 및 산화물 영역(2938)을 통과한다는 것을 주목해야 한다. 이것은, 셀의 상태를 판독하는 동안 포획된 전하 영역을 전류가 통과하지 않는, 예를 들어 전계 효과 트랜지스터에서 임계 전압을 편이시키는데 포획 전하가 사용되는 상황에서 발생하는 통상의 감지와는 다르다. 상술한 바와 같이, 전류가 판독을 위하여 영역(2934)를 통과하는 경우, 실질적으로 셀이 리프레시(refresh)된다. 즉, 만약 셀이 처음으로 프로그램되면, 셀로부터 데이터를 판독할 때 셀은 프로그램된 상태로 남게 된다.

<195> 셀로부터 데이터를 판독할 때에는 라인(2924)에 의해 표시된 전류를 초과하지 않도록 주의해야 한다. 만약 전류가 이 한계, 예를 들어 5,000-10,000 amps/cm^2를 초과하면, 산화물 영역(2933, 2935) 중 하나 또는 둘 모두는 영구적으로 손상될 수 있고 폐쇄 회로 또는 개방 회로를 발생시킬 수도 있다.

<196> 셀 내의 데이터를 소거하기 위하여 다이오드는 역방향 바이어스가 걸린다. 즉, 애노드는 캐소드에 대하여 음의 상태를 유지한다. 충분한 전위가 인가되는 경우, 다이오드는 브레이크 다운되고 (예를 들어, 애벌랜치(avalanches), 지너(zener) 또는 펀치 쓰루), 영역(2934)로부터 전하를 제거한다. 층(2932)과 기판(2930) 사이의 접합에 순방향 바이어스가 걸리는 것을 방지하기 위하여 소거를 하는 동안 기판(2930)은 플로팅 상태이어야 할 필요가 있다. 쉘로우 트랜치 격리(shallow trench isolation, STI) 또는 절연체상 실리콘(silicon-on-insulator, SOI)과 같은 그 외의 격리 방법이 또한 사용될 수 있다.

<197> B. 기판에 있는 3단자 셀

<198> 도 31에 있어, 셀은 소스 및 드레인 영역과 게이트(2964)를 구비하는 전계 효과 트랜지스터를 포함한다. 영역(2941, 2942)은 기술 분야에 잘 알려진 바와 같이 기판(2940)에 게이트(2946)와 일렬로 정렬되게 형성된다. 산화물 영역(2943), 포획 영역(2944) 및 산화물 영역(2945)을 포함하는 스택이 영역(2941) 상에 형성된다. 영역(2943, 2944, 2945)은 도 30의 영역(2933, 2934, 2935)과 동일한 것일 수 있다.

<199> 이 실시예에 있어, 다이오드에 순방향 바이어스를 걸지 않고, 양 전위가 게이트(2936)에 인가되고, 콘택(2948)은 콘택(2947)에 대하여 양 전위로 유지된다. 이것은 셀의 프로그래밍 및 판독을 위해 수행된다. 셀을 소거하

기 위하여, 콘택(2948)은 콘택(2947)에 대하여 음의 전위가 되고, 그로 인하여 포획된 전하가 영역(2944)으로부터 제거된다. 도 30 및 31의 양 실시예에 있어, 메모리 어레이에서 영역(2941)과 기판(2940)에 역방향 바이어스를 걸어 기판을 통하여 한번에 전체 어레이를 소거하는 것이 더 바람직할 수 있다. 필요하다면, 도 30 및 31의 셀은 기판 내에 보다는 기판 위에 및/또는 3차원 스택으로 형성될 수도 있다.

<200> C. 레일-스택(rail-stack)을 채택한 3차원 실시예

<201> 본 발명의 양수인에게 양수되었으며, 명칭이 "Three-Dimensional Memory Array Method of Fabrication"인 2000년 4월 28일 제출된 미국 출원 번호 09/560,626 및 그 일부 계속 출원(continuous-in-part)으로 2001년 3월 21일 제출된 미국 출원 번호 09/814,727에는, 기판 상에 제작된 3차원 메모리 어레이로서 레일 스택을 채택한 것이 개시되어 있다. 상기 특허출원에 설명된 기술은 아래에 논의하는 바와 같이, 본 발명의 본 실시예와 일치하여 3차원 전하 포획 또는 저장 메모리를 제작하는데 사용될 수 있다.

<202> 도 32에는, 메모리 어레이의 3개의 레벨, 특히 레벨(2950, 2951, 2952)이 도시되어 있다. 각 레벨은 복수 개의 서로 평행하고 분리된 레일 스택을 포함한다. 도 32의 레일 스택(3, 5)은 제1 방향으로 연장되어 있고, 레일 스택(4, 6)은 통상 제1 방향에 직교하는 제2 방향으로 연장되어 있다. 도 32의 각 레일 스택은 그 중앙에 도전체 또는 입력/출력을 포함하고 도전체의 양쪽에 배치된 반도체 영역을 포함한다. 도 32의 실시예에 있어, 제1 교대 레일 스택(alternate rail stack), 예를 들어 레일 스택(3, 5)은 도전체 상에 배치되어 n 형 폴리실리콘으로 제작된다. 제2 교대 레일 스택(4, 6)은 도전체 상에 p 형 폴리실리콘으로 제작된다.

<203> 특히 레일 스택(5)과 관련하여, 레일 스택(5)은, 예를 들어 알루미늄 또는 실리사이드 도전체인 도전체 또는 입력/출력(2953), 도전체의 양쪽에 배치된 N+ 영역(2954, 2956) 및 영역(2954, 2956) 상에 배치된 N- 영역(2955, 2957)을 포함한다. N+ 영역은 10^{19} cm^{-3} 이상의 수준으로 도핑될 수 있고, N- 영역은 5×10^{16} - 10^{18} cm^{-3}의 수준으로 도핑될 수 있다. 레일 스택(4, 6)은 도전체(2960)와 같은 도전체 또는 입력/출력과, 하나의 레일 스택에 대하여 P+ 영역(2961, 2962)으로 도시되고 도전체의 양쪽에 배치된 P+ 영역을 포함한다. 이러한 영역 및 레일 스택의 전체 집합의 제작은 상기 참조 출원에 기술되어 있으며, 본 출원의 일부로서 이를 포함한다.

<204> 상기 참조 출원에 있어, 안티 퓨즈 물질(anti-fuse material)의 블랭킷 층이 레일 스택 사이에서 사용된다. 본 발명의 경우 3개의 블랭킷 층이 레일 스택의 각 레벨 사이에 사용된다. 특히, 층(2963)은 레일 스택(5, 6) 사이에 배치되고, 층(2964)은 레일 스택(4, 5) 사이에 배치된다. 층(2963, 2964)은 예를 들어, 도 30의 층(2933, 2934, 2935)에 대응된다. 그러므로, 층(2964)은 1-5nm, 바람직하게는 2-3nm의 두께를 갖는 유전체 층(2966)(예를 들어 산화물), 2-20nm, 바람직하게는 3-10nm의 두께를 갖는 실리콘 질화물 층과 같은 포획 층(2967) 및 층(2966)의 두께와 유사한 두께를 갖는 유전체 층(2968)(예를 들어 산화물)을 포함한다. 도 30의 영역(2933, 2934, 2935)을 형성하기 위한 물질은 도 32의 층(2966, 2967, 2968)에 적용된다.

<205> 도 32의 어레이 내에 있는 셀은 레일 스택의 상호 연결부에 존재한다. 도 32의 실시예에 있어, 저장 스택은 다이오드의 P 영역과 N 영역 사이에 배치된다. 즉, 저장 스택은 조종 소자에 포함된다. 예를 들어, 도전체(2960)는 P+ 영역(2961)을 통하여 셀 중 하나에 액세스를 제공한다. 층(2963)은 P+ 영역(2961)과 N- 영역(2955) 사이에 배치된다. 이러한 2단자 셀의 다른 콘택은 도전체(2953) 상의 영역(2954)을 통하여 존재한다.

<206> 도 32의 셀은 도 30의 셀에 대하여 상기 방법과 동일한 방법으로 프로그램되고 판독되며 소거된다.

<207> 도 32의 구성에 있어서, 주변 메모리 어레이 레벨 쌍에 있는 다이오드는 공통 도전체에 인접해 있다. 특히, 도 32를 참조하면, 메모리 어레이 레벨(2950)에 도시된 셀은 도전체(2953)에 연결된 캐소드를 갖는다. 메모리 레벨(2951)에 도시된 셀은 또한 도전체(2953)에 연결된 애노드를 갖는다. 도전체(2953)가 2개의 셀 집합으로 작용하므로 제작, 프로그래밍, 판독 및 소거가 단순해진다.

<208> 상기 참조된 출원에는 본 발명의 바람직한 저장 스택을 사용하여 3차원 어레이를 제작하는데 사용될 수 있는 상이한 레일 스택 구성을 갖는 몇 가지 실시예들이 개시되어 있다.

<209> D. 필러 다이오드 구조를 채택한 3차원 실시예

<210> 미국 특허 6,034,882에서는 3차원 메모리 어레이가 복수의 레벨을 채택하여 배치되어 있는데, 상기 레벨은 각각 서로 평행하고 분리된 도전체를 포함한다. 교대 레벨에서의 도전체들은 서로 수직이다. 필러 구조는 주변 레벨에 있는 도전체의 상호 연결부에서 형성된다. 참조 특허에서 기술한 바와 같이, 구조는 도전체와 일렬로 정렬되게 형성된다. 참조 특허에 기술된 제작 기술은 본 실시예의 전하 저장 또는 포획 영역을 갖는 셀을 채택한 메모리 어레이를 제작하는데 사용될 수 있다.

<211> 도 33을 참조하면, 제1 레벨에 도전체 또는 입력/출력(2981)을 갖고 어레이의 그 다음 레벨에 도전체(2980)를 갖는 3차원 메모리의 단일 레벨이 도시되어 있다. 필러 구조는 도전체(2980, 2981)와 일렬로 정렬되어 형성된다. 이러한 필러 구조는 본 발명에 따라 셀을 형성한다. 특히, 도 33을 참조하면, 셀은 P+ 영역(2982), N- 영역(2983) 및 저장 스택을 포함하는 조종 소자를 포함한다. 도 33에서 볼 수 있듯이, 저장 스택은 터널 산화물 영역(2984), 포획 영역(2986) 및 블록킹 산화물(2985)을 포함한다.

<212> 상기 참조 특허에 기술된 바와 같이, 도전체(2980, 2981)는 도 33에 도시된 단일 셀의 위 및 아래에 배치된 셀에 공유된다.

<213> 도 34에는, 도전체(2991)와 같은 제1 레벨에 서로 평행하고 분리된 도전체 또는 입력/출력이 있고, 도전체(2990)와 같은 그 다음 레벨에는 서로 평행하고 분리된 도전체가 있는 다른 실시예가 도시되어 있다. 필러 구조는 상기 참조된 특허에 기술되어 있듯이 도전체(2990, 2991) 사이에 제작된다. 하지만, 도 33 및 34 구조의 차이점은 블록킹 산화물(2993), 포획 영역(2994) 및 터널 산화물(2995)을 포함하는 저장 스택이 다이오드의 P 영역과 N 영역 사이에 배치된다는 점이다. 특히, 다이오드의 P+ 영역(2992)은 블록킹 산화물(2993)에 콘택하고, N- 영역은 터널 산화물(2995)에 콘택한다.

<214> 도 33 및 34에 도시된 각종 영역의 두께와 폴리실리콘 다이오드의 도핑은 본 출원에서 앞서 논의된 실시예들에 유사하다. 도 33 및 34에 나타난 구조의 프로그래밍, 판독 및 소거는 다른 실시예에 대하여 상술한 바와 같이 수행된다. 도 32, 33 및 34의 실시예에 대하여, 셀들의 어레이는 기판에 형성된 주변 회로를 가진 기판 위에 배치된다.

<215> II. 자기 정렬된(self-aligned) EEPROM TFT 어레이

<216> 상이한 필러 구조를 갖는 셀 구조로 자기 정렬된 TFT가 있다. 본 발명자는, 서로 다른 층 상의 형태 사이에 완전한 중첩을 보장하도록 하는 정렬 오류의 공차(misalignment tolerance)가 메모리 및 논리 셀 영역의 크기를 확장시킴을 인식하였다. 그리하여, 본 발명자는 정렬 오류의 공차를 요구하지 않는 것으로서 완전 정렬된(fully aligned) 메모리 또는 논리 셀 구조를 개발하였다. 그러므로, 그와 같은 셀 구조는 비트 당 (즉, 셀당) 더 작은 영역을 가지며, 더 적은 수의 마스크 단계를 사용한다. 완전 정렬된 셀 구조는 어레이 밀도를 증가시키고 다이 크기 및 비용을 감소시킨다. 게다가, 선택적으로 셀을 Z 방향으로 수직으로 쌓아올림으로써, 어레이 밀도는 더 증가되고, 그 결과 다이 크기 및 비용이 감소한다.

<217> 본 발명의 바람직한 실시예에 대하여 기술한 바와 같이, 완전 정렬 또는 자기 정렬된 메모리 또는 논리 셀을 얻는 몇 가지 다른 방법이 있다. EEPROM을 포함한 메모리 또는 논리 셀의 경우에, 완전 정렬은 제어 게이트에 워드 라인을 자기 정렬시킴으로써 얻을 수 있다. 바람직하게는, 워드 라인은 EEPROM의 소스-채널-드레인 방향에 실질적으로 병렬로 연장되지만, 반면 비트 라인은 EEPROM의 소스-채널-드레인 방향에 실질적으로 직교하여 연장된다. 이러한 구조에 있어, 비트 라인 콘택 패드(즉, 소스 및 드레인 전극)와 비트 라인 콘택 비어는 필요하지 않은데, 이는 비트 라인이 EEPROM의 소스 및/또는 드레인 영역 바로 위에 EEPROM 게이트와 자기 정렬되어 형성될 수 있기 때문이다. 더욱이, EEPROM은 완전 자기 정렬되기 때문에, 비트 라인 및 워드 라인은 실질적으로 평탄한 상부 표면을 가질 수 있고, 이는 디바이스의 신뢰성을 향상시킨다.

<218> 바람직하게는, EEPROM은 3차원 가상 접지 어레이(virtual ground array, VGA) 비휘발성 플래시 메모리에 배열된 TFT이며, 여기서 수직으로 분리된 레벨은 각각 층간 절연 층에 의하여 주변 레벨로부터 분리된다. 하지만, EEPROM은 단일 레벨 어레이 또는 벌크(bulk) 반도체 기판에 형성될 수 있다. 본 실시예의 바람직한 형태는 VGA 이외의 비휘발성 플래시 메모리 구조, 예를 들어 NOR형 메모리 및 듀얼 스트링 NOR(DuSNOR) 메모리에 적용될 수 있다. 더욱이, 본 발명은 TFT EEPROM 플래시 메모리 어레이에 한정되지 않으며, 그 범위 내에 있는 그 외의 반도체 디바이스를 포함한다. 예를 들어, 자기 정렬된 트랜지스터는 벌크 기판 내의 MOSFET이거나 절연 기판 위에 형성된 비-EEPROM TFT일 수 있다. 이러한 자기 정렬 트랜지스터는, 비-플래시 EEPROM(즉, 각 트랜지스터가 분리되어 소거되는 EEPROM), 자외선 소거 가능 PROM(EPROM), 마스크 ROM, 다이나믹 램(DRAM), 액정 표시 장치(LCD), 전계 프로그램 가능 게이트 어레이(FPGA), 및 마이크로 프로세서로서 사용될 수 있다.

<219> 도 37-44는 본 발명의 바람직한 제1 실시예에 따라 TFT EEPROM 비휘발성 플래시 메모리 어레이(4001)를 제작하는 방법을 도시한다.

<220> 먼저, 메모리 어레이의 형성을 위하여 절연 표면(즉, 절연체상 실리콘(silicon-on-insulator, SOI) 기판)이 제공된다. 기판은 실리콘 산화물 또는 질화물 층과 같은 절연 층으로 덮인 반도체(즉, 실리콘, GaAs 등) 웨이퍼, 유리 기판, 플라스틱 기판, 또는 세라믹 기판을 포함할 수 있다. 제1 실시예의 바람직한 형태로서, 기판은

CMOS(complementary metal oxide semiconductor) 트랜지스터를 기판에 형성시키는 것과 같은 종전 공정 단계를 거치는 단결정화된 벌크 실리콘 기판이 된다. CMOS 트랜지스터는 메모리 어레이 용 주변 회로 또는 구동 회로를 포함할 수 있다. 가장 바람직한 실시 형태에 있어, 회로는 로우 및 컬럼 어드레스 디코더, 컬럼 입력/출력(I/O) 및 그 외의 논리 회로를 포함한다. 그러나 필요하다면, 구동 회로는 절연체상 실리콘 기판, 유리 기판, 플라스틱 기판 또는 세라믹 기판과 같은 절연 기판 상에 형성될 수 있다. 절연체상 실리콘 기판은 웨이퍼 결합(wafer bonding), 산소 주입에 의한 분리(separation by implantation of oxygen, SIMOX) 및 실리콘 기판상 절연 층 형성과 같은 종래의 방식에 의하여 형성될 수 있다. 주변 회로가 완료된 후에, 도 37에 도시된 바와 같이, 층간 절연 층(4003)은 회로 위에 등각으로 증착된다. 층간 절연 층(4003)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, PSG, BPSG, BSG, 스핀-온 글래스(spin-on glass) 및/또는 (폴리마이드(polyimide) 등과 같은) 폴리머(polymer) 유전체 층과 같은 적합한 절연 층 중 하나 또는 그 이상을 포함한다. 층간 절연 층(4003)은 바람직하게는 화학-기계적 연마(CMP)를 사용하여 평탄화되지만, 다른 실시예에 있어서는 에치 백 또는 임의의 다른 수단에 의하여 평탄화될 수 있다.

<221> 반도체 액티브 영역 층(4005)은 그 이후에 절연 층(4003) 위에 증착되어 SOI 기판을 완성시킨다. 반도체 층은 트랜지스터 액티브 영역용으로 사용되기도 한다. 층(4005)은 20-120nm의 두께, 바람직하기로는 70nm의 두께를 가지며, 공핍 영역(depletion regime)에서 트랜지스터 게이트 아래의 공간 전하 영역이 층 전체의 위에까지 연장되도록 선택된다. 바람직하게는, 반도체 층(4005)은 제1 도전형 불순물(conductivity type dopant)로 도핑되는 비정질 또는 다결정 실리콘 층을 포함한다. 예를 들어, 층(4005)은 이온 주입 또는 확산에 의한 증착 도중 또는 증착 후에 인 시츄 도핑에 의하여 p 형 도핑될 수 있다.

<222> 필요하다면, 반도체 층(4005)의 결정도(crystallinity)는 층(4005)을 가열함으로써 향상될 수 있다. 다른 말로 하자면, 비정질 실리콘 층은 재결정화되어 폴리실리콘을 형성하거나 폴리실리콘 층의 그레인 크기를 증가시킬 수 있다. 이러한 가열은 층(4005)을 열 어닐링하거나 레이저 어닐링하는 것을 포함할 수 있다. 필요하다면, 결정화를 야기하는 촉매를 사용하여 층(4005)의 결정도를 향상시킬 수 있다. 이 공정에서, Ni, Ge, Mo, Co, Pt, Pd, 그들의 실리사이드, 또는 그 외의 전이 금속 원소와 같은 촉매 원소를 반도체 층(4005)과 콘택하도록 둘 수 있다. 그 이후에, 층(4005)은 열 및/또는 레이저 어닐링된다. 어닐링동안, 촉매 원자는 커다란 그레인의 흔적을 남기고 실리콘 층을 통하여 퍼지거나, 실리콘 결정화가 시작되는 시드(seed)로서 작용한다. 후자의 경우, 비정질 실리콘 층은 그 이후에 솔리드 위상 결정화(solid phase crystallization, SPC)에 의하여 이러한 시드로부터 측면적으로 결정화된다.

<223> 비정질층 또는 폴리실리콘 층(4005)의 증착은 단일 결정 SOI 기판이 사용되는 경우 생략될 수 있다. 이 경우, SIMOX 방법을 사용하여, 산소 이온은 단일 결정 실리콘 기판으로 깊이 주입되어 그곳에 매립된 실리콘 산화물 층을 형성한다. 단일 결정 실리콘 층은 매립된 실리콘 산화물 층 위에 남게 된다.

<224> 그 다음으로, 액티브 영역 층(4005)의 표면은 바람직하게는 불순물로부터 정제되고, 본래의 산화물은 제거된다. 전하 저장 영역(4007)은 그 이후에 층(4005) 위에 형성된다. 본 발명의 바람직한 제1 실시예에 있어, 전하 저장 영역(4007)은 산화물-질화물-산화물(ONO) 3중 유전체 층을 포함한다. 이 유전체는 터널 산화물로 호칭되는 제1 (하부) SiO_2 층, 전하 저장 $Si_3N_{4-x}O^{1.5x}$ 층(x는 0에서 1임), 및 블록킹 산화물로 호칭되는 제2 (상부) SiO_2 층을 포함한다. 터널 산화물은 액티브 영역 층(4005) 상에 열 산화작용(thermal oxidation)에 의하여 성장되거나, 대기 압력, 저압 또는 플라즈마 강화 화학적 기상 증착(APCVD, LPCVD 또는 PECVD) 또는 다른 수단에 의하여 액티브 영역 층 위에 증착된다. 터널 산화물은 1.5nm-7nm의 두께, 바람직하게는 4.5nm의 두께를 갖는다. 전하 저장 실리콘 질화물 또는 실리콘 질산화물($Si_3N_{4-x}O^{1.5x}$)층은 터널 산화물 위에 증착되고, 최소한 5nm, 바람직하게는 5-15nm, 가장 바람직하게는 6nm의 두께를 갖는다. 블록킹 산화물 층은 전하 저장 층의 표면 상에 배열되고, 3.5nm-9.5nm의 두께, 바람직하게는 5.0nm의 두께를 갖는다. 전하 저장 층 및 블록킹 층은 APCVD, LPCVD, PECVD 또는 스퍼터링과 같은 다른 방법에 의하여 증착될 수 있다.

<225> 필요하다면 서로 상이한 물질 및 상이한 층 두께가 사용될 수 있음을 주목해야 한다. 예를 들어, 전하 저장 층은 반드시 $Si_3N_{4-x}O^{1.5x}$으로 형성될 필요는 없다. 예를 들어, 제1 실시예의 대용적인 형태로서, 전하 저장 층은 실리콘 산화물, 질화물 또는 산질화물 절연 층에 분산된 실리콘, 텅스텐 또는 알루미늄 나노 결정과 같은 복수의 전기적으로 격리된 나노 결정으로 형성될 수 있다. 나노 결정 전하 저장 층이 사용되는 경우, 필요하다면 터널 및/또는 블록킹 산화물 층은 생략될 수 있다.

<226> 전하 저장 영역(4007)(즉, ONO 유전체)을 형성한 후에, 제1 게이트 층이 전하 저장 영역 위에 증착된다. 제1 게이트 층(4009)은 N+ 도핑된 폴리실리콘과 같은 임의의 도전 층을 포함할 수 있다. 그와 같은 폴리실리콘 층은 50-200nm, 바람직하게는 100nm와 같은 적합한 두께를 가질 수 있고, 10^{19}-10^{21} cm^{-3}, 바람직하게는 10^{20} cm^{-3}과 같은 적합한 불순물 집중을 가질 수 있다.

<227> 필요하다면, 보호 실리콘 산화물 층과 같은 선택적 보호 층(4011)이 제1 게이트 층(4009)의 표면 위에 형성된다. 층(4011)은 예를 들어 3-10nm, 바람직하게는 5nm의 두께를 가질 수 있다. 필요하다면 실리콘 산화물을 제외한 다른 물질이 층(4011)에 사용될 수 있다.

<228> 희생 블록킹 층(sacrificial blocking layer)(4013)은 그 이후에 보호 층(4011) 위에 증착된다. 제1 실시예의 바람직한 형태으로서, 블록킹 층은 디바이스의 다른 층들과 관련하여 선택적으로 에칭될 수 있는 임의의 도전성 또는 절연성 물질로 이루어진다. 바람직하게는, 블록킹 층(4013)은 실리콘 질화물 층을 포함한다. 블록킹 층은 임의의 두께를 가질 수 있다. 바람직하게는, 블록킹 층(4013)은 아래에 자세히 기술하는 바와 같이 전체 제어 게이트 또는 제어 게이트의 상부용으로 요구되는 두께를 갖는다. 예를 들어, 층(4013)은 100-250nm, 바람직하게는 160nm의 두께를 갖는다. 도 37은 이러한 공정 단계에서의 디바이스 단면도를 도시한다.

<229> 그 다음으로, 도 38에 도시된 바와 같이, 비트 라인 패턴이 역방향 비트 라인 마스크를 사용하여 공정 중인 디바이스 웨이퍼 또는 기판으로 옮겨진다. 이러한 마스크에 있어, 투명한 영역은 비트 라인을 정의하고, 불투명한(즉, 어두운) 영역은 비트 라인 사이의 간격을 정의한다. 예를 들어, 양의 포토리지스트 층(도 38에는 도시되지 않음)은 블록킹 층(4013) 위에 형성되고, 그 이후에 역방향 비트 라인 마스크를 통하여 노출되어 현상된다. 물론, 음의 포토리지스트 층이 사용되면, 마스크의 투명 영역과 불투명 영역은 서로 바뀐다.

<230> 포토리지스트 층을 마스크로 사용하여 마스크 형태를 블록킹 질화물(4013), 보호 산화물(4011) 및 제1 게이트 층(4009)에 에칭함으로써, 복수의 게이트 스택(4015)을 형성한다. ONO 유전체(4007)는 에치 정지 층(etch stop layer)으로 작용한다. 그 이후에, 포토리지스트 층은 패턴화된 게이트 스택(4015)으로부터 스트립된다. 포토리지스트는 블록킹 질화물(4013)이 에칭된 이후에 제거될 수 있는데, 이 경우 질화물은 제1 게이트 층(4009)을 에칭하기 위하여 하드 마스크(hard mask)로 사용될 수 있다. 게이트 스택(4015)은 패턴화된 제1 게이트 전극(9), 선택적인 보호 산화물(4011) 및 패턴화된 블록킹 층(4013)을 포함한다. 필요하다면, 실리콘 질화물, 산질화물 또는 산화물의 얇은 층을 성장시켜 제1 게이트 전극(4009) 측벽을 밀폐시킨다.

<231> 트랜지스터 소스 및 드레인 영역(4017)은 게이트 스택(4015)을 마스크로 사용하여 자기 정렬된 이온 주입에 의하여 형성된다. 포토리지스트 층은 이러한 주입 동안 게이트 스택 상에 남겨질 수도 있고, 주입을 하기 전에 제거될 수도 있다. 이온 주입은 ONO 유전체(4007)를 통하여 수행된다. 하지만, 필요하다면, 게이트(4009) 사이의 ONO 유전체의 부분은 이온 주입 전에 제거될 수 있다.

<232> 액티브 영역(4005)의 채널 영역(4019)은 게이트 전극(4009) 아래에 위치한다. 영역(4017)은 채널(4019)의 제1 도전형 불순물과는 다른 제2 도전형 불순물로 도핑된다. 그러므로, 채널(4019)이 p 형 도핑되면 소스 및 드레인 영역(4017)은 n 형 도핑되며, 그 반대의 경우도 성립한다. 도38은 이러한 공정 단계에 있는 디바이스를 보여준다.

<233> 메모리 어레이에 있어, "소스" 및 "드레인" 지정은 임의적이다. 그러므로, 영역(4017)은 비트 라인이 제공되는 가에 의존하여 "소스" 또는 "드레인"으로 간주된다. 더욱이, 어떠한 전계 산화물 영역도 바람직하게는 메모리 어레이에 사용되지 않으므로, 각 영역(4017)은 2개의 게이트 전극(4009) 사이에 위치한다. 그러므로, 특정 영역(4017)은 하나의 게이트(4009)와 관련하여 "소스"로 간주되고 다른 게이트(4009)와 관련하여 "드레인"으로 간주될 수 있다.

<234> 그 다음으로, 도 39에 도시된 바와 같이, 게이트 스택 측벽 스페이서(4021)가 게이트 스택(4015)의 측벽 상에 형성된다. 바람직하게는, 블록킹 층(4013)이 실리콘 질화물을 포함하는 경우, 스페이서(4021)는 실리콘 산화물을 포함한다. 하지만, 스페이서는 스페이서(4021)를 실질적으로 에칭하지 않고 블록킹 층(4013)이 선택적으로 에칭되도록 하는 임의의 물질을 포함할 수 있다. 예를 들어, 스페이서(4021)는 블록킹 층(4013)이 실리콘 산화물을 포함하는 경우 실리콘 질화물을 포함할 수 있다. 스페이서(4021)는 바람직하게는 이방성 산화물 에칭에 앞서서, 스택(4015) 상에 실리콘 산화물 층의 등각 증착(conformal deposition)에 의하여 형성된다. 스페이서 에칭 공정은 ONO 유전체가 소스 및 드레인 영역(4017)을 노출시키는 에칭 공정으로 끝난다. 필요하다면, 게이트 스택(4015) 및 스페이서(4021)를 마스크로서 사용함으로써 부가적인 자기 정렬 이온 주입에 의하여 소스 및 드레인 영역(4017)에서의 도핑이 이 시점에서 증가될 수 있다. 만약 그러하다면, 스페이서 형성 전에 주입을

사용하여 약하게 도핑된 소스/드레인(LDD) 형성할 수 있다.

<235> 그 이후에 살리사이드 공정이 사용되어, 자기 정렬 방식으로 실리콘 소스 및 드레인 영역(4017)에서 실리사이드 영역(4023)을 형성한다. 살리사이드 공정은 세 단계를 포함한다. 첫째로 Ti, W, Mo, Ta 등과 같은 금속 또는 Co, Ni, Pt 또는 Pd와 같은 전이 금속의 층이 게이트 스택(4015)의 블록킹 층(4013), 노출된 영역(4017) 및 측벽 스페이서(4021) 위에 블랭킷 증착된다. 디바이스는 어닐링되어 직접 야금 반응에 의하여 실리사이드화를 수행하는데, 이러한 직접 야금 반응(direct metallurgical reaction)에서는 금속 층이 영역(4017)에서 실리콘과 반응하여 영역(4017) 상에 실리사이드 영역(4023)을 형성한다. 스페이서(4021) 및 블록킹 층(4013) 상에 반응하지 않고 남은 금속은, 예를 들어 피라냐 용액(piranha solution)에 의한 선택적 에칭에 의하여 제거된다. 실리사이드 영역(4023) 및 도핑된 실리콘 영역(4017)은 함께 비트 라인(4025)을 포함한다. 도 39는 이러한 제작 단계에 있는 디바이스를 보여준다.

<236> 그 이후에 등각 절연 층(4027)이 증착되어 비트 라인(4025) 위와 측벽 스페이서(4021) 사이의 트랜치(trench)를 채우게 된다. 절연 층(4027)은 실리콘 산화물, 실리콘 산질화물, PSG, BPSG, BSG, 스핀-온 글래스, (폴리마이드 등과 같은) 폴리머 유전체 층 및/또는 블록킹 층(4013)의 물질과 다른 임의의 다른 절연 물질과 같은 절연 물질을 포함할 수 있다. 절연 층(4027)은 그 이후에 화학-기계적 연마(CMP), 에치 백 및/또는 게이트 스택(4015) 상의 실리콘 질화물 블록킹 층(4013)의 상부 표면을 노출시키는 임의의 다른 수단을 사용하여 평탄화 된다. 도 40은 평탄화 단계 이후의 디바이스를 보여준다.

<237> 그 다음으로, 스페이서(4021) 및 절연 층(4027)을 실질적으로 에칭하지 않고 블록킹 실리콘 질화물 층(4013)을 선택적으로 에칭한다. 보호 산화물 층(4011)은, 만약 존재한다면, 그 이후에 스택(4015)에의 제1 게이트 전극(4009)의 상부 표면으로부터 에칭함으로써 제거된다. 도 41에 도시된 바와 같이, 이러한 에칭 단계는 각 게이트(4009) 위에 게이트 콘택 비어(4029)를 형성시킨다. 게이트 콘택 비어(4029)의 폭은 제1 게이트 전극(4009)의 폭과 실질적으로 동일한데, 이는 비어 측벽이 측벽 스페이서(4021)의 안쪽 측벽이기 때문이다. 그러므로, 게이트(4009) 위로 연장된 측벽 스페이서(4021)에 의하여 비어(4029)가 제한되므로, 게이트 콘택 비어(4029)는 게이트(4009)에 자기 정렬된다. 게이트 콘택 비어(4029)를 형성하기 위하여 어떠한 포토리소그래피 마스킹 단계도 필요하지 않다.

<238> 도 42에 도시된 바와 같이, 제2 게이트 전극 도전성 물질(4031)이 그 이후에 전체 디바이스 위에 증착된다. 바람직하게는, 물질(4031)은 제1 N+ 도핑된 폴리실리콘 층(4033), (TiSi 또는 WSi 등과 같은) 실리사이드 층 및 제2 N+ 도핑된 폴리실리콘 층(4037)을 포함하는 다중층 스택으로 구성된다. 폴리실리콘 층(4033, 4037)은 100-300nm 두께, 바람직하게는 200nm 두께를 갖는다. 실리사이드 층(4035)은 50-100nm 두께, 바람직하게는 60nm의 두께를 갖는다. 이와 달리, 제2 게이트 물질은, 제1 게이트 전극(4009)과 양질의 오믹 콘택(ohmic contact)을 만드는 강하게 도핑된 비정질 또는 다결정 실리콘, 실리사이드 및 금속의 다른 조합 또는 실리사이드, 금속 또는 단일층으로 형성될 수 있다.

<239> 그 다음으로, 포토리지스트 층(도시되지 않음)이 물질(4031) 위에 인가되고 워드 라인 마스크를 통하여 노출되며 현상된다. 포토리지스트 층은 제2 게이트 전극 물질(4031)을 에칭하기 위한 마스크로 사용되어 복수의 워드 라인(4041)을 형성한다. ONO 스택(4007) 및 노출된 액티브 영역 층(4005)은 그 이후에 워드 라인(4041)을 마스크로 사용하여 에칭된다. 포토리지스트 층은 이러한 에칭 단계에서 워드 라인(4041) 상에 남아 있을 수도 있고, 에칭 단계 이전에 제거될 수도 있다. 액티브 영역 층(4005) 아래의 하부 절연 층(4003) 및 비트 라인(4025) 위의 집적 절연 층(4027)은 에치 정지 층으로 작용한다. 그러므로, 제2 게이트 전극 물질(4031)은 도 43에 도시된 바와 같이 집적 절연 층(4027) 위에 놓인 복수의 워드 라인(4041)에 패턴화되고, 도 44에 도시된 바와 같이 물질(4031)이 비어(4029)에 연장되어 있는 제1 게이트 전극의 상단부(4043)에 패턴화된다. 도 43은 도 42의 A-A 선을 따른 횡단면이고, 도 44는 도 42의 B-B 선을 따른 횡단면이다. 그러므로, 워드 라인을 게이트에 정렬시키기 위하여 포토리쏘그래피 단계가 요구되지 않으므로, 워드 라인(4041)은 제어 게이트(4009/4043)에 자기 정렬된다.

<240> 필요하다면, 노출된 액티브 영역(4005) 및 게이트 전극(4009, 4043) 측벽은, 예를 들어 열 질화 또는 산화에 의하여 실리콘 질화물 또는 산화물의 박막층을 성장시킴으로써 선택적으로 밀폐될 수 있다. 이것은 메모리 어레이의 제작을 완성시킨다. 절연 층이 그 이후에 증착되는데, 만약 평탄화가 필요하다면 워드 라인(4041) 위에 증착된다.

<241> 워드 라인은 셀의 각 TFT의 액티브 영역(4005)(즉, 채널 영역 (4019)) 및 전하 저장 영역(4007)과 동일한 마스크를 사용하여 패턴화되므로, 워드 라인 포토리쏘그래피 단계는 정렬 오류의 공차를 필요로 하지 않는다. 그러

므로, 워드 라인(4041)은 자기 정렬된 비어(4029)에 증착됨으로써 TFT EEPROM의 제어 게이트(4009/4043)에 자기 정렬될 뿐만 아니라, 각 메모리 셀의 채널 영역(4019) 및 전하 저장 영역(4007)에 자기 정렬된다. 완전 자기 정렬된 메모리 셀을 사용함으로써, 비싸고 시간을 소모하는 포토리쏘그래피 공정의 횟수가 줄어든다. 더욱이, 각 셀에 어떠한 정렬 오류의 공차도 요구되지 않으므로, 셀 밀도가 증가한다. 제1 실시예의 디바이스의 다른 장점은, 두꺼운 집적 절연 층(4027)이 비트 라인(4025) 및 워드 라인(4041) 사이에 위치하므로 비트 라인 및 워드 라인 사이의 단락 회로의 발생 가능성 및 기생 용량(parasitic capacitance)이 감소한다는 것이다.

<242> 도 45 및 46은 본 발명의 바람직한 제2 실시예에 따른 TFT EEPROM 비휘발성 플래시 메모리 어레이를 제작하는 방법을 도시한다. 바람직한 제2 실시예의 방법은 희생 블록킹 층(4013)이 생략되었다는 것을 제외하고는 도 37-44에 도시된 제1 실시예와 동일하다.

<243> 도 45는 바람직한 제2 실시예에 따른 공정 중의 반도체 디바이스(4100)를 도시한다. 도 45에 도시된 디바이스(4100)는 도 40의 디바이스(4001)와 공정에 있어 동일한 단계에 있다. 디바이스(4100)는 층간 절연 층(4103), 액티브 층(4105), 전하 저장 영역(4107)(예를 들어, ONO 스택 또는 격리된 나노 결정), 소스 및 드레인 영역(4117), 채널 영역(4119), 실리사이드 영역(4123) 및 비트 라인(4125)을 포함한다.

<244> 디바이스(4100)의 게이트 전극(4109)은 제1 실시예에서의 게이트 전극(4009)보다 두껍게 제작된다. 예를 들어, 게이트 전극(4109)은 160-360nm, 바람직하게는 260nm 의 적합한 두께를 가질 수 있다. 블록킹 층(4013)이 생략되었으므로, 게이트 측벽 스페이서(4121)는 소스 및 드레인 영역(4117)의 생성 후에 보호 실리콘 산화물 층에 의해 덮히는 패턴화된 게이트 전극(4109) 상에 형성된다. 측벽 스페이서(4121)는 게이트 전극(4109)의 상부에까지 연장된다. 실리사이드 영역(4123)은 그 이후에, 금속 층을 증착시키고 금속 층을 소스 및 드레인 영역(4117)과 반응시킴으로써 소스 및 드레인 영역(4117) 상에 형성된다. 실리콘 산화물 보호 층에 의하여 덮인 게이트 전극(4109) 및 측벽 스페이서(4121) 상에는 어떠한 실리사이드도 형성되지 않는다. 절연 층(4127)은 그 이후에 측벽 스페이서(4121) 사이와 게이트 전극(4109) 위에 증착된다. 바람직하게는, 층(4127)은 실리콘 산화물이지만, 제1 실시예에서와 마찬가지로 임의의 다른 절연 물질을 포함할 수도 있다. 층(4127)은 그 이후에 평탄화되어 게이트 전극(4109)의 상부 표면이 노출된다. 절연 층(4127)은 바람직하게는 CMP에 의하여 평탄화되지만, 에치 백 및/또는 임의의 다른 방법에 의하여 평탄화될 수 있다. 도 45에 도시된 바와 같이, 평탄화를 하는 동안, 보호 실리콘 산화물 층이 또한 제거되어, 게이트 전극(4109)의 상부 표면이 노출된다.

<245> 질화물 블록킹 층(4013) 선택 에치 백 과정은 제2 실시예에 있어 수행되지 않으므로, 스페이서(4121)는 실리콘 산화물보다는 실리콘 질화물로 구성하는 것이 좋다. 실리콘 질화물 스페이서는 산화물 스페이서보다 아래에 놓인 형상(topography)에 더 잘 따르기 때문에 보다 유리하다.

<246> 바람직한 제1 실시예에서의 어레이와 마찬가지로 게이트 전극(4109)이 노출된 후에 바람직한 제2 실시예의 메모리 어레이가 완료된다. 제1 실시예에서와 같이, 하나 또는 그 이상의 도전 층이 측벽 스페이서(4121)의 상부 및 노출된 게이트 전극(4109)의 바로 위에 증착된다. 예를 들어, 도전 층은 폴리실리콘 층(4133, 4137) 사이에 실리사이드 층(4135)을 포함할 수 있다. 도 46에 도시된 바와 같이, 도전 층은 그 이후에 패턴화되어 노출된 게이트 전극(4109)에 콘택하는 복수의 워드 라인(4141)을 형성시킨다. 동일한 패턴화 과정 동안, 전하 저장 영역(4107) 및 액티브 층(4105)이 제1 실시예에서와 같이 패턴화된다. 그러므로, 포토리쏘그래피 과정이 워드 라인을 게이트에 정렬시키는데 요구되지 않으므로, 워드 라인(4141)은 제어 게이트 전극에 자기 정렬된다.

<247> 필요하다면, 노출된 액티브 영역(4105) 및 게이트 전극(4109) 측벽은, 예를 들어 열 질화 또는 산화에 의하여 실리콘 질화물 또는 산화물의 박막층을 성장시킴으로써 선택적으로 밀폐될 수 있다. 이것은 메모리 어레이의 제작을 완성시킨다. 절연 층이 그 이후에 증착되는데, 만약 평탄화가 필요하다면 워드 라인(4141) 위에 증착된다.

<248> 워드 라인은 셀의 각 TFT의 액티브 영역(4105) 및 전하 저장 영역(4107)과 동일한 마스크를 사용하여 패턴화되므로, 워드 라인 포토리쏘그래피 단계는 정렬 오류의 공차를 필요로 하지 않는다. 그러므로, 워드 라인(4141)은 스페이서(4121) 및 게이트(4109)의 노출된 상부 표면 바로 위에 증착됨으로써 TFT EEPROM의 제어 게이트(4109)에 자기 정렬될 뿐만 아니라, 각 메모리 셀의 채널 영역(4119) 및 전하 저장 영역(4107)에 자기 정렬된다. 완전 자기 정렬된 메모리 셀을 사용함으로써, 비싸고 시간을 소모하는 포토리쏘그래피 공정의 횟수가 줄어든다. 각 셀에 어떠한 정렬 오류의 공차도 요구되지 않으므로, 셀 밀도가 증가한다. 더욱이, 제1 실시예의 선택적 에칭 과정 및 클로킹 질화물 증착을 제거시킴으로써 3개의 과정이 줄어들게 되고, 이는 공정 흐름을 단순화시킨다.

<249> 도 47은 본 발명의 바람직한 제3 실시예에 따른 TFT EEPROM 비휘발성 플래시 메모리 어레이(4200)를 도시한다. 바람직한 제3 실시예의 방법 및 디바이스는, 전하 저장 영역이 제1 또는 제2 실시예에서와 같은 ONO 스택 또는 격리된 나노 결정이 아니라 전기적으로 격리된 플로팅 게이트를 포함하는 것을 제외하고는 도 37 ~ 도 46에 도시된 제1 또는 제2 실시예와 동일하다.

<250> 도 47에 도시된 바와 같이, 비휘발성 트랜지스터(즉, TFT EEPROM)는 플로팅-게이트 전계 효과 트랜지스터로 만들어진다. 이 경우, 전기적으로 격리된 나노 결정을 포함한 산화물 층 또는 ONO 스택을 포함하는 유전체 삼중층이 터널 실리콘 산화물 층(4206)과 같은 터널 유전체로 대체된다. 터널 산화물(4206)은 5-10nm, 바람직하게는 7nm의 두께를 갖는다. 터널 산화물 층(4206)은 제1 및 제2 실시예에서와 같이 액티브 영역(4205) 위에 형성된다. 제1 게이트 전극(4209)은 제1 및 제2 실시예에서와 같이 터널 산화물 층(4206) 상에 형성되고 패턴화된다. 하지만, 제3 실시예에 있어서, 제1 게이트 전극(4209)은 제어 게이트보다는 플로팅 게이트를 포함한다. 플로팅 게이트(4209)는 제1 및 제2 실시예에서와 같이, 트랜지스터 터널(4219)에 자기 정렬된다.

<251> 도 47에 도시된 디바이스는 도 42의 디바이스와 공정 단계에 있어 동일하다. 디바이스는 기판(4203), 소스 및 드레인 영역(4217), 채널 영역(4219), 플로팅 게이트(4209) 측벽에 인접한 측벽 스페이서(4221), 실리사이드 영역(4223), 비트 라인(4225) 및 절연 층(4227)을 포함한다.

<252> 제1 및 제2 실시예로부터의 다른 변경은 도 47에 도시된 바와 같이, 플로팅 게이트(4209) 위에 제어 게이트 유전체(4212)를 형성하는 것이다. 제어 게이트 유전체는 8-20nm, 바람직하게는 12nm와 같은 임의의 적절한 두께를 가질 수 있다. 제어 게이트 유전체(4212)는 열 산화에 의하여 제어 게이트 상에 성장되거나 CVD 또는 다른 방법에 의하여 제어 게이트 상에 증착될 수 있다. 제어 게이트 유전체는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 ONO 스택을 포함할 수 있다. 도 47에 도시된 바와 같이, 제어 게이트(4243) 및 워드 라인(4241)은 그 이후에 제1 및 제2 실시예에서와 같이 제어 게이트 유전체(4212) 위에 증착되고 패턴화되어 디바이스를 완성시킨다. 제어 게이트 유전체(4212) 및 제어 게이트(4243)는 측벽 스페이서(4221) 내부에 위치한다.

<253> 도 48a-c 및 49a-c는 도 47에 도시된 디바이스(4200)에서 하나의 TFT(즉, 하나의 셀)를 만드는 2개의 다른 방법을 도시한다. 바람직한 제1 방법에 따라, 플로팅 게이트(4209), 보호 층(4211) 및 선택적인 희생 블록킹 층(4213)을 포함하는 게이트 스택(4215)은 터널 유전체(4206) 위에 형성된다. 소스 및 드레인 영역(4217)은 채널 영역(4219)이 터널 유전체(4206) 아래에 형성되도록 게이트 스택(4215)을 마스크로 사용하여 액티브 영역(4205)에 삽입된다. 그 이후에, 측벽 스페이서(4221)는 게이트 스택(4215) 위에 형성된다. 절연 층(4227)은 스페이서에 인접하게 형성되고 평탄화되어, 도 48a에 도시된 바와 같이 블록킹 층(4213)을 노출시킨다.

<254> 그 이후에, 도 48b에 도시된 바와 같이, 보호 층(4211) 및 블록킹 층(4213)은 에칭에 의하여 제거된다. 이것은 게이트 콘택 비어(4229)를 형성한다. 비어(4229) 측벽은 플로팅 게이트(4209) 위에 연장된 측벽 스페이스(4221)이다.

<255> 제어 게이트 유전체(4212)는 그 이후에 도 48c에 도시된 바와 같이, 비어(4229) 내에 노출된 플로팅 게이트(4209) 상에, 예를 들어 열 산화에 의하여 형성된다. 그 이후에, 하나 또는 그 이상의 도전 층이 게이트 콘택 비어(4229) 및 절연 층(4227) 위에 증착된다. 이러한 층들은 패턴화되어 비어(4229)에 제어 게이트(4243)를 형성하고, 층(4227) 위에 워드 라인(4241)을 형성한다. 제어 게이트 유전체(4212)는 플로팅 게이트(4209)로부터 제어 게이트(4243)를 분리시킨다.

<256> 바람직한 제2 방법에 따라, 플로팅 게이트(4209), 제어 게이트 유전체(4212) 및 희생 블록킹 층(4213)을 포함하는 게이트 스택(4215)은 터널 유전체(4206) 위에 형성된다. 소스 및 드레인 영역(4217)은 채널 영역(4219)이 터널 유전체(4206) 아래에 형성되도록 게이트 스택(4215)를 마스크로 사용하여 액티브 영역(4205)에 삽입된다. 그 이후에, 측벽 스페이서(4221)는 게이트 스택(4215) 위에 형성된다. 절연 층(4227)은 스페이서에 인접하여 형성되고 평탄화되어 도49a에 도시된 바와 같이, 블록킹 층(4213)을 노출시킨다.

<257> 그 이후에, 도 49b에 도시된 바와 같이, 블록킹 층(4213)은 에칭에 의하여 제거되어 제어 게이트 유전체(4212)를 노출시킨다. 이것은 게이트 콘택 비어(4229)를 형성한다. 비어(4229) 측벽은 플로팅 게이트(4209) 및 유전체(4212) 위에 연장된 측벽 스페이스(4221)이다. 블록킹 층(4213)은 필요하다면 이 경우에 비어(4229)에 남게 되는 강하게 도핑된 폴리실리콘으로 구성될 수 있다.

<258> 도 49c에 도시된 바와 같이, 하나 또는 그 이상의 도전 층이 게이트 콘택 비어(4229) 및 절연 층(4227) 위에 증착된다. 이러한 층은 패턴화되어 비어(4229)에 제어 게이트(4243)를 형성하고 층(4227) 위에 워드 라인(4241)을 형성한다. 제어 게이트 유전체(4212)는 플로팅 게이트(4209)로부터 제어 게이트(4243)를 분리시킨다.

<259> 도 48a-c 및 49a-c의 방법에 있어서, 워드 라인(4241)은 제어 게이트(4243), 제어 게이트 유전체(4212) 및 플로팅 게이트(4209)에 자기 정렬된다.

<260> 도 50은 본 발명의 바람직한 제4 실시예의 바람직한 제1 형태에 따른 TFT EEPROM 비휘발성 플래시 메모리 어레이를 도시한다. 바람직한 제4 실시예의 방법 및 디바이스는, 제어 게이트 유전체가 측벽 스페이서 위에 위치하는 것을 제외하고는 도 47에 도시된 제1 실시예와 동일하다. 더욱이, 블록킹 층(4213)은 생략되었다. 도 50에 도시된 바와 같이, 측벽 스페이서(4221)는 바람직한 제2 실시예의 디바이스와 유사하게 플로팅 게이트(4209)의 상부까지 연장된다. 제어 게이트 유전체(4212)는 플로팅 게이트(4209), 측벽 스페이서(4221) 및 절연 층(4227) 위에 증착된다. 워드 라인(4241)은 그 이후에 제1 및 제2 실시예에서와 같이, 제어 게이트 유전체(4212) 위에 증착되고 패턴화된다. 도 50의 디바이스에 있어, 워드 라인(4241)은 워드 라인 및 제어 게이트로 동작한다. 그러므로, 분리된 제어 게이트는 생략될 수 있다. 워드 라인(4241)은 플로팅 게이트(4209)에 자기 정렬된다. 워드 라인(4241)은 폴리실리콘 층(4233, 4237) 사이의 실리사이드 층(4235)와 같은 하나 또는 그 이상의 층을 포함한다.

<261> 도 51은 본 발명의 제4의 바람직한 실시예의 제2의 바람직한 형태에 다른 TFT EEPROM 비휘발성 플래시 메모리 어레이(4300)를 나타낸다. 이 바람직한 형태의 디바이스 및 방법은, 플로팅 게이트의 상부가 측벽 스페이서 위로 연장된 것을 제외하고는 도 50에 나타낸 것과 동일하다. 도 51에 나타낸 디바이스는 도 47 및 도 50의 디바이스와 동일한 처리 단계에 있다. 도 51에 나타냈듯이 상기 디바이스는 층간 절연 층(4303), 터널 유전체(4306), 소스/드레인 영역(4317), 채널 영역(4319), 실리사이드 영역(4323), 비트 라인(4325) 및 절연 층(4327)을 포함한다.

<262> 도 51에 나타낸 디바이스는, 도 48a, b에 나타나고 위에서 설명한 처리 단계를 포함한다. 따라서, 도 48b와 마찬가지로 플로팅 게이트(4309)의 하부는 플로팅 게이트의 하부 위로 연장된 측벽 스페이서(4321) 사이의 게이트 콘택 비어(4329)에 노출되어 있다. 그러나, 비어(4329) 안에 제어 게이트 유전체(4312)를 형성하는 대신, 플로팅 게이트(4310)의 상부가 상기 비어에 증착되어 있다. 플로팅 게이트(4310)의 상부는 도핑된 폴리실리콘 층과 같은 도전 층을 비어(4329), 스페이서(4321) 및 절연 층(4327) 위로 증착함으로써 형성되어 비어(4329) 안의 노출된 플로팅 게이트(4309)에 콘택된다. 도전 층은 포토리쏘그래피를 사용하여 플로팅 게이트(4310) 상부로 패턴화되어, 측벽 스페이서(4321)의 수직상에 연장된다. 바람직하게는 도전 층은 스페이서(4321) 위에도 수평하게 연장된다. 따라서, 상부 게이트 부분(4310)은 "T"자 모양을 갖는다. 그 후, 게이트 유전체(4312)는 온도의 증가, CVD 및/또는 기타 다양한 증착 기술(예를 들어, 스퍼터링)에 의하여 플로팅 게이트(4310) 상부의 노출된 상부 표면에 형성된다. 그 후, 하나 또는 그 이상의 도전 층(4333, 4335, 4337)이 제어 게이트 유전체(4312) 위에 증착되고 워드 라인(4341)으로 패턴화된다. 예를 들어, 제1의 바람직한 실시예에서와 같이, 도전 층은 도핑된 폴리실리콘 층(4333, 4337)들 사이에 개재된 실리사이드 층(4335)이어도 좋다. 제4의 바람직한 실시예에서는 워드 라인(4341)이 TFT의 제어 게이트로서 작용한다. 제4 실시예에서의 플로팅 게이트(4309/4310)의 상부 표면이 제3 실시예에서보다 넓으므로, 제3 실시예와 비교하여 제4 실시예에서의 TFT에서는 플로팅 게이트와 제어 게이트/워드 라인 사이의 면적이 증가한다. 플로팅 게이트와 제어 게이트/워드 라인 사이의 면적의 증가는 플로팅 게이트와 제어 게이트/워드 라인 사이의 용량성 커플링(capacitive coupling)을 증가시키기 때문에 유리하다.

<263> 제4 실시예에서의 바람직한 형태에서는, 플로팅 게이트(4310) 상부의 위 표면에 텍스처화(texturing) 또는 조면화(roughening)하여 플로팅 게이트와 제어 게이트/워드 라인 사이의 용량성 커플링을 더욱 증가시킨다. 예를 들면, 적어도 플로팅 게이트(4310) 상부 표면이 반구형 그레인 실리콘(hemispherical grain silicon: HSG)으로 만들어져도 좋고, 또는 플로팅 게이트(4310) 상부 표면이 에칭 또는 거친 연마(coarse polishing)에 의해 조면화 해도 좋다. 다시 말하면, 플로팅 게이트(4310) 상부는 DRAM 커패시터의 하부 도전판을 텍스처화하거나 조면화하는 방법과 마찬가지로 텍스처화 또는 조면화 해도 좋다.

<264> 제1 내지 제4의 바람직한 실시예는 TFT EEPROM 비휘발성 플래시 메모리 어레이를 나타내고 설명하고 있으나, 본 발명은 이에 한정하여 생각해서는 안된다. 예를 들면, 본 발명의 바람직한 실시예에 따라 TFT EEPROM 어레이에서 자기 정렬된 워드 라인이라기보다는 어떠한 게이트 라인이라도 MOSFET(metal oxide semiconductor field effect transistor) 게이트에 자기 정렬될 수 있다. 더욱이, 상기 EEPROM 어레이는 층간 절연 층 위보다는 벌크 실리콘 기판에 형성될 수 있다.

<265> 제1 내지 제4의 바람직한 실시예는 수평 레벨에서 워드 라인과 비트 라인의 교차점 어레이(cross-point array) 및 이를 만드는 방법을 나타내고 설명하고 있다. 각 메모리 셀은 단일의 프로그램 가능한 전계 효과 트랜지스

터(즉, TFT)로 구성되며, 그 소스 및 드레인은 각각 j 번째 비트 라인과 (j+1) 번째 비트 라인에 연결되고, 제어 게이트는 k 번째 워드 라인을 구성하거나 연결되어 있다. 상기 메모리 배치는 NOR 버츄얼 그라운드 어레이(NOR Virtual Ground: NVG 혹은 NGA)로 알려져 있다. 원한다면, 상기 메모리 어레이는 VGA 외에, 예를 들면 NOR 형태 메모리나 듀얼 스트링 NOR(DuSNOR) 메모리와 같은 비휘발성 플래시 메모리 구조로 배열될 수 있다. 두 개의 인접한 셀 스트링이 공통의 소스 라인을 공유하면서 서로 다른 드레인 라인을 사용하는 상기 DuSNOR 구조는 "K. S. Kim" 등의 IEDM-95, (1995) 263 쪽에 설명되어 있으며, 참조를 위해 여기에 첨부하였다. 상기 DuSNOR 메모리는 추가적인 마스킹 단계가 사용되어 인접한 셀의 드레인 영역을 분리하기 위하여 액티브 영역 층을 패턴화 하는 것을 제외하고는 VGA 메모리와 동일한 처리를 사용하여 제조될 수 있다. 본 발명의 제1 내지는 제3 실시예의 일련의 처리과정은 오로지 두 개의 포토리쏘그래피 마스킹 단계가 요구된다. 상기 마스킹 단계 중 하나는 게이트 패턴화/자기 정렬된 비트 라인 형성을 위한 것이다. 나머지 마스킹 단계는 워드 라인 패턴화를 위한 것이다. 본 발명의 바람직한 실시예에 대한 방법은 자기 정렬을 이용하여 마스크 사이의 정렬 내성을 감소시킨다. 앞서의 처리과정에 의해 얻어진 메모리 셀은 대략 $4F^2$이다. 여기서, F는 최소 형태 크기이다(즉, 0.18 미크론 반도체 프로세스에서 0.18 미크론). "대략"이라는 용어는 균일하지 않은 처리 조건이나 소정의 처리 파라미터에서 비롯되는 작은 편차에서 오는 작은 편차(10% 이하)를 허용한다. 트랜지스터에서 사용되는 전하 저장 매체가 예를 들어 질화물 또는 산화 질화물(즉, ONO 전하 저장 매체를 사용한다)로부터 형성된 것처럼 도전성이 아니거나 전기적으로 격리된 나노 결정이라면, 전하 저장의 국소화 성질은 셀 당 두 비트가 저장되도록 이용될 수 있다. 이런 경우에는 비트 당 유효 셀 영역은 대략 $2F^2$가 된다.

<266> 제1 내지 제4의 바람직한 실시예의 NVG 어레이는 수평면 NVG 어레이의 수직적 스태킹(stacking)에 매우 적절하다. 도 52는 본 발명의 제5의 바라직한 실시예에 따른 3차원 메모리 어레이(4400)를 나타낸다. 상기 3차원 메모리 어레이는 본 발명의 제1, 제2, 제3 또는 제4의 바람직한 실시예에 따라 만들어진 TFT EEPROM의 3차원 배열을 포함한다. 각 TFT EEPROM은 채널(4419), 소스 및 드레인 영역(4417), 제어 게이트(4443), 제어 게이트 측벽 스페이서(도 52에서는 명확성을 위해 도시하지 않음) 및 상기 채널과 상기 제어 게이트 사이의 전하 저장 영역(4407)을 포함한다. 상기 전하 저장 영역은 ONO 유전체, 격리된 나노 결정(isolated nanocrystal) 또는 플로팅 게이트를 포함할 수 있다.

<267> 상기 메모리 어레이는 또한 복수의 비트 라인 컬럼(4425)을 포함할 수 있으며, 각 비트 라인은 복수의 TFT EEPROM의 소스 또는 드레인 영역(4417)과 콘택한다. 비트 라인(4425)의 컬럼은 TFT EEPROM의 소스-채널-드레인 방향과 실질적으로 수직인 방향으로 뻗어 있다(즉, "실질적으로 수직"이라는 말에는 수직 방향과 약간의 편차가 존재한다는 것을 내포한다). 여기서, 비트 라인(4425)의 컬럼은 어레이(4400) 전체 혹은 단지 어레이(4400)의 일부분에 걸쳐서 TFT EEPROM의 소스-채널-드레인 방향과 실질적으로 수직인 방향으로 뻗을 수 있음을 알아야 한다. 각 디바이스 레벨에 있는 상기 비트 라인은 게이트간 절연 층 밑으로 뻗어 있는 레일과 같은 모양을 하고 있다. 상기 비트 라인은 소스 및 드레인 도핑 단계에서 형성된 매립된 확산 영역(buried diffusion region)과 그 위의 실리사이드 층(overlying silicide layer)을 포함한다. 상기 소스 및 드레인 영역은 워드 라인이 비트 라인과 교차하는 즉 그 위로 지나가는 지점의 비트 라인에 형성되고 상기 도핑된 영역은 EEPROM 채널 영역과 인접하여 위치한다.

<268> 메모리 어레이는 또한 복수의 워드 라인 로우(4441)를 포함한다. 각 워드 라인은 복수의 TFT EEPROM(4400)의 제어 게이트(4443)와 콘택된다(또는 워드 라인이 상기 제어 게이트를 구성한다). 워드 라인의 로우는 TFT EEPROM의 소스-채널-드레인 방향과 실질적으로 평행하게 뻗어 있다(즉, "실질적으로 평행"이라는 말에는 평행 방향과 약간의 편차가 존재한다는 것을 내포한다). 여기서, 워드 라인(4441)의 로우는 어레이(4400) 전체 혹은 단지 어레이(4400)의 일부분에 걸쳐서 TFT EEPROM의 소스-채널-드레인 방향과 실질적으로 평행인 방향으로 뻗을 수 있음을 알아야 한다. 복수의 워드 라인(4441)은 TFT EEPROM 어레이의 제어 게이트(4443)에 자기 정렬되어 있다(혹은 워드 라인 자체가 제어 게이트를 구성한다). 만약 상기 어레이에 제어 게이트는 포함되지 않지만 플로팅 게이트가 포함된다면, 워드 라인은 플로팅 게이트와 제어 게이트 유전체에 자기 정렬된다.

<269> 어레이의 각 디바이스 레벨(4445)은 층간 절연 층(4403)에 의하여 수직 방향으로 분리되고 디커플링(decoupling)되어 있다. 층간 절연 층(4403)은 또한 각 디바이스 레벨(4445)에서 인접한 워드 라인(4441)과 관련 워드 라인(4441) 밑에 있는 액티브 영역(4405)의 인접 부분을 격리시킨다. 상기 도출되는 3차원 메모리 어레이에서의 비트 당 유효 셀 영역은 대략 $2F^2/N$이다. 여기서, N은 디바이스 레벨의 수이다(즉, 2차원 어레이에 대해서는 N=1이며, 3차원 어레이에 대해서는 N>1이다). 비휘발성 메모리 디바이스(4400) 어레이는 메모리 디바이스의 모놀리식 3차원 어레이를 포함한다. 여기서, "모놀리식"이라는 말은 어레이의 각 레벨의 층이 어레이의

각 하부 레벨의 층에 직접 증착되었음을 내포한다. 반대로, 2차원 어레이는 따로 형성된 후 함께 패키지화되어 비모놀리식 메모리 디바이스를 형성한다.

<270> 메모리 어레이의 한 레벨(4445)의 각 셀은 단지 두 포토리쏘그래피 마스킹 단계를 사용하여 형성될 수 있다. 그러나, 비트 라인(4425)에의 콘택을 형성하기 위하여 추가적인 마스킹 단계가 필요할 수도 있다. 본 발명의 제6의 바람직한 실시예에서는 메모리 디바이스의 어레이 위로 도전 층이 형성된다. 그리고는 도전 층이 패턴화되어 복수의 워드 라인 또는 워드 라인 콘택 층과 복수의 비트 라인 중 적어도 하나에 콘택되는 적어도 하나의 비트 라인 콘택 층을 형성한다. 따라서, 동일한 도전 층이 워드 라인/워드 라인 콘택 및 비트 라인 콘택을 형성하도록 패턴화될 수 있기 때문에 별개의 비트 라인 증착 및 패턴화 단계가 필요 없다. 물론, 원한다면, 상기 워드 라인/워드 라인 콘택 및 상기 비트 라인 콘택은 다른 재료로부터의 형성 및/또는 다른 마스크를 사용한 패턴화가 가능하다.

<271> 도 53은 제6의 바람직한 실시예의 바람직한 형태에 따른 비트 라인 콘택(4447)을 나타낸다. 도 53에서는, 제1 도핑된 폴리실리콘 층(4433)이 게이트간 절연 층(4427) 위로 형성되어 있다. 그 후, 비트 라인 콘택 비어(4449)는 절연 층(4427)에 형성되며, 여기서 비트 라인(4425)의 위 부분이 노출되어 있다. 그 후, 실리사이드 층(4435)과 도핑된 폴리실리콘 층(4437)이 증착되어, 실리사이드 층(4435)이 비어 홀을 통하여 비트 라인(4425)에 콘택된다. 그 후, 층(4433, 4435, 4437)들은 복수의 워드 라인(4441) 및 복수의 비트 라인 콘택(4447)을 형성하는데 쓰이는 동일한 마스크를 사용하여 포토리쏘그래피로 패턴화된다. 그 후, 상부 층간 절연 층(4403)이 워드 라인(4441)과 비트 라인 콘택(4447) 위로 형성된다. 워드 라인 콘택 비어(4451) 및 비트 라인 콘택 비어(4453)는 더 많은 콘택을 형성하기 위해 절연 층(4403)에 형성된다. 워드 라인(4441)과 비트 라인 콘택 층(4447)이 위에서 설명한 재료에 한정되지 않는다는 것을 알아야 한다. 상기 층(4441, 4447)들은 하나 또는 그 이상의 폴리실리콘, 실리사이드 또는 금속 층을 포함할 수 있다. 더욱이, 게이트 라인(4441)과 콘택 라인(4447)이 디바이스의 동일한 레벨에 위치하면서, 콘택(4447)은 원한다면 어레이의 낮은 레벨로 뻗어 어레이의 낮은 레벨에 있는 비트 라인 또는 워드 라인과 콘택할 수 있다.

<272> 도 54는 제6의 바람직한 실시예의 또 다른 바람직한 형태에 따른 비트 라인 콘택(4547)을 나타낸다. 이 실시예에서는, 적어도 하나의 비트 라인 콘택 비어(4549)가 어레이의 서로 다른 레벨 사이의 적어도 하나의 층간 절연 층(4503)을 통하여 뻗는다. 도 54에서는, 워드 라인(4541)이 먼저 패턴화되고 층간 절연 층(4503)이 여기에 증착된다. 워드 라인 콘택 비어(4551) 및 비트 라인 콘택 비어(4549)가 절연 층(4503)에 형성된다. 비트 라인 콘택 비어(4549)는 게이트간 절연 층(4527)에서 비트 라인(4525)까지 뻗어 있고, 도핑 영역(4417)과 실리사이드 영역(4423)을 포함한다.

<273> 그 후, 실리사이드 층(4555) 및 도핑된 폴리실리콘 층(4557)과 같은 하나 또는 그 이상의 도전 층이 층간 절연 층(4503)과 비어(4551, 4549)들에 증착된다. 그 후, 상기 하나 또는 그 이상의 도전 층(4555, 4557)은 워드 라인 콘택(4559), 비트 라인 콘택(4547) 및 도시한 메모리층 위의 메모리층에 있는 복수의 워드 라인을 형성하는 데 쓰이는 동일한 마스크를 사용하여 포토리쏘그래피로 패턴화된다.

<274> 워드 라인 및 비트 라인 콘택은, 예를 들어 하나 걸러 하나 식의 하부 레벨이나 동시에 여러 하부 레벨 등과 같이 하부 레벨 쪽으로 뻗을 수 있다. 따라서, 도 54에서는 비트 라인 콘택(4547) 및 워드 라인 콘택(4559)이 어레이의 N+1 레벨에 형성되었고, 어레이의 N 번째 레벨에 있는 워드 라인(4541) 및 비트 라인(4525)에 까지 뻗어 있다. 상기 워드 라인 콘택 및 비트 라인 콘택은 워드 라인과 비트 라인을 어레이의 제1 디바이스 레벨 밑에 있는(또는, 어레이의 위나 내부와 같이 어레이의 다른 곳에 위치하지만, 바람직하게는 적어도 부분적으로 수직 방향으로 집적되거나 어레이와 정렬된) 반도체 기판에 위치한 주변 회로와 연결시킨다. 랜딩 패드는 다음 레벨 콘택을 위해 N+1 레벨 도전체에 형성된다.

<275> 도 55 내지 61은 본 발명의 제7의 바람직한 실시예에 따른 TFT EEPROM 비휘발성 플래시 메모리 어레이를 만드는 방법을 나타낸다. 제7의 바람직한 실시예에 따른 방법은 게이트 전극의 위치를 유지하는 희생 더미 블록(sacrificial dummy block)이 상기 프로세스에서 사용된다는 것을 제외하고는 도 37 내지 51에 나타냈듯이 제1, 제2, 제3 또는 제4 실시예와 동일한 방식으로 시작한다. 이 방법에 의해 형성된 트랜지스터는 대체-게이트 트랜지스터(replacement-gate transistor)라고 불린다. 제7의 바람직한 실시예에 따라 만들어진 어레이는 도 52에 도시한 것처럼 비트 당 유효 셀 영역이 대략 $2F^2/N$인 3차원으로 형성될 수 있다.

<276> 앞서 설명한 실시예처럼, 도 55에 도시된 것처럼 비정질 실리콘(amorphous silicon) 또는 다결정(polycrystalline) 실리콘 층(4605)을 레벨간 절연층(4603) 위로 증착하듯이 상기 프로세스는 반도체 액티브 영역의 증착으로부터 시작한다. 그 후, 도 56에 도시된 것처럼 복수의 희생 더미 블록(4604)이 액티브 층(4605)

위로 형성된다. 희생 더미 블록(4604)은 하나 또는 그 이상의 재료를 포함할 수 있다. 이 중 적어도 하나는 나중에 형성될 게이트간 절연 층(4627)의 재료를 고려하여 선택적으로 에칭(etch)될 수 있다. 예를 들면, 만약 게이트간 절연 층(4627)이 실리콘 산화물을 포함한다면, 상기 더미 블록은 실리콘 질화물, 실리콘 산화질화물(oxynitride), 폴리실리콘 또는 실리콘 산화물을 고려하여 선택적으로 에칭될 수 있는 다른 재료를 포함할 수 있다.

<277> 바람직하게는 액티브 층(4605)은 비정질 실리콘을 포함하고 더미 블록(4604)은 600℃보다 낮은 온도에서 증착된 재료로 형성되어 비정질(amorphous) 실리콘 층(4605)이 작은 그레인(grain) 크기의 폴리실리콘 층으로 재결정화하는 것을 막는다. 예를 들면, 더미 블록(4604)은 저온 PECVD 실리콘 질화물 층을 액티브 층(4605) 위로 증착시키고 상기 실리콘 질화물 층을 포토리쏘그래피를 사용하여 복수의 더미 블록(4604)으로 패턴화시키는 것에 의하여 형성될 수 있다.

<278> 제7 실시예의 바람직한 형태에서, 도 55에 도시하였듯이 더미 블록(4604)은 희생 채널 유전체 층(4667), 희생 게이트 층(4669) 및 보호 산화물 층(4671)을 포함하여 복수의 층을 포함한다. 도 56에 도시하였듯이 층(4669, 4671)들은 도 38의 제1의 바람직한 실시예를 도시한 것과 마찬가지로 역 비트 라인 마스크(reverse bit line mask)를 사용하여 패턴화되어 더미 블록(4604)을 형성한다. 액티브 층 위의 모든 층(4667, 4669, 4671)들은 희생적이므로, 이들 층들은 비교적 질이 낮은 재료를 사용하여도 무방하다. 예를 들면, 채널 유전체 층(4667)으로서 저온 실리콘 산화물(low temperature silicon oxide: LTO) 또는 PECVD 실리콘 산화물을 사용하여도 좋다. 따라서, 층(4667)은 낮은 온도(즉, 600℃보다 낮은 온도)에서 증착되어 비정질 실리콘 액티브 층(4605)이 작은 그레인 크기의 폴리실리콘 층으로 재결정화하는 것을 막는다. 필요에 따라서는, 더미 블록(4604)의 모든 층들은 600℃보다 낮은 온도에서 증착하여도 좋다. 이러한 경우에, 상기 층(4605)의 비정질 상태는 소스 및 드레인 영역(4617)에 뒤이은 살리사이드 형성 과정이 있기까지는 보존된다. 소스 및 드레인 영역(4617)에 있는 실리사이드(4623)는 소스 및 드레인 영역(4617)에서의 비정질 실리콘의 측면 결정화(lateral crystallization)에 대한 촉매로서 작용하여 큰 그레인 크기의 다결정 실리콘 액티브 층(4605)을 형성한다.

<279> 그 후에, TFT 소스 및 드레인 영역(4617)은 마스크로서 더미 블록을 사용하여 액티브 층(4605) 안으로 주입된다. 채널 층(4619)은 영역(4617)들 사이와 블록(4604)들 아래에 있는 층(4605)에 위치한다. 더미 블록(4604)이 폴리실리콘 층을 포함한다면, 바람직하게는, 측벽 스페이서(4621)가 더미 블록(4604) 측벽에 형성되어 소스/드레인 접합(junction)으로부터 실리사이드를 분리하고, 더미 블록에서의 뒤이은 실리사이드 형성 과정을 막고 스소/드레인 조정의 유연성을 증가시킨다. 도 57에 도시하였듯이 스페이서(4621)는 실리콘 산화물 또는 실리콘 질화물, 또는 두 가지 다른 층으로 구성될 수 있다. 필요에 따라서는, 마스크로서 블록(4604) 또는 스페이서(4621)를 사용하여 소스 및 드레인 영역(4617)에 추가적인 주입을 행할 수도 있다. 만약 더미 블록(4604)이 폴리실리콘을 포함하지 않는다면, 스페이서(4621)는 생략될 수 있다.

<280> Ti, W, Mo, Ta 등과 같은 금속 층이나 Co, Ni, Pt 또는 Pd와 같은 전이 금속이 노출 영역(4617) 또는 더미 블록(4604) 위로 블랭킷 증착(blanket deposited)되어 있다. 도 58에 도시하였듯이 상기 디바이스는 어닐링(annealing)되어 직접 야금 반응(direct metallurgical reaction)에 의하여 실리사이드화를 수행하고, 여기서 금속 층은 영역(4617)에 있는 실리콘과 반응하여 영역(4617) 위로 실리사이드 영역(4623)을 형성한다. 더미 블록(4604)에 반응하지 않고 남아 있는 금속은, 예를 들면 피라냐 용액(piranha solution)과 같은 선택적 에치(selective etch)에 의하여 제거된다. 그 후, 액티브 층(4605)은 실리사이드 영역(4623)을 촉매로 사용하여 레이저 또는 열처리에 의하여 재결정화 된다. 이와 다른 방법을 원한다면, 액티브 층(4605)은 실리사이드(4623) 형성 과정과 동시에 재결정화 될 수 있고, 또는 액티브 층(4605)은 더미 블록(4604)의 형성 전에 레이저 또는 열처리에 의하여 재결정화 될 수 있다.

<281> 소스 및 드레인 영역(4617)과 실리사이드 영역(4623)을 포함하는 매립된 비트 라인(4625)의 형성 후에, 등각(conformal) 게이트간 절연 층(4627)이 더미 블록(4604) 사이와 그 위에 증착된다. 바람직하게는, 다른 바람직한 실시예에서와 같이 층(4627)이 실리콘 산화물(HDP 산화물)을 포함한다. 그 후, 상기 층(4627)은 CMP 및/또는 에치 백에 의하여 평탄화되어 더미 블록(4604)의 위 부분을 노출시킨다. 예를 들면, 만약 더미 블록(4604)이 실리콘 산화물 보호 층(4671)과 실리콘 산화물 스페이서(4621)를 포함하면, 이들 층은 상기 층(4627)의 위 부분과 함께 평탄화 과정에서 제거될 수 있다. 이러한 경우에, 도 58에 도시하였듯이 희생 게이트(4669)의 상부가 평탄화 처리 이후에 노출된다.

<282> 다음에, 더미 블록(4604)은 게이트간 절연 층(4627)을 실질적으로 에칭하지 않으면서 선택적으로 에칭(즉, 제거)된다. 예를 들면, 만약 더미 블록(4604)이 희생 폴리실리콘 게이트(4609)를 포함한다면, 이들 희생 게이

트(4609)는 스페이서(4621)와 게이트간 절연 층(4627)을 실질적으로 에칭하지 않으면서 선택적으로 에칭된다. 만약, 더미 블록이 희생 게이트 유전체 층(4667)을 포함한다면, 이 층(4667)은 플라즈마 에치 백 또는 웨트 에치 방법을 사용하여 제거될 수 있다. 도 59에 도시하였듯이 더미 블록(4604)이 이전에 위치했던 곳에 복수의 비어(4629)가 형성되어 있다.

<283> 더미 블록 재료를 제거함으로써 채널 영역(4619) 위의 액티브 층(4605)의 표면이 노출된 후에, "진정(real)" 또는 영구 게이트 유전체 물질은 상기 노출된 영역에 즉시 성장하거나 및/또는 증착된다. 바람직하게는, 도 60에 도시하였듯이 이 유전체는 ONO 삼중층 또는 복수의 전기적으로 격리된 나노 결정으로부터 선택된 전하 저장 영역(4607)을 포함한다. 또 다른 방법으로는, 도 61에 도시하였듯이 TFT EEPROM이 플로팅 게이트(4609)를 포함한다면 이 유전체는 터널 유전체(4606)를 포함하여도 좋다. 전하 저장 층(4607)은 채널 영역(4619) 위에 비어(4629)의 밑 부분에 위치한다. 도 60에 도시하였듯이, 전하 저장 층(4607)은 또한 게이트간 절연 층(4627)의 측벽(또는 스페이서가 존재한다면, 스페이서(4621)의 측벽)에 위치한 수직 부분과 게이트간 절연 층(4627) 위에 위치한 수평 부분을 포함한다.

<284> 그 후에, 도전성 재료가 게이트간 절연 층(4627) 및 전하 저장 영역(4607) 위에 증착된다. 다른 실시예에서와 같이, 상기 도전성 재료는 폴리실리콘 또는 폴리실리콘(4633, 4637)과 실리사이드(4635)층의 조합을 포함할 수도 있다. 상기 도전성 재료는 비어(4629)를 채우고 상기 전하 저장 층(4607) 위에 놓여진다. 그 후, 다른 실시예에서와 같이, 상기 도전성 재료는 패턴화되어 복수의 워드 라인(4641)을 형성한다. 그 후, 다른 실시예에서와 같이, 액티브 영역(4605)과 전하 저장 층(4607)은 마스크로서 워드 라인(4641)을 사용하여 패턴화된다. 도 60에 도시하였듯이, 비어(4629)에 위치하는 워드 라인(4641)의 부분은 TFT EEPROM의 제어 게이트(4609)를 포함한다. 도 61에 도시하였듯이, 만약 플로팅 게이트 TFT EEPROM이 요구된다면, 제어 게이트/워드 라인(4641)을 형성하기 전에 플로팅 게이트(4609)와 제어 게이트 유전체(4612)가 비어(4629)에 형성될 수 있다.

<285> 본 발명의 제8의 바람직한 실시예에서, 도 52에 도시한 3차원 어레이의 복수의 레벨에 있는 TFT는 동시에 재결정화 과정 및/또는 불순물 활성화 단계를 거친다. 이는 디바이스의 제조 시간 및 비용을 절감한다. 더욱이, 만약 어레이의 각 레벨이 개별적으로 재결정화 및/또는 불순물 활성화 어닐링이 행해진다면, 낮은 레벨들은 높은 레벨보다 더 많은 어닐링 단계를 거치게 될 것이다. 이는 디바이스의 불균일을 초래할 것이다. 왜냐하면, 낮은 단계의 액티브 영역에 있는 그레인 크기(grain size)가 더 클 것이고 및/또는 높은 레벨에서보다 낮은 레벨에서의 소스 및 드레인 영역이 상이한 불순물 분포를 가지게 될 것이다.

<286> 따라서, 제8 실시예의 제1의 바람직한 형태에서, 복수의 레벨에 있는 TFT의 비결정 실리콘 또는 폴리실리콘 액티브 영역은 동시에 재결정화 된다. 바람직하게는, 모든 레벨의 TFT는 동시에 재결정화 된다. 재결정화는 용광로에서의 열처리나 RTA 시스템에서의 빠른 열처리(rapid thermal annealing: RTA)에 의하여 달성될 수 있다. 상기 열처리는 6-10시간 동안 550에서 800℃, 바람직하게는 7-8시간 동안 650에서 725℃에서 수행될 수 있다.

<287> 더욱이, 실리콘 층(4423)이 소스 및 드레인 영역(4417)과 콘택하기 때문에, 특히, 니켈, 코발트 또는 몰리브덴 실리사이드가 사용되면, 실리사이드가 재결정화의 촉매로서 작용할 수 있다. 금속 원자들은 TFT의 액티브 영역을 통하여 확산되어, 그레인이 큰 폴리실리콘을 뒤에 남긴다. 따라서, 비트 라인 금속화를 증착한 후에 비정질 실리콘이나 폴리실리콘 액티브 영역을 재결정화하면 그레인을 더 크게 하며, 550에서 650℃와 같은 낮은 온도에서 재결정화를 할 수 있게 된다. 게다가, 별개의 금속 증착 또는 금속 유도 결정화가 요구되지 않는다. 따라서, 어레이의 각 레벨은 이 레벨에 대한 비트 라인 금속화가 형성된 후에 재결정화 열처리를 거칠 수 있다. 또 다른 방법으로는, 어레이의 각 레벨에 대한 비트 라인 금속화가 형성된 후에 어레이의 모든 레벨이 재결정화 열처리를 거칠 수 있다. 더욱이, 제8 실시예의 또 다른 형태에서는, 상기 어레이의 각 레벨에 대하여 동일한 열처리 단계 동안 실리사이드 형성 단계와 재결정화 단계가 수행될 수 있다.

<288> 제8 실시예의 제2의 바람직한 형태에서는, 복수의 레벨에 있는 도핑된 영역은 동시에 활성화된다. 바람직하게는, 모든 레벨의 도핑된 영역이 동시에 활성화된다. 상기 도핑된 영역은 3차원 어레이에 형성된 기타 도핑 영역을 포함하여 TFT 소스 및 드레인 영역을 포함한다. 바람직하게는, 상기 도핑된 영역은 상기 어레이를 RTA 처리를 거치게 함으로써 활성화된다. 그러나, 원한다면, 상기 활성화는 20-60분 동안 약 700에서 약 850℃의 열처리에 의하여 수행될 수 있다. 상기 활성화는 상기 결정화 열처리 전 또는 후에 수행될 수 있다.

<289> 제8 실시예의 제3의 바람직한 형태에서는, 상기 재결정화 및 불순물 활성화는 복수의 레벨 또는 어레이의 모든 레벨에 대한 동일한 열처리 과정에서 수행된다. 상기 열처리 단계는 충분히 높은 온도 및 충분히 기 시간 동안 수행되어야 소스 및 드레인 영역의 불순물이 TFT의 채널 영역으로 확산하지 않으면서 불순물을 활성화하고 TFT 액티브 영역을 재결정화할 수 있다. 바람직하게는, 재결정화 및 불순물 활성화 열처리 과정의 결합이 RTA 처리

를 포함한다.

<290> 제8 실시예의 제4의 바람직한 형태에서는, 추가적인 포토리쏘그래피 마스킹 단계가 제공되어 재결정화 촉매 재료를 증착하는 데 사용하는 결정화 윈도우를 형성한다. 예를 들면, 도 62에 도시하였듯이, 측벽 스페이서(4721)를 형성하는데 사용하는 상기 재료(4722)는 별개의 포토리쏘그래픽 마스크를 사용하여 패턴화되어 결정화 윈도우(4701)를 형성한다. 따라서, 도 55-61에 도시한 대체-게이트 트랜지스터 방법에서는, 역 비트 라인 패턴(reverse bit line pattern)이 보호 산화물(4771)과 희생 게이트(4769)로 에칭된 후에 상기 결정화 윈도우(4701)는 측벽 스페이서를 만드는데 사용하는 저온 산화물(low temperature oxide: LTO)에 형성된다. 결정화 마스크 형상은 산화층(4722)으로 에칭되어 액티브 층(4705)의 표면을 말끔하게 한다. 동시에, 측벽 스페이서(4721)는 희생 게이트(4769)에 형성된다. 그 후, 포토리지스트(photoresist)(도시하지 않음)가 벗겨진다. 도 63 및 64는 각각 도 62에서의 A-A 및 B-B선을 따라 절단한 단면도를 나타낸다. 원한다면, 상기 결정화 윈도우는 제1 내지 제4 실시예에서의 프로세스에 추가될 수 있다. 이런한 윈도우는 이들 실시예에서 측벽 스페이서의 형성 과정에서 형성될 것이다.

<291> 그 다음에, Ni, Ge, Fe, Mo, Co, Pt, Pd, Rh, Ru, Os, Ir, Cu, Au, 이에 대한 실리사이드 또는 다른 전이 금속 원소 혹은 이들 실리사이드와 같은 촉매가 증착된다. 상기 촉매는 열린 윈도우(4701)에서만 비정질 실리콘 액티브 층(4705)과 콘택한다. 상기 촉매 재료는 고체 층(solid layer) 또는 촉매 용액(catalyst solution)으로서 증착될 수 있다. 또 다른 방법으로는, 상기 촉매는 액티브 층(4705)으로 이온 주입되거나 확산될 수 있다. 그 후, 상기 디바이스는 600℃보다 낮은 온도, 바람직하게는 550℃에서 몇 시간 동안 열처리된다. 이 저온 열처리는 비정질 실리콘에서의 자발적인 핵화(spontaneous nucleation)를 최소화하는데 바람직하다. 본 실시예에서의 폴리실리콘 그레인은 윈도우(4701)의 시드(seed) 영역에서 성장하기 시작하여 측면으로(laterally) 성장한다. 도 65에 도시하였듯이, 열처리의 종료시에 그레인 경계(4702)가 정렬된다. 그 후, 촉매가 제거된다. 재결정화된 폴리실리콘에서 촉매 원자가 염소 함유 가스에서 디바이스를 열처리하는 등의, 게터링(gettering)에 의하여 제거되는 반면, 고체 촉매층이 선택적 에칭에 의하여 제거될 수 있다. 그 후, 결정화 윈도우(4701)의 경계를 포함하는 LTO 산화층(4722)은 선택적 에칭에 의하여 제거되고, 상기 디바이스는 다른 실시예에서와 마찬가지로 완성된다. 워드 라인(도 62 및 도 65에서의 WL)이 결정화 윈도우(4701)가 형성되어 있었던 영역 위에 뒤이어 형성됨을 알 필요가 있다. 상기 윈도우(4701)에서 결정화가 시작되므로, 워드 라인과 평행인 그레인 경계(4702)는 윈도우 영역으로부터 떨어져서, 즉 워드 라인 사이의 액티브 층(4705) 영역에 위치한다. 이들 워드 라인 사이의 액티브 층(4705) 영역은 워드 라인의 형성 후에 제거된다. 따라서, TFT의 채널 영역이 워드 라인의 아래에 위치하므로, 이들 TFT 채널 영역은 더 적은 그레인 경계를 포함하고, 실질적으로는 워드 라인과 평행한 어떠한 그레인 경계도 포함하지 않는다.

<292> III. 레일 스택 TFT(RAIL STACK TFTs)

<293> 후술하는 바람직한 실시예는 레일 스택 구성에 배열된 EEPROM TFT와 같은 전하 저장 영역이 있는 TFT의 어레이를 제공한다. 여기서 설명하는 실시예는 비휘발성 재프로그램 가능한(reprogrammable) 반도체 메모리와 이에 대한 제조 및 활용 방법에 관한 것이다. 이 분야에서 통상의 지식을 가진 자는 후술하는 본 발명의 실시예에 대한 상세한 설명이 단지 예시적이며 어떠한 제한도 의도되지 않았음을 알 것이다. 본 발명의 다른 실시예도 여기에서 설명된 이점이 있음이 통상의 지식을 가진 자에게 자명할 것이다. 첨부된 도면에 도시한 바와 같은 본 발명의 구현 예에 대한 자세한 설명이 이루어질 것이다. 동일한 참조 번호는 도면 및 후술하는 상세한 설명에서 사용된 동일 또는 유사한 부분을 지칭할 것이다.

<294> 명확성을 위하여, 여기에서 설명되는 구현예의 모든 진부한 형상이 도시되거나 표현되지는 않았다. 물론, 그러한 실제 구현예의 어떠한 형태의 개발에서도 애플리케이션 및 비즈니스와 관련된 제약을 따라야 하는 것과 같은 개발자의 구체적 목표를 달성하기 위하여 수많은 구현상 구체적 결정이 내려져야 한다는 것은 충분히 인식될 것이다. 그리고, 이러한 구체적 목표는 구현예마다 또한 개발자마다 달라진다는 것도 충분히 인식될 것이다. 더욱이, 그러한 개발 노력이 복잡하고 시간을 허비하는 일일 수도 있으나, 그럼에도 불구하고 본 문헌이 개시하는 바를 이용할 수 있는 이 분야의 통상의 지식을 가진 자는 통상적인 과정임을 충분히 인식할 것이다.

<295> 본 실시예는 2, 더 바람직하게는, 3차원 복수 회 프로그램 가능한(many-times-programmable) 비휘발성 메모리에 관한 것이다. 상기 메모리는 $2F^2/N$인 비트 셀 크기를 제공한다. 여기서, F는 최소 배선 폭(예를 들면, 0.18 미크론 반도체 프로세스에서는 0.18 미크론, 0.25 미크론 반도체 프로세스에서는 0.25 미크론)이고, N은 제 3차원(즉, 수직방향)에서의 디바이스의 층 수(number of layers)를 나타낸다. 따라서, 8개의 디바이스가 수직으로 쌓인 0.18 미크론 프로세스에서는, 기판에 투영된 유효 비트 셀 크기는 대략 0.0081제곱 미크론이다. 그 결과,

0.18 미크론 기술에서 50% 어레이 효율을 갖으며 메모리 디바이스의 8개 층을 갖는 50mm^2 칩은 약 31억 메모리 셀을 갖을 것이며, 셀 당 두 개의 비트가 저장될 때 약 386 메가바이트이고 셀 당 한 개의 비트가 저장될 때 약 193 메가바이트의 용량을 갖게 된다. 메모리의 3차원 버전은 단일 결정 실리콘 메모리 디바이스와 함께 널리 쓰이는 "가상 접지 어레이(virtual ground array)"의 3차원으로의 확장을 이용한다. 바람직한 메모리 프로세스 구조는 수직적으로 중복될 수 있는 SONOS 전하 포획 층(charge trapping layer)을 가지는 NMOS 트랜지스터 메모리 디바이스를 형성하는 교차점 어레이(cross-point array)의 P- 도핑된 폴리실리콘/전하 포획 층/N+ 폴리실리콘의 레일 스택과 직교인 N+ 도핑된 폴리실리콘 레일을 사용한다. 물론, PMOS 메모리도 만들어질 수 있다.

<296> N+ 도핑된 폴리실리콘 레일과 P- 도핑된 폴리실리콘/전하 포획 층/N+ 폴리실리콘의 레일 스택의 인접한 쌍은 각각 특유의 NMOS 메모리 디바이스의 소스, 드레인 및 게이트를 정의한다. 프로그래밍 및 소거(erasing)는 이 NMOS의 문턱 전압(threshold voltage)을 변경시킨다. 열 전자 주입 프로그래밍을 이용하여 NMOS 당 두 비트가 저장될 수 있고, 소거는 열 전자 주입 또는 파울러-노드하임(Fowler-Nordheim) 터널링 중 하나에 의해 수행된다.

<297> 이제 도 80을 참조하여, 본 발명의 구체적 실시예에 따라 메모리 디바이스를 저장 셀의 멀티 레벨 어레이로 집적하는 방법에 대하여 설명한다. 저장 디바이스의 멀티 레벨 어레이가 형성될 기판(5180)을 구비함으로써 제조 공정이 시작된다. 기판(5180)은 전형적으로 살짝 도핑된 단결정 실리콘 기판(5182)을 포함할 것이며, 여기에 MOS 트랜지스터와 같은 트랜지스터들이 형성된다. 이들 트랜지스터는, 예를 들면, 액세스 트랜지스터(access transistor)로서 사용될 수 있고 또는 이들은 회로로 결합되어, 예를 들면, 상기 제조된 메모리 디바이스에 대한 전하 펌프(charge pumps) 또는 센스 앰프(sens amps)를 형성한다. 또한, 기판(5180)은 전형적으로 기판에 있는 트랜지스터를 기능적 회로로 결합하는데 사용되는 다중 레벨의 인터커넥터(interconnects) 또는 층간 유전체(5184)를 포함할 것이다. 기판(5180)의 윗면(5186)은 전형적으로 절연 층 또는 패시베이션 층을 포함하여 밑에 놓인 트랜지스터와 인터커넥터를 오염으로부터 보호한다. 실리콘 기판(5182)에서 트랜지스터와 전기적 콘택을 형성하기 위하여 상기 윗면(5186)은 전형적으로 전기적 콘택 패드(electrical contact pad)를 포함하며 여기에 본 발명의 메모리 디바이스의 다중 레벨 어레이가 전기적으로 결합할 수 있다. 본 발명의 실시예에서는, 상기 메모리 디바이스는 인터커넥터의 다중 레벨과 유전체(5184)에 의하여 단결정 실리콘 기판으로부터 물리적으로 격리되거나 분리될 수 있다. 패시베이션 층 또는 절연 층의 상면(5186)은 전형적으로 평탄화되어 본 발명의 메모리 디바이스의 다중 레벨에 대한 특유하고 신뢰할만한 제조를 가능하게 한다. 본 발명에 의하면, 상기 메모리 디바이스는 단결정 실리콘 기판(5182)으로부터 물리적으로 분리되어 있다. 본 발명의 또 다른 실시예에서는 메모리 디바이스가 평탄한 패널 디스플레이(flat panel displays)에 사용된 것처럼 유리 기판(5180)에 제조될 수 있다.

<298> 본 발명의 실시예에 따라 기판 위에 TFT 메모리 디바이스의 멀티 레벨 어레이를 형성하는 프로세스는 기판(5180)의 표면(5186) 위로 제1 도전 층을 블랭킷 증착함으로써 시작된다. 도전체(5188)는 적절하다면 어떠한 도전체라도 상관없다. 예를 들면, 여기에 한정되는 것은 아니지만, 티탄 실리사이드, 도핑된 폴리실리콘, 또는 알루미늄 혹은 텅스텐과 같은 금속 및 적절한 기술에 의해 형성된 이들의 합금 등이 있다. 도전 층(5188)은 예를 들면, 비트 라인 또는 워드 라인으로 사용되어 메모리 디바이스의 로우와 컬럼을 결합시킨다. 다음에, 비트 라인 사이의 공간을 채우기 위하여 도전 층(5188) 위의 실리콘 산화물과 같은 절연 층을 증착시키거나 성장시키는 것에 의해 평탄화가 수행된다. 종래의 화학적 기계적 연마(chemical mechanical polishing: CMP) 단계가 상기 평탄화를 완성시키고 비트 라인을 노출시킨다.

<299> 이제 도 66을 보면, 본 발명의 구체적인 실시예의 정면도가 예시되어 있다. 이 실시예에서, 2차원 메모리 어레이(5040)는 기판(도시하지 않음) 위에(콘택하지 않고) 제1 높이로 제1 방향으로 놓여진 N+ 도핑된 폴리실리콘 비트 라인(5042, 5044, 5046, 5048)과 같은 제1의 복수의 분리된 도전체를 포함한다.

<300> 제2의 복수의 분리된 레일 스택(5050, 5052)이 기판 위에 제2 높이로 제1방향과 다른 제2방향(그리고 바람직하게는 직교 방향)으로 놓여져 있어, 이들은 비트 라인(5042, 5044, 5046, 5048) 위에 있고 이것들과 교차점(5054, 5056, 5058, 5060, 5062, 5064, 5066, 5068)에서 콘택한다. 본 실시예에서의 각 레일 스택(5050, 5052)은 적어도 P- 도핑된 폴리실리콘(5070)층을 포함한다. 그리고 이는, 예를 들면, CVD(chemical vapor depositing)에 의하여 비결정질 실리콘 막을 증착함으로써 형성될 수 있고 또한 이는 약 1×10^{16}에서 약 1×10^{18} 원자/cm^{3}의 불순물 밀도를 가지는 p 형 불순물(예를 들면, 붕소)로 인 시츄 도핑되어 있다. 그 후, 비결정질 실리콘 막은 뒤따르는 열처리 단계에 의해 다결정 실리콘으로 전환될 수 있다. 또 다른 방법으로는, 인 시츄 도핑 대신에, 비도핑 실리콘이 성장하거나 증착될 수 있고, 그 후에 불순물로 주입되거나 확산될 수 있다.

층(5070) 위에 후술하는 바와 같은 전하 포획 매체를 포함하는 전하 포획 층(5072)이 놓여져 있다. 그리고, 상기 전하 포획 층(5072) 위에 놓여진 N+로 도핑된(또는 P+로 도핑된) 폴리실리콘을 포함하는 도전 워드 라인(5074)을 포함한다. 평탄화 된 산화 재료(도 66에 도시하지 않음)가 인접한 비트 라인 및 레일 스택의 위와 그 사이의 공간에 증착될 수 있다. 종래의 CMP 프로세스가 평탄화를 달성하기 위하여 사용될 수 있다.

<301> 도 66의 메모리 어레이 구조는 이제 3차원으로 외삽(extrapolation)할 수 있다. 그러기 위해서는, 워드 라인(5050, 5052) 위에 CMP 평탄화 산화층이 사용된다. 상기 평탄화 된 격리 층(또는 층간 절연 층)은 워드 라인의 한 세트와 다른 비트 라인의 다음 세트와 단락(shorting)되는 것을 방지한다. 그 후, 비트 라인(5042, 5044, 5046, 5048)의 또 다른 층이 격리 층 위에 건설되고 산화물 증착과 CMP 단계가 뒤따르며, 워드 라인의 도 다른 세트의 증착이 뒤따른다. 이 프로세스는 원하는 만큼 몇 번이고 반복이 가능하다. 본 발명의 구체적 실시예에 따라, 메모리 어레이의 8개 층(또는 그 이상) 서로 쌓여있어 비 3차원 버전의 비트 밀도의 8배를 제공한다.

<302> 이제 도 67을 보면, 본 발명의 또 다른 구체적 실시예가 예시되어 있다. 이 실시예에서, 2차원 어레이(5076)가 기판(도시하지 않음)으로부터 전기적으로 분리시키는 격리 층(5078)을 포함한다. 상기 격리 층은 실리콘 산화물과 같은 종래의 격리/절연 층일 수 있다. 복수의 분리된 비트 라인(5080, 5082, 5084, 5086)이 격리 층(5078) 위에 놓여있다. 비트 라인(5080, 5082, 5084, 5086)은 바람직하게는 N+ 도핑된 폴리실리콘으로 형성되어 있다. 물론, 다른 어느 적절한 전기적 도전체와 마찬가지로 P+ 도핑된 폴리실리콘도 사용될 수 있다. 증착 단계가 사용되어 인접한 비트 라인(5080, 5082, 5084, 5086) 사이의 영역(5088, 5090, 5092)이 충전재(filler material)로 채워진다. 상기 충전재는 전기적 절연체이어야 한다. 다시 말하지만, 다른 재료들도 사용될 수 있으나, 실리콘 산화물이 편리하다. 그 후, CMP 단계가 사용되어 비트 라인을 평탄화하고 노출시킨다. 그 후, P- 도핑된 폴리실리콘과 같은 반도체 재료층(5094)이 비트 라인(5080, 5082, 5084, 5086) 위에 증착되어 콘택하게 배치된다. ONO 층(5096)은 반도체 층(5094) 위에 놓여있고, 도전 워드 라인(5098)은 ONO 층(5096) 위에 놓여 있다. 제시된 바람직한 실시예에 따르면, 비트 라인(5080, 5082, 5084, 5086)과 워드 라인(5098)은 N+ 도핑된 폴리실리콘으로 형성되어 있다. 열처리가 행해지면, N+ 아웃디퓨전(outdiffusion) 영역(5100, 5102, 5104, 5106)은 P- 도핑된 반도체 층(5094)에 형성된다. 인접한 N+ 아웃디퓨전 영역 사이의 채널(5108, 5110, 5112)은 NMOS 트랜지스터의 채널이 된다. 여기서, 상기 NMOS 트랜지스터의 문턱 전압은 ONO 유전체 스택(5096)의 질화물 층에 있는 포획된 전하의 유무에 의하여 제어된다.

<303> 이 분야의 통상의 지식을 가진 자는 반대 도전형을 갖는 반도체도 사용될 수 있음을 알 것이다. 워드 라인과 비트 라인에 대하여 도핑된 폴리실리콘 이외의 도전체가 사용되는 경우에는, 아웃디퓨전 이외의 방법으로 반도체 층(5094)에 도핑된 영역을 형성할 필요가 있을 것이다.

<304> 도 68은 도 67의 메모리 어레이의 상면도이다. 도 68에 도시하였듯이, 워드 라인(5098)은 비트 라인(5080) 위로 교차점 어레이로 배열되어 있다. 도 68에서 워드 라인과 비트 라인이 서로 수직(즉, 90° 를 이룬다)으로 배열되지만, 상기 워드 라인과 비트 라인 사이의 각은 90° 와 다를 수 있다. 더욱이, 메모리 어레이의 경계 외부에서 워드 라인과 비트 라인은 방향이 바뀔 수 있으며, 심지어는 서로 평행이 될 수 있다. 게다가, "레일 스택" 또는 "레일"이라는 말은 바람직하게는 일렬로 배열된 도전체를 일컫는다. 그러나, 필요에 따라서는, 상기 레일 또는 레일 스택은 구부림(bends), 꼬임(twists) 또는 회전(turns)이 있을 수 있다.

<305> 이제 도 69를 보면, 도 67의 메모리 어레이가 모놀리식 3차원 어레이로 외삽되어 있다. "모놀리식(monolithic)"이라는 말은 어레이의 각 레벨의 층이 어레이의 밑에 깔린 각 레벨에 직접 증착되었음을 의미한다. 이와는 달리, 2차원 어레이는 개별적으로 형성된 후 함께 패키지화하여 비모놀리식 메모리 디바이스를 형성한다. 각 디바이스 레벨(5076)은 바람직하게는 도 67에 도시한 것과 동일하고 격리 층(즉, 층간 절연 층)(5078)이 각 레벨을 분리한다. 도 69에서는 단일한 셀(즉, TFT EEPROM)(5099)이 점선에 의하여 도시되어 있다. 셀(5099)은 워드 라인(n, j)과 비트 라인(m, j) 및 (m+1, j)의 교차점에서 디바이스 레벨 "j"인 곳에 위치한다.

<306> 이제 도 70을 보면, 본 발명의 또 다른 구체적 실시예가 예시되어 있다. 이 실시예에서는, TFT의 하부 게이트 어레이가 형성되어 있다. 2차원 메모리 어레이(5114)가 기판 위에 놓여 있다. 절연 층(5116)이 놓여져 있어 메모리 어레이를 기판(도시하지 않음) 또는 메모리 어레이의 다른 레벨로부터 분리한다. 복수의 분리된 워드 라인(5118)이 격리 층(5116) 위에 놓여 있다. 워드 라인 위에 ONO 유전체 스택과 같은 전하 포획 매체(5120)가 놓여 있다. 전하 포획 매체(5120) 위에 복수의 분리된 비트 라인(5122, 5124, 5126, 5128)이 놓여 있다. 비트 라인(5122, 5124, 5126, 5128) 사이의 공간(5130, 5132, 5134)에는 반도체 막(5136)이 놓여 있다. 이는 공간(5130, 5132, 5134)으로 증착되거나 전하 포획 매체(5120) 위에 증착 또는 성장될 수 있고, 그 후에 마스킹

및 에칭되어 비트 라인(5122, 5124, 5126, 5128)이 형성된다. 메모리 어레이의 상기 버전은 도 69의 디자인을 거꾸로 한 것을 근사화한다. 이렇게 하여, 상기 비트 라인은 N+ 도핑된 폴리실리콘에 의해 채워질 홈이다. 채우기 전에, n 형 주입이 수행되어 MOS 디바이스의 소스 및 드레인을 형성한다. 뿐만 아니라, 소스 및 드레인을 형성하기 위하여 불순물 대신에 홈 밑 부분에 가공하기 쉬운 금속이 사용될 수 있다.

<307> 이제 도 71을 보면, 도 70의 메모리 어레이는 모놀리식 3차원 어레이로 외삽되어 있다. 각 레벨(5114)은 바람직하게는 도 70에 도시한 것과 동일하고 격리 층(5116)이 각 레벨을 분리한다.

<308> 이제 도 72를 보면, 본 발명의 또 다른 구체적 실시예가 예시되어 있다. 여기서, 각 비트 라인은 두 개의 디바이스 레벨에 있는 TFT의 비트 라인처럼 작동한다. 이 실시예에서, 메모리 어레이(5140)는 하부(lower) 워드 라인(5142)과 상부(upper) 워드 라인(5144)을 포함한다. 비트 라인(5146, 5148, 5150, 5152)은 상부 워드 라인(5144)과 하부 워드 라인(5142) 사이에 놓여 있다. 도 67 및 도 69와 비슷한 방법으로, 상부 반도체 막(5154)은 비트 라인(5146, 5148, 5150, 5152)과 상부 워드 라인(5144) 사이에 놓여 있다. 하부 반도체 막(5156)은 비트 라인(5146, 5148, 5150, 5152)과 하부(lower) 워드 라인(5142) 사이에 놓여 있다. 아웃디퓨전 영역은 상부 워드 라인(5144)과 하부 워드 라인(5142)에 비트 라인(5146, 5148, 5150, 5152)과 인접하여 형성된다. 하부 전하 저장 매체 막(5158)은 하부 워드 라인(5142)과 하부 반도체 막(5156) 사이에 놓여 있다. 상부 전하 저장 매체 막(5160)은 상부 워드 라인(5144)과 상부 반도체 막(5154) 사이에 놓여 있다. 이 실시예에서는 층들이 미러 이미지 방식(mirror image fashion)에 의해 복사됨에 주의하여야 한다.

<309> 이제 도 73을 보면, 도 72의 메모리 어레이는 모놀리식 3차원 어레이로 외삽된다. 각 디바이스 레벨(5140)은 액티브 영역 사이에 놓여진 복수의 비트 라인 및 두 개의 TFT 액티브 영역과 두 개의 워드 라인을 포함하는 것으로 간주될 수 있다. 또 다른 방법으로는, 각 디바이스 레벨은 두 개의 TFT 액티브 영역 사이에 놓여진 단일 워드 라인(5142)을 간주될 수 있다. 따라서, 각 디바이스 레벨은 하나의 워드 라인 레벨과 두 개의 비트 라인 레벨 또는 하나의 비트 라인 레벨과 두 개의 워드 라인 레벨 중 한 가지를 포함한다. 각 TFT 액티브 영역은 서로 다른 수평 평면에 놓여진 TFT 액티브 영역과 비트 라인 및 워드 라인을 공유한다.

<310> 또 다른 하부 게이트(bottom gate) TFT 실시예가 도 81a-81h에 예시되어 있다. 도 81a-81h의 접근 방법은 도 70과 유사한 점이 있다. 층(5116)은 다른 메모리 어레이 또는 기판으로부터 메모리 어레이 구조(5114)를 분리하는 산화물과 같은 격리 층이다. 층(5118)은 도전성 워드 라인 층이다. 층(5120)은 O-N-O 유전체 스택이다. 층(5136)은 반도체 막이다(워드 라인과 비트 라인이 N+ 폴리실리콘일 때 p 형이다).

<311> 도 81b에서는 산화물 층(5190)이 증착되거나 성장한다. 도 81c에서는 산화물 층(5190)이 마스크(5192)(즉, 포토리지스트 마스크)에 의해 마스킹된다. 도 81d에서는 산화물 층(5190)의 마스킹되지 않은 부분이 종래의 방법에 의하여 에칭된다.

<312> 도 81e에서는 마스크(5192)가 제거되고 반도체 층(5136)은 n 형 이온으로 주입되어 도 81f에 도시하였듯이 산화물 층(5190)의 각 개구부에 N+ 주입 영역(5194)을 형성한다. 도 81g에서는 N+ 층(5196)이 증착되어 산화물의 틈을 채우고 N+ 주입 영역(5194)와 콘택하는 N+ 재료로 된 비트 라인(5198)을 형성하여 O-N-O층과의 콘택을 제공한다. 도 81h에서는 N+층(5196)은 도시하였듯이 CMP 평탄화되어 비트 라인(5198)을 형성하고, NMOS TFT 어레이를 완성한다. 물론, PMOS TFT 어레이도 층과 불순물의 도전성 유형을 역으로 함으로써 만들어질 수 있다. 도 81a-81h의 메모리 어레이의 멀티층 버전은 격리 층에 의해 분리된 추가적인 디바이스 레벨을 형성함으로써 만들어질 수 있다.

<313> 도 82a-82i에는 상부 게이트(top gate) TFT 어레이의 또 다른 실시예가 예시되어 있다. 도 82a에서는 산화물 또는 격리 층(5200)이 기판(도시하지 않음) 위에 놓여져 있다. 도 82b에서는 제1 도전형(5202)의 반도체 재료층이 산화물 층(5200) 위에 놓여져 있다. 상기 반도체 층은 P- 도핑된 비정질 실리콘일 수 있다. 도 82c에서는 여기 위에 경질 질화물 CMP-스톱(hard nitride CMP-stop)층이 증착되어 CMP 프로세스를 정지시켜 층(5202)으로 연마하는 것을 막는다.

<314> 도 82d에서는 제조가 진행 중인 메모리 어레이가 포토리지스트 마스크와 같은 마스크에 의해 마스킹된다. 도 82e에서는 에칭이 착수되어 도 82F에 도시한 것처럼 틈 또는 홈이 형성된다. 도 82g에서는 N+ 도핑된 폴리실리콘과 같이 도전 층(5210)이 증착된다. 도 82h에서는 이 층(5210)이 CMP 연마되어 N+ 비트 라인 및 그 사이에 P- 도핑된 영역(5214)을 남긴다. 열처리 후에는, 도 82i에서와 같이 아웃디퓨전 영역(5216)이 형성된다. 더욱이, 비정질 실리콘 층(5202)은 폴리실리콘 층으로 재결정화된다.

<315> 도 82i에서는 국소 전하 저장 막(5218)이 비트 라인 이에 놓여져 있고, 도전 막(5220)이 국소 전하 저장 막

(5218) 위에 놓여져 있다. 도전 막(5220)은 패턴화되어 워드 라인을 형성한다. 전하 저장 막(5218)도 패턴화되어 상기 워드 라인과 상기 전하 저장 막을 포함하는 레일 스택을 형성한다.

<316> 여기서 사용되는 전하 저장 매체막("국소 전하 저장 막"으로도 불린다)은 국소화된 전하를 보유할 필요가 있다. 즉, 측면으로 전도되어서는 안 된다. 일 실시예에 의하면, 전하 포획 층이 도 77에 도시하였듯이 유전체 스택에 형성될 수 있다. 예를 들면, 상기 전하 저장 매체는 폴리실리콘 막(5164)에 인접한 제1 산화물 층(5162), 제1 산화물 층(5162)에 인접한 질화물 층(5166) 및 질화물 층(5166)과 폴리실리콘 제어 게이트(5170)에 인접한 제2 산화물 층(5168)을 포함하는 유전체 스택(5160)일 수가 있다. 이러한 유전체 스택(5160)은 때로는 ONO 스택(즉, 산화물-질화물-산화물)으로 불린다. 원한다면, 실리콘 주입된 또는 실리콘이 풍부한 산화물과 같은 다른 적절한 전하 포획 유전체막이 사용될 수가 있다.

<317> 상기 전하 저장 매체막은 또 다른 방법으로는, 도 78에 도시하였듯이 복수의 전기적으로 격리된 나노 결정(5172)으로부터 형성될 수가 있다. 나노 결정은 서로에 대해 전기적으로 격리된 도전성 재료의 작은 클러스터 또는 결정이다. 전하 저장 매체에 대하여 나노 결정을 사용하는 이점은 그들이 연속적인 막을 형성하지 않기 때문에, 나노 결정이 자기 격리(self isolating)적인 것이다. 나노 결정(5172)은 멀티플 자기 격리적인 전하저장 영역의 형성을 가능하게 한다.

<318> 나노 결정(5172)은 실리콘, 텅스텐 또는 알루미늄과 같은 도전성 재료로부터 형성될 수 있다. 자기 격리적이기 위해서는 상기 나노 결정은 셀의 최대크기(pitch)의 반보다 작은 재료 클러스터 크기를 가져야 수평적 및 수직적으로 인접한 셀로부터의 플로팅 게이트가 격리된다. 즉, 상기 나노 결정 또는 재료 클러스터(5172)가 충분히 작아야 단일한 나노 결정(5172)이 인접한 셀과 수평적 또는 수직적으로 연결되지 않게 된다. 실리콘 나노 결정은 그 점착 계수(sticking coefficient)와 비교하여 매우 높은 표면 확산성을 가지는 실리콘을 증착함으로써 형성될 수 있다. 예를 들면, 실리콘 나노 결정은 CVD에 의해, 약 1밀리토르 ~ 약 200밀리토르의 범위의 매우 낮은 압력과 약 250° 에서 약 650° 의 온도에서 실란(SiH_4)을 분해함으로써 형성될 수 있다. 이러한 프로세스에서는, 매우 얇은 증착이 약 50Å에서 약 250Å의 범위에서 작은 실리콘 섬을 형성할 것이다. 만약 H_2가 증착과정에서 실란에 포함된다면, 높은 압력이 사용되어도 여전히 나노 결정을 얻을 수 있다. 본 발명의 또 다른 실시예에서는, 알루미늄 나노 결정과 같은 금속 나노 결정은 상기 금속의 녹는점 근처의 온도에서 금속 타겟으로부터 스퍼터링(sputtering)함으로써 형성될 수 있어 상기 금속이 덩어리지고 나노 결정을 형성한다. 텅스텐 나노 결정은 CVD에 의하여 매우 낮은 압력에서 WF_6과 GeH_4와 같은 텅스텐 소스 가스를 포함하는 반응성 가스 혼합물을 사용함으로써 형성될 수 있다. 본 발명의 또 다른 실시예에서는, 플로팅 게이트 재료의 연속 막(continuous film)은 증착된 후에 상기 막에 섬이 형성되도록 (히팅에 의하여) 응결되도록 한다.

<319> 비록 나노 결정이 플로팅 게이트로서 바람직하기는 하지만, 자기 격리성으로 인하여 상기 플로팅 게이트는, 예를 들면 여기에 한정되는 것은 아니지만, 텅스텐과 같은 금속 또는 폴리실리콘 혹은 소정의 도전형으로 도핑된 비정질 실리콘(전형적으로는 N+ 실리콘)과 같은 실리콘 막의 연속 막으로부터 형성될 수 있음을 알아야 한다. 만약 연속 막이 국소 전하 저장 막으로 사용되면, 상기 막은 이 시점에서 이방성으로 에칭되어 제거됨으로써 막의 스트립(strip)을 전기적으로 격리시킨다.

<320> 마찬가지로, 다량으로 도핑된 폴리실리콘과 같은 플로팅 게이트 재료의 작은 조각들은 산화물 층과 같은 절연체에 매립되었 때에는 국소 전하 저장 매체를 형성할 수 있다.

<321> 다중 레벨 디바이스에서 N+ 아웃디퓨전을 사용하는 문제점은 다양한 레벨이 서로 다른 열처리 프로세싱에 노출된다는 것이다. 즉, 하부 층은 각 열처리 단계에서 노출되는 반면, 상부 층은 단지 마지막 열처리 프로세싱에 노출된다. MOS 메모리 트랜지스터가 어레이의 레벨에 따라 실질적으로 다른 수행 특성을 나타내는 것은 바람직하지 않고 측면 확산(lateral diffusion)이 상기 MOS 메모리 트랜지스터를 잠기게 하는 것이 바라직하지 않기 때문에 소스/드레인 영역을 형성하는 메커니즘과 열 버짓(thermal budget)에 특별한 주의를 기울여야 한다. 비트 라인에 N+ 도핑이 사용되고 반도체 막에 P- 도핑이 사용되는 곳에서는 인(phosphorous)보다 안티몬(antimony)이 작은 확산성을 나타내므로 인 대신에 불순물로서 안티몬을 사용하는 것이 가능하다. 또한, 비트 라인 폴리실리콘에 있는 불순물 프로파일을 설계하여 다른 아웃디퓨전을 허용하게끔 하는 것도 가능하다. 이는 도 76에 개략적인 구성도로 도시하였다. 폴리실리콘 증착에 대하여 폴리실리콘 불순물 확산이 다양한 열 버짓에 대하여 특징지어진 후에는, 어레이 안의 메모리 레벨의 기능으로서 N+ 인 시츄 도핑된 재료가 P- 도핑된 보디(body) 영역으로부터 얼마나 떨어져 있어야 하는지를 결정하기가 쉬워진다. 원한다면 여기서도 안티몬이 사용되고 직접 주입될 수 있다. 도 76에서는, (a)로 표시된 비트 라인이 (b)로 표시된 비트 라인보다 메모리 어

레이의 상부 레벨에 더 가깝다. 다시 말하면, 상기 어레이에서 비트 라인(a)가 비트 라인(b) 위에 있다. 열처리 동안에, 비트 라인에 있는 불순물은 비트 라인 전체에 걸쳐서 위쪽으로 확산하고 P- 폴리실리콘 층으로 아웃 디퓨즈하여 소스 및 드레인 영역을 형성할 것이다. 따라서, 복수의 레벨에 있는 소스 및 드레인 영역이 균등하게 도핑될 것이다.

<322> 이제 도 69를 보면, 도 69의 선택된 셀의 첫째 비트를 프로그램하기 위해서는, BL(m, j)가 접지되고 BL(m+1, j)가 높게 펄스(3-8V, 저 임피던스)되어 있는 동안 WL(n, j)가 높게 펄스(9-13V, 고 임피던스) 된다. j번째 레벨의 BL(m+1, j)의 오른쪽에 있는 모든 BL이 BL(m+1, j)과 같은 전압을 유지하는 동안, j번째 레벨의 BL(m, j)의 왼쪽에 있는 모든 BL은 접지되어 있다. j번째 레벨의 다른 모든 WL은 접지되어 BL(m, j)과 BL(m+1, j) 사이의 다른 모든 MOS 디바이스가 확실히 오프(off)가 되도록 한다. 다른 모든 레벨에 있는 나머지 BL 및 WL은 플로팅 상태로 남겨질 수 있다. 이 말은 선택된 셀 MOS 디바이스만이 온(on)되고 구동되어 핫 케리어의 생성 및 드레인과 가까운(BL(m+1, j)에 의해 정의된다) 전하 포획 유전체 안으로의 프로그래밍을 최적화한다는 것이다.

<323> 첫째 비트를 읽기 위해서는, 이제 BL(m+1, j)이 소스가 되고 BL(m, j)가 드레인이 된다. WL(m, j)가 판독 전압(~1-5V)으로 펄스되는 동안, BL(m+1, j)이 접지되고 BL(m, j)가 판독 전압(~50mV ~ 3V, 바람직하게는 1 ~ 3V)으로 승압된다. 다시, BL(m, j)의 왼쪽에 있는 모든 BL은 BL(m, j)과 같은 전압을 유지하고, BL(m+1, j)의 오른쪽에 있는 모든 BL은 접지된다. 같은 레벨에 있는 다른 모든 WL은 접지되어 같은 두 개의 BL 사이에 있는 다른 모든 MOS 디바이스를 오프 상태로 만든다. 다른 레벨에 있는 다른 모든 BL 및 WL은 플로팅 상태로 남는다.

<324> 같은 셀의 제2 비트를 프로그램하고 읽기 위해서는, BL(m, j)와 BL(m+1, j)의 전압은 위와 비교하여 반대로 된다.

<325> MOS 메모리 트랜지스터의 보디(body) 영역이 플로팅 상태이고 얇게(증착 툴에 의하여 정의되며, 예를 들면, 바람직하게는 몇 백 옹스트롬) 만들어질 수 있음을 알아야 한다. 상기 영역을 얇게 만듦으로써, 디바이스의 스냅백(snapback)을 피할 수 있으며, 따라서 프로그래밍 전류의 급증을 피할 수 있다.

<326> 메모리의 삭제가 블록에서 수행될 수 있으며 느린 파울러-노드하임 터널링과 핫 홀(hot hole) 주입의 조합이 이용될 수 있다. MOS 보디가 대역간 터널링(band-to-band tunneling)과 애벌랜치 항복(avalanche breakdown)을 매우 적게 야기하는 플로팅 상태이므로, 상기 삭제 전류는 작을 것이다. 삭제 동작은, 워드 라인은 접지 또는 음(~ -5V) 상태에 있고 모든 비트 라인은 어떤 양의 전압 상태로 유지 될 때 일어날 수 있다. 삭제 절차는 100ms이 소요될 것이며 일시에 각 메모리 레벨로부터 풀 메모리까지 수행될 수 있다.

<327> 공통 워드 라인을 가지는 선택되지 않은 비트는 최악의 시간 동안 일어날 수 있는 워드 라인에의 프로그래밍 전압을 견딜 수 있어야 한다. 도 74는 매트릭스의 일 단계에서 이를 자세히 도시한다.

<328> 만약 각 비트(즉, 반 셀)가 프로그램하는데 시간 t가 필요하고 각 WL에 N개의 셀이 있다면, 최악의 경우에는 프로그램된 비트는 상기 프로그래밍 전압이 WL에 적용되는 곳에 (2N-1)t의 시간이 걸릴 것이다. 게이트 스트레스 프로그램의 방해정도는 어떠한 프로그램된 셀이 그 Vt를 어떤 "최소" 크기로 편이시키지 않았다면 괜찮을 것이다. 프로그래밍은 열 전자(hot electron)를 사용함으로써 얻어지므로, 전하 포획에서 터널 아웃하는데 필요한 전압과 시간에 비하면 상기 시간 및 전압은 각각 짧고 작다. 게다가, 어느 한 비트의 총 스트레스는 선택된 셀을 프로그래밍 하는 동안 선택되지 않은 비트 라인을 플로팅시킴으로써 유효하게 감소시킬 수 있다. 이렇게 하여, 오로지 접지 상태의 선택된 셀만이 유전체에서 완전한 프로그래밍 전압을 경험하게 될 것이다.

<329> 선택된 비트와 비트 라인을 공유하는 선택되지 않은 비트 드레인에서의 프로그래밍 전압을 최악의 경우에도 견딜 수 있어야 한다. 도 75 에는 비트 라인에 따른 단면도를 나타내는 상세한 구성도가 도시되어 있다.

<330> 다시, 어느 한 비트 라인에 M개의 셀이 있고 어느 한 비트를 프로그래밍 하기 위하여 t라는 시간이 걸린다면, 프로그램된 비트의 최악의 드레인 스트레스는 (M-1)t의 시간이 될 것이다. 따라서, 그러한 스트레스를 겪은 후의 프로그램된 비트의 Vt 시프트는 최소화될 것이다.

<331> 셀의 판독 도중에 생성된 열 전자가 궁극적으로(10년의 수명기간에 걸쳐) 기존에 삭제된(기록되지 않은) 비트를 프로그램하기에 충분하다면, 판독 방해(read disturb) 또는 "소프트 라이트(soft write)"가 일어난다. 보통 여기서 가속화된 테스트(accelerated testing)가 수행되어 요구되는 판독 전압이 최소량 이상으로 중립 셀의 문턱 전압을 시프트하지 않도록 한다.

<332> 위에서 제시된 디바이스에서는, N+ 또는 P+ 도핑된 폴리실리콘은 도핑 농도가 약 1×10^{19}에서 약 1×10^{21} 원자/cm^3을 가지고 두께가 바람직하게는 약 500Å에서 약 1000Å의 범위를 가지는 것이 좋다. P- 또는 N- 도핑된 반도체 막은 약 1×10^{16}에서 약 1×10^{18} 원자/cm^3의 도핑 농도를 갖는 것이 좋다.

<333> 도시된 각 메모리 디바이스는 도핑 농도 범위를 유지하면서 각 실리콘 영역의 도전형을 단순히 반대로 함으로써 반대 극성을 가질 수도 있다는 것을 이해할 필요가 있다. 이렇게 함으로써, NMOS 디바이스가 제조될 수 있을 뿐만 아니라, 원한다면 PMOS 디바이스도 만들어질 수 있다. 또한, 디바이스를 형성하기 위한 실리콘 막은 재결정화된 단일 결정 실리콘 혹은 다결정 실리콘일 수 있다. 게다가, 상기 실리콘 막은 소정의 농도의 n 형 또는 p 형으로 도핑된 실리콘 게르마늄 막과 같은 실리콘 합금 막일 수 있다.

<334> 폴리실리콘 워드 라인 및 비트 라인의 측면 도전성을 증가시킬 필요가 있는 곳에는, 도 79에 도시하였듯이 워드 라인 및 비트 라인에 도전성 금속 막이 증착될 수 있다. 도 79에서는, 비트 라인(5174)은 N+로 강하게 도핑된 폴리실리콘(5176)으로 형성되어 있다. 이는 전기적 도전성을 제공한다. 전기적 저항을 더욱 감소시키기 위해서는, 티탄(5178)과 같은 내화성(refractory)의 전기적 도전성 금속 층이 비트 라인(5174) 또는 폴리실리콘(5176)의 하나 또는 그 이상의 표면에 놓여질 수 있다. 정상적인 실리콘 처리 온도를 가하면, 티탄은 폴리실리콘과 함께 측면 방향으로 매우 도전성이 높은 실리사이드를 형성한다.

<335> IV. 레일 스택 구조에서의 플래시 메모리 어레이

<336> 앞서의 실시예에서는, TFT가 가상 접지 어레이(VGA)에 배치되어 있었다. 앞선 실시예에서 예시된 VGA에서는, 각 EEPROM의 프로그래밍은 핫 캐리어 주입에 의해 발생한다. 핫 캐리어 주입에서는, 다이오드 양단(즉, TFT EEPROM의 소스 및 드레인 사이)에 전압이 인가된다. TFT EEPROM의 채널을 통하여 소스로부터 드레인까지 이동하는 상기 핫 캐리어(즉, 열 전자와 정공)는 채널에 인접하여 놓여진 전하 저장 영역에 주입된다. 이 과정은 상대적으로 높은 전력을 요구한다.

<337> 프로그램/삭제 및 판독 전력이 중요한 저전력 휴대용 애플리케이션에서는, 프로그램 및 삭제 모두를 위한 파울러-노드하임 터널링("FN 터널링")을 사용하는 플래시 비휘발성 메모리가 사용될 수 있다. FN 터널링은 유전체 양단에 전압을 인가함으로써 초래된다. 따라서, TFT EEPROM에서는, TFT EEPROM에의 기록 및 삭제를 위하여, TFT의 제어 게이트와 소스 및/또는 드레인 영역 사이에 전압이 인가된다. 이는 소스 및 드레인 영역 사이에 전압이 인가되는 핫 캐리어 주입과는 대조된다.

<338> 프로그램 및 삭제를 위해 FN 터널링을 사용하는 플래시 메모리 어레이는 그러한 플래시 메모리 어레이에 있는 수천 개의 비트가 동시에 프로그램될 수 있기 때문에 유리하다.

<339> 또한, FN 터널링은 매우 효율적인 프로그래밍 방법이다. 왜냐하면, 대부분(거의 100%)의 전류가 디바이스를 프로그램하기 때문이다. 이는 소스-드레인 전류의 약 1-2%만이 디바이스를 프로그램하는 데 쓰이는 핫 캐리어 주입과는 대조된다.

<340> 따라서, 본 발명의 바람직한 실시예에서는, TFT EEPROM과 같은 전하 저장 장치는 플래시 메모리 어레이 구조로 배치되어 있다. 상기 TFT EEPROM은 필러(pillar), 자기 정렬된 TFT 또는 앞서의 실시예에서의 레일 스택 구조에 배치될 수 있다. 바람직하게는, 상기 TFT EEPROM은 레일 스택 구조에 배치된다.

<341> VGA는 FN 터널링과는 채널 폴리실리콘 전체가 높게 펄스된(pulsed-high) 워드 라인의 길이를 따라 거꾸로 되어 있고 프로그램을 필요로 하는 셀 이외의 것도 프로그램할 것이기 때문에 양립할 수 없다. 따라서, FN 터널링 레일 스택(교차점) 플래시 어레이는 VGA와 다르다. 즉, FN 터널링 어레이에서는 액티브 폴리실리콘 층이 폴리실리콘 섬으로 패턴화되어 FN 터널링 프로그래밍이 가능하게 된다. 따라서, 레일 스택 어레이를 만드는 공정에 추가적인 포토리쏘그래피 마스킹 단계가 추가된다. 또한 여기서, 상기 폴리실리콘 액티브 층이 각 디바이스 셀에 섬으로 에칭된다. 각 셀의 전하 저장 영역을 정의(즉, 에칭)하기 위하여 동일한 포토리지스트 마스크가 사용될 수 있다.

<342> 도 83a는 본 발명의 바람직한 실시예에 따른 레일 스택 구조의 플래시 메모리 어레이를 예시한다. 도 83b는 도 83a에서의 B-B선을 따라 절단한 단면도를 나타낸다. 도 83a에서는, 플래시 메모리 어레이(5230)는 바람직하게는 CMP 평탄화 된 실리콘 산화층과 같은 층간 평탄화 된 절연 층(5231) 위에 형성되어 있다. 앞서의 실시예와 마찬가지로 층(5231)은 기판(도시 하지 않음) 위에 형성되어 있다. 어레이의 각 디바이스(도 83a에 점선(5232)으로 나타냄)는 절연 층 위에 형성되어 있기 때문에 TFT이다.

<343> 어레이(5230)는 제1 방향으로 기판 위의 제1 높이에 놓여진 제1 복수의 분리된 도전성 비트 라인(5233)을 포함한다. 또한, 상기 어레이는 제2 복수의 분리된 레일 스택(5235)을 포함한다. 상기 레일 스택은 제1 방향과 다른 제2 방향으로 제2 높이에 놓여 있다. 바람직하게는, 비트 라인(5233)과 레일 스택(5235)은 서로에 대하여 직교하도록 배치되어 있다. TFT EEPROM(5232)은 레일 스택(5235)과 비트 라인(5233)의 교차점에 형성된다.

<344> 각 레일 스택(5235)은 TFT EEPROM(5232)의 액티브 영역을 포함하는 복수의 반도체 섬을 포함한다. 섬(5237)의 한 표면은 비트 라인(5233)과 콘택한다. 또한, 각 레일 스택(5235)은 반도체 섬(5237)의 제2 표면과 워드 라인(5239) 사이에 놓여진 전하 저장 영역(5241)과 도전성 워드 라인(5239)을 포함한다.

<345> 상기 반도체 섬은 바람직하게는, 제1 도전형(즉, P- 또는 N-)의 폴리실리콘을 포함한다. 그러나, 원한다면, 상기 섬은 비정질 실리콘을 포함할 수 있다. 폴리실리콘 섬(5237)은 제2 도전형(즉, N+ 또는 P+)을 가진 소스 및 드레인 영역(5243)을 포함한다. 소스 및 드레인 영역(5243)은 비트 라인 도전체(5233)와 레일 스택(5235)이 교차하는 지점에 위치한다.

<346> 비트 라인(5233)은 바람직하게는, 제2 도전형(즉, N+ 또는 P+)을 가진 폴리실리콘을 포함한다. 상기 비트 라인은 소스와 드레인 영역(5243)을 콘택한다. 바람직하게는, 소스 및 드레인 영역은 비트 라인으로부터 불순물의 아웃디퓨전에 의하여 형성된다. 더욱이, 선택적 금속과 금속 실리사이드 층(도 83a에 도시하지 않음)이 비트 라인(5233)과 콘택하여 놓여져 비트 라인의 도전성을 높일 수 있다. 분리된 비트 라인 도전체(5233) 사이의 공간은 실리콘 산화물과 같은 평탄화 된 절연 필러(filler) 재료로 채워진다.

<347> 앞서의 실시예와 같이, 전하 저장 영역(5241)은 유전체 격리된 플로팅 게이트, 전기적으로 격리된 나노 결정 또는 O-N-O 유전체 스택을 포함할 수 있다. 유전적으로 격리된 플로팅 게이트를 갖는 예시적 어레이가 도 83a 및 b에 예시되어 있다. 따라서, 도 83a 및 b의 예에서는, 전하 저장 영역(5241)은 실리콘 산화물 층과 같은 터널 유전체(5249)와 실리콘 산화물 또는 ONO 층 스택과 같은 재료로 만들어진 제어 게이트 유전체(5251)(게이트간 또는 폴리간 유전체로도 불린다) 사이에 폴리실리콘 플로팅 게이트(5247)를 포함한다.

<348> 도 83a 및 b에 나타냈듯이, 터널 유전체(5249)와 플로팅 게이트의 측면(5253)은 반도체 섬(5237)의 측면과 정렬되어 있다. 제어 게이트 유전체(5251)는 반도체 섬(5237) 사이로 확장되고 반도체 섬(5237) 사이의 평탄화 된 절연 재료와 콘택한다. 원한다면, 제어 게이트를 플로팅 게이트에 결합하는 것을 최대화하기 위해 플로팅 게이트(5247)는 반구형 그레인 폴리실리콘으로부터 만들어질 수 있다. 또 다른 방법으로는, 플로팅 게이트 높이를 증가시킴으로써, 플로팅 게이트에 뿔 또는 돌출부를 형성함으로써, 또는 플로팅 게이트의 표면을 거칠게 함으로써 상기 결합은 증가될 수 있다.

<349> 워드 라인(5239)은 제2 도전형(즉, N+ 또는 P+)의 폴리실리콘 층과 폴리실리콘 층과 콘택하는 금속 혹은 금속 실리사이드 층을 포함한다. 워드 라인(5239)은 전하 저장 영역(5241) 위에서 TFT EEPROM의 제어 게이트처럼 동작한다. 따라서, 각 TFT의 별개의 제어 게이트의 형성은 필요하지 않다.

<350> 본 실시예의 한 바람직한 형태에서, 도 83a 및 b에 도시하였듯이 레일 스택(5235)은 비트 라인(5233) 위에 놓여져 있다. 그러나, 원한다면, 앞서의 실시예와 관련하여 도 70에서 설명했듯이 레일 스택(5235)은 각 디바이스 레벨에서 비트 라인(5233) 아래에 놓여질 수 있다(즉, 하부 게이트 TFT EEPROM이 형성된다).

<351> 도 83b에 도시하였듯이, 워드 라인(5239), 전하 저장 영역(5241)과 반도체 섬(5237)(즉, 레일 스택(5235))은 기판과 직교를 이루고 소스-드레인 방향과는 평행인 평면(5256)에 정렬되어 있다. 레일 스택(5235)은 실리콘 산화물과 같은 제2 평탄화 된 절연 층(5257)에 의해 분리되어 있다.

<352> 플래시 메모리 어레이는 2차원 어레이를 포함할 수 있다. 바람직하게는, 상기 플래시 메모리 어레이는 복수의 디바이스 레벨을 포함하는 모놀리식 3차원 어레이를 포함한다. 예를 들면, 도 83a에는 3개의 디바이스 레벨이 도시되어 있다. 상기 디바이스 레벨은 실리콘 산화물 층과 같은 층간 절연층(5259)에 의하여 분리되어 있다. 원한다면, 층(5257 및 5259)은 레일 스택 사이와 위에 증착된 동일한 실리콘 층을 포함할 수 있고, CMP에 의해 평탄화 된다.

<353> 선택된 TFT EEPROM(5232)를 프로그램하기 위해서는, 상기 디바이스(5232)(이는 고 임피던스 노드이다)와 인접한 선택된 비트 라인(5239)에 양의 프로그래밍 전압이 인가되는 동안 드레인 비트 라인 또는 소스 비트 라인(5233) 중 하나 혹은 둘 다 접지된다. 동일한 디바이스 레벨에 있는 다른 모든 워드 라인은, 동일한 레벨 디바이스에 있는 다른 모든 비트 라인이 플로팅되거나 약한 양 전압에 인가되는 동안 접지된다. 이는 오로지 선택된 셀(5232)만이 그 양단에 프로그래밍 전압이 인가된다는 것을 의미한다. 용량성 커플링을 통하여, 소스 및/또는

드레인(5243)이 접지되어 있는 동안 플로팅 게이트(5247)는 하이(high)가 된다. 소스 및/또는 드레인(5243)으로부터 플로팅 게이트(5247)로의 전자 터널 및 반전 채널이 실리콘 채널(5237)에 형성된다. 이러한 셀을 프로그램하여 대략 1ms에 문턱 전압 시프트가 약 5V가 되도록 하는 전류는 몇 피코 암페어(picoamp)이다.

<354> 상기 셀을 삭제하기 위해서는, 동일한 비트 라인(5233)은 접지되고 음 전압 펄스가 선택된 워드 라인(5239)에 위치한다. 다른 모든 워드 라인은 접지되거나 플로팅할 수 있다. 다른 모든 비트 라인은 플로팅되거나 약간 음 전압에 인가된다. 어레이에 있는 복수의(또는 모든) EEPROM 셀은 모든 비트 라인이 접지되어 있는 동안 복수의 워드 라인을 높은 음의 값으로 펄스시킴으로써 동시에 삭제될 수 있다. 또 다른 방법으로는, 상기 선택된 셀 비트 라인이 양으로 펄스되어 있는 동안 선택된 워드 라인은 접지되어 있다. 다른 모든 워드 라인은 다른 모든 비트 라인이 접지되어 있는 동안 플로팅되거나 약하게 양으로 펄스되어 있다.

<355> FN 터널링을 단독으로 사용한 프로그래밍 및 삭제는 저전류 프로그래밍 및 삭제를 가능하게 한다. 그리고 이는 프로그래밍 및 삭제에서의 "대량 병행(massive parallelism)"에 도움이 된다. 따라서, 많은 셀(5232)이 병렬 프로그래밍 될 수 있다. 예를 들면, 5V 시프트를 얻기 위해서는, 천개의 셀은 총 전류가 2nA가 필요할 것이며 평균적으로 셀 당 약 1ms에 프로그래밍될 것이다. 프로그래밍 및 삭제 동안에, 폴리실리콘 다이오드(즉, 소스/채널/드레인 접합) 양단에 어떠한 고전압도 인가되지 않기 때문에 기생하는 누설 전류는 작다. 판독하는 동안에, 소스-드레인간 전압도 작기 때문에 기생하는 누설 전류 또한 작다. 10-20V의 프로그래밍 전압이 인가되어 셀을 프로그램할 수 있다. 상술한 83a 및 b의 방법에서, 소형 셀이 달성된다. 그러나, 오로지 양의 문턱 전압(도 83a 및 b에 도시한 NMOS TFT EEPROM에 대해)만을 얻을 수 있다. 그렇지 않으면 비트 라인간에 많은 양의 기생 누설이 발생하기 때문이다. 각 셀에 양과 음의 문턱 전압 모두를 가능하게 하기 위해서는, 도 84에 도시하였듯이, 플래시 메모리 어레이의 제2의 바람직한 형태에서는 각 셀에 액세스 트랜지스터(즉, TFT MOSFET)가 추가된다.

<356> 도 84에는 문턱 전압이 약한 양 전압으로 설정될 수 있는 각 셀에 있는 내장형(built-in) 액세스 트랜지스터(5261)를 예시하고 있다. 액세스 트랜지스터(5261)를 사용함으로써, 과한 삭제를 방지하는 특수한 삭제 및 체크(erase-and check) 알고리즘을 피하고 비트 라인 누설을 제시하지 않으면서, 실제 셀 트랜지스터(즉, TFT EEPROM(5232))는 음의 문턱 전압을 가질 수 있다. 더욱이, 상기 액세스 트랜지스터는 또한 음의 게이트 전압에서 발생될 수 있고 프로그램된 셀(전자로 가득한 플로팅 게이트)에서는 문제가 될 수 있는 결점에 기초한(defect-based) TFT 밴드간 터널링 누설을 감소시킬 수 있다. ("S-H Hur" 등의 "A Poly-Si Thin-Film Transistor EEPROM Cell with Folded Floating Gate", IEEE Trans. Elect. Dev.,vol. 46, 쪽 436-438, 1999년 2월 호, 본 출원에 참조되고 있다.)

<357> 도 84에 도시하였듯이, 반도체 섬(5237)은 공통 소스(5243A)와 드레인 영역(5243B) 사이에 상기 액세스 트랜지스터의 인접한 채널 영역(5263, 5265)과 EEPROM을 각각 포함한다. 워드 라인(5239)은 EEPROM의 제어 게이트와 액세스 트랜지스터의 게이트 전극을 형성한다. 절연 층(5251)은 EEPROM의 공통 제어 게이트 유전체와 액세스 트랜지스터의 게이트 절연 층을 형성한다. 플로팅 게이트(5247)와 터널 유전체(5249)는 EEPROM(5232)의 워드 라인(5239)과 채널 영역(5265) 사이에 위치한다.

<358> 셀(5232/5261)의 플로팅 게이트(5247)를 프로그래밍 하기 위해서는, 그 소스 비트 라인(5233A)은 접지되고, 드레인 비트 라인(5233B)은 플로팅되고, 선택된 셀의 워드 라인에는 높은 양의 전압 펄스가 위치된다. 이는 전자를 플로팅 게이트로 터널링한다. 동일한 레벨에 있는 다른 모든 워드 라인이 접지되어 있는 동안, 동일한 디바이스 레벨에 있는 다른 모든 비트 라인은 플로팅 상태로 있거나 약한 양의 전압에 인가된다. 판독하기 위해서는, 셀의 소스 비트 라인이 접지되고 드레인 비트 라인이 1-3V와 같은 낮은 양의 전압으로 설정되어 있는 동안 선택된 셀의 워드 라인은 액세스 트랜지스터의 문턱 전압보다 높은 판독 전압으로 펄스된다. 동일한 레벨에 있는 모든 워드 라인이 접지되어 있는 동안 동일한 레벨의 다른 모든 비트 라인은 플로팅 상태로 있거나 접지된다. 셀을 삭제하기 위해서는, 소스 비트 라인이 접지되어 있는 동안 워드 라인은 높은 음의 값으로 펄스된다. 전체 어레이를 삭제하기 위해서는, 모든 소스 비트 라인이 접지되어 있는 동안 모든 워드 라인은 높은 음의 값으로 펄스될 수 있다.

<359> 플래시 메모리 어레이의 또 다른 바람직한 측면으로는, 도 85에 도시된 바와 같이 TFT 밴드간 결함과 관련된 드레인 누설을 저감시키기 위해 게이트-드레인 오프셋 영역(offset region; 5267)이 제공되는 것이다. 따라서, 도 85의 예에서, 워드 라인(5239) 및 전하 저장 영역(5241)은 드레인 영역(5243B)에서 떨어져 있다. 두꺼운 절연 층(5269)은 반도체 섬(5237)과 오프셋 영역(5267) 내의 워드 라인(5239) 사이에 위치한다. 플로팅 게이트(5247), 터널 유전체(5249) 및 제어 게이트 유전체(5251)는 정렬된 측면(5253A,B)을 갖는다. 오직 하나의 측면

(5253A)만이 반도체 섬(5237)의 측면(5255A)에 정렬되어 있다. 섬(5237)은 플로팅 게이트(5247), 터널 유전체(5249) 및 제어 게이트 유전체(5251)보다 더 큰 폭을 갖는다.

<360> 소망한다면, ONO 또는 격리된 나노 결정 전하 저장 영역이 도 84 및 85의 실시예에서의 플로팅 게이트 전하 저장 영역 대신에 사용될 수 있다. 더군다나, 소망한다면, 도 84 및 85의 디바이스는 하부 게이트 구성(즉, 워드 라인 위에 비트 라인으로)으로 형성될 수 있다.

<361> 도 83a 및 b의 플래시 메모리 어레이에서, 비트 당 각 셀 크기는 대략 $8F^2/N$ 내지 $10F^2/N$이다. 여기서 F는 최소 배선 폭(minimum feature size)을, N은 어레이 내의 디바이스 레벨 수를 나타낸다. 도 84 및 85의 플래시 메모리 어레이에서, 비트 당 각 셀 크기는 대략 $9F^2/N$ 내지 $11F^2/N$이다. 따라서, 대략 $8F^2/N$ 내지 $11F^2/N$의 비트 당 셀 크기가 얻어질 수 있다. 바람직하게, 이 셀 크기는 $7.7F^2$부터 $13.9F^2$까지의 범위를 가지는 상용 가능한 플래시 메모리 어레이의 셀 크기와 비교된다. 액세스 트랜지스터 및 콘택에서 상용 가능한 디바이스의 효율적인 셀 크기를 하나의 요인으로 한다면, 중복성(redundancy) 때문에 그들의 셀 크기는 $9.8F^2$부터 $19.2F^2$까지의 범위를 가진다. 그러나, 현 실시예의 플래시 메모리 어레이가 3 차원 어레이(즉, N>1)로써 형성될 때, 현 실시예의 플래시 메모리 어레이의 비트 당 셀 크기는 종래 기술의 셀 크기보다 현격히 작다. 예를 들어, N=2인 경우의 셀 크기는 대략 $4F^2$ 내지 $5.5F^2$이고, N>2인 경우에는 이보다 훨씬 작다.

<362> 도 83-85의 플래시 메모리 어레이를 제작하는 방법은 도 86에 설명되어 있다. 도 86a-d에는 플래시 메모리 어레이의 제작 방법이 설명되어 있는데, 여기서 워드 라인은 각 디바이스 레벨 내의 비트 라인 위에 배치된다. 복수의 분리된 비트 라인 도전체(5233)는 제1 포토리지스트 마스크를 사용하여 제1 도전 층을 에칭함으로써 기판 위의 제1 높이(도시되지 않음)에 형성된다. 비트 라인 도전체(5233A,B)는 도 86a에 도시된 바와 같이 제1 방향으로 확장한다. 비트 라인은 폴리실리콘 및 금속 또는 금속 실리사이드 층을 포함한다. 제1 절연 층(5245)은 비트 라인 도전체(5233A,B) 위 또는 사이에 증착된다. 절연 층(5245)은 비트 라인 도전체(5233A,B)의 상부 표면이 노출될 때까지 CMP에 의해 평탄화 된다.

<363> 도 86b에서 도시하는 바와 같이, 제1 반도체 층(5237)과 전하 저장 막을 포함하는 층 스택은 노출된 비트 라인 도전체(5233A,B) 및 평탄화 된 절연 층(5245) 위에 증착된다. 층(5237)은 비정질 혹은 폴리실리콘 층일 수 있다. 도 86b에서, 전하 저장 박막은 터널 유전체 층(5249) 및 플로팅 게이트 폴리실리콘 층(5247)을 포함한다. 이와 달리, 전하 저장 박막은 ONO 스택 또는 유전적으로 격리된 나노 결정일 수 있다.

<364> 제2 포토리지스트 층(도시되지 않음)은 스택 위에 형성되고 포토리쏘그래피 방법에 의해 패턴되어 마스크가 된다. 마스크로써 이러한 포토리지스트 층을 사용하여, 층(5237, 5249 및 5247)의 스택은 에칭되고 복수의 제1 레일 스택(5271)(간명함을 위해, 오직 하나의 레일 스택이 도 86c에 도시되었다)을 형성한다. 제1 레일 스택(5271)은 기판과 평행한 면에 있는 비트 라인 도전체(5233)와 동일하거나 실질적으로 동일한 방향으로 확장한다. 제1 레일 스택(5271) 각각은 반도체 레일(5237) 및 전하 저장 영역 레일(5247/5249)을 포함한다. 제1 레일 스택(5271)은 적어도 하나의 정렬된 측면 에지(5253/5255)를 갖는다. 도 86c에서, 제1 레일 스택(5271)은 각각의 제1 레일 스택이 동일한 포토리지스트 마스크를 사용하여 패턴되기 때문에 2 개의 그러한 정렬된 측면 에지를 갖는다. 여기서 포토리지스트 마스크는 에칭 단계 후에 제거된다.

<365> 플로팅 게이트 형 EEPROM이 형성되는 경우, 제어 게이트 절연 층(5251)은, 도 86d에서 도시한 바와 같이, 제1 레일 스택(5271) 위 및 제1 레일 스택 사이의 공간에 증착된다. 따라서, 층(5251)은 제1 레일 스택(5271)의 측면 에지를 넘어서 확장한다. ONO 또는 격리된 나노 결정 형 EEPROM이 형성되는 경우, 반도체 층(5237)은 증착되고, 증착 후에는 제1 레일 스택(5271)으로 패턴된다. 그 때, ONO 또는 나노 결정을 포함하는 층은 패턴된 제1 레일 스택(5271) 위에 증착되고, 이어서 워드 라인을 위한 도전 층(5239)이 증착된다.

<366> 제2 도전 층(5239)은 제어 게이트 절연 층(5251) 위에 증착된다. 층(5239)은 폴리실리콘 및 금속 실리사이드 서브층(sublayer)을 포함하는 것이 바람직하다. 제3 포토리지스트 마스크(도시되지 않음)는 제2 도전 층(5239) 위에 형성된다. 도 86d에 도시된 바와 같이, 제2 도전 층(5239), 제어 게이트 유전체(5251) 및 제1 레일 스택(5271)은 에칭되어 복수의 제2 레일 스택(5235)을 형성한다. 제2 레일 스택은 워드 라인(5239), 전하 저장 영역 섬(5247/5249/5251) 및 반도체 섬(5237)을 형성하는 패턴된 제2 도전 층을 포함한다.

<367> 소스(5243A) 및 드레인(5243B) 영역은 제2 도전 형(즉, N+ 또는 P+)의 불순물이 제1의 복수의 분리된 도전체로부터 제1 도전 형(즉, P- 혹은 N-)의 반도체 섬(5237)으로 아웃디퓨전함으로써 형성된다. 소스 및 드레인 영역은 반도체 층(5237)이 비트 라인 도전체(5233A,B) 위에 증착된 후의 제작 과정 중 어느 때라도 형성될 수 있다.

예를 들어, 디바이스는 제2 레일 스택(5235) 형성 후에 어닐링됨으로써 불순물을 소스 및 드레인 영역으로 아웃디퓨전 시키고 비정질 실리콘 층(5237)을 폴리실리콘 층으로 재결정시킬(또는 층(5237)의 그레인 크기를 증가시킴) 수 있다. 아웃디퓨전 어닐링 및 결정화 어닐링은 동일하거나 개별적인 열처리 단계 중에 생길 수 있다. 예를 들어, 재결정화 어닐링은 층(5237)이 증착된 후에 바로 일어날 수 있다.

<368> 도 83b에 도시된 바와 같이, 제2 레일 스택(5235)의 측면 표면은 기판에 수직인 면에 정렬되고, TFT EEPROM(5232)의 소스(5243A)로부터 드레인(5243B)까지 확장되는 방향에 평행하다. 제어 게이트 유전체(5251)는 워드 라인(5239) 및 제1 절연 층(5245) 사이에 배치된다. 제어 게이트 유전체(5251)는 제1 레일 스택(5235)의 부분이기 때문에, 도 83b에 도시된 바와 같이, 기판에 수직한 면에 정렬되어 있으며 반도체 섬(5237), 터널 유전체(5249), 플로팅 게이트(5247) 및 제어 게이트(5239)에서 소스-드레인 방향으로 평행하다. 제1 레일 스택(5271)은 제2 레일 스택(5235) 에칭 동안 섬으로 전환된다.

<369> 도 83b에 도시된 바와 같이, 제2 절연 층(5257)은 제2 레일 스택(5235) 위에 증착되고 제2 레일 스택과 동일 높이로 CMP에 의해 평탄화 된다. 층간 절연 층(5259)은 제2 절연 층(5257) 및 제2 레일 스택(5235) 위에 증착된다. 소망한다면, 단일 절연 층이 제2 레일 스택(5235) 위 및 사이에 증착되어 제2 절연 층(5257) 및 층간 절연 층(5259)을 형성할 수 있다. 단일층은 그 때 CMP에 의해 평탄화 된다.

<370> 소망한다면, 도 83a에 도시된 바와 같이, 부가되는 어레이의 복수의 디바이스 레벨은 층(5259) 위에 모놀리식하게(monolithically) 형성되어 적어도 3 개의 디바이스 레벨을 가지는 3 차원 모놀리식 어레이를 형성할 수 있다. 각 디바이스의 레벨은 층간 절연 층에 의해 분리되는 것이 바람직하다.

<371> 플래시 메모리 어레이를 제작하는 다른 방법으로, 각 디바이스 레벨의 워드 라인은 비트 라인 도전체 밑에 형성될 수 있다(즉, 상부 게이트 TFT EEPROM 보다는 하부 게이트 TFT EEPROM가 형성된다). 다른 방법으로, 도 86e에 도시된 바와 같이, 게이트 라인(5239), 전하 저장 영역(5251/5247/5249) 및 반도체 섬(5237)을 포함하는 제2 레일 스택(5235)이 맨 처음 형성된다. 그 때, 제1 절연 층(5245)은 제2 레일 스택(5235)의 반도체 섬 상에 형성된다. 소망한다면, 제1 절연 층(5245) 또한 제2 레일 스택 사이에 형성될 수 있다. 대안적으로는, 또 다른 절연 층이 제2 레일 스택 사이에 형성되어 제1 절연 층(5245) 형성 전에 CMP에 의해 평탄화 된다.

<372> 트랜치는 제1 절연 층(5245) 내에 형성된다. 소스 및 드레인 영역(5243)은 트랜치를 통해 이온 주입(혹은 확산)된 불순물 이온에 의해 반도체 섬(5237) 내에 형성된다. 트랜치 에칭 중에 사용되는 포토리지스트 층(도시되지 않음)은 이온 주입 전 또는 후에 제거될 수 있다. 도 86f에 도시된 바와 같이, 제2 도전 층(예를 들어, 폴리실리콘 층 및 실리사이드 서브층을 포함하는 층)은 트랜치 내 및 제1 절연 층 위에 형성된다. 제2 도전 층은 CMP에 의해 평탄화 되어 반도체 섬(5237) 위에 있는 비트 라인 도전체(5233)를 형성한다. 이와 달리, 소스 및 드레인 영역(5243)은 비트 라인 도전체로부터 이온 주입 보다는 아웃디퓨전에 의해 형성될 수 있다.

<373> 비슷한 방법이, 액세스 트랜지스터를 포함하는 TFT EEPROM(도 84에 도시됨) 또는 드레인 오프셋 영역을 포함하는 TFT EEPROM을 가지는 플래시 메모리 어레이(도85에 도시됨)를 형성하는데 사용될 수 있다. 이러한 방법에서, 터널 절연 층(5249) 및 플로팅 게이트 층(5247)을 포함하는 층 스택이 도 86c에 도시된 바와 같이 제1 반도체 층(5237) 위에 증착된다. 층 스택은 패턴되어 제1 폭을 가지는 반도체 레일(5237) 및 제1 폭보다 작은 제2 폭을 가지는 전하 저장 영역 레일(5247/5249)을 포함하는 제1 레일 스택(5271)을 형성한다. 제1 레일 스택은 하나의 정렬된 측면 에지를 가지며 반도체 레일(5237)의 드레인 부분은 노출된다.

<374> 이러한 구조는 두 가지 다른 에칭 방법에 의해 얻어질 수 있다. 제1 에칭 방법은 도 86g에 도시된 바와 같이, 스택 위에 제1 폭을 가지는 제1 포토리지스트 마스크(5275)를 형성하는 것을 포함한다. 도 86g에 도시된 바와 같이, 제1 반도체 층(5237), 터널 유전체 층(5249) 및 플로팅 게이트 층(5247)은 제1 포토리지스트 마스크(5275)를 이용하여 에칭된다. 제1 폭보다 작은 제2 폭을 가지는 제2 포토리지스트 마스크(5277)는 플로팅 게이트 층(5247) 위에 형성된다. 도 86h에 도시된 바와 같이, 터널 유전체 층(5249) 및 플로팅 게이트 층(5247)은 제2 포토리지스트 마스크를 사용하여 에칭된다. 그러나 제1 반도체 층(5237)은 에칭되지 않는다.

<375> 제2 에칭 방법은, 도 86i에 도시된 바와 같이, 스택 위에 제1 폭을 가지는 제1 포토리지스트 마스크(5279)를 형성하고, 제1 포토리지스트 마스크(5279)를 사용하여 터널 유전체 층(5249) 및 플로팅 게이트 층(5247)을 에칭함으로써 제1 반도체 층(5237)의 일부분을 노출하는 것을 포함한다. 그 때, 제1 폭보다 큰 제2 폭을 가지는 제2 포토리지스트 마스크(5281)는 플로팅 게이트 층(5247) 및 제1 반도체 층(5237)의 노출된 일부분 위에 형성된다(층(5281)과 층들(5249/5249) 사이에 약간의 정렬 오류(misalignment)가 있을 가능성이 있다). 도 86j에 도시된 바와 같이, 제2 포토리지스트 마스크(5281)를 이용하여 제1 반도체 층(5237)이 에칭된다.

<376> 도 84의 액세스 트랜지스터(5261)를 가지는 TFT EEPROM을 형성하기 위하여, 제어 게이트 유전체 층(5251)은 패턴된 플로팅 게이트(5247) 및 제1 레일 스택(5271)의 반도체 레일(5237)의 노출된 일부분 위에 형성된다. 제어 게이트 유전체 층(5251)은 반도체 레일(5237)의 노출된 부분 위에서 액세스 트랜지스터(5261)의 게이트 유전체로서 기능한다.

<377> 도 85의 드레인 오프셋 영역(5267)을 가지는 TFT EEPROM을 형성하기 위하여, 제어 게이트 유전체 층(5251)은 플로팅 게이트 층(5247) 및 터널 유전체 층(5249)과 동시에 패턴되어 드레인 일부 및 반도체 레일(5237)의 채널 실리콘의 부분을 에칭한다. 제2 절연 층(5269)은 반도체 레일을 서로 격리시키기 위하여 반도체 레일(5237) 사이뿐만 아니라, 제어 게이트 유전체 층(5251) 및 반도체 레일(5237)의 노출된 부분 위에 형성된다. 층(5269)은 상대적으로 두꺼워서, 전하 저장 영역(5241)의 두께와 같거나 더 큰 두께를 갖는다. 층(5269)은 CMP에 의해 평탄화 되어 전하 저장 영역의 상부를 노출시킨다. 워드 라인(5239)은 제2 절연 층(5269) 위에 형성되어 오프셋 영역(5267)을 형성한다.

<378> 실시예의 비휘발성, 멀티-프로그래머블 플래시 메모리 어레이는 교차점(즉, 레일 스택) 어레이 내에 다수-프로그래머블 (many-times-programmable) 셀을 제공한다. FN 터널링이 프로그램 및 소거를 위해 사용된다. 이는 많은 셀들이 병렬로 기록되게 하면서 고밀도, 저전원 파일 저장을 제공한다. 부가적으로, 층당 셀 크기는 상용 가능한 플래시 메모리의 셀 크기와 비교하는 것이 매우 바람직하다.

<379> Ⅴ. 논리 및 메모리 회로를 위한 CMOS 어레이

<380> 이전의 실시예에서, NMOS 혹은 PMOS 디바이스 어레이가 설명되었다. 그러나, 본 발명의 또 다른 실시예에서, CMOS(complementary metal oxide semiconductor) 트랜지스터 어레이가 제공된다. 인접한 NMOS 및 PMOS 트랜지스터는 공통 게이트를 갖는 것이 바람직하다. 그러나, 소망한다면, 인접한 NMOS 및 PMOS 트랜지스터는 별개의 게이트를 가질 수 있다. 이전의 실시예에서 언급하였듯이, CMOS 디바이스의 어레이는 수직 필러 CMOS 디바이스의 어레이, 자기 정렬 CMOS TFT의 어레이 또는 레일 스택 TFT의 어레이를 포함할 수 있다. CMOS 디바이스는 기판 위에 3차원 모놀리식 어레이로서 형성되는 것이 바람직하다. 그러나, 소망한다면, CMOS 디바이스는 또한 반도체 기판 내 또한 위에 2차원 어레이로 형성될 수 있다.

<381> CMOS의 NMOS 및 PMOS 트랜지스터는 동일한 디바이스 레벨에 교호로 형성될 수 있다(즉, 교호의 NMOS 및 PMOS 트랜지스터). 그러나, 본 발명의 실시예에서, 하나의 전하 캐리어 형 트랜지스터(즉, NMOS 또는 PMOS)는 공통 게이트 라인(또한, 메모리 디바이스 내의 워드 라인으로 알려짐)을 가지는 다른 하나의 전하 캐리어 형 트랜지스터(즉, PMOS 또는 NMOS) 위에 형성된다. 따라서, 어레이는 복수의 수직으로 적층된, 공통 게이트 CMOS 트랜지스터를 포함하는 것이 바람직하다.

<382> 본 발명의 실시예에 따라서, 도 87은 레일 스택 구성 내의 수직으로 적층된, 공통 게이트 CMOS 어레이의 한 디바이스 레벨을 도시한다. 또한, 어레이는 상술한 자기 정렬 TFT나 필러 구성으로 배열될 수 있음을 주목하여야 한다. 도 87의 CMOS 어레이는, 별개의 전하 캐리어 형의 트랜지스터가 게이트 라인의 각 측면 위에 형성되는 것을 제외하고는, 도 73에서 설명된 어레이와 비슷하다. 도 87에서, NMOS 트랜지스터는 PMOS 트랜지스터 밑에 배치된다. 그러나, 소망한다면, PMOS 트랜지스터는 NMOS 트랜지스터 밑에 배치될 수 있음을 이해하여야 한다.

<383> 도 87에서, CMOS 디바이스의 어레이(5300)는 CMP 평탄화 실리콘 산화물과 같은 평탄화 된 층간 절연 층(5301) 위에 형성되는 것이 바람직하다. 층(5301)은 이전의 실시예에서와 같이 기판(도시되지 않음) 위에 형성된다. 따라서, 각 CMOS 디바이스는 절연 층 위에 형성되기 때문에 CMOS TFT이다. 그러나, 소망한다면, CMOS 디바이스는 단결정의 실리콘 기판에 형성될 수 있다.

<384> 어레이는 복수의 게이트 라인(즉, 워드 라인, 5303)을 포함한다(오직 하나의 게이트 라인이 도 87의 단면도에 도시되었다). 게이트 라인은 제1 N+ 폴리실리콘 층(5305), TiSix 또는 WSix 층과 같은 제1 폴리실리콘 층 위의 실리사이드 층(5307) 및 실리사이드 층 위의 제2 P+ 폴리실리콘 층(5309)을 포함하는 것이 바람직하다. 게이트 라인(5303)은 각 TFT에서 게이트 전극으로 작용한다. 따라서, 게이트 라인에 접속되는 어떠한 별개의 게이트 전극도 요구되지 않는다.

<385> 제1 절연 층(5311)은 게이트 전극(5303)의 제1 측면에 인접하게 배치된다. 이 절연 층(5311)은 전형적인 게이트 유전체가 될 수 있다. 절연 층(5311)은 EEPROM CMOS TFT 같은 전하 저장 CMOS TFT를 형성하기 위하여 ONO 스택이나 격리된 나노 결정 같은 전하 저장 층(즉, 전하 포획 매체)인 것이바람직하다. 플로팅 게이트 형 EEPROM CMOS TFT를 소망한다면, 절연 층(5311)과 게이트 라인(5303) 사이에 플로팅 게이트 및 제어 게이트 유전체가 부가될 수 있다.

<386> P- 폴리실리콘 층과 같은 P-형 반도체 층(5313)은 게이트(5303) 반대편의 제1 절연 층의 측면에 배치된다. 이 층은 NMOS TFT 보디(body)를 포함한다. N+ 소스 및 드레인 영역(5315)은 층(5313)에 배치된다. 영역(5315) 사이의 층(5313) 부분은 NMOS TFT 채널 영역을 포함한다.

<387> 소스 및 드레인 영역(5315)은 소스 및 드레인 전극(즉, 비트 라인, 5317)으로부터 N-형 불순물의 아웃디퓨전에 의해 형성된다. 그러나, 영역(5315)은 마스킹 및 이온 주입 같은 다른 방법에 의해서도 형성될 수 있다. 전극(5317)은 소스 및 드레인 영역(5315)과 콘택하고 있으며, P+형 반도체 층(5313)의 바닥(즉, 제1 절연 층(5311) 반대편에 있는 층(5313)의 측면) 위에 배치된다. 전극(5317)은 게이트 라인(5303)에 수직 방향으로 확장하는 N+ 폴리실리콘 레일을 포함하는 것이 바람직하다. 소망한다면, 선택 금속이나 금속 실리사이드가 전도도 향상을 위하여 전극(5317)과 콘택하게 형성된다. 그러나, 소망한다면, 전극(5317)은 다량으로 도핑된 폴리실리콘 대신에 금속 또는 금속 실리사이드를 포함할 수 있다. 실리콘 산화물과 같은 평탄한 절연 충전 층(insulating filler layer, 5318)이 소스 및 드레인 전극(5317) 사이에 배치된다.

<388> 따라서, 도 87에 설명된 바와 같이, 각 NMOS TFT(5319)는 인접하는 소스 및 드레인 영역(5315) 사이에 놓여지고, 층(5305, 5311, 5313 및 5317) 부분을 포함한다. PMOS TFT(5321)는 NMOS TFT(5319) 위에 놓여진다.

<389> PMOS TFT(5321)는 게이트 전극(5303)의 제2 측면에 인접하는 제2 절연 층(5323)을 포함한다. 도 87에서, 층(5323)은 게이트 라인(5303)의 P+ 폴리실리콘 층(5309) 위에 놓여진다. 절연 층(5323)은 전형적인 게이트 유전체가 될 수 있다. 절연 층(5323)은 EEPROM CMOS TFT와 같은 전하 저장 CMOS TFT를 형성하기 위해 ONO 스택 또는 격리된 나노 결정과 같은 전하 저장 층(즉, 전하 포획 매체)인 것이 바람직하다. 플로팅 게이트 형 EEPROM CMOS TFT를 소망한다면, 플로팅 게이트 및 제어 게이트 유전체가 절연 층(5323)과 게이트 라인(5303) 사이에 첨가될 수 있다.

<390> N- 폴리실리콘 층과 같은 n 형 반도체 층(5325)은 제2 절연 층(5323) 위에 배치된다. 층(5325)은 게이트 전극(5303)으로부터 층(5323)의 반대 측에 배치된다. P+ 소스 및 드레인 영역(5327)은 층(5325)에 배치되어, 소스와 드레인 영역(5327) 사이의 층(5325) 영역이 PMOS TFT의 채널 영역을 포함하도록 한다. 소스 및 드레인 전극(5329)은 N- 폴리실리콘 층(5325) 위에 배치되고, 소스 및 드레인 영역(5327)과 콘택하고 있다. 따라서, 전극(5329)은 제2 절연 층(5323)의 반대편에 있는 N- 폴리실리콘 층(5325)의 위쪽에 배치된다. 실리콘 산화물과 같은 평탄한 절연 충전 층(5331)은 소스 및 드레인 전극(5329) 사이에 배치된다. 소망한다면, 선택 금속이나 금속 실리사이드 층이 전도도 향상을 위하여 전극(5329)과 콘택하게 형성된다.

<391> 따라서, 도 87에서 언급된 바와 같이, 각 PMOS TFT(5321)는 인접하는 소스 및 드레인 영역(5327) 사이에 놓여지고, 층(5309, 5323, 5325 및 5329) 부분을 포함한다. TFT EEPROM CMOS 디바이스(5319 및 5321)는 제1과 제3의 분리된 전극의 각 교차점 또는 도전체(5317, 5329)와 공통 게이트 라인(5303)의 각 교차점에 형성된다. 소망한다면, CMOS 구조는 반전되어 PMOS TFT가 NMOS TFT 밑에 형성될 수 있다. NMOS 및 PMOS 전극(즉, 비트 라인)은 같은 피치(pitch)를 가지는 것이 바람직하다 해도, 각각의 위쪽에서 일직선으로 떨어질 필요가 없다는 것이 주목되어져야 한다. 따라서, NMOS 및 PMOS 트랜지스터는 서로 다른 채널 길이를 가질 수 있으나, 피치(즉, 어레이 크기)는 두 채널 길이 중 긴 것에 의해 제한된다. 하나의 바람직한 실시 형태로, 하나의 도전 형 TFT(즉, NMOS 또는 PMOS TFT)는 전하 저장 층 또는 영역을 포함한다. 반면에, 이와 다른 도전 형 TFT(즉, PMOS 또는 NMOS)는 전하 저장 층 또는 영역을 가지지 않는다. 따라서, 이러한 측면의 CMOS는 하나의 EEPROM TFT와 하나의 비-EEPROM TFT를 포함한다.

<392> 도 87에 언급된 TFT CMOS 드바이스 어레이(5300)는 매우 평면적이고 밀집되어 있다. NMOS 소스 및 드레인 전극(5317)은 기판 표면에 평행한 제1 평면에 있는 층간 절연 층(5301) 위로 확장하는 폴리실리콘 레일을 포함한다. p 형 폴리실리콘 층(5313)은 제2 평면에 있는 소스 및 드레인 전극(5317) 위로 확장한다. 게이트 라인(5303)은 제3 평면에 있는 층(5317, 5313 및 5311) 위로 확장한다. n 형 폴리실리콘 층(5325)은 제4 평면에 있는 게이트 라인(5303) 위로 확장한다. PMOS 소스 및 드레인 전극(5329)은 제5 평면에 있는 n 형 반도체 층(5325) 위로 확장하는 폴리실리콘 레일을 포함한다. 5 개의 각 면은 이와 다른 어떠한 면과도 교차하지 않는다.

<393> TFT CMOS 어레이(5300) 또한 자기 정렬되어 있다. 게이트 전극(5303), 제1 절연 층(5311), p 형 반도체 층(5313), 제2 절연 층(5323) 및 n 형 반도체 층(5325)은 기판에 평행한 면에 놓여져 있는 레일 스택을 포함한다. 레일 스택은 소스 및 드레인 전극(5317,5329)에 수직한 방향으로 확장한다. 따라서, 게이트 전극(5303), 제1 절연 층(5311), p 형 반도체 층(5313), 제2 절연 층(5323) 및 n 형 반도체 층(5325)은 기판에 수직한 면에 자기 정렬되어 있고 소스-드레인 방향에 평행하다. 더 자세한 내용은 아래에서 설명될 것이다.

<394> TFT CMOS 어레이(5300)는 하나의 또는 더 많은 층간 절연 층에 의해 수직하게 분리되는 복수의 디바이스 레벨을 포함하는 모놀리식 3차원 어레이로 배열되는 것이 바람직하다. 각 디바이스 레벨에서, 어레이는 이전의 실시예에서 같이 TFT CMOS 디바이스(5300)를 포함한다. 주변 또는 구동 회로(도시되지 않음)는 기판 내에 배열되나, 어레이 밑에서 적어도 어레이와 부분적인 수지 정렬을 이루면서 배열되는 것이 바람직하다. 이와 달리, 어레이 내 또는 위에서 적어도 어레이와 부분적인 수직 정렬을 이루면서 배열되어도 좋다.

<395> 도 88a-d는 본 발명의 실시예에 따라 레일 스택 TFT CMOS 어레이(5300)의 제작 방법을 설명한다. 먼저, N+ 폴리실리콘 층이 증착되고 패턴되어 소스 및 드레인 전극 또는 도전체(5317)를 형성한다. 실리콘 다이산화물 층과 같은 절연 층(5318)이 도전체(5317) 위 또는 사이에 증착된다. 도 88a에 도시된 바와 같이, 층(5318)은 CMP에 의해 평탄화 된 블록(5332)을 형성한다. 도전체(5317)의 상부 표면은 블록의 상부 표면에 노출되어 있다.

<396> 층 스택은 블록(5332) 위에 증착된다. 이 층들은 p 형 폴리실리콘(혹은 비정질 실리콘) 층(5313), 제1 절연 또는 국소 전하 저장 막(5311), 게이트 층(5303), 제2 절연 또는 전하 저장 막(5323) 및 n 형 폴리실리콘 (혹은 비정질 실리콘) 층(5325)을 포함한다. 포토리지스트 마스크(도시되지 않음)는 이 스택 위에 형성되고, 층 스택은 패턴되어 복수의 레일 스택(5333, 간명함을 위해, 오직 하나의 레일 스택(5333)만이 도 88b에 도시되었다)을 형성한다. 마스크는 모든 층이 패턴된 후에 제거될 수 있다. 레일 스택(5333) 내의 모든 층이 같은 단계에서 패턴되기 때문에, 레일 스택(5333) 내의 층은 기판에 수직한 면에 자기 정렬되어 있다(즉, 레일 스택(5333)의 측면은 평면이다). 레일 스택(5333)은 블록(5332) 위에 배치된다. 레일 스택은 전극(5317) 방향과 다른 방향으로 확장한다. 레일 스택(5333) 및 전극(5317)은, 도 88b에 도시된 바와 같이, 어레이 내의 수직 방향으로 확장하는 것이 바람직하다.

<397> 실리콘 산화물 층과 같은 절연 층(5331)은 레일 스택(5333) 위에 증착되어, 도 88c에 도시된 바와 같이, 레일 스택(5333) 사이의 공간(5335)을 충전한다. 층(5331)은 CMP에 의해 평탄화 된다. 포토리지스트 마스크(도시되지 않음)는 층(5331) 위에 형성되고, 평행한 트랜치(5339)는 마스크를 사용하여 층(5331) 내에서 에칭된다. 도 88c에 도시된 바와 같이, 트랜치는 전극(5317)에 평행하고 레일 스택(5333)에 수직하게 확장한다.

<398> 필요에 따라서는, 선택 측벽 스페이서(도시되지 않음)는 층(5331) 증착 전에 레일 스택(5333)의 측벽 상에 형성된다. 스페이서는 층(5331) 물질과 다른 절연 물질로부터 제조되는 것이 바람직하다. 스페이서는 실리콘 나이트라이드로 제조되는 것이 바람직하다. 스페이서는 트랜치 에칭 중에 스택(5333)의 측벽을 보호한다. 게이트-소스/드레인 단락을 막기 위하여, 스페이서는 트랜치 에칭이 게이트 라인 사이의 영역에서 게이트 라인의 윗쪽을 지나 너무 멀리 확장하지 못하게 한다.

<399> 마스크로서 층(5331) 및/또는 포토리지스트를 사용하여, p 형 이온(즉, 붕소 혹은 BF2)은 트랜치(5339)를 통하여 노출된 n 형 반도체 층(5325)으로 주입된다. 도 88d에 도시된 바와 같이, 이온은 층(5325)에서 P+ 소스 및 드레인 영역(5327)을 형성한다.

<400> p 형 폴리실리콘 층은 층(5331) 위 및 트랜치(5339) 내에 증착된다. 폴리실리콘 층은 CMP에 의해 평탄화 되거나 에치 백(etch back)되어 평탄화 된 절연 층(5331) 내에 매립된 복수의 분리된 P+ 전극(5329)을 형성한다. 전극(5329)은 레일 스택(5333) 위에 놓여지고 P+ 소스 및 드레인 영역(5327)과 콘택한다. 전극(5329) 및 소스와 드레인 영역(5327)은 동일한 리쏘그래피 단계에서 형성되기 때문에, 전극(5329) 및 소스와 드레인 영역(5327) 사이에는 어떠한 정렬 오류도 존재하지 않는다. 이와 달리, 소스 및 드레인 영역(5327)은 트랜치(5339)로의 이온 주입에 의하기보다는 전극(5329)으로부터의 아웃디퓨전에 의해 형성될 수 있다.

<401> 어레이는 어닐링되어 N+ 전극(5317)으로부터 아웃디퓨전에 의해 N+ 소스 및 드레인 영역(5315)을 형성하고, 비정질 또는 폴리실리콘 반도체 층(5313 및 5325)을 재결정화 한다. 아웃디퓨전 및 재결정화는 제조 공정의 소망하는 어떠한 시점에서도 동일하거나 또는 서로 다른 어닐링 단계 중에 수행될 수 있다.

<402> 필요에 따라서는, 층간 절연 층은 도 87과 88d에 도시된 어레이 위에 형성되고, 그 위에 TFT CMOS EEPROM 디바이스(5300)의 또 다른 어레이를 포함하는 또 다른 디바이스 레벨이 모놀리식하게 형성된다. 경로 지정 금속 배선층(routing metallization later)(알루미늄보다는 금속 층이 바람직함)은 층간 절연 층에 형성될 수 있다. 필요에 따라서는, 적어도 3 개의 디바이스 층을 형성하기 위하여, 부가적인 층간 절연 층 및 디바이스 레벨이 어레이의 제2 레벨 위에 형성될 수 있다. 본 실시예의 또 다른 대안적인 형태에서, 게이트 라인을 포함하는 제2 레일 스택은 개재되는 층간 절연 층 없이 PMOS 전극(5329) 위쪽에 바로 형성된다. 따라서, PMOS 전극(5329)은 두 개의 레일 스택에서 소스 및 드레인 영역을 포함한다. 다시 말하면, 복수의 디바이스 레벨은 3 차원 모놀리식 어레이를 형성하기 위하여 개재되는 층간 절연 층 없이 형성될 수 있다. 이러한 배열은 더 적은 공정

단계로 더 많은 트랜지스터를 제공하나, 프로그래밍 유연성(flexibility)은 더 작다.

<403> 도 89에 도시된 바와 같이, 최종 TFT CMOS 어레이는 공통 게이트(5303)를 가지는 NMOS(5319) 및 PMOS(5321)의 매트릭스이다. 도 89에서 도시된 어레이는 프로그램되지 않거나 미구성된 어레이이다. 어레이는 게이트 유전체(즉, 전하 저장 막 또는 영역)를 파괴함으로써 논리 소자나 메모리 디바이스로 구성되어 게이트 라인(즉, 워드 라인 로우, 5303)과 소스 및 드레인 전극(5317, 5329, 즉, 비트 라인)을 연결하는 도전성 링크를 형성할 수 있다. 또한, 각 NMOS 또는 PMOS 트랜지스터의 전하 저장 영역에 전하를 저장함으로써 트랜지스터의 문턱 전압을 올리고 이들을 영구히 오프 상태로 유지할 수 있다. TFT CMOS EEPROM 디바이스(5300)의 어레이는 각 논리 소자나 메모리 어레이를 형성하기 위하여 사용될 수 있다. 더군다나, 미구성된 어레이에서의 동일한 반도체 디바이스는 각각 안티퓨즈(antifuse)나 EPROM 혹은 EEPROM으로 사용될 수 있다.

<404> 본 발명의 실시예에 따라서, 복수의 전하 저장 장치 및 복수의 안티퓨즈 디바이스를 포함하는 회로가 제공된다. 이 회로는 필드 프로그래머블 게이트 어레이 또는 프로그래머블 논리 디바이스를 포함할 수 있다. 복수의 전하 저장 장치 및 복수의 안티퓨즈 디바이스는 동일한 디바이스 세트를 포함하는 것이 바람직하다. 이는 상기 회로의 제조를 아주 단순하게 한다. 이러한 디바이스는 제1 프로그래밍 전압이 디바이스에 인가되어 문턱 전압을 증가시켜 디바이스를 턴 오프할 때 전하 저장 장치로 기능한다. 또한, 이러한 디바이스는 제1 전압보다 높은 제2 프로그래밍 전압이 디바이스에 인가될 때 안티퓨즈로서 기능한다. 제2 전압은 전하 저장 영역을 통하여 도전성 링크를 형성하기에 충분한 어떠한 전압도 될 수 있다. 예를 들어, 제1 전압(즉, 전하 저장 전압)은 5V 이하가 될 수 있다. 반면에, 도전성 링크를 형성하기에 충분한 제2 전압은 디바이스 특성에 따라 5-50V가 될 수 있다. 전압은 구동 혹은 주변 회로에 의해 디바이스에 제공된다. 그러나, 소망한다면, 서로 다른 구조를 가지는 전하 저장 및 안티퓨즈 반도체 디바이스가 제공될 수 있다.

<405> 도전성 링크가 전하 저장 영역을 통해 형성되었을 때 안티퓨즈로서 기능하는 어떠한 전하 저장 장치도 본 발명의 범위 내라는 것을 주목하여야 한다. 따라서 어떠한 디바이스도 반도체 액티브 영역, 반도체 액티브 영역에 인접한 전하 저장 영역, 제1 및 제2 전극, 그리고 제1 프로그래밍 전압이 제1과 제2 전극 사이에 인가되고 도전성 링크가 전하 저장 영역을 통해 형성되어 제1과 제2 전극 사이에 도전성 경로가 형성될 때 전하가 저장되는 영역을 포함하면 본 발명의 범위 내이다. 그러므로, 안티퓨즈로서 사용이 가능한 전하 저장 장치는 레일 스택 TFT EEPROM에 한정되지 않는다. 이러한 전하 저장 장치는 단결정 반도체 기판에 형성된 EEPROM 뿐만 아니라, 필러 또는 자기 정렬 TFT EEPROM 및 이전 실시예에서의 전하 저장 영역을 가지는 다이오드를 포함할 수 있다.

<406> 도 90은 도 89의 회로의 4 × 4 셀 어레이가 어떻게 인버터(5343)로 프로그램 될 수 있는지를 설명하고 있다. 먼저, 고전압이 게이트(즉, 워드) 라인(5345)과 비트 라인(5347) 사이에 인가된다. 이 때 비트 라인은 출력 전압(Vout)을 전하는데 사용된다. 이는 도전성 안티퓨즈 링크(5348)가 라인(5345)과 라인(5347)의 전기적인 접속을 형성하는 요인이 되게 한다. 그 때, 구동 회로는 NMOS 트랜지스터(5355) 및 PMOS 트랜지스터(5357)를 제외한 모든 기타 다른 트랜지스터(5350)에 이들을 턴 오프하는 문턱 전압을 증가시키기 위하여 프로그래밍 전압을 제공한다. NMOS 트랜지스터(5355) 및 PMOS 트랜지스터(5357)는 인버터를 형성한다. 고전압(Vin)이 게이트 라인(5349)으로 제공될 때, 저전압(Vout)이 판독되며 저전압이 제공될 때, 고전압이 판독된다. 전압 VSS(즉, 접지) 및 전압 VDD(즉, 전원 공급 전압)는 트랜지스터(5355 및 5357)에 접속된 비트 라인(5351 및 5353)으로 제공된다.

<407> 도 91은 도 89의 회로의 4 × 4 셀 어레이가 어떻게 두 개의 입력 NAND 게이트(5360)로 프로그램 될 수 있는지를 설명하고 있다. 먼저, 고전압이 게이트(즉, 워드) 라인(5345)과 비트 라인(5347) 사이에 인가된다. 이 때 비트 라인은 출력 전압(Vout)을 전하는데 사용된다. 이는 도전성 안티퓨즈 링크(5348)가 라인(5345)과 라인(5347)의 전기적인 접속을 형성하는 요인이 되게 한다. 그 때, 구동 회로는 PMOS 트랜지스터(5361 및 5365) 및 NMOS 트랜지스터(5363 및 5365)를 제외한 모든 기타 다른 트랜지스터(5350)에 이들을 턴 오프하는 문턱 전압을 증가시키기 위하여 프로그래밍 전압을 제공한다. 트랜지스터(5361, 5363, 5365 및 5367)는 NAND 게이트를 형성한다. 입력 전압(Vin1 및 Vin2)은 게이트 라인(5369 및 5371)으로 제공된다. CMOS(5361/5363)는 게이트 라인(5369)에 접속되는 반면에, 트랜지스터(5365 및 5367)는 게이트 라인(5371)에 접속된다. 전압(VSS 및 VDD)은 비트 라인(5373 및 5375)으로 제공된다. NMOS(5367)는 비트 라인(5375)에 접속되는 반면에, PMOS(5361 및 5365)는 비트 라인(5373)에 접속된다. 출력 전압은 끊긴 안티퓨즈(5348)에 의해 접속되는 라인(5345 또는 5347)으로부터 판독될 수 있다.

<408> 도 92는 도 89의 회로의 5 × 6 셀 어레이가 어떻게 정적 랜덤 액세스 메모리(SRAM, 5380)로 프로그램 될 수 있는지를 설명하고 있다. 먼저, 고전압이 게이트(즉, 워드) 라인(5381 및 5383)과 비트 라인(5385, 5386, 5387

및 5388) 사이에 인가된다. 이는 도전성 안티퓨즈 링크(5348)가 라인(5381)과 라인(5385 및 5386)의 전기적인 접속 및 라인(5383)과 라인(5387 및 5388)의 전기적인 접속을 형성하는 요인이 되게 한다. 그 때, 구동 회로는 트랜지스터(5389, 5390, 5391, 5392, 5393 및 5394)를 제외한 모든 기타 다른 트랜지스터(5350)에 이들을 턴 오프하는 문턱 전압을 증가시키기 위하여 프로그래밍 전압을 제공한다. 트랜지스터(5389 및 5390)는 SRAM 액세스 트랜지스터인 반면에, 트랜지스터(5391, 5392, 5393 및 5394)는 크로스 커플드 인버터(cross coupled inverter)이다. 셀은 워드 라인(5395) 상에 양 전압을 인가함으로서 액세스된다. 데이터는 BL 및 BL-bar로 입력되고 이들 중에서 판독된다. BL 및 BL-bar는 비트 라인(5396 및 5397)으로 각각 제공된다. 전압(VSS 및 VDD)은 비트 라인(5398 및 5399)으로 각각 제공된다.

<409> 도 89-91은 프로그램될 수 있는 다양한 예시적인 구성을 나타낸다. NOR 게이트 등과 같은, 소망하는 어떠한 다른 논리 또는 메모리 디바이스도 상기 방법을 사용하여 프로그램 될 수 있음이 주목되어져야 한다. NAND 게이트 같은 기본 소자에 의해 모든 논리 기능이 수행될 수 있기 때문에, 어떠한 논리 회로도 이러한 형태의 어레이로 프로그램 될 수 있다. 더군다나, 논리 및 메모리 디바이스는 소망한다면 동일한 회로로 프로그램 될 수 있다. 일반적으로 논리 디바이스에서 논리 블록의 크기는 셀 면적의 (x+1)2 배이다. 여기서 (x)는 논리 게이트 상의 입력 수이다. 여기서 셀 면적은 $4F^2$ 만큼 작을 수 있기 때문에(여기서 F는 최소 배선 폭(1/2 피치)), F=0.25㎛인 경우에, 논리 게이트당 최소 면적은 $4(F(x+1))^2$이며 2 개의 입력 NAND 또는 NOR 게이트에서는 2.25 ㎛의 제곱이다. 논리 게이트당 면적은 $4(F(x+1))^2$ 내지 $5(F(x+1))^2$인 것이 바람직하다. 이 크기는 블록의 각 에지 상의 "격리(isolation)" 로우 및 컬럼을 포함한다. 각 에지는 다음 블록과 공유된다.

<410> VI. 금속 유도 결정화(Metal Induced Crystallization)

<411> 본 발명의 실시예는 기판 위에 구성되고, 증착되거나 성장된 비정질 실리콘 혹은 전이 금속 유도 측면 결정화(metal-induced lateral crystallization, MILC) 공정에 의하여 결정화된 폴리실리콘으로 만들어진 소스, 드레인 및 채널 영역을 포함하는 비휘발성 박막 트랜지스터(TFT)나 논리 회로에 관한 것이다. 두 개 또는 바람직하게는 더 많은 3 차원 다수 프로그래머블(many-times programmable, MTP) 비휘발성 메모리 또는 논리 회로가 이러한 박막 트랜지스터로 구성되어 있다.

<412> 본 실시예의 제1 형태에 따라, 비정질 실리콘(a-Si)이나 폴리실리콘과 같은 증착된 실리콘 박막으로 형성된 채널을 가지는 TFT를 기초로 하는 비휘발성 메모리 또는 논리 셀의 성능 특성을 향상시키는 것이 바람직하다. 이는 비정질 실리콘 또는 폴리실리콘의 그레인 크기가 단결정에 비슷할 정도로 증가될 수 있다면 달성될 수 있다.

<413> 과거에는, 비정질 실리콘의 결정화는 여러 가지 방법에 의하여 달성되어 왔다. 제1 접근 방법에 따라, 비정질 실리콘은 약 600℃에서 수십 시간의 어닐링 단계에 의해 부분적으로 결정화되어 폴리실리콘을 형성할 수 있다. 상기 접근은 이러한 물질로 형성된 디바이스가 더 나쁜 성능 특성을 가지며 제조하는데 상대적으로 오랜 시간이 걸리므로 유리하지 못하다. 따라서, 결정화는 씨드 장소에서 측면 결정화를 유도하기 위하여 전이 금속이나 게르마늄 촉매를 사용함으로써 촉진될 수 있다.

<414> 불행하게도, 상기 방법으로 제조된 대부분의 트랜지스터를 기초로 하는 디바이스는 상대적으로 나쁜 성능 특성(단결정 실리콘과 비교한 경우)을 나타내어 수백 ㎷/dec 차수의 부문턱 전압 기울기 및 수십 ㎂/㎛ 차수의 Idsat를 나타낸다. 금속 유도 측면 결정화(MILC)는 수 ㎛/hr 또는 더 큰 측면 결정화 성장 속도를 얻기 위하여 약 400℃ 내지 700℃의 온도에서 수행된다. 수백 마이크론까지 실리콘 결정 장소를 더 확대하기 위하여, 상대적으로 짧은기간의 고온 어닐링 단계(예를 들어, 900℃에서 30분)가 부가되어 다층의 a-Si(또는 또 다른 반도체 재료)을 동시에 결정화 한다. 또한, 약 750℃ 내지 975℃의 결정화 온도 범위는 어닐링 시간을 적절히 조절한다면 만족스러운 결과를 제공하리라는 것에 주목하라. 이러한 짧은 기간의 고온 어닐링은 여기서 고려되는 디바이스의 확산 영역을 포화시키지 않을 것이며 저온 어닐링 단계와 같이 다중 레벨 디바이스에 한번 적용될 수 있다.

<415> 본 발명의 특정한 실시예에 따라 증착된 a-Si 층을 재결정화 하는 프로세스의 일례가 도 93-95에 도시되어 있다. 본 기술 분야의 당업자들이라면 본 명세서에 개시된 프로세스에 대하여 많은 통상적인 수정들이 가능하며, 이러한 수정들이 본 명세서에 개시된 본 발명의 개념에 영향을 미치지 않는다는 점을 알 것이다.

<416> 도 93-95로 돌아가서, 결정화되고 증착된(혹은 성장시킨) a-Si 층의 제조 공정 흐름도가 도 93에 설명되어 있다. 도 94a-94h는 도 93의 공정에 따라 제조된 실리콘 웨이퍼의 수직 단면을 도시한다. 도 95는 표준 실리콘 웨이퍼 위의 매립된 산화물 위에 증착된 a-Si 내의 씨딩 윈도우(seeding window; 5424)을 통한 금속 유도 측

면 결정화(MILC)의 효과를 설명한다.

<417> 공정(5408)의 첫 단계(5406)는 매립된 산화물 층을 제공하기 위하여 표준 실리콘 웨이퍼 기판(5412) 상에 두꺼운 산화물 층(5410)(도 94a)(예를 들어, 3000Å)을 성장(또는 증착)시키는 것이다. 그 다음 단계(5414)는 매립된 산화물 층(5410) 위에 얇은 비정질 실리콘(a-Si) 층(5416)(예를 들어, 1000Å)을 증착하는 것이다. 예를 들어, 이는 70 SCCM의 흐름 속도와 300 mTorr의 압력에서, 실리콘 소스로 SiH_4를 사용하여, 550℃에서 저압 화학 기상 증착(low pressure chemical vapor deposition, LPCVD)으로 달성될 수 있다. 이와 달리, 층(5416)은 폴리실리콘 층을 포함할 수 있다. 그 다음 단계(5418)는 희생 저온 산화물(LTO) 층(5420)(예를 들어, 3000Å)을 증착하는 것이고 그 후 단계(5419)에서는 마스크(5422)로 LTO를 패턴화 하고 에칭하여 전이 금속 씨딩 윈도우(5424)를 노출시키는 것이다. 이 씨딩 윈도우는 도 95에 도시된 바와 같이 폭이 대략 2㎛인 슬롯(slot)일 수가 있다. 마스크(5422)는 제거될 수 있다.

<418> 그 다음 단계(5426)는 LTO 층(5420) 위에 전이 금속 층(5428)(예를 들어, 100Å Ni(니켈))을 증착하는 것이다. Ni이 현재 바람직하다 해도, 기타 다른 전이 금속이 사용될 수 있다. Ni 보다 덜 바람직하지만 사용될 수 있는 기타 다른 전이 금속은 Fe(철(iron)), Co(코발트(cobalt)), Ru(루테늄(ruthenium)), Rh(로듐(rhodium)), Pd(팔라듐(palladium)), Os(오스뮴(osmium)), Ir(이리듐(iridium)), Pt(백금(platinum)), Cu(구리(copper)) 및 Au(금(gold))이다. 또한, 필요에 따라서는, 게르마늄도 사용될 수 있다. 또한, 전이 금속은 주입 및 종래의 보통 기술에서 잘 알려진 기타 다른 메카니즘에 의해 씨딩 윈도우로 도입될 수 있다.

<419> 그 다음 단계(5430)는 초기 측면 결정화를 위한 어닐링을 하는 것이다. 도 94F에서 설명된 이 단계는 온도 및 시간의 범위 안에서 수행될 수 있다. 예를 들어, N_2 분위기, 560℃에서 20 시간 어닐링이 수행된다. 더 낮은 온도는 더 긴 어닐링 시간을, 더 높은 어닐링 온도는 더 짧은 어닐링 시간을 요한다. 종래의 보통 기술은 이것이 처리량(throughput)을 고려하여 최적화 될 수 있다는 것을 인지할 것이다. 이 단계는 일정한 디바이스에 적합할 수 있는 결정화를 수행하고 수십 ㎛의 실리콘 그레인 크기를 제공한다. 아주 더 높은 성능과 수백 ㎛의 실리콘 그레인 크기를 요구하는 기타 다른 디바이스에서도 아래에서 논의될 고온 어닐링 단계를 필요로 할 수 있다.

<420> 그 다음 단계(5432)는 남아있는 전이 금속 층(5428)을 제거하는 것이다. 이 단계는 70℃에서 H_2SO_4:H_2O_2(4:1)로 수행될 수 있다. 단계(5434)는 LTO 층(5420)이 HF로 제거되는 것이다.

<421> 최종적으로, 고온 어닐링 단계(5436)(예를 들어, 900℃, 30분, N_2 분위기)가 부분적으로 결정화된 a-Si을 더 결정화함으로써 더 큰 그레인 실리콘 결정(크기가 100㎛ 이상)을 형성하기 위해 수행된다(필요에 따라서). 이 단계는 결정화된 a-Si 층(즉, 큰 그레인 폴리실리콘 층)에 종래의 SOI(silicon on insulator) CMOS 기술과 비슷한 성능 특성을 제공한다. 여기서 사용된 것으로서 전이 금속 결정화된 반도체 재료는 결정화를 촉진하기 위해 사용된 전이 금속의 검출 가능한 양의 트레이스(trace)를 포함하리라는 것에 주목하라. 정상적인 반도체 공정에서, 트레이스 양의 전이 금속(대개, Fe, Ni)은 반도체 공정 장비(대개 스텐레스 스틸을 포함)를 벗어나 TFT 채널이 형성될 반도체 박막 내로 매립될 것이다. 정상적으로, 이 전이 금속은 약 10^{14} atoms/cc 보다 작은 수준으로 존재한다. 그러나, 전이 금속 결정화에서, 약 10^{14} atoms/cc를 초과하여 약 10^{18} atoms/cc까지의 전이 금속의 부가적인 트레이스 양은 공정 후에 결정화된 반도체 물질 내에 남는다. 그러나, 이러한 오염의 기울기 생성을 소망하는 곳에서, 이런 오염은 대개 문제가 아니다. 게터링 물질(예를 들어, P(포스포러스(phosphorous))이 TFT의 소스 및/또는 드레인 영역에 배치되어 각각의 소스 및/또는 드레인 영역의 오염 농도를 증가시킴으로써 채널 영역의 오염 농도를 감소시킬 수 있다. 씨딩 윈도우(5424) 영역에서의 디바이스의 형성은 과도한 전이 금속 오염 때문에 회피되어져야 한다.

<422> 상기 금속 유도 결정화 방법은 상기 디바이스들 중의 하나의 액티브 반도체 층을 재결정화 하는데 사용될 수 있다. 따라서, 다양한 구성의 필러 TFT, 자기 정렬 TFT, 레일 스택 TFT 및 다이오드(즉, 하나 또는 더 많은 P-N 접합을 포함하는 액티브 반도체 층)는 재결정화 된 a-Si 또는 폴리실리콘에서 형성될 수 있다.

<423> Ⅶ. 금속배선

<424> 위에서 기술된 다양한 실시예에서, 금속 실리사이드 층은 폴리실리콘 워드 라인 또는 비트 라인과 같은 실리콘 층과 콘택하게 형성된다. 실리콘 층과 콘택하는 티타늄 실리사이드 층을 형성하는 하나의 바람직한 방법은 실리콘 캡과 TiN 층을 사용하는 것이다. 티타늄 실리사이드 층은 도핑되지 않은 비정질 실리콘 캡층 위에 형성된

다. 캡층은 10^{19} cm^{-3} 내지 10^{21} cm^{-3} 같이 10^{19} cm^{-3}을 초과하는 농도로 도핑된 폴리실리콘 또는 비정질 실리콘과 같은 다량으로 도핑된 실리콘 층 위에 형성된다. 캡층은 P+ 폴리실리콘 또는 N+ 비정질 실리콘 층 위에 증착되는 것이 바람직하다. N+ 비정질 실리콘은 후속 어닐링 단계 중에 N+ 폴리실리콘으로 재결정화 될 수 있다.

<425> 티타늄 실리사이드($TiSi_2$) 층을 형성하는 방법은 다음의 단계를 포함한다. 다량 도핑된 폴리실리콘 층이 증착된다. 예를 들어, P+ 폴리실리콘 층은 5×10^{20} cm^{-3}의 농도까지 붕소 도핑되고 약 1400Å의 두께를 가진다. 도핑되지 않은 비정질 실리콘의 캡층은 P+ 폴리실리콘 층 위에 증착된다. 예를 들어, 캡은 두께가 600Å일 수 있다. 티타늄층은 캡 위에 증착된다. 예를 들어, 티타늄층은 두께가 250Å일 수 있다. 티타늄 나이트라이드 층은 티타늄층 위에 증착된다. 예를 들어, 티타늄 나이트라이드 층은 두께가 100Å일 수 있다. 기타 다른 층의 두께는 필요한대로 사용될 수 있다.

<426> 층은 650℃ 미만의 온도에서 5분 이하의 시간 동안 어닐링되어 티타늄과 캡의 실리콘이 반응하여 C49 상의 $TiSi_2$ 층을 형성한다. 예를 들어, 어닐링은 600℃에서 1분 동안 수행될 수 있다. 소망한다면, 또 다른 P+ 폴리실리콘 층이 스택 위에 증착되고 이 스택은 워드 라인 또는 비트 라인과 같은 얇은 "와이어" 또는 "레일"로 에칭된다. 와이어 또는 레일은 폭이 0.25㎜ 또는 미만일 수 있다. 티타늄 실리사이드는 고온(즉, 650℃ 이상) 어닐링에 의해 C49로부터 C54 상으로 변환된다. 예를 들어, 800℃, 1분 동안 와이어 또는 레일이 패턴 되기 전 또는 후에 어닐링할 수 있다. 650℃ 미만에서 각 Si/Ti/TiN 막 스택을 어닐링함으로써, 불순물 확산 및 $TiSi_2$의 열적인 홈(thermal grooving)은 최소화 된다. 다중 막 스택은 연속적으로 증착되고 에칭될 수 있다.

<427> 본 발명의 위에서의 기술은 설명의 목적으로 표현되었다. 개시된 정확한 형태에 본 발명을 제한하려고 의도된 것은 아니며 개조와 변형은 상기 교시에 비추어 가능하고 본 발명의 실시로부터 얻을 수 있다. 도면 및 기술은 본 발명의 원리 및 실제 응용을 설명하기 위하여 선택되었다. 도면이 반드시 개략적인 블록 포맷으로 어레이를 설계하거나 설명하는 것은 아니다. 본 발명의 범위는 여기에 첨부된 청구범위와 그 균등물에 의해 정의되는 것이다.

도면의 간단한 설명

<43> 도 1a는 본 발명의 일 실시예에 따른 필러 메모리의 설명도.

<44> 도 1b는 본 발명의 일 실시예에 따른 필러를 둘러싸는 단일 제어 게이트 및 단일 전하 저장 매체를 가지는 필러 메모리에 대한 상면도.

<45> 도 1c는 본 발명의 일 실시예에 따른 다수의 제어 게이트 및 다수의 전하 저장 매체를 가지는 필러 메모리를 나타내는 상면도.

<46> 도 2는 본 발명의 일 실시예에 따른 필러 메모리의 설명도.

<47> 도 3의 (a)-(d)는 본 발명의 일 실시예에 따른 초박 채널 필러 메모리 디바이스(ultra thin channel pillar memory device) 및 그 제조 방법의 설명도.

<48> 도 4는 쇼트키 콘택(Schottky contact)을 가지는 본 발명의 일 실시예의 필러 메모리를 나타내는 설명도.

<49> 도 5는 본 발명의 일 실시예에 따른 게이티드 다이오드 필러 메모리(gated diode pillar memory)의 설명도.

<50> 도 6은 나노 결정 플로팅 게이트(nanocrystal floating gate)를 갖는 본 발명의 일 실시예에 따른 필러 메모리의 설명도.

<51> 도 7은 전하 포획 유전체(charge trapping dielectric)를 가지는 본 발명의 일 실시예의 필러 메모리의 설명도.

<52> 도 8a 및 8b는 명백한 필러 형성 과정을 사용하여 필러를 형성하는 방법의 설명도.

<53> 도 9a 및 9b는 각 기술의 교차점을 사용하여 필러를 형성하는 방법의 설명도.

<54> 도 10의 (a)-(e)는 본 발명의 일 실시예에 따른 필러 메모리 디바이스를 "스페이스 에칭" 기술을 사용하여 형성하는 방법의 설명도.

<55> 도 11a-11c는 인접한 필러 메모리들 사이에 공통 제어 게이트를 형성하는 방법 - 인접한 필러들 사이의 제어 게이트들은 격리되어 있음 - 의 설명도.

<56> 도 12a 및 12b는 필러 메모리들의 2개 또는 그 이상의 레벨들 사이의 공통 연속 막 제어 게이트를 형성하는 방법의 설명도.

<57> 도 13 내지 도 28은 본 발명의 일 실시예에 따른 필러 메모리들의 다수의 레벨들을 제조하는 방법의 설명도.

<58> 도 29a는 본 발명의 일 실시예에 따른 메모리 셀의 설명도.

<59> 도 29b는 도 29a의 셀의 특성을 나타내는 그래프.

<60> 도 30은 본 발명의 일 실시예에 따라 만들어진 2 단자 셀의 정단면도도.

<61> 도 31은 본 발명의 일 실시예에 따라 만들어진 3 단자 셀의 정단면도.

<62> 도 32는 본 발명의 일 실시예에 따라 만들어진 레일 스택들을 사용하는 3 단자 메모리 어레이의 정단면도.

<63> 도 33은 본 발명의 일 실시예에 따른 기판 위에 필러로서 형성된 셀의 투시도.

<64> 도 34는 필러로서 형성된 셀의 또 다른 실시예의 투시도.

<65> 도 35 및 36은 디바이스들의 3차원 어레이의 개략도.

<66> 도 37은 ONO 유전체, 제1 게이트 전극, 보호 산화물 및 블록킹 질화물 층이 본 발명의 일 실시예에 따른 방법으로 배치된 후의 웨이퍼의 측단면도.

<67> 도 38은 비트 라인 패턴화 및 소스/드레인 구현 후의 메모리 어레이의 측단면도(상기 단면은 상기 비트 라인들에 수직임).

<68> 도 39는 살리사이드(salicide) 공정 후의 어레이의 측단면도(상기 단면은 상기 비트 라인들에 수직임).

<69> 도 40은 산화물 충전(oxide fill) 및 평탄화 후의 어레이의 측단면도(상기 단면은 상기 비트 라인들에 수직임).

<70> 도 41은 블록킹 층이 제거된 후의 어레이의 측단면도(상기 단면은 상기 비트 라인들에 수직임).

<71> 도 42는 워드 라인 생성동안의 어레이의 측단면도(상기 단면은 상기 비트 라인들에 수직임).

<72> 도 43은 워드 라인 생성후의 어레이의 도 42의 A-A선을 따라 절단한 측단면도(상기 단면은 상기 워드 라인들에 수직이며, 비트 라인을 통과함).

<73> 도 44는 워드 라인 생성후의 어레이의 도 42의 B-B선을 따라 절단한 측단면도(상기 단면은 상기 워드 라인들에 수직이며, 트랜지스터 채널을 통과함).

<74> 도 45는 산화물 충전 및 평탄화 후의 제2의 바람직한 실시예의 어레이의 측단면도(상기 단면은 상기 비트 라인들에 수직임).

<75> 도 46은 워드 라인 생성후의 제2의 바람직한 실시예의 어레이의 측단면도(상기 단면은 상기 비트 라인들에 수직임).

<76> 도 47은 워드 라인 생성후의 바람직한 실시예의 어레이의 측단면도(상기 단면은 상기 비트 라인들에 수직임).

<77> 도 48a-c 및 도 49a-c는 바람직한 실시예의 어레이의 TFT를 제조하는 다른 방법의 설명도.

<78> 도 50 및 도 51은 워드 라인 생성후의 바람직한 실시예의 2가지 바람직한 일면의 어레이의 측단면도(상기 단면은 상기 비트 라인들에 수직임).

<79> 도 52는 바람직한 실시예의 3차원 어레이의 3차원도.

<80> 도 53은 같은 레벨의 워드 라인 콘택 도전체 및 비트 라인 콘택 도전체의 측단면도(다음 레벨 콘택을 위해 개구(opening)가 형성됨).

<81> 도 54는 N 레벨에서의 워드 라인 및 비트 라인 콘택 도전체 및 N+1 레벨에서의 워드 라인 콘택 도전체의 측단면도(다음 레벨 콘택을 위해 N+1 레벨 도전체에 랜딩 패드들(landing pads)이 형성됨).

<82> 도 55-61은 바람직한 실시예의 어레이를 제조하는 방법의 측단면도(상기 단면도는 상기 비트 라인들에 수직임).

<83> 도 62는 결정화 윈도우(crystallization window)들을 생성한 후의 본 발명의 바람직한 실시예의 어레이의 상면도.

<84> 도 63 및 64는 각각 도 62의 A-A선 및 B-B선을 따라 절단한 측단면도(상기 단면은 도 63에서의 상기 비트 라인들에 수직이며, 도 64에서의 상기 비트 라인들에 평행함).

<85> 도 65는 액티브 층의 결정화 후의 바람직한 실시예의 어레이의 상면도.

<86> 도 66은 본 발명의 특정한 실시예에 따른 3차원 메모리 어레이의 전면 투시도.

<87> 도 67은 본 발명의 특정한 실시예에 따른 2차원 메모리 어레이의 정단면도.

<88> 도 68은 본 발명의 특정한 실시예에 따른 메모리 어레이의 상면도.

<89> 도 69는 본 발명의 특정한 실시예에 따른 3차원 메모리 어레이의 정단면도.

<90> 도 70은 본 발명의 특정한 실시예에 따른 2차원 메모리 어레이의 정단면도.

<91> 도 71은 본 발명의 특정한 실시예에 따른 3차원 메모리 어레이의 정단면도.

<92> 도 72는 본 발명의 특정한 실시예에 따른 메모리 어레이의 정단면도.

<93> 도 73은 본 발명의 특정한 실시예에 따른 3차원 메모리 어레이의 정단면도.

<94> 도 74 및 75는 본 발명의 특정한 실시예에 따른 메모리 셀들의 프로그래밍 방법의 설명도.

<95> 도 76은 본 발명의 특정한 실시예에 따른 메모리 셀들의 제조 방법의 설명도.

<96> 도 77은 유전체 스택 상의 SONOS를 나타내는 단면도.

<97> 도 78은 나노 결정 전하 저장 매체를 나타내는 단면도.

<98> 도 79는 측면 도전성을 향상시키기 위해 그곳에 형성된 내화 금속 실리사이드(refractory metal silicide)를 가지는 도핑된 폴리실리콘 비트 라인의 단면도.

<99> 도 80은 본 발명의 특정한 실시예에 따른 기판의 단면도.

<100> 도 81a-81h는 본 발명의 특정한 실시예에 따른 메모리 어레이 제조에서의 단계들을 설명하는 도면.

<101> 도 82a-82i는 본 발명의 특정한 실시예에 따른 메모리 어레이 제조에서의 단계들을 설명하는 도면.

<102> 도 83-85는 본 발명의 특정한 실시예에 따른 플래시 메모리 어레이의 설명도.

<103> 도 86a-86j는 도 83-85의 어레이들의 제조 방법의 설명도.

<104> 도 87은 본 발명의 바람직한 실시예에 따른 CMOS 어레이의 설명도.

<105> 도 88a-88d는 도 87의 CMOS 어레이의 제조 방법의 설명도.

<106> 도 89-92는 도 87의 CMOS 어레이를 사용하는 논리 및 메모리 회로의 설명도.

<107> 도 93은 본 발명의 특정한 실시예에 따른 비휘발성 TFT 메모리 디바이스에서 사용하기 위한 결정화된 비결정 실리콘 층의 제조 프로세스를 예시하는 프로세스 흐름도.

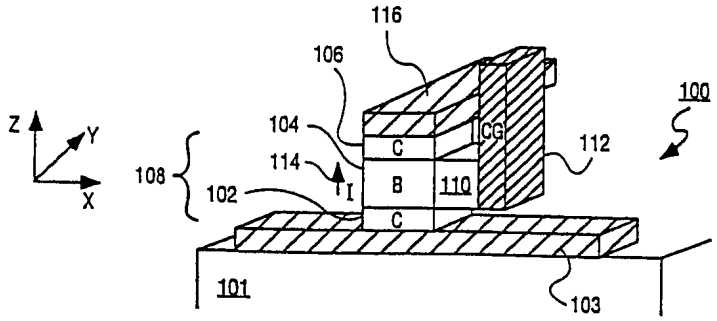
<108> 도 94a-94h는 도 93의 프로세스에서의 단계들을 예시하는 수직 단면도.

<109> 도 95는 도 93의 프로세스에 따른 처리후의 실리콘 웨이퍼 일부분의 상면도.

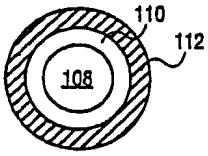
<110> 도 96-101은 종래 기술에 따른 디바이스의 설명도.

도면

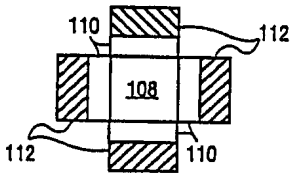
도면1a



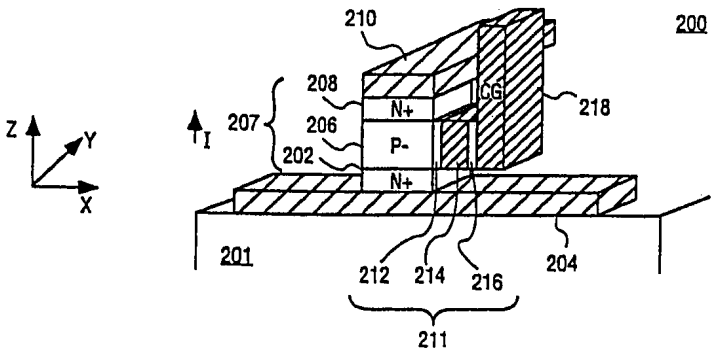
도면1b



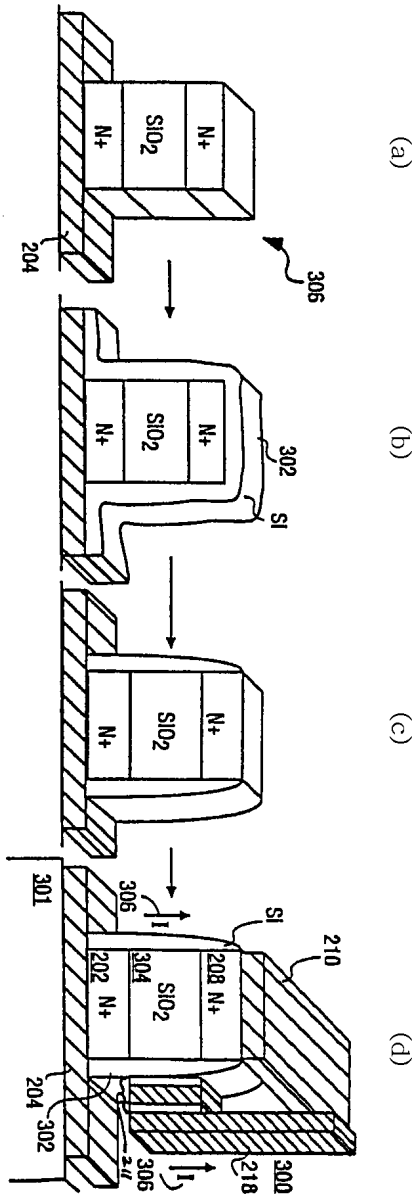
도면1c



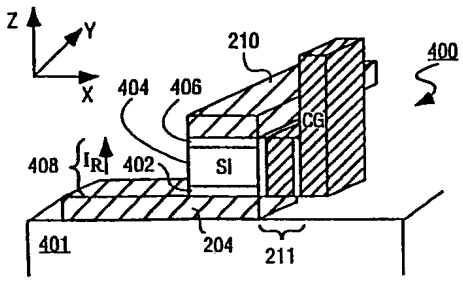
도면2



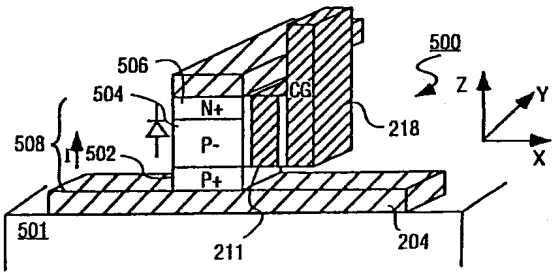
도면3


(a)
(b)
(c)
(d)
N+
SiO2
204
306
302
SI
301
210
202
304
208
218
300

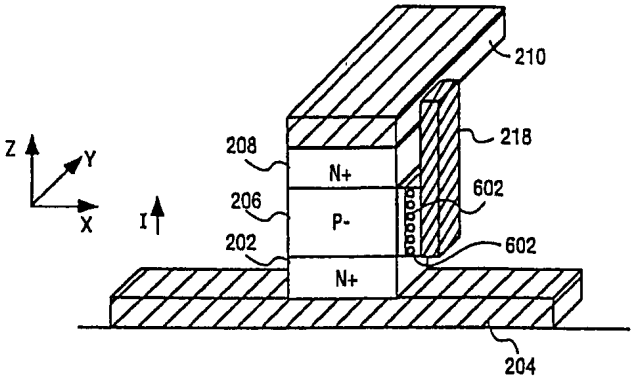
도면4


Z
Y
X
210
400
404
406
CG
408
IR
402
SI
401
204
211

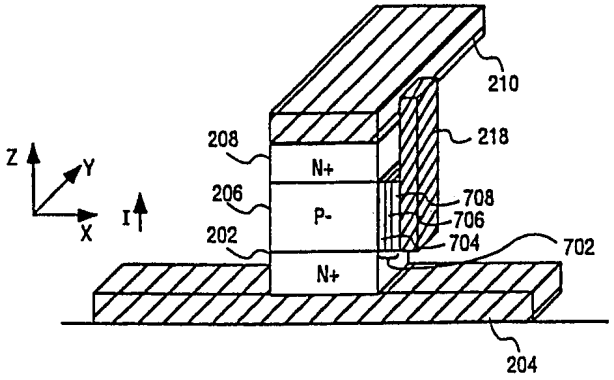
도면5


500
506
504
CG
N+
P-
P+
218
508
I
502
Z
Y
X
501
211
204

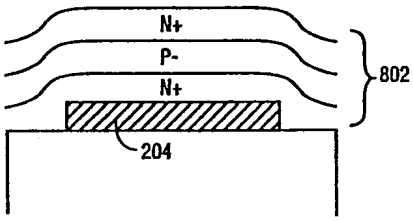
도면6


210
218
208
N+
206
P-
602
202
602
N+
Z
Y
X
I
204

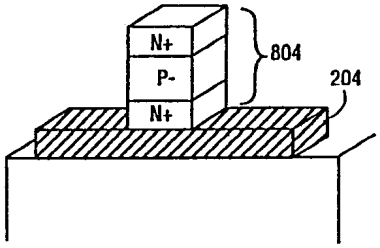
도면7


210
218
208
N+
206
P-
708
706
704
702
202
N+
Z
Y
X
I
204

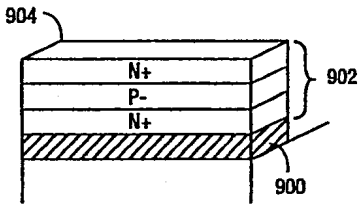
도면8a



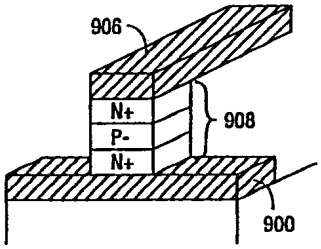
도면8b



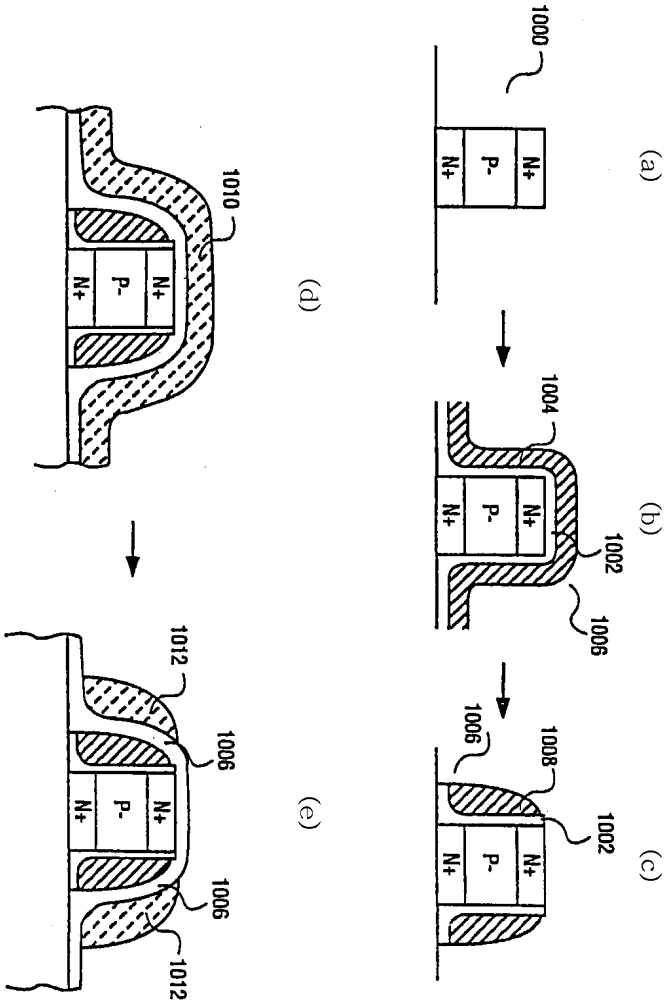
도면9a



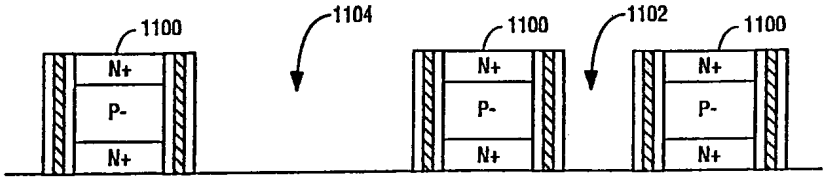
도면9b



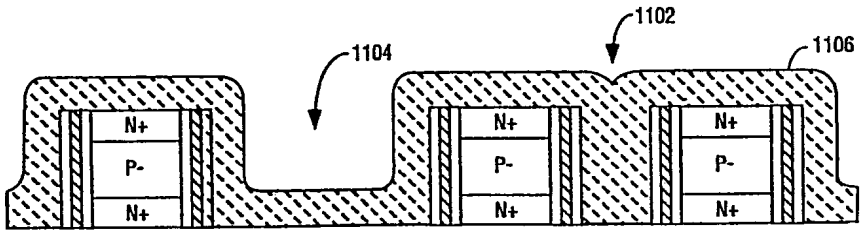
도면10



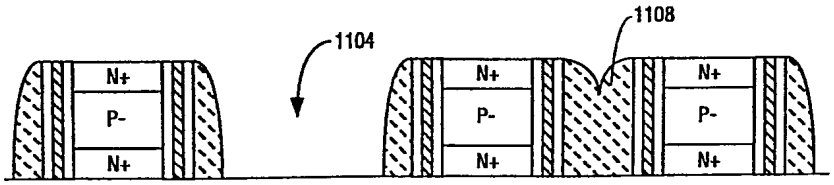
도면11a



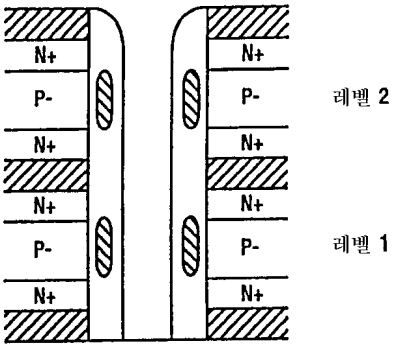
도면11b



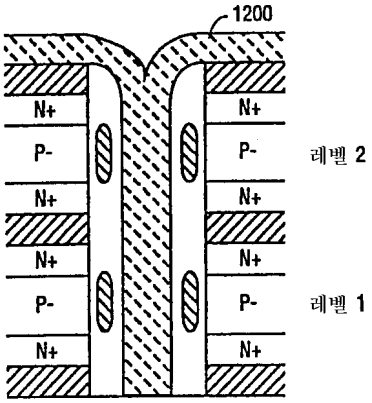
도면11c



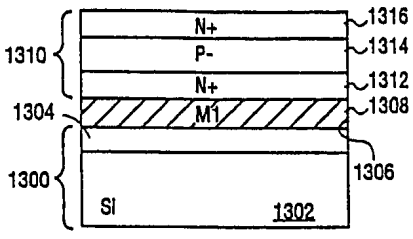
도면12a



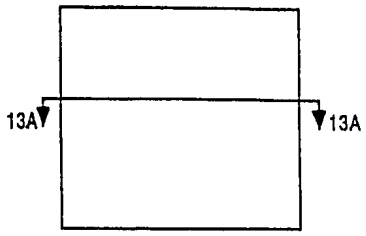
도면12b



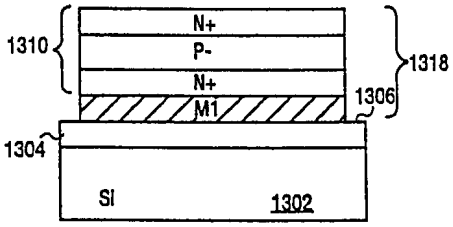
도면13a



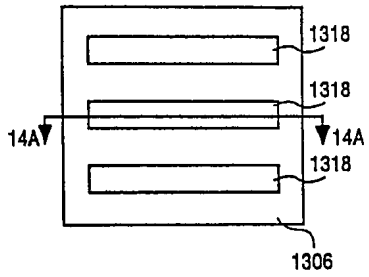
도면13b



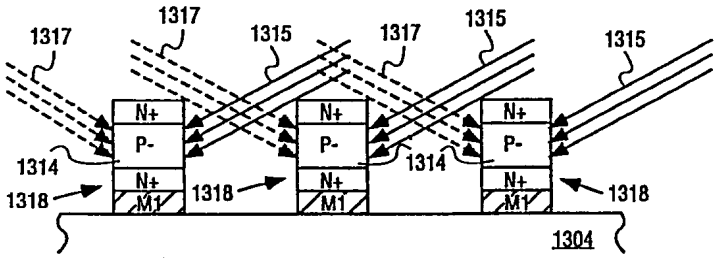
도면14a



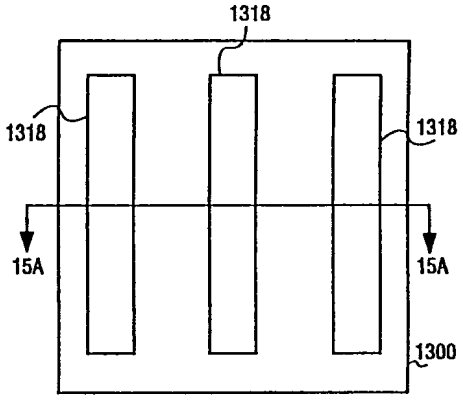
도면14b



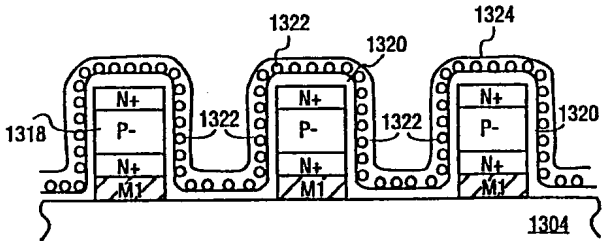
도면15a



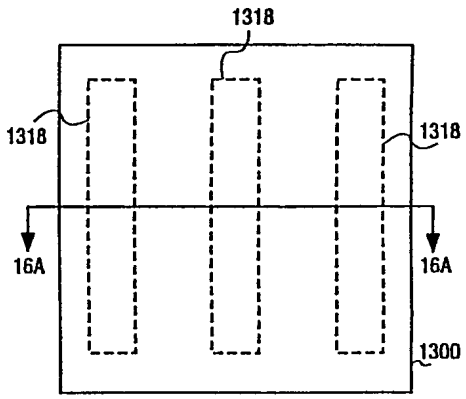
도면15b



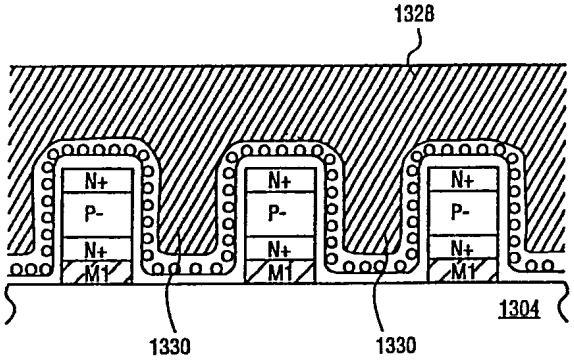
도면16a



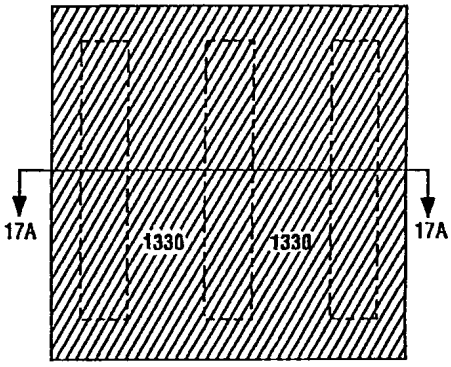
도면16b



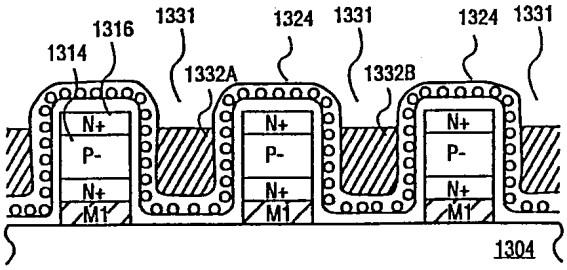
도면17a



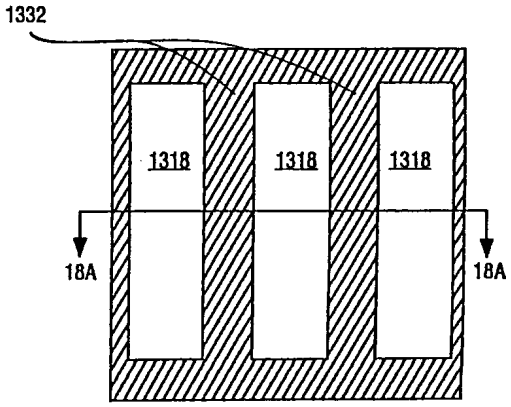
도면17b



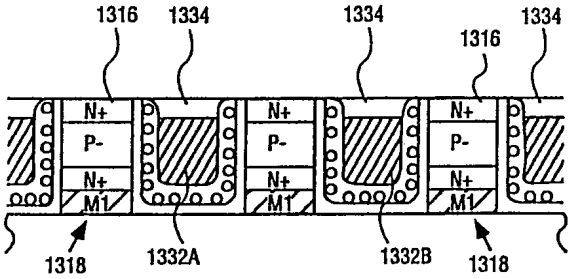
도면18a



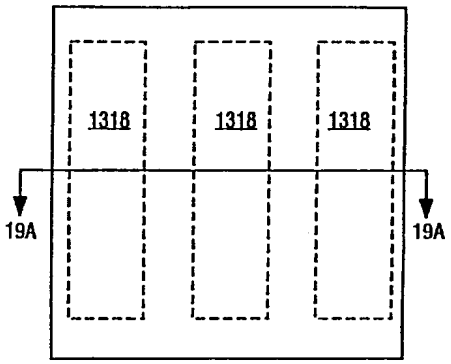
도면18b



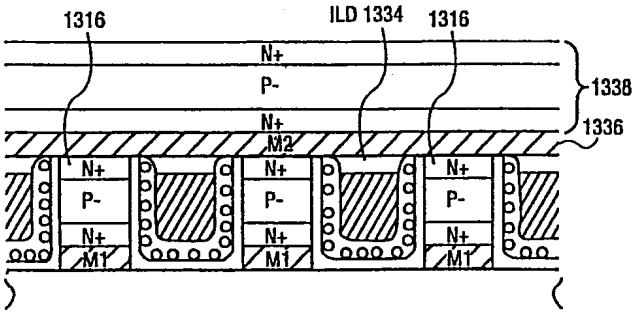
도면19a



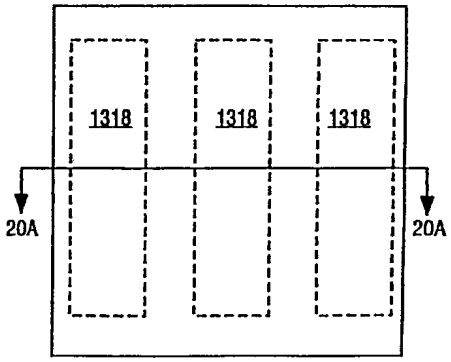
도면19b



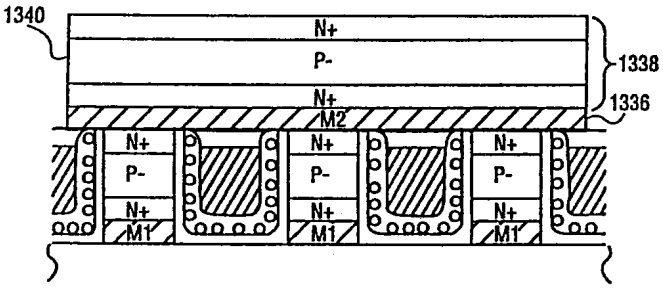
도면20a



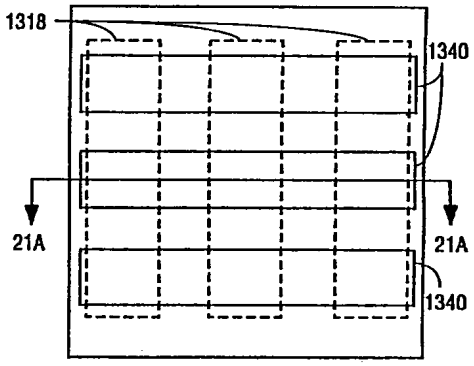
도면20b



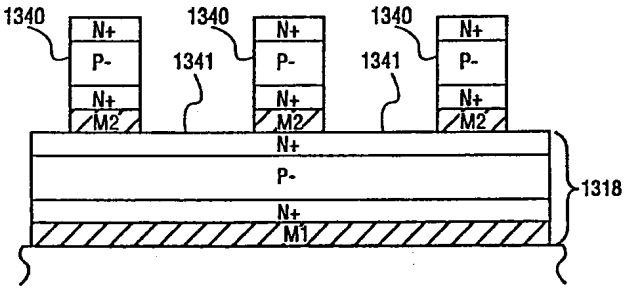
도면21a



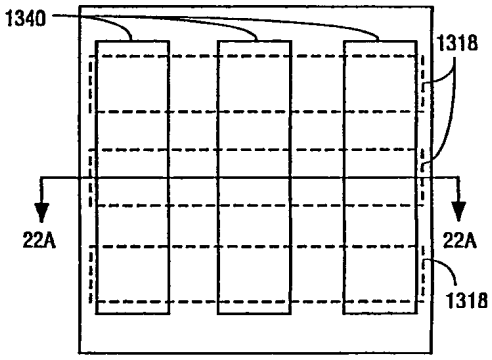
도면21b



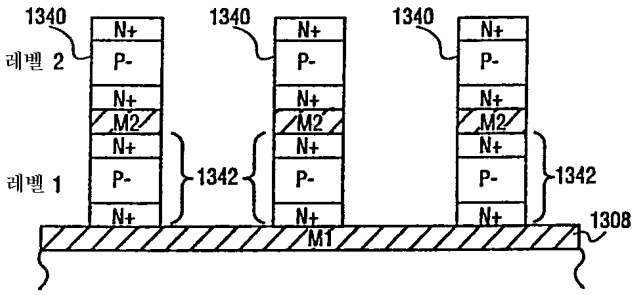
도면22a



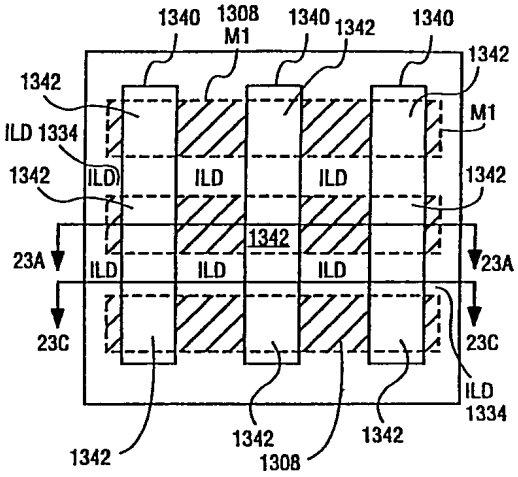
도면22b



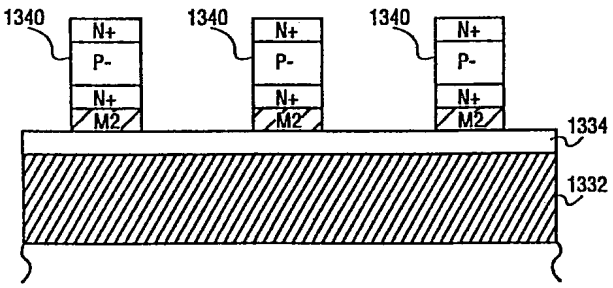
도면23a



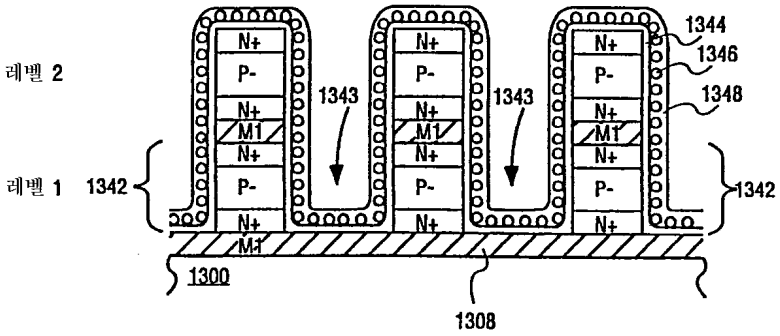
도면23b



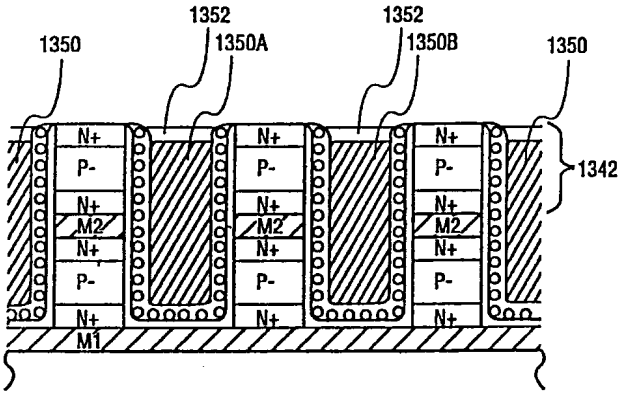
도면23c



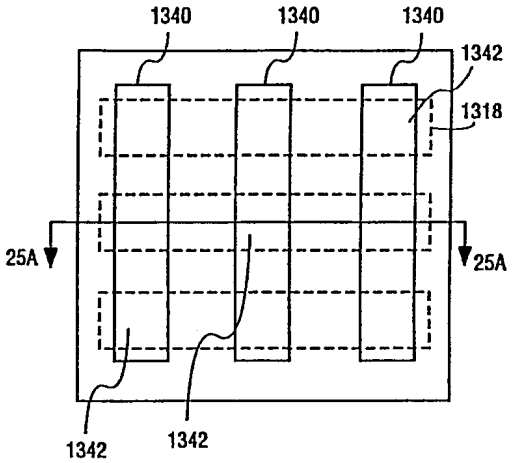
도면24



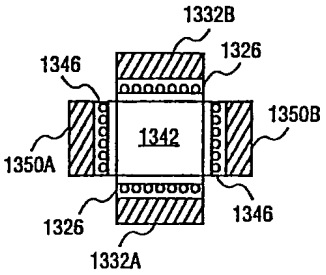
도면25a



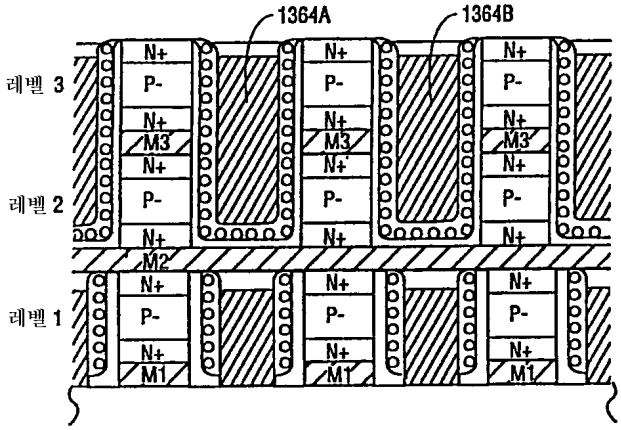
도면25b



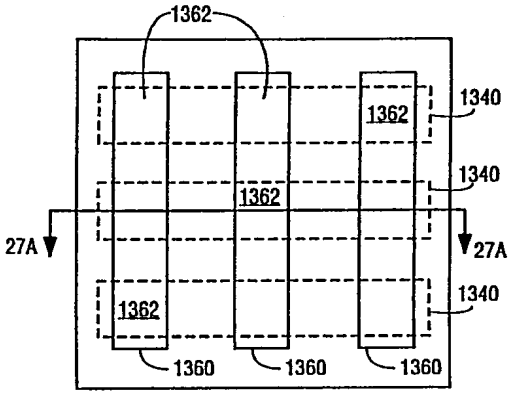
도면26



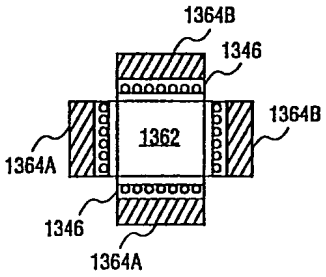
도면27a



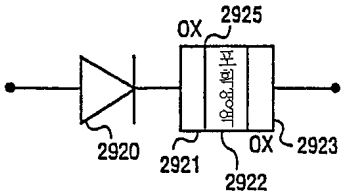
도면27b



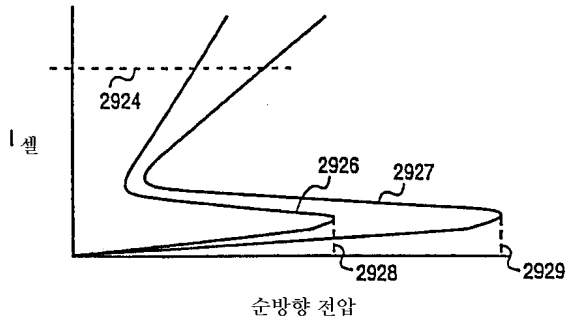
도면28



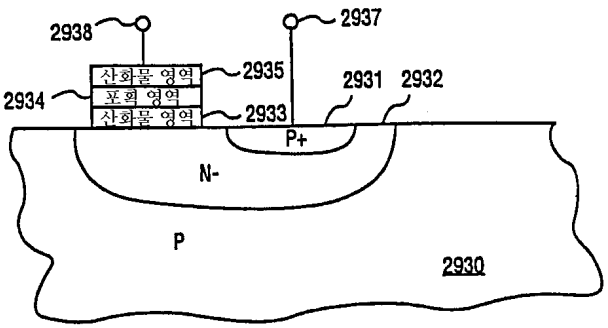
도면29a



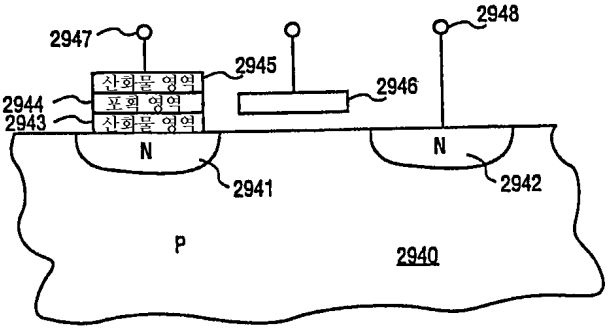
도면29b



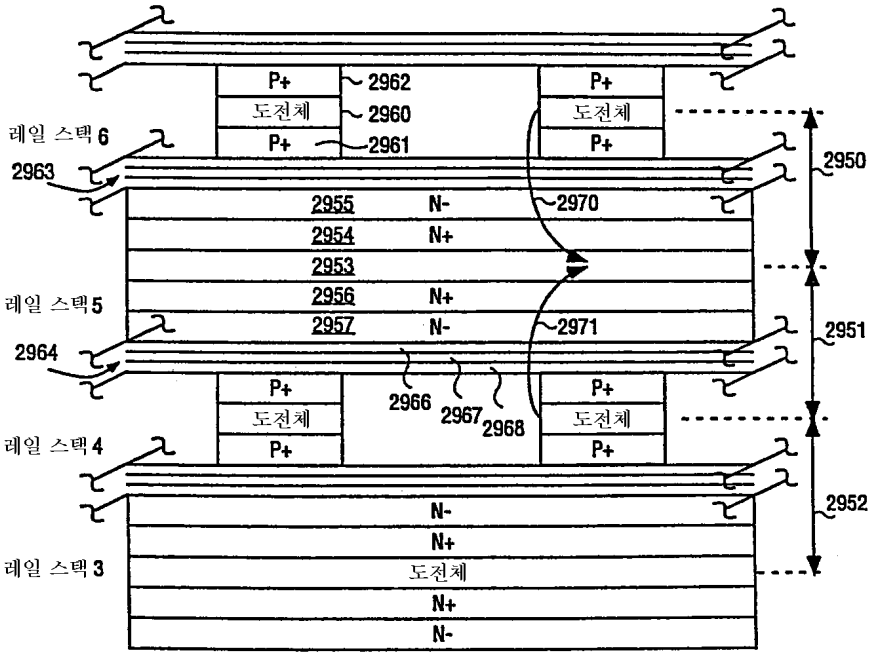
도면30



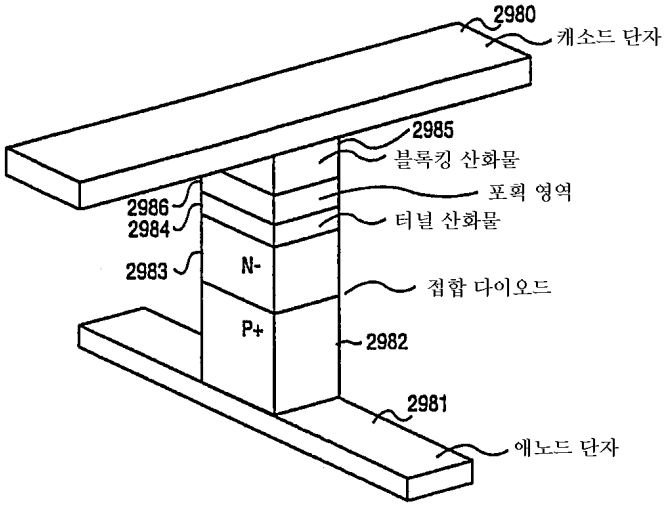
도면31


2947
2948
2945
2946
산화물 영역
포획 영역
산화물 영역
2944
2943
N
N
2941
2942
P
2940

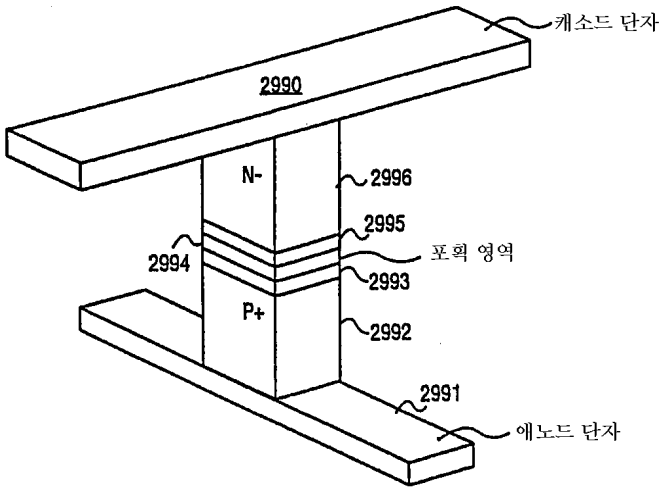
도면32


P+
도전체
P+
2962
2960
2961
레일 스택 6
2963
2955
N-
2954
N+
2953
2956
N+
2957
N-
레일 스택 5
2964
2966
2967
2968
2970
2971
레일 스택 4
N-
N+
도전체
N+
N-
레일 스택 3
2950
2951
2952

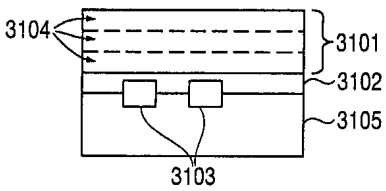
도면33



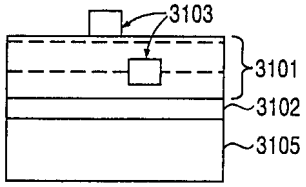
도면34



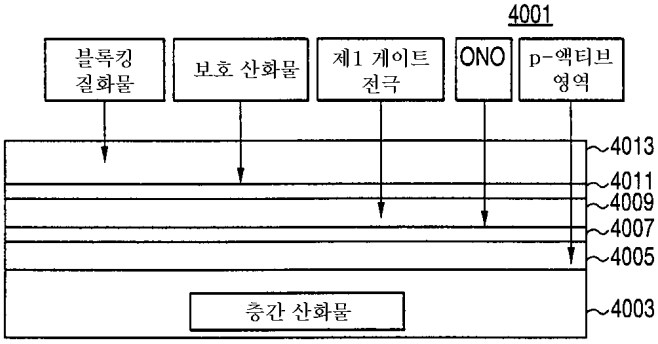
도면35



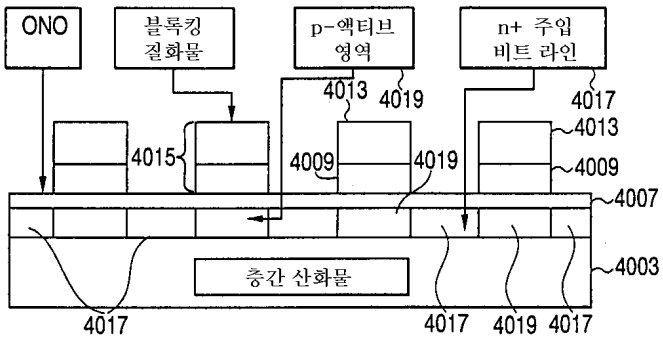
도면36



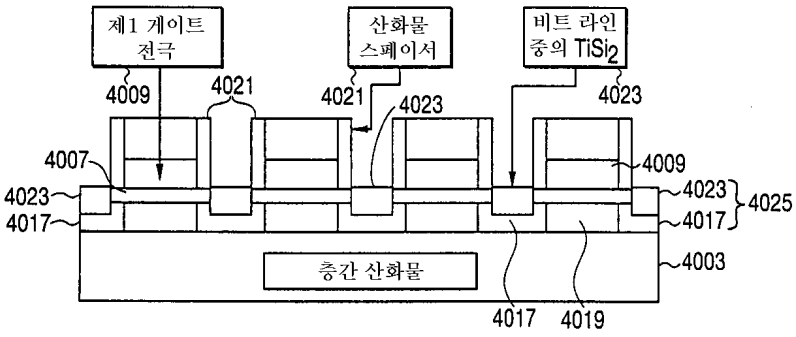
도면37



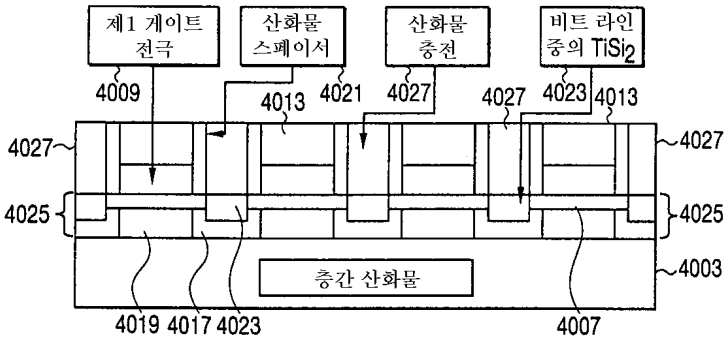
도면38



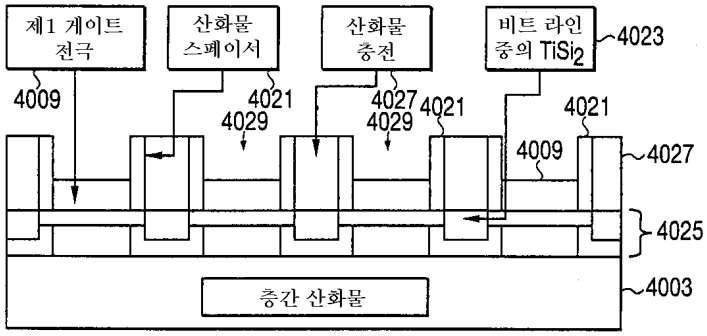
도면39



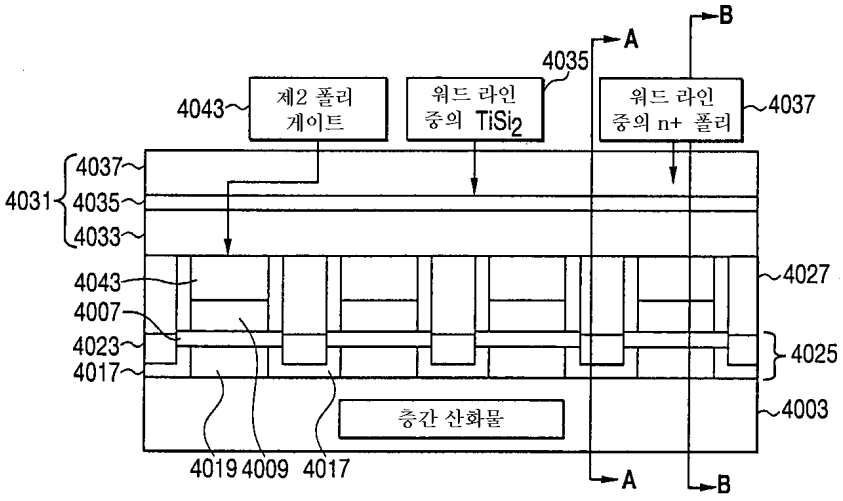
도면40



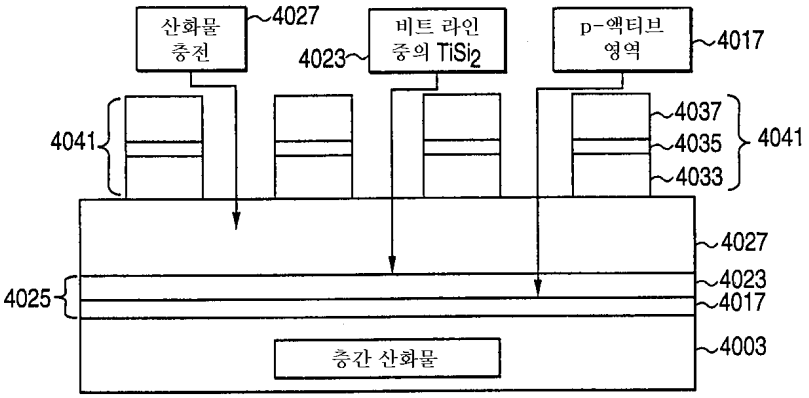
도면41



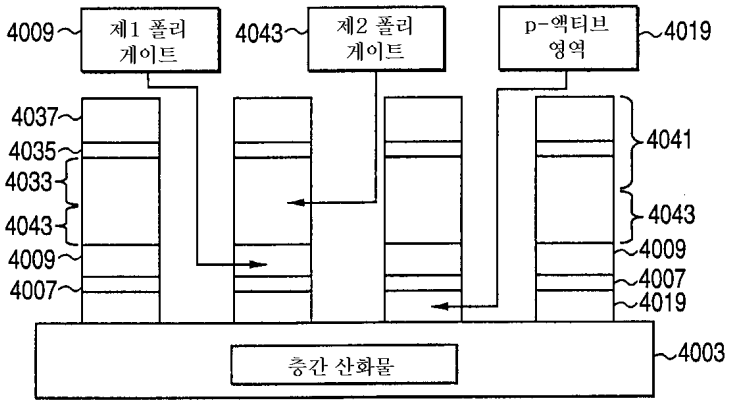
도면42



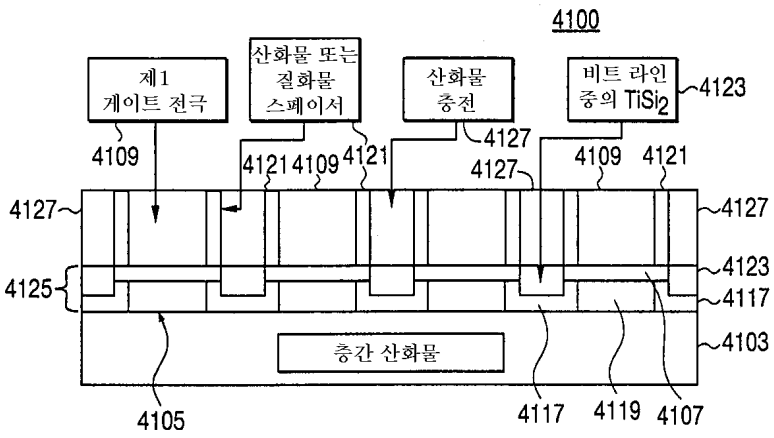
도면43



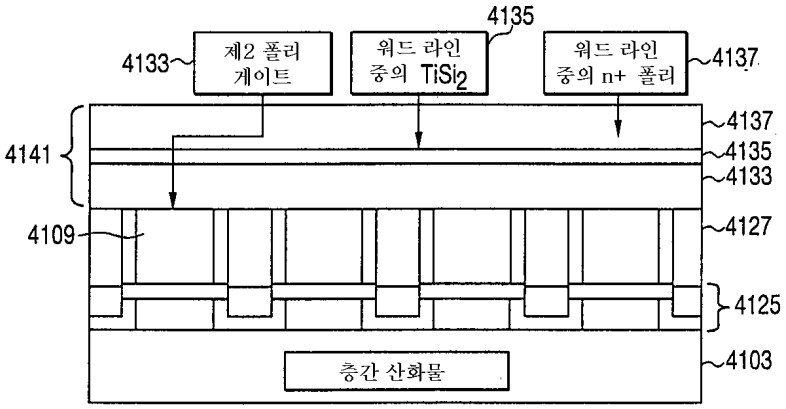
도면44



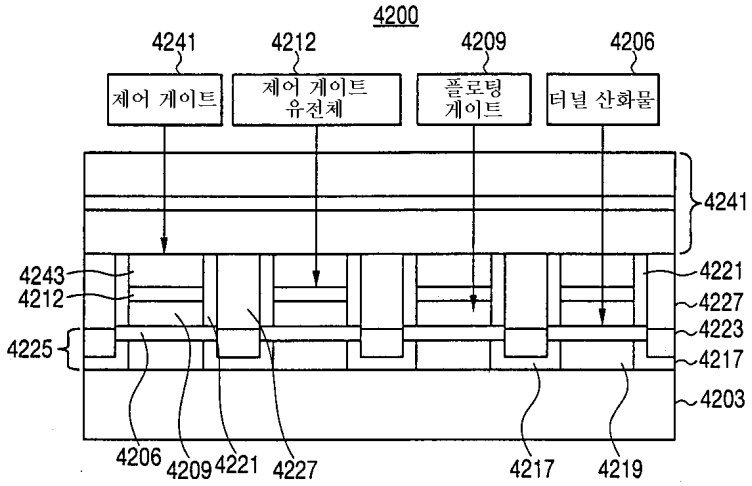
도면45



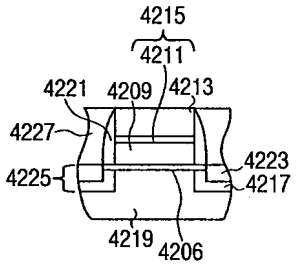
도면46



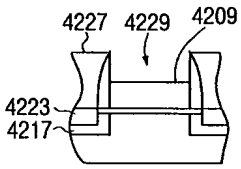
도면47



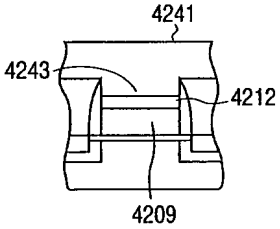
도면48a



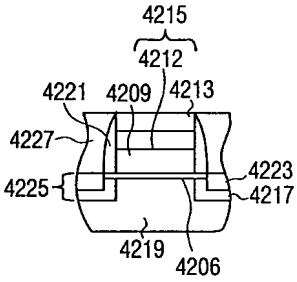
도면48b



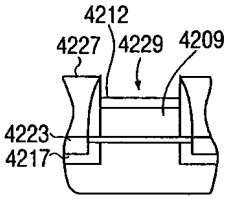
도면48c



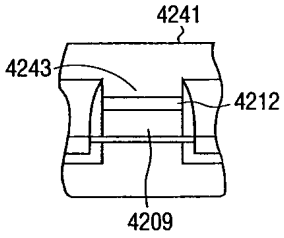
도면49a



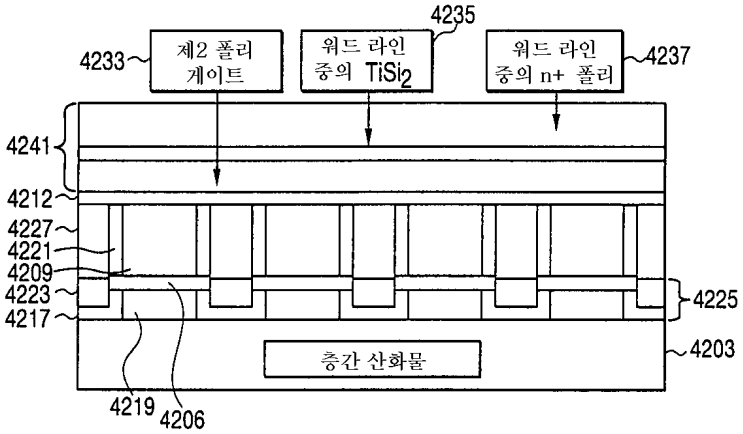
도면49b



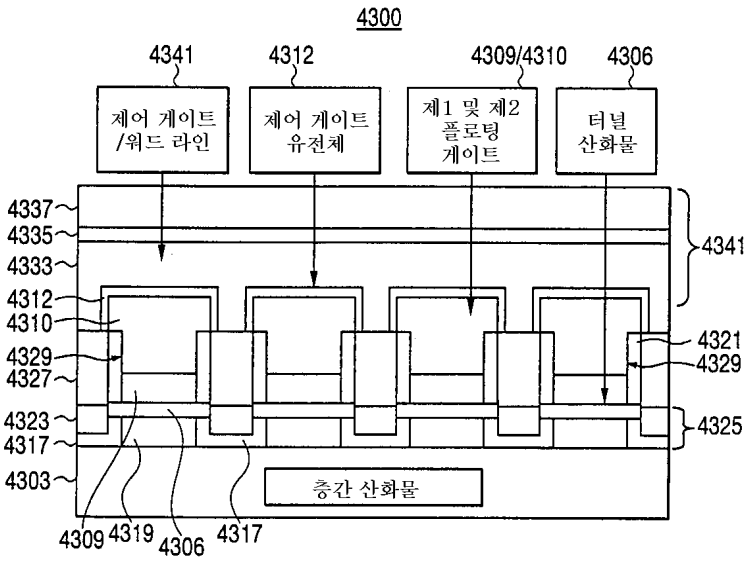
도면49c



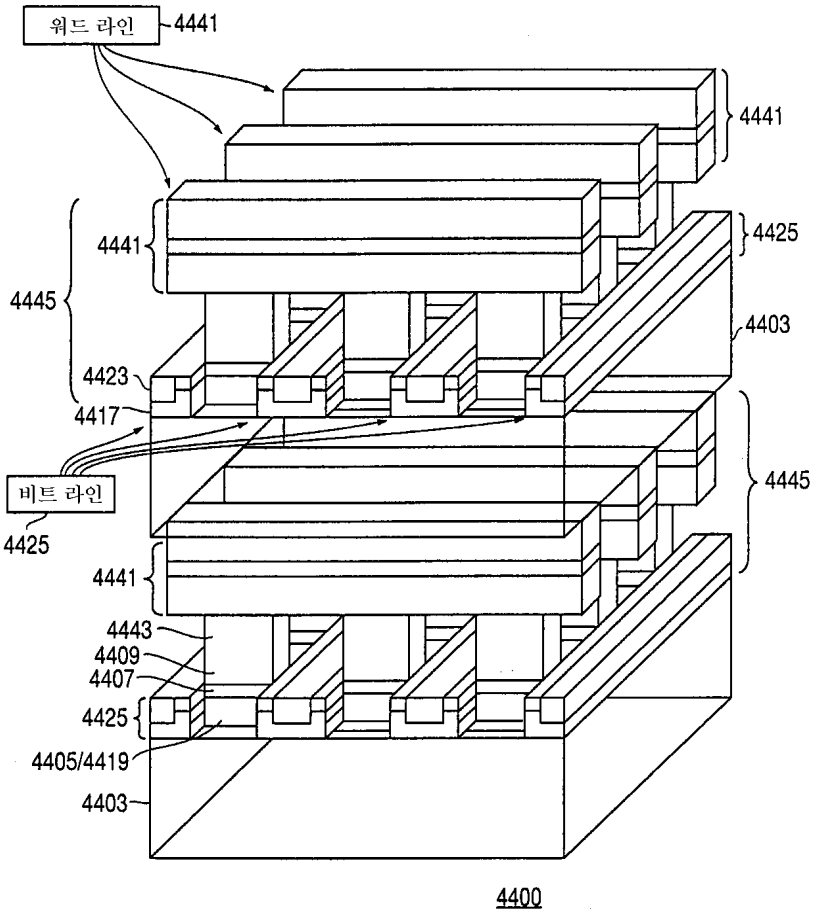
도면50



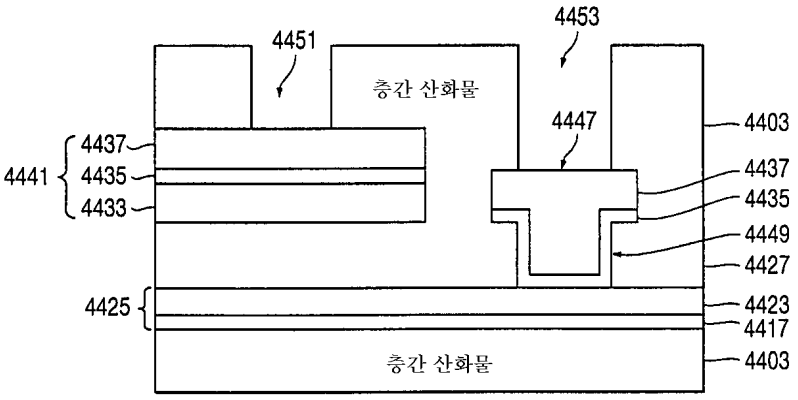
도면51



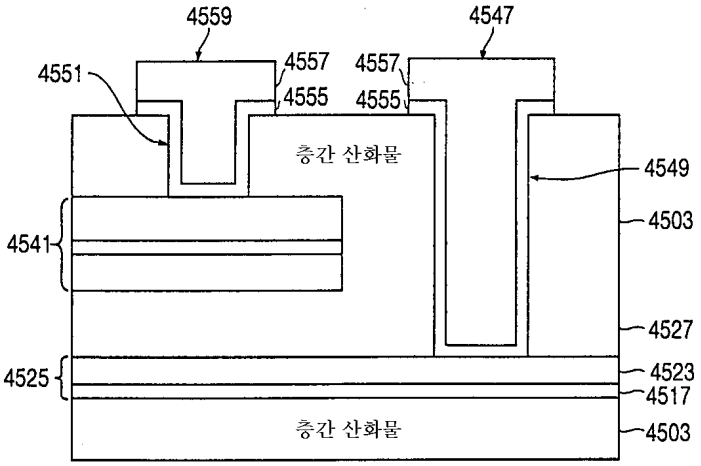
도면52


워드 라인
4441
4441
4425
4445
4441
4403
4423
4417
4445
비트 라인
4425
4441
4443
4409
4407
4425
4405/4419
4403
4400

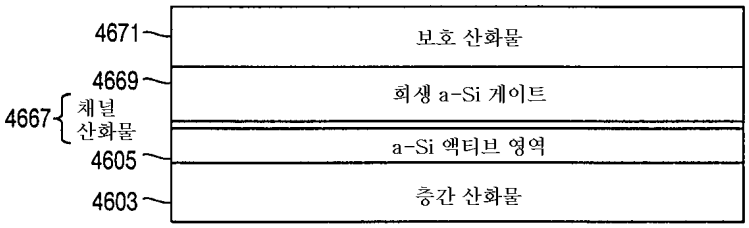
도면53


4451
층간 산화물
4453
4447
4403
4437
4441
4435
4433
4437
4435
4449
4427
4425
4423
4417
층간 산화물
4403

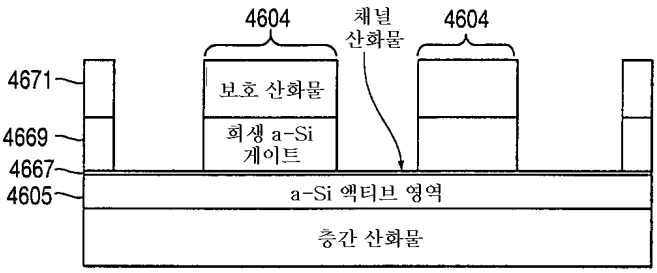
도면54



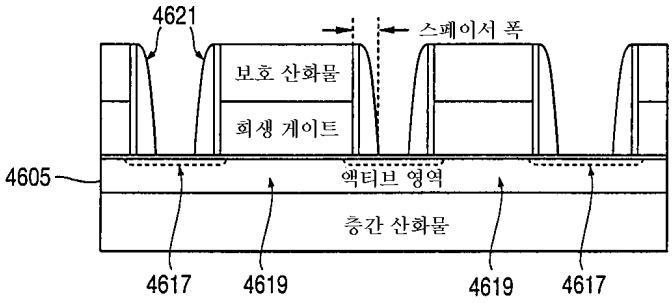
도면55



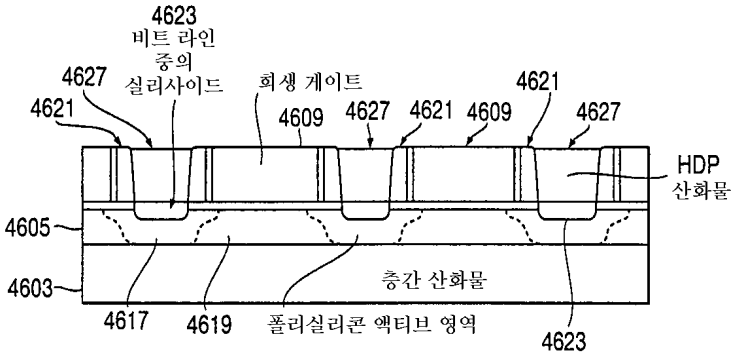
도면56



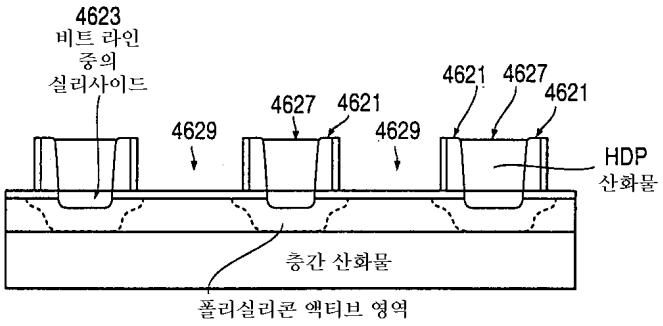
도면57



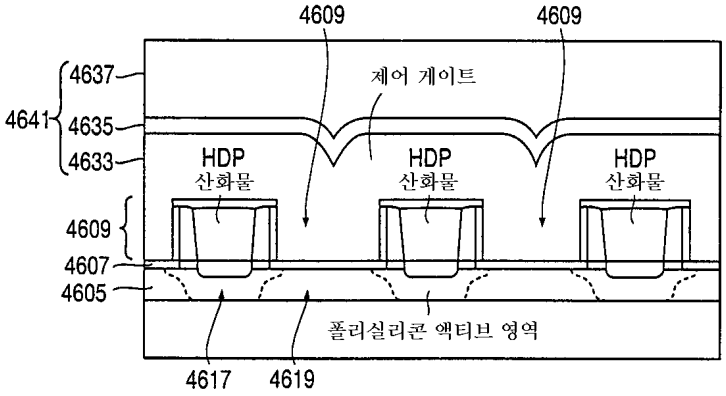
도면58



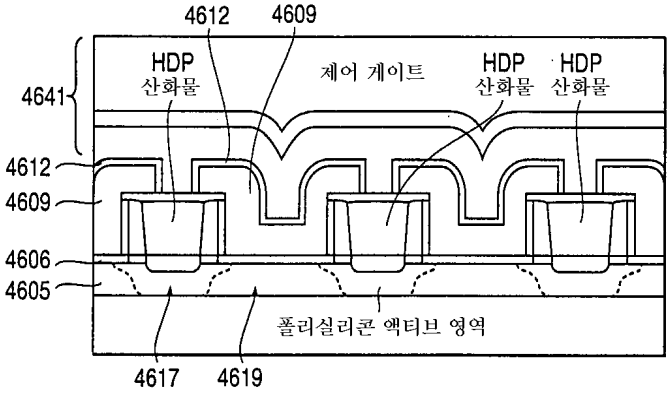
도면59



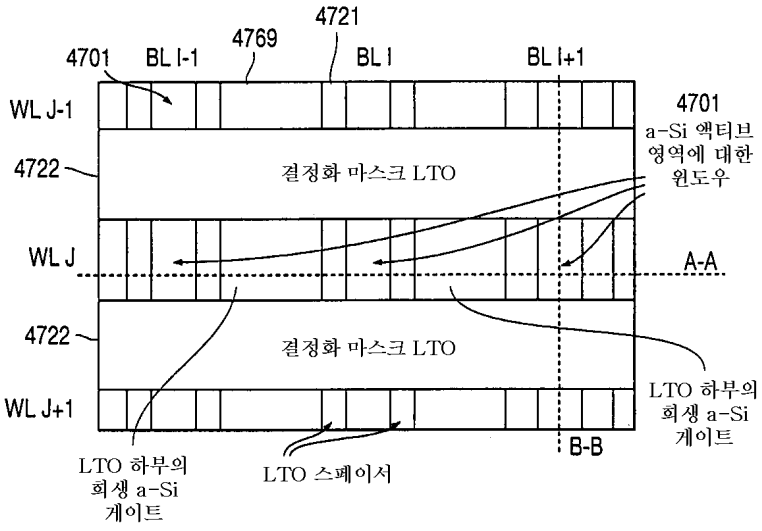
도면60



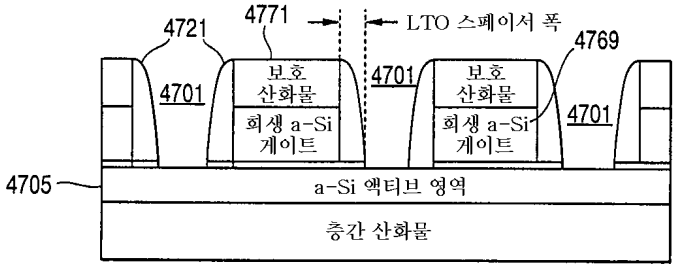
도면61



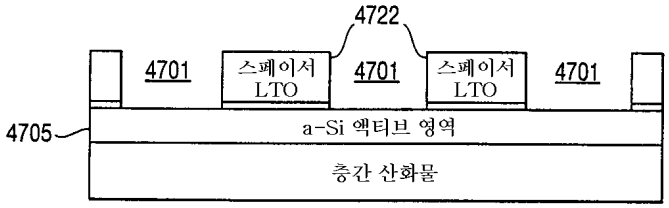
도면62



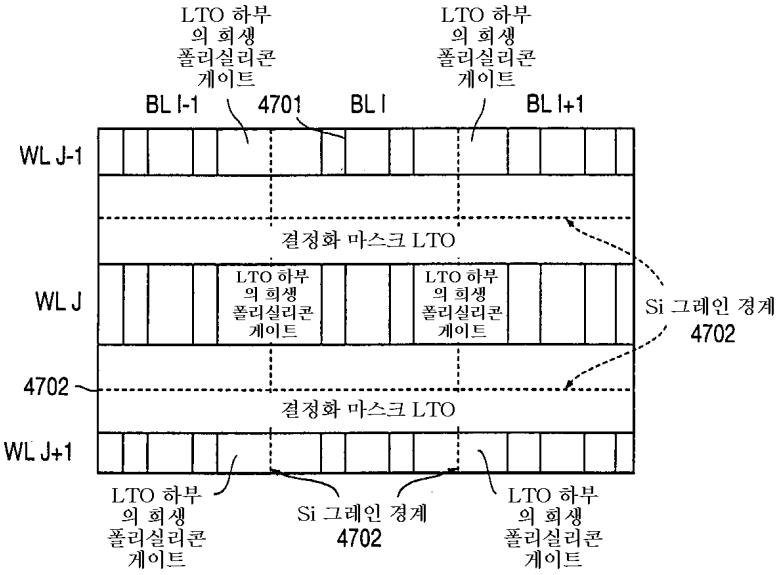
도면63



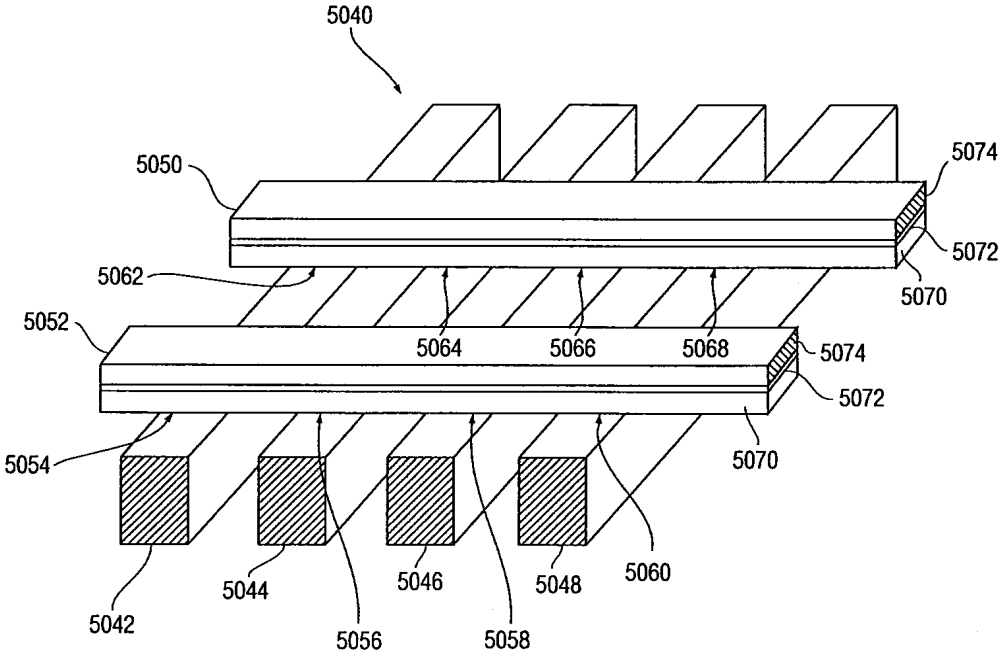
도면64



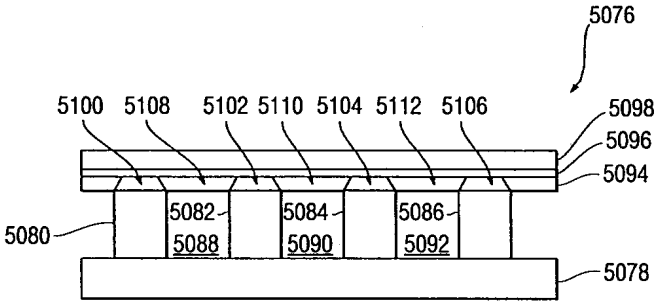
도면65



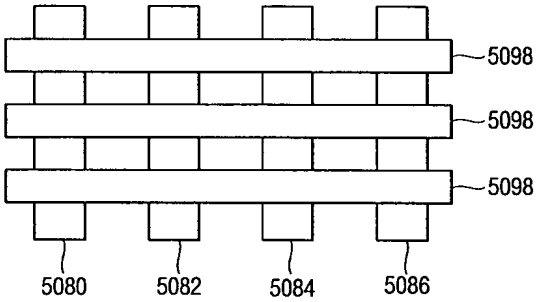
도면66



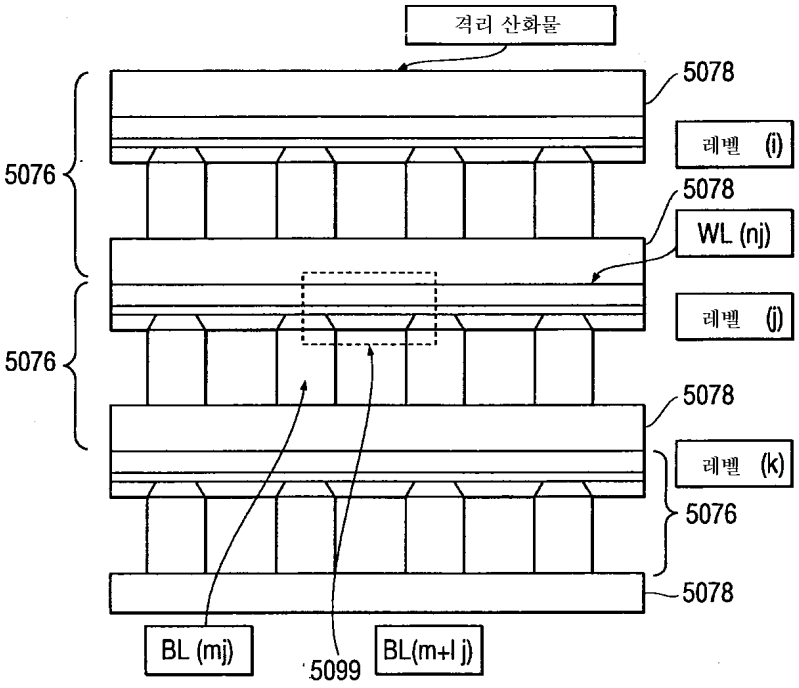
도면67



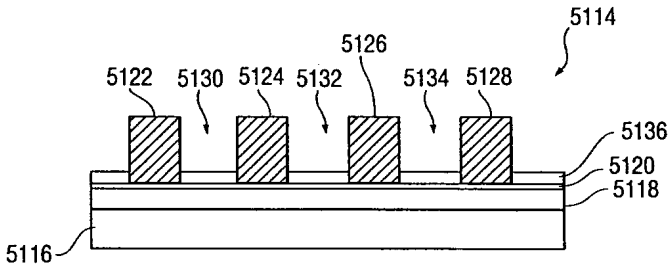
도면68



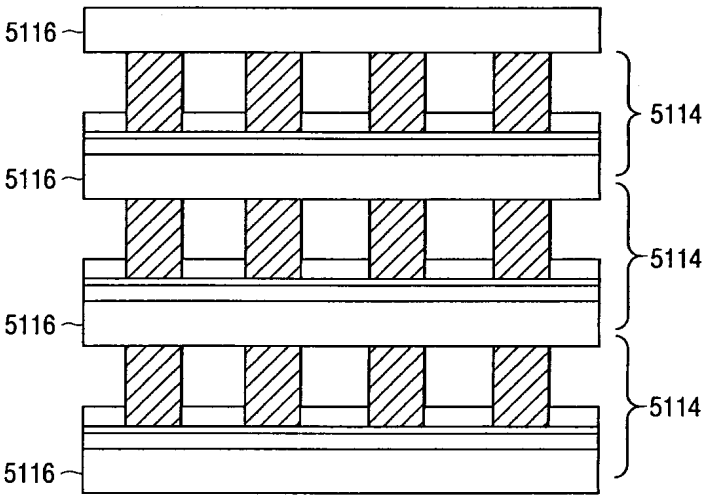
도면69


격리 산화물
5078
레벨 (i)
5078
WL (nj)
레벨 (j)
5078
레벨 (k)
5076
5078
5076
5076
BL (mj)
5099
BL(m+l j)

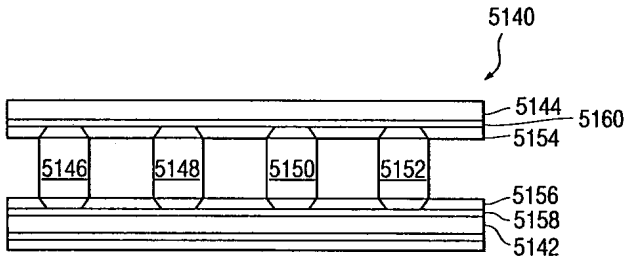
도면70


5114
5126
5122
5130
5124
5132
5134
5128
5136
5120
5118
5116

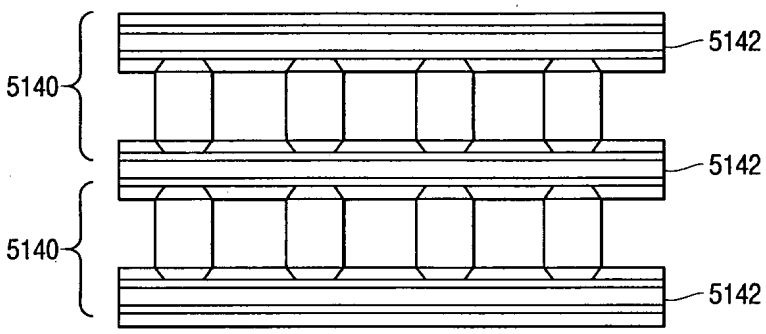
도면71



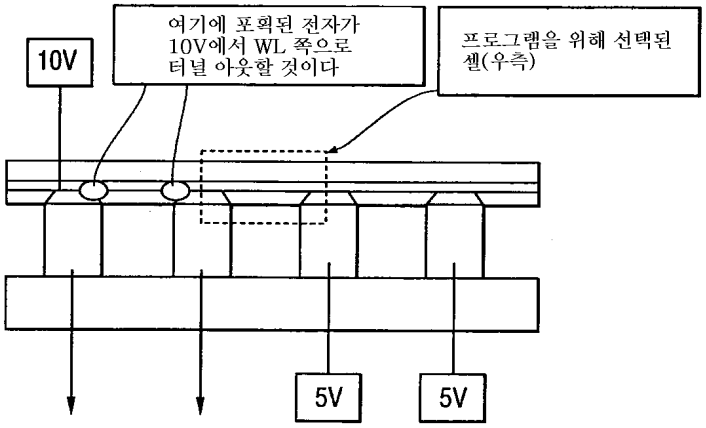
도면72



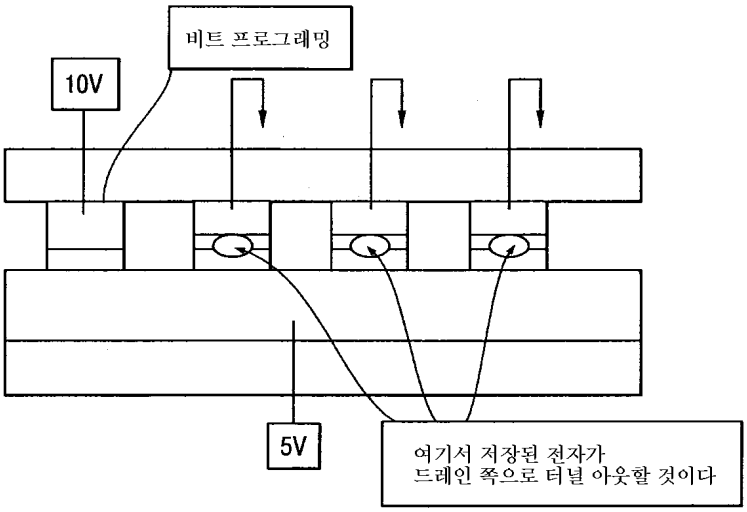
도면73



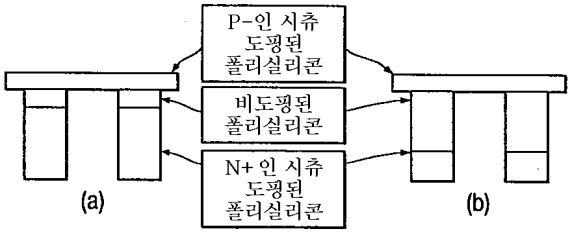
도면74



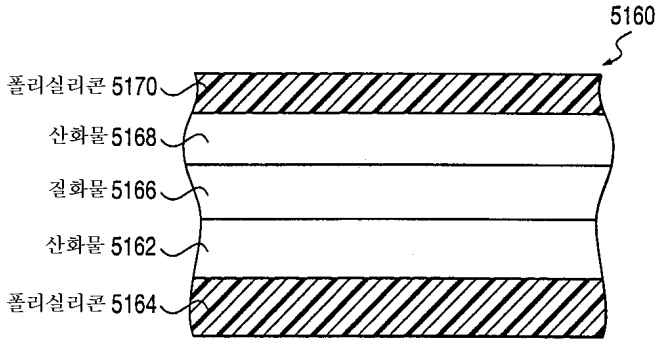
도면75



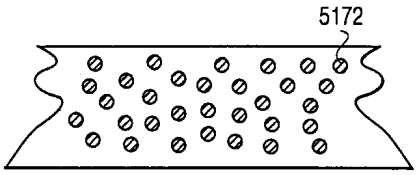
도면76



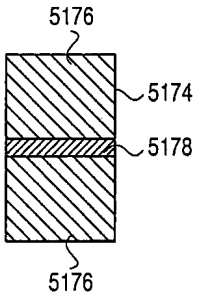
도면77



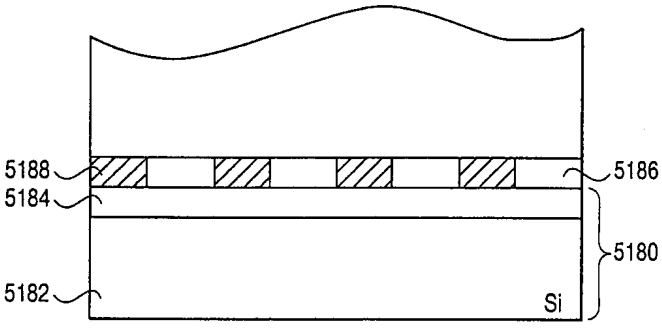
도면78



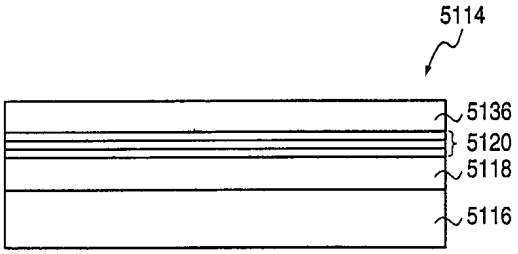
도면79



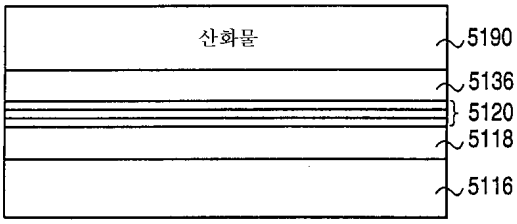
도면80



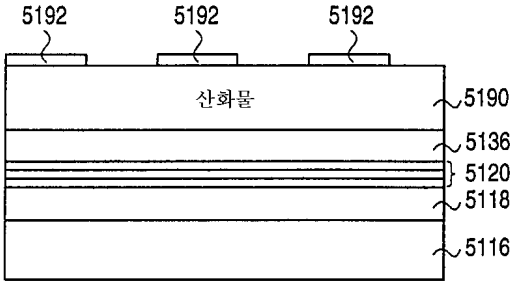
도면81a



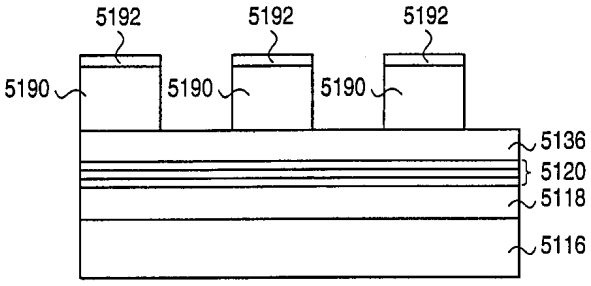
도면81b



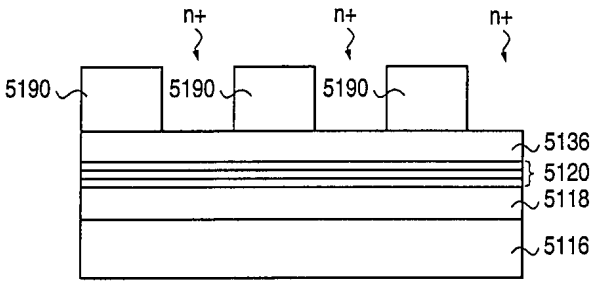
도면81c



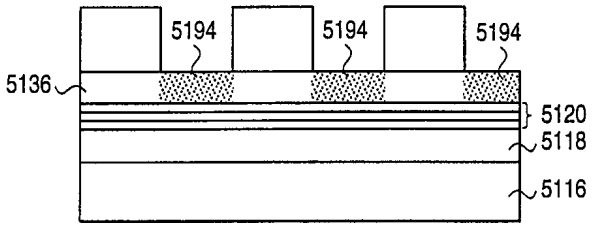
도면81d



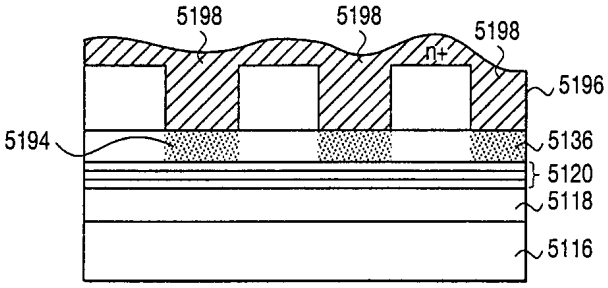
도면81e



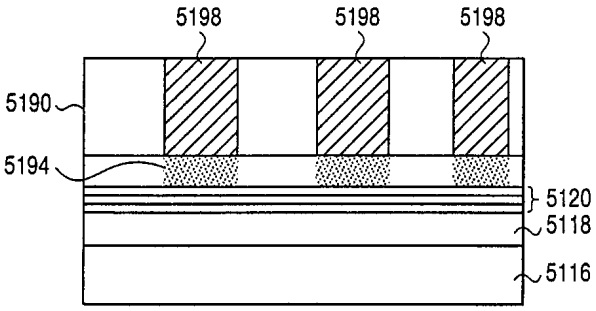
도면81f



도면81g



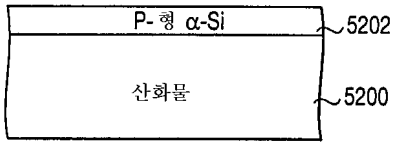
도면81h



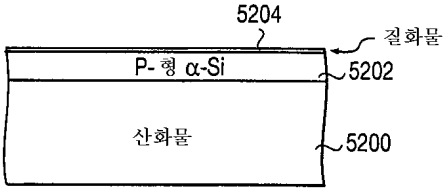
도면82a



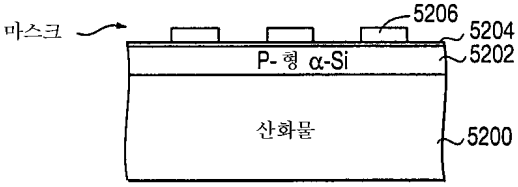
도면82b



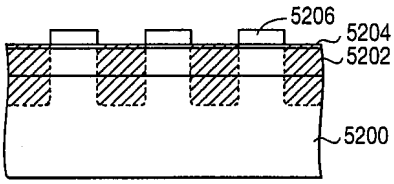
도면82c



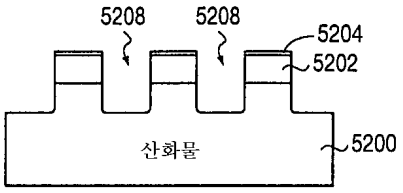
도면82d



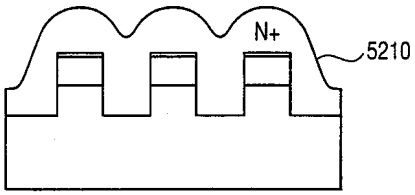
도면82e



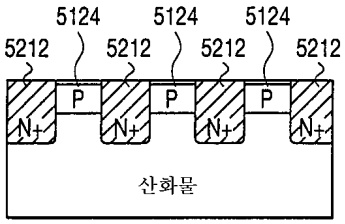
도면82f



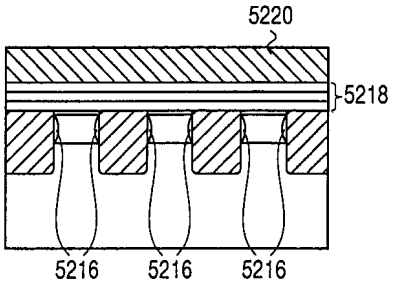
도면82g



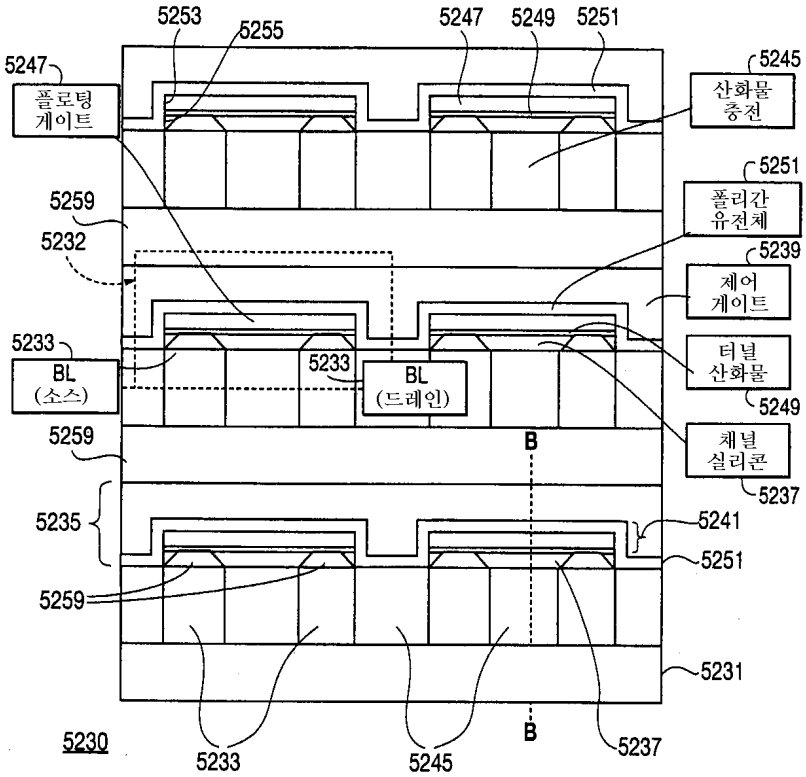
도면82h



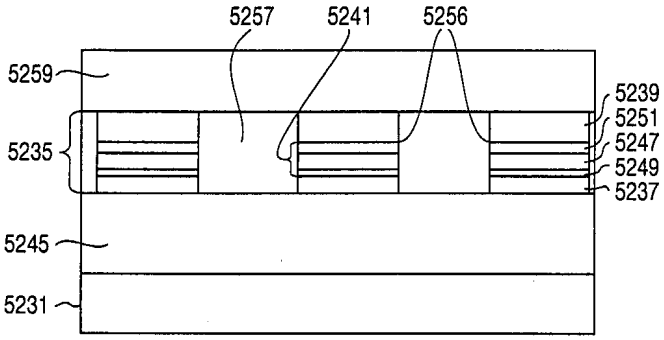
도면82i



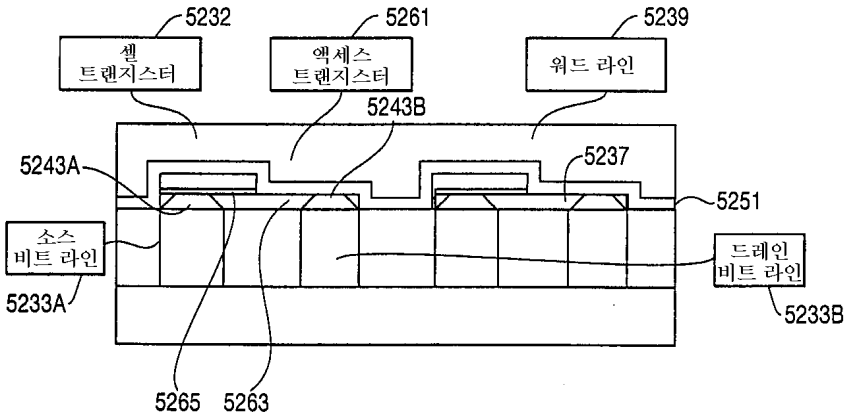
도면83a


5253
5255
5247
5249
5251
5247
플로팅 게이트
5245
산화물 증전
5251
폴리간 유전체
5259
5232
5239
제어 게이트
5233
BL (소스)
5233
BL (드레인)
터널 산화물
5249
5259
B
채널 실리콘
5237
5235
5241
5251
5259
5231
5230
5233
5245
B
5237

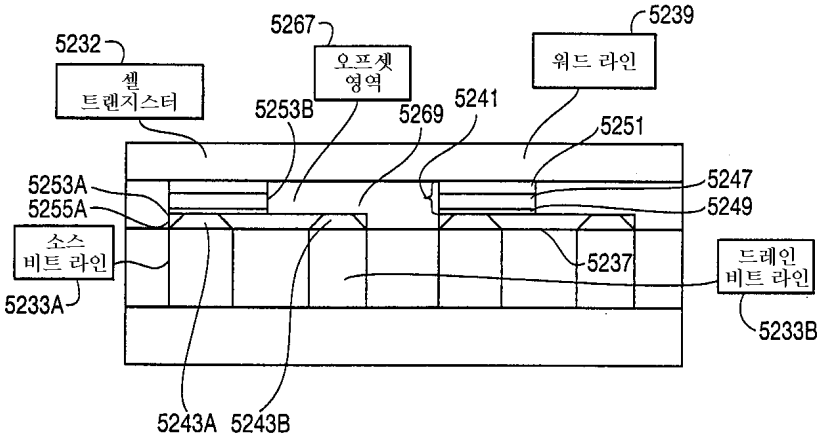
도면83b


5257
5241
5256
5259
5239
5251
5235
5247
5249
5237
5245
5231

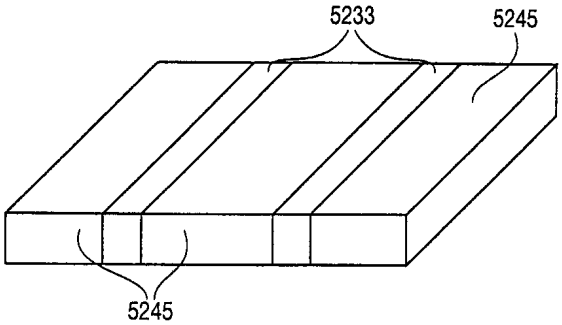
도면84



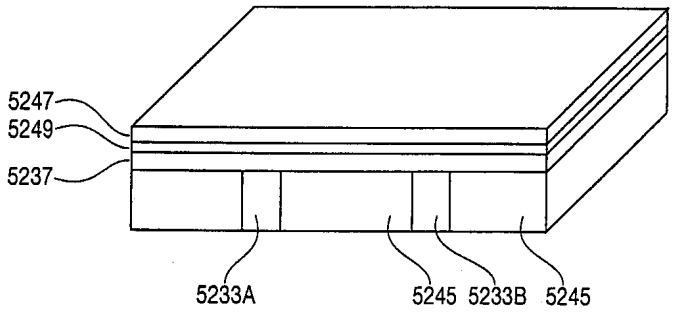
도면85



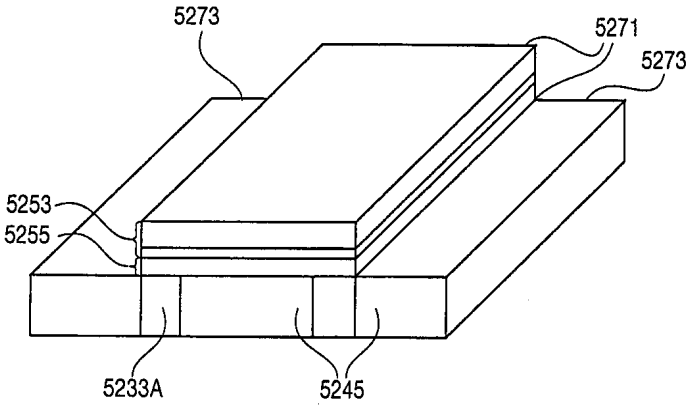
도면86a



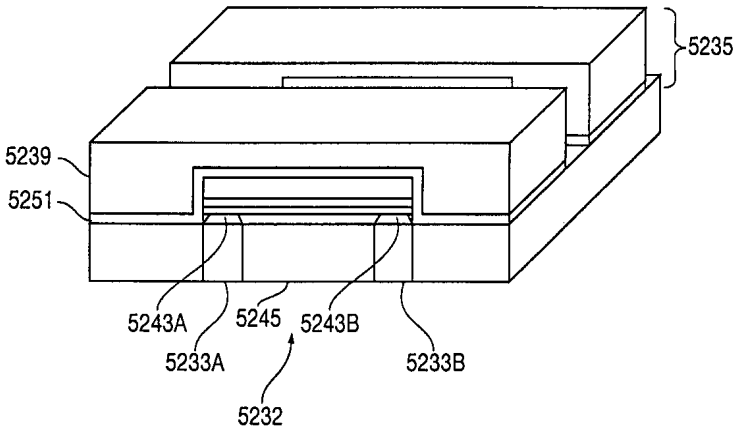
도면86b



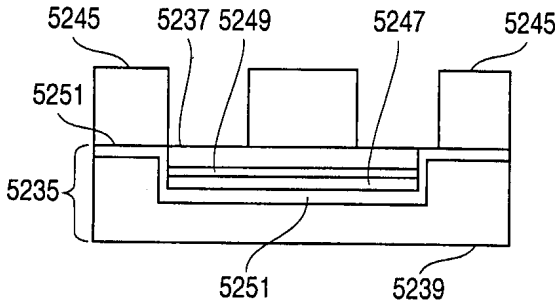
도면86c



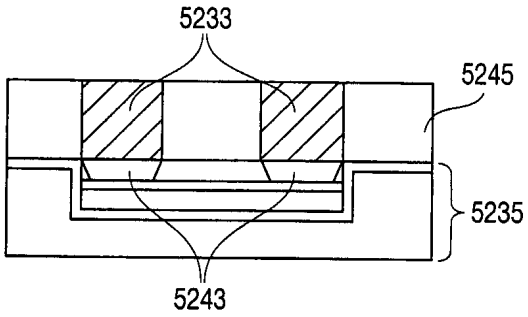
도면86d



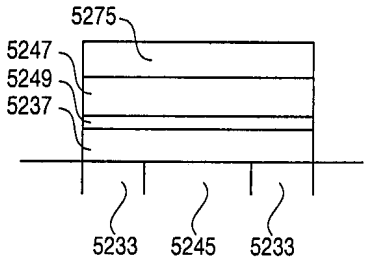
도면86e



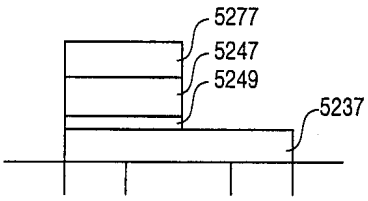
도면86f



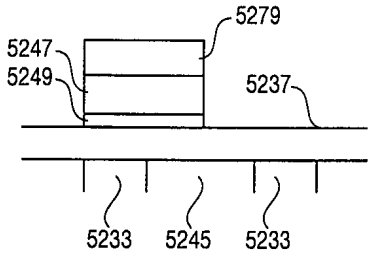
도면86g



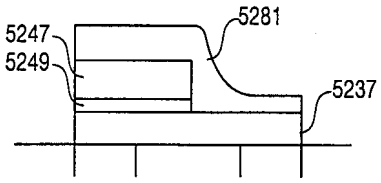
도면86h



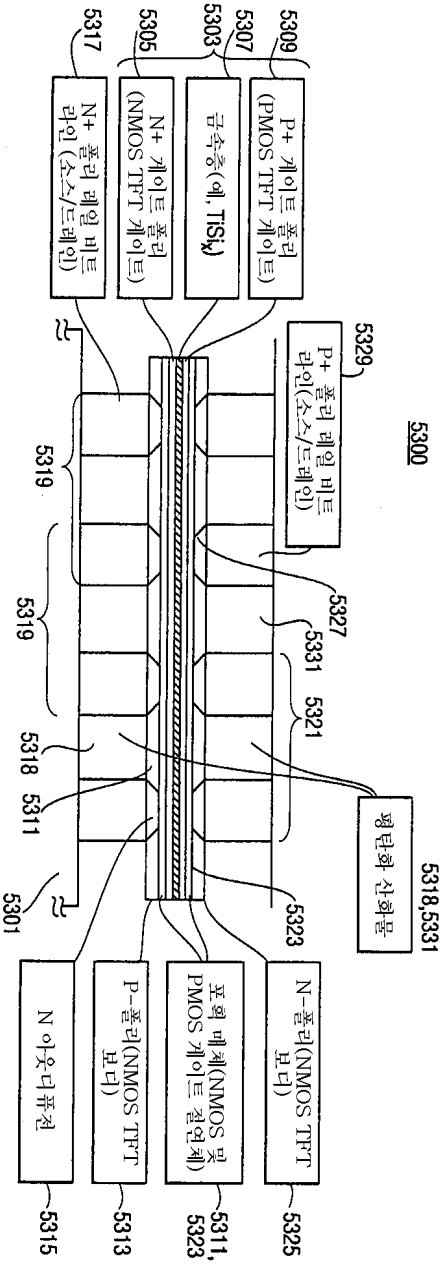
도면86i



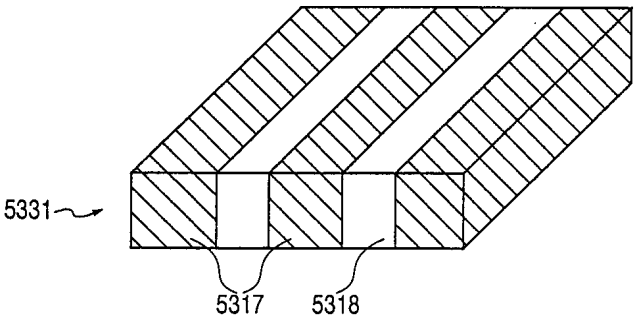
도면86j



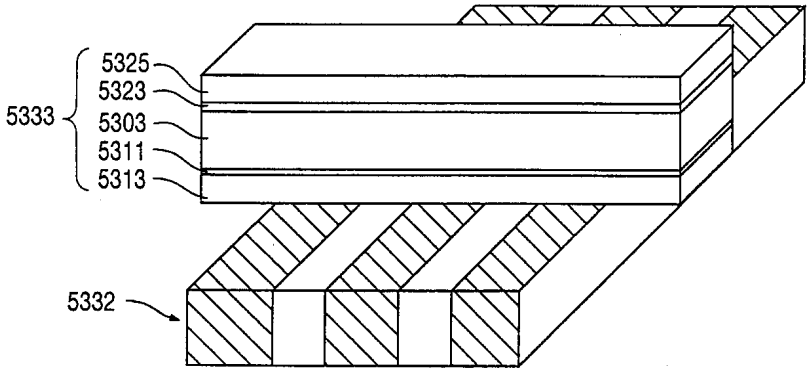
도면87


5309
P+ 게이트 폴리 (PMOS TFT 게이트)
5307
5303
금속층(예, TiSi2)
5305
N+ 게이트 폴리 (NMOS TFT 게이트)
5317
N+ 폴리 레일 비트 라인 (소스/드레인)
5329
P+ 폴리 레일 비트 라인(소스/드레인)
5300
5319
5319
5327
5331
5321
5318
5311
평탄화 산화물
5318,5331
5301
5323
N 아웃더퓨전
P-폴리(NMOS TFT 보디)
포워 메체(NMOS 및 PMOS 게이트 절연체)
N-폴리(NMOS TFT 보디)
5315
5313
5311, 5323
5325

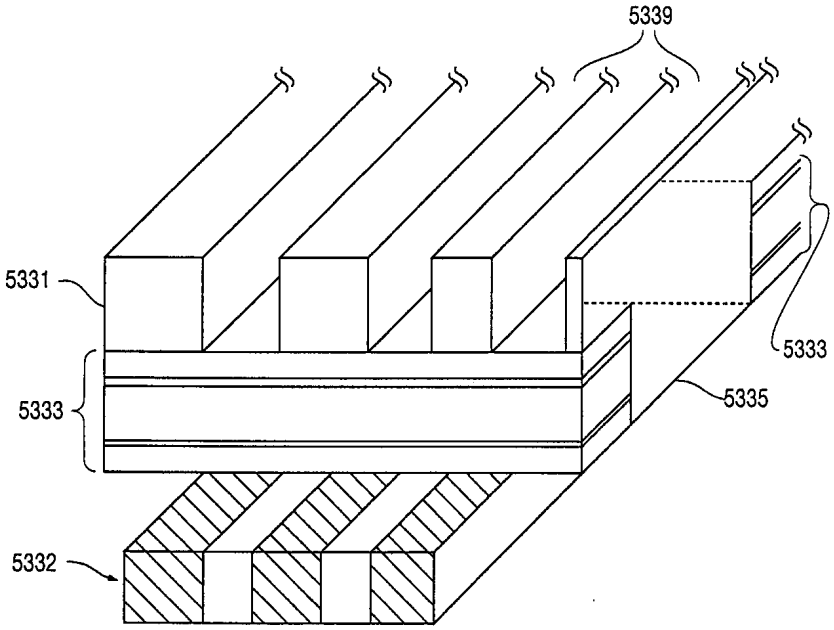
도면88a


5331
5317
5318

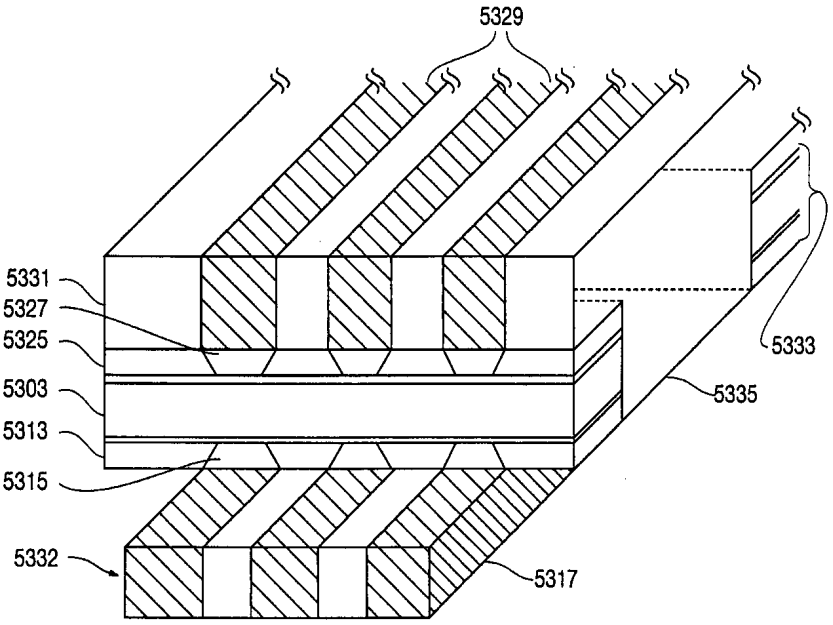
도면88b


5325
5323
5333
5303
5311
5313
5332

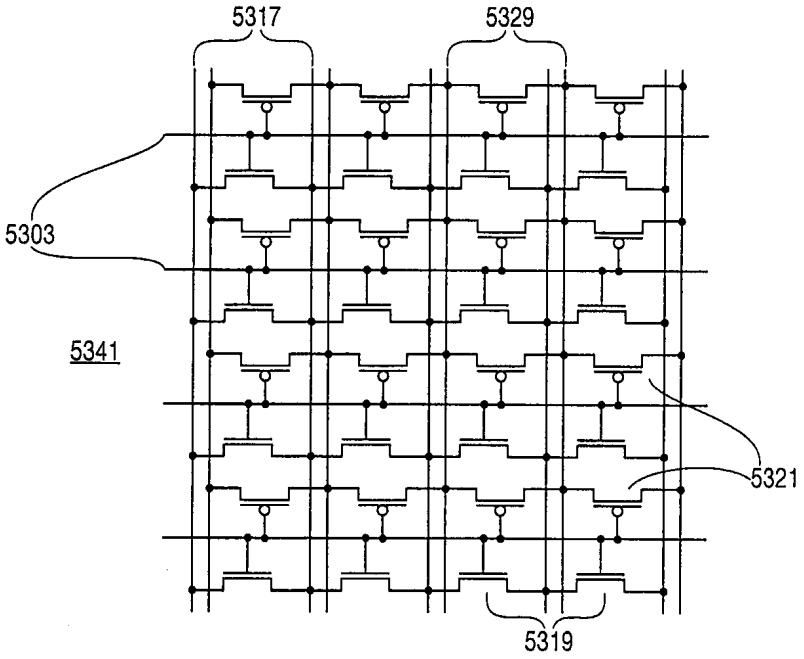
도면88c


5339
5331
5333
5335
5333
5332

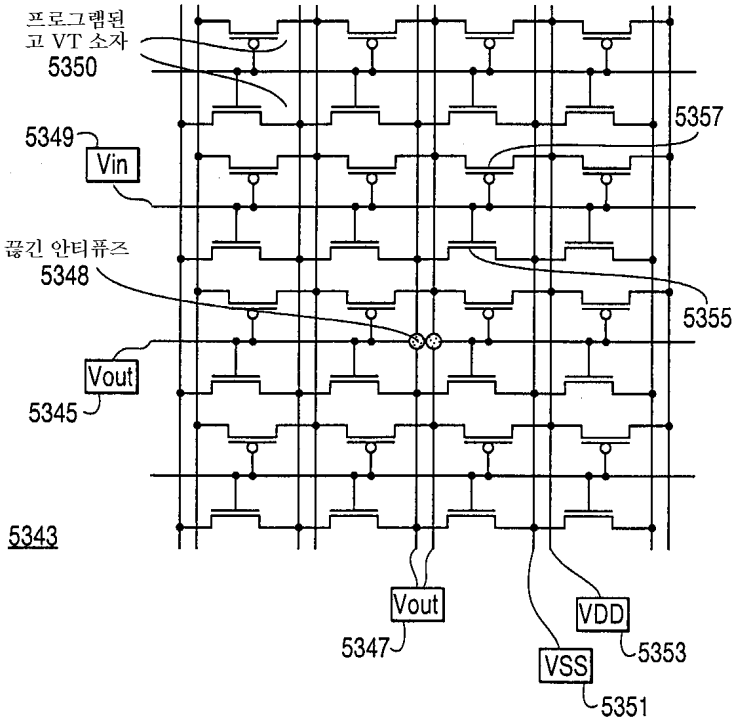
도면88d


5329
5331
5327
5325
5303
5313
5315
5332
5317
5333
5335

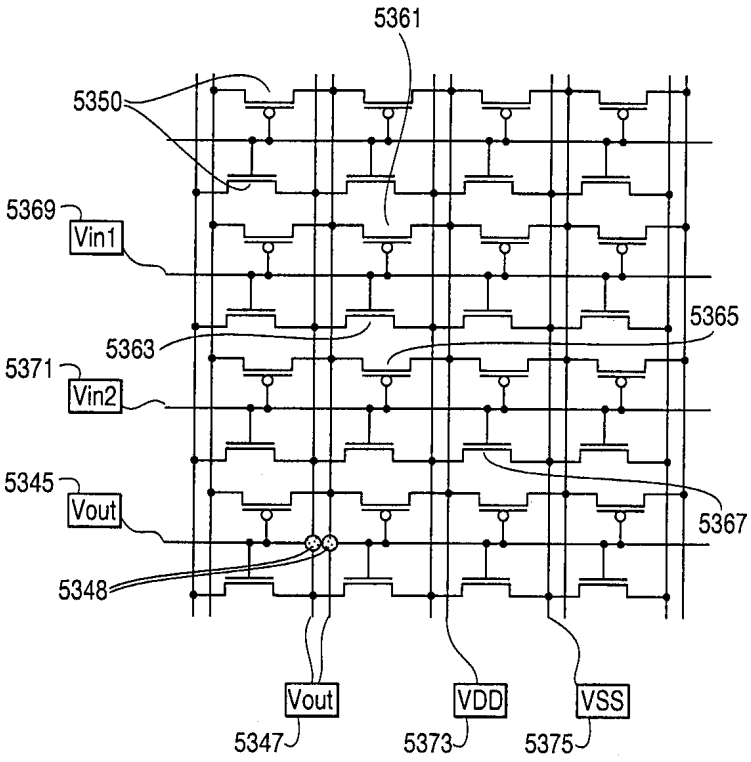
도면89


5317
5329
5303
5341
5321
5319

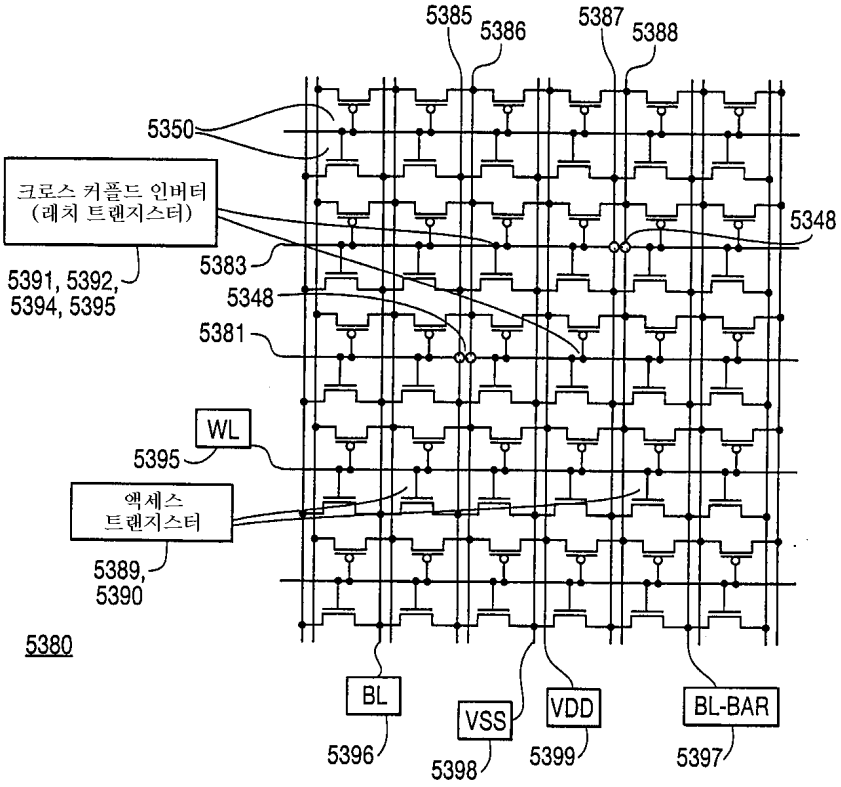
도면90


프로그램된
고 VT 소자
5350
5349
Vin
끊긴 안티퓨즈
5348
Vout
5345
5343
5357
5355
Vout
5347
VDD
5353
VSS
5351

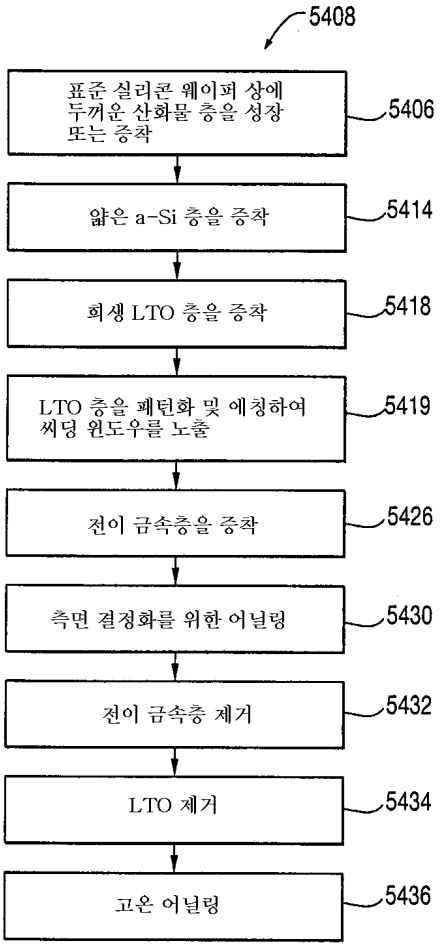
도면91


5361
5350
5369
Vin1
5371
Vin2
5345
Vout
5348
5363
5365
5367
Vout
5347
VDD
5373
VSS
5375

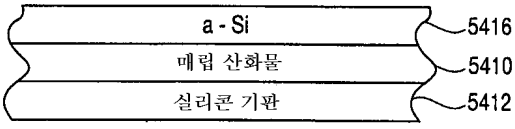
도면92


5385
5386
5387
5388
5350
크로스 커플드 인버터
(래치 트랜지스터)
5348
5391, 5392,
5394, 5395
5383
5348
5381
WL
5395
액세스
트랜지스터
5389,
5390
5380
BL
VSS
VDD
BL-BAR
5396
5398
5399
5397

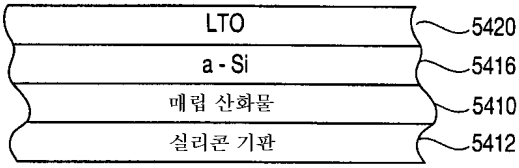
도면93



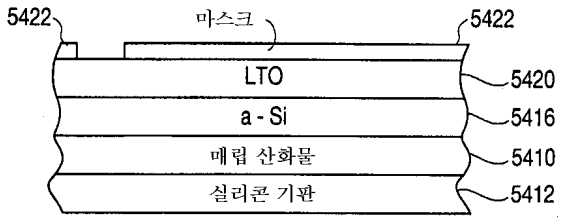
도면94a



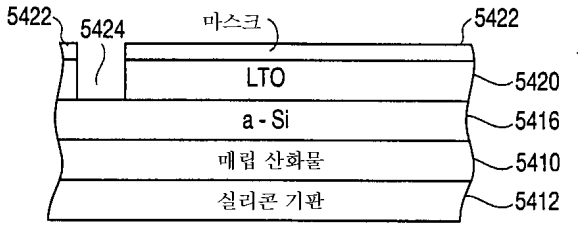
도면94b



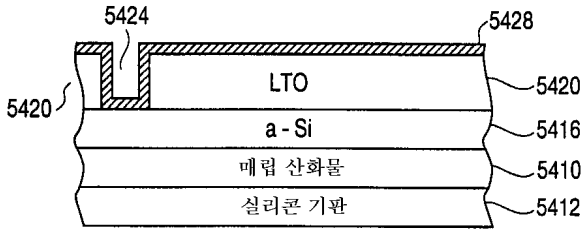
도면94c



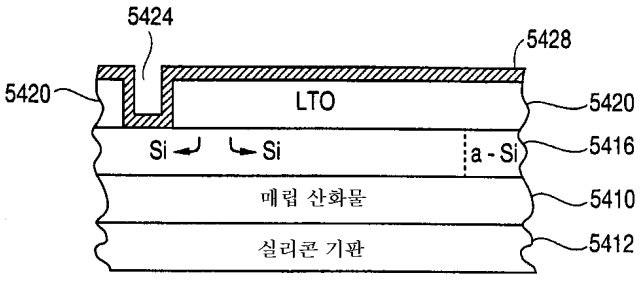
도면94d



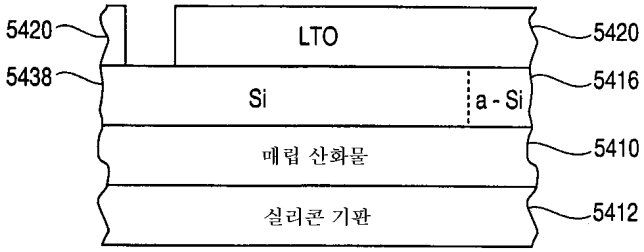
도면94e



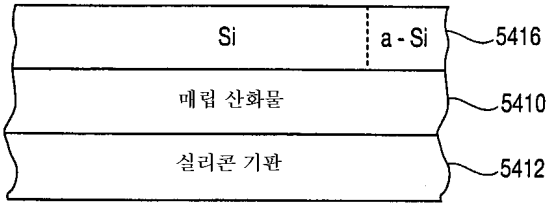
도면94f



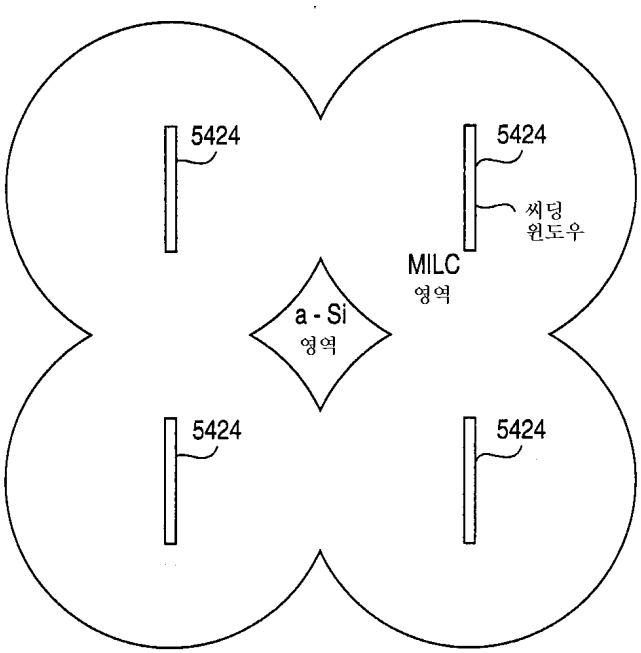
도면94g



도면94h

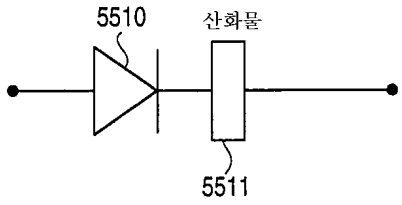


도면95



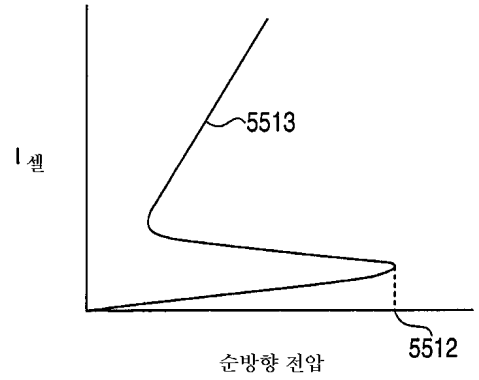
도면96

(종래 기술)



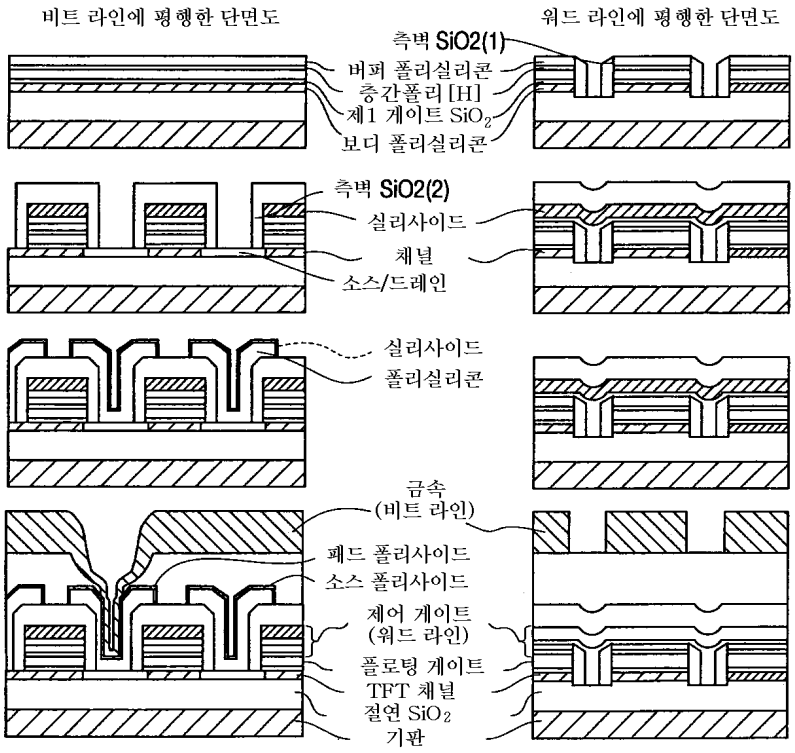
도면97

(종래 기술)



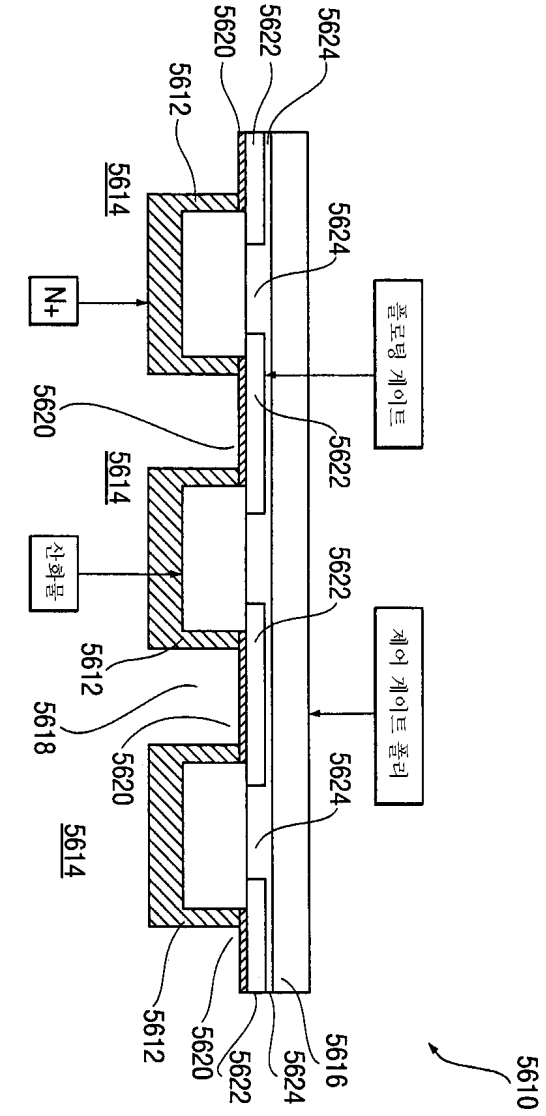
도면98

(종래 기술)


비트 라인에 평행한 단면도
워드 라인에 평행한 단면도
측벽 SiO2(1)
버퍼 폴리실리콘
층간폴리 [H]
제1 게이트 SiO_2
보디 폴리실리콘
측벽 SiO2(2)
실리사이드
채널
소스/드레인
실리사이드
폴리실리콘
금속
(비트 라인)
패드 폴리사이드
소스 폴리사이드
제어 게이트
(워드 라인)
플로팅 게이트
TFT 채널
절연 SiO_2
기판

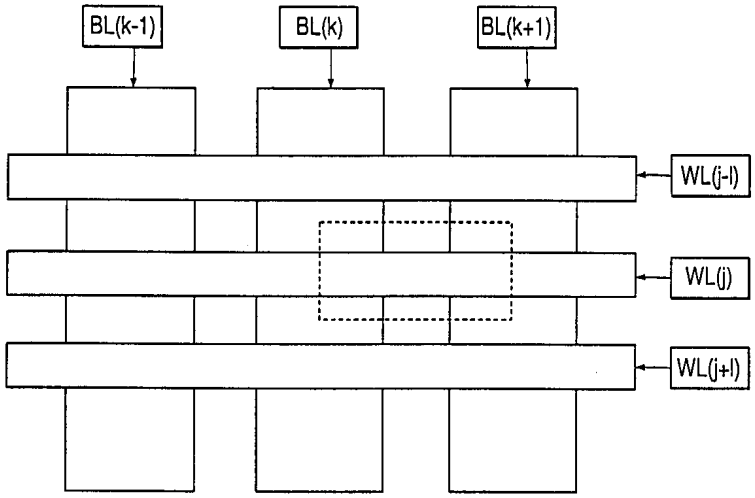
도면99

(종래 기술)


5624
5622
5620
5612
5614
5624
N+
폴로팅 게이트
5620
5622
5614
산화물
5622
5612
제어 게이트 폴리
5618
5620
5624
5614
5612
5620
5622
5624
5616
5610

도면100

(종래 기술)



도면101

(종래 기술)

