

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成18年1月5日(2006.1.5)

【公表番号】特表2005-507174(P2005-507174A)
 【公表日】平成17年3月10日(2005.3.10)
 【年通号数】公開・登録公報2005-010
 【出願番号】特願2003-539110(P2003-539110)
 【国際特許分類】

H 0 1 L 29/812 (2006.01)
H 0 1 L 21/338 (2006.01)
H 0 1 L 21/28 (2006.01)
H 0 1 L 27/095 (2006.01)

【F I】

H 0 1 L 29/80 B
 H 0 1 L 21/28 3 0 1 B
 H 0 1 L 29/80 E

【手続補正書】

【提出日】平成17年10月7日(2005.10.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

金属半導体電界効果トランジスタ(MESFET)のユニットセルであって、ソース、ドレイン、およびゲートを有するデルタドーピングされた炭化シリコンMESFETであって、前記ゲートは、前記ソースと前記ドレインとの間にあり、かつ第1の導電型のドーピングされたチャンネル層に延在する炭化シリコンMESFETと、前記ソースおよび前記ドレインに隣接する炭化シリコンの領域であって、前記ソースおよび前記ゲートと、前記ドレインと前記ゲートとのそれぞれ1つの間に延在し、前記ドーピングされたチャンネル層のキャリア濃度より大きなキャリア濃度を有し、前記ゲートから離間される炭化シリコンの領域とを含むことを特徴とするMESFETのユニットセル。

【請求項2】

前記デルタドーピングされた炭化シリコンMESFETおよび前記炭化シリコンの領域は、炭化シリコン基板と、前記基板上の第1の導電型の炭化シリコンのデルタドーピングされた層とを含み、前記デルタドーピングされた層上の前記第1の導電型の炭化シリコンの前記ドーピングされたチャンネル層は、前記デルタドーピングされた層の少なくとも1つのキャリア濃度より小さいキャリア濃度を有し、前記デルタドーピングされた炭化シリコンMESFETおよび炭化シリコンの領域はさらに、それぞれ前記ソースおよび前記ドレインを規定する前記ドーピングされたチャンネル層上のオーミックコンタクトと、前記ドーピングされたチャンネル層のキャリア濃度より大きいキャリア濃度を有する、前記ドーピングされたチャンネル層上の前記第1の導電型の炭化シリコンのキャップ層と、第1の距離だけ、前記キャップ層を通して前記ドーピングされたチャンネル層に延在する第1のフロアを有する、前記ソースと前記ドレインとの間の第1のリセスとを含み、

前記第1のリセス内の前記ゲートは、前記ドーパされたチャンネル層に延在し、前記デルタドーパされた炭化シリコンMESFETおよび炭化シリコンの領域はさらに、

第2のフロアを有する、前記ソースと前記ドレインとの間の第2のリセスを含み、前記第2のフロアは、前記第1の距離より短い第2の距離だけ、前記キャップ層を通して前記ドーパされたチャンネル層へ延在し、かつそれぞれ側壁を有し、前記側壁は、前記ソースおよび前記ゲートと、前記ドレインおよび前記ゲートとのそれぞれ1つの間にあり、かつ前記ゲート、前記ソース、および前記ドレインから離間し、前記炭化シリコンの領域を提供するために、前記ソースおよび前記ゲートと、前記ドレインおよび前記ゲートとのそれぞれ1つの間に延在する前記キャップ層の領域を規定することを特徴とする請求項1に記載のMESFETのユニットセル。

【請求項3】

前記第2のリセスの第2のフロアは、第3の距離だけ前記ドーパされたチャンネル層内に延在することを特徴とする請求項2に記載のMESFETのユニットセル。

【請求項4】

前記炭化シリコン基板は、半絶縁性の炭化シリコン基板を含むことを特徴とする請求項2に記載のMESFETのユニットセル。

【請求項5】

前記第1の導電型の炭化シリコンは、n型導電性の炭化シリコンを含むことを特徴とする請求項1に記載のMESFETのユニットセル。

【請求項6】

前記第1の導電型の炭化シリコンは、p型導電性の炭化シリコンを含むことを特徴とする請求項1に記載のMESFETのユニットセル。

【請求項7】

前記炭化シリコンの領域は、注入された領域であることを特徴とする請求項1に記載のMESFETのユニットセル。

【請求項8】

前記炭化シリコンの領域が、前記デルタドーパされた層および前記ドーパされたチャンネル層とともに単一の成長ステップで成長されることを特徴とする請求項1に記載のMESFETのユニットセル。

【請求項9】

前記デルタドーパされた層、前記ドーパされたチャンネル層、および前記キャップ層が、前記基板上に堆積されることを特徴とする請求項2に記載のMESFETのユニットセル。

【請求項10】

前記キャップ層は、約 $3 \times 10^{17} \text{ cm}^{-3}$ から約 $6 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を有することを特徴とする請求項2に記載のMESFETのユニットセル。

【請求項11】

前記キャップ層は、約500 から約1000 の厚みを有することを特徴とする請求項2に記載のMESFETのユニットセル。

【請求項12】

前記デルタドーパされた層は、約 $2 \times 10^{18} \text{ cm}^{-3}$ から約 $3 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度を有することを特徴とする請求項2に記載のMESFETのユニットセル。

【請求項13】

前記デルタドーパされた層は、約200 から約300 の厚みを有することを特徴とする請求項2に記載のMESFETのユニットセル。

【請求項14】

前記ドーパされたチャンネル層は、約 $1 \times 10^{16} \text{ cm}^{-3}$ から約 $5 \times 10^{16} \text{ cm}^{-3}$ のキャリア濃度を有することを特徴とする請求項2に記載のMESFETのユニットセル。

【請求項15】

前記ドーパされたチャネル層は、約 1800 から約 3500 の厚みを有することを特徴とする請求項 2 に記載の MESFET のユニットセル。

【請求項 16】

前記基板と前記デルタドーパされた層との間に第 2 の導電型の炭化シリコンのバッファ層をさらに含むことを特徴とする請求項 2 に記載の MESFET のユニットセル。

【請求項 17】

前記バッファ層は、約 $1.0 \times 10^{16} \text{ cm}^{-3}$ から約 $6 \times 10^{16} \text{ cm}^{-3}$ のキャリア濃度を有することを特徴とする請求項 16 に記載の MESFET のユニットセル。

【請求項 18】

前記バッファ層は、約 $0.5 \mu\text{m}$ の厚みを有することを特徴とする請求項 16 に記載の MESFET のユニットセル。

【請求項 19】

前記第 2 の導電型の炭化シリコンは、p 型導電性の炭化シリコンであることを特徴とする請求項 16 に記載の MESFET のユニットセル。

【請求項 20】

前記第 2 の導電型の炭化シリコンは、n 型導電性の炭化シリコンであることを特徴とする請求項 16 に記載の MESFET のユニットセル。

【請求項 21】

前記第 2 の導電型の炭化シリコンは、ドーパされていない炭化シリコンであることを特徴とする請求項 16 に記載の MESFET のユニットセル。

【請求項 22】

前記ドーパされたチャネル層のキャリア濃度より大きいキャリア濃度を有する、前記ソースおよび前記ドレインの下の第 1 の導電型の炭化シリコンの領域をさらに含むことを特徴とする請求項 2 に記載の MESFET のユニットセル。

【請求項 23】

前記第 1 の導電型の炭化シリコンの領域は、少なくとも約 $1 \times 10^{19} \text{ cm}^{-3}$ のキャリア濃度を有することを特徴とする請求項 22 に記載の MESFET のユニットセル。

【請求項 24】

前記キャップ層および前記ドーパされたチャネル層上の酸化物層をさらに含むことを特徴とする請求項 2 に記載の MESFET のユニットセル。

【請求項 25】

前記オーミックコンタクトは、ニッケルコンタクトを含むことを特徴とする請求項 2 に記載の MESFET のユニットセル。

【請求項 26】

前記オーミックコンタクト上の上層をさらに含むことを特徴とする請求項 2 に記載の MESFET のユニットセル。

【請求項 27】

前記デルタドーパされた層および前記ドーパされたチャネル層は、側壁を有するメサを形成し、前記側壁が、前記トランジスタの周囲を規定し、かつ前記デルタドーパされた層および前記ドーパされたチャネル層を通して延在することを特徴とする請求項 2 に記載の MESFET のユニットセル。

【請求項 28】

前記メサの前記側壁は、前記基板内へ延在することを特徴とする請求項 27 に記載の MESFET のユニットセル。

【請求項 29】

前記第 1 の距離は、約 $0.08 \mu\text{m}$ から約 $0.25 \mu\text{m}$ であることを特徴とする請求項 2 に記載の MESFET のユニットセル。

【請求項 30】

前記ゲートは、前記ドーパされたチャネル層上のクロムの第 1 のゲート層を含むことを特徴とする請求項 2 に記載の MESFET のユニットセル。

【請求項 3 1】

前記ゲートは、前記第 1 のゲート層上の上層をさらに含み、前記上層は、白金および金を含むことを特徴とする請求項 3 0 に記載の M E S F E T のユニットセル。

【請求項 3 2】

前記ゲートは、前記ドーパされたチャネル層上のニッケルの第 1 のゲート層を含むことを特徴とする請求項 2 に記載の M E S F E T のユニットセル。

【請求項 3 3】

前記ゲートは、前記第 1 のゲート層上の上層をさらに含み、前記上層は、金を含むことを特徴とする請求項 3 2 に記載の M E S F E T のユニットセル。

【請求項 3 4】

前記ゲートは、約 0.4 μm から約 0.7 μm の長さを有することを特徴とする請求項 1 に記載の M E S F E T のユニットセル。

【請求項 3 5】

前記ソースから前記ゲートへの距離は、約 0.5 μm から約 0.7 μm であることを特徴とする請求項 1 に記載の M E S F E T のユニットセル。

【請求項 3 6】

前記ドレインから前記ゲートへの距離は、約 1.5 μm から約 2 μm であることを特徴とする請求項 1 に記載の M E S F E T のユニットセル。

【請求項 3 7】

前記第 2 の距離は、約 500 から約 1000 であることを特徴とする請求項 2 に記載の M E S F E T のユニットセル。

【請求項 3 8】

前記ソースと前記第 2 のリセスの側壁の中の第 1 の側壁との間の距離は、約 0.1 μm から約 0.4 μm であり、

前記ドレインと前記第 2 のリセスの側壁の中の第 2 の側壁との間の距離は、約 0.9 μm から約 1.7 μm であることを特徴とする請求項 2 に記載の M E S F E T のユニットセル。

【請求項 3 9】

前記第 2 のリセスの側壁の中の第 1 の側壁と前記ゲートとの間の距離は、約 0.3 μm から約 0.6 μm であり、

前記第 2 のリセスの側壁の中の第 2 の側壁と前記ゲートとの間の距離は、約 0.3 μm から約 0.6 μm であることを特徴とする請求項 2 に記載の M E S F E T のユニットセル。

【請求項 4 0】

第 1 のゲートから第 2 のゲートへの距離は、約 20 μm から約 50 μm であることを特徴とする請求項 1 に記載の多数のユニットセルを含む M E S F E T のユニットセル。

【請求項 4 1】

金属半導体電界効果トランジスタ (M E S F E T) の形成方法であって、

ソース、ドレイン、およびゲートを有するデルタドーパされた炭化シリコン M E S F E T を形成するステップを含み、前記ゲートは、前記ソースと前記ドレインとの間にあり、かつ第 1 の導電型のドーパされたチャネル層に延在し、前記形成方法はさらに、

前記ソースおよび前記ドレインに隣接して炭化シリコンの領域を形成するステップを含み、前記炭化シリコンの領域は、前記ソースおよび前記ゲートと、前記ドレインと前記ゲートとのそれぞれ 1 つの間に延在し、前記ドーパされたチャネル層のキャリア濃度より大きなキャリア濃度を有し、前記ゲートから離間されることを特徴とする形成方法。

【請求項 4 2】

デルタドーパされた炭化シリコン M E S F E T を形成しかつ炭化シリコンの領域を形成するステップは、

炭化シリコン基板上に第 1 の導電型の炭化シリコンのデルタドーパされた層を形成するステップと、

前記デルタドーブされた層の少なくとも1つのキャリア濃度より小さいキャリア濃度を有する、前記デルタドーブされた層上に前記第1の導電型の炭化シリコンの前記ドーブされたチャンネル層を形成するステップと、

それぞれ前記ソースおよび前記ドレインを規定する前記ドーブされたチャンネル層上にオーミックコンタクトを形成するステップと、

前記ドーブされたチャンネル層のキャリア濃度より大きいキャリア濃度を有する、前記ドーブされたチャンネル層上に前記第1の導電型の炭化シリコンのキャップ層を形成するステップと、

第1の距離だけ、前記キャップ層を通過して前記ドーブされたチャンネル層に延在する第1のフロアを有する、前記ソースと前記ドレインとの間の第1のリセスを形成するステップと、

前記ドーブされたチャンネル層に延在する前記第1のリセス内の前記ゲートを形成するステップと、

第2のフロアを有する、前記ソースと前記ドレインとの間の第2のリセスを形成するステップとを含み、前記第2のフロアは、前記第1の距離より短い第2の距離だけ、前記キャップ層を通過して前記ドーブされたチャンネル層へ延在し、かつそれぞれ側壁を有し、前記側壁は、前記ソースおよび前記ゲートと、前記ドレインおよび前記ゲートとのそれぞれ1つの間にあり、かつ前記ゲート、前記ソース、および前記ドレインから離間し、前記炭化シリコンの領域を提供するために、前記ソースおよび前記ゲートと、前記ドレインおよび前記ゲートとのそれぞれ1つの間に延在する前記キャップ層の領域を規定することを特徴とする請求項41に記載の形成方法。

【請求項43】

デルタドーブされた層を形成するステップ、ドーブされたチャンネル層を形成するステップ、およびキャップ層を形成するステップが、単一の成長ステップで、前記デルタドーブされた層、前記ドーブされたチャンネル層、および前記キャップ層のエピタキシャル成長のステップを含むことを特徴とする請求項42に記載の形成方法。

【請求項44】

単一の成長ステップにおけるソース材料濃度が、前記ドーブされたチャンネル層を成長するための第1の時間で変更され、かつ前記キャップ層を成長するための第2の時間で変更されることを特徴とする請求項43に記載の形成方法。

【請求項45】

前記キャップ層を形成するステップは、前記ドーブされたチャンネル層の第1の導電型のドーパントを注入することを含むことを特徴とする請求項43に記載の形成方法。

【請求項46】

デルタドーブされた層を形成するステップ、ドーブされたチャンネル層を形成するステップ、およびキャップ層を形成するステップは、前記デルタドーブされた層を堆積するステップ、前記ドーブされたチャンネル層を堆積するステップ、および前記キャップ層を堆積するステップを含むことを特徴とする請求項42に記載の形成方法。

【請求項47】

前記第1の導電型の炭化シリコンは、n型導電性の炭化シリコンを含むことを特徴とする請求項42に記載の形成方法。

【請求項48】

前記第1の導電型の炭化シリコンは、p型導電性の炭化シリコンを含むことを特徴とする請求項42に記載の形成方法。

【請求項49】

前記基板と前記デルタドーブされた層との間にバッファ層を形成するステップさらに含むことを特徴とする請求項42に記載の形成方法。

【請求項50】

バッファ層を形成するステップは、p型導電性の炭化シリコン層を形成するステップを含むことを特徴とする請求項49に記載の形成方法。

【請求項 5 1】

バッファ層を形成するステップは、n型導電性の炭化シリコン層を形成するステップを含むことを特徴とする請求項 4 9 に記載の形成方法。

【請求項 5 2】

バッファ層を形成するステップは、ドーピングされていない炭化シリコン層を形成するステップを含むことを特徴とする請求項 4 9 に記載の形成方法。

【請求項 5 3】

前記オーミックコンタクトを形成するステップは、
前記 M E S F E T のソース領域に隣接する領域内の前記キャップ層を通してコンタクトウィンドウをエッチングするステップと、
前記コンタクトウィンドウ内に前記オーミックコンタクトを形成するステップとを含むことを特徴とする請求項 4 2 に記載の形成方法。

【請求項 5 4】

前記ドーピングされたチャンネル層より大きいキャリア濃度を有する、n型導電性の炭化シリコンの多くドーピングされた領域を提供するように、前記ソースおよび前記ドレインの下の領域にn型ドーパントを注入することをさらに含み、

前記オーミックコンタクトを形成するステップは、前記多くドーピングされた領域にオーミックコンタクトを形成することを特徴とする請求項 4 2 に記載の形成方法。

【請求項 5 5】

メサを形成するように、前記デルタドーピングされた層、前記ドーピングされたチャンネル層、前記キャップ層、および前記多くドーピングされた領域をエッチングするステップをさらに含むことを特徴とする請求項 5 4 に記載の形成方法。

【請求項 5 6】

前記n型ドーパントを注入するステップは、前記n型ドーパントを活性化するために、前記n型ドーパントをアニールすることをさらに含むことを特徴とする請求項 5 4 に記載の形成方法。

【請求項 5 7】

前記 M E S F E T 上に酸化物層を成長するステップをさらに含むことを特徴とする請求項 4 2 に記載の形成方法。

【請求項 5 8】

前記 M E S F E T 上に酸化物層を堆積するステップをさらに含むことを特徴とする請求項 4 2 に記載の形成方法。

【請求項 5 9】

前記第 2 のリセスを形成するステップは、
前記第 2 のリセスのために前記キャップ層上にマスクを形成するステップと、
前記マスクにしたがって、前記ドーピングされたチャンネル層に延在する前記第 2 の距離だけ、前記キャップ層を通してエッチングするステップとを含むことを特徴とする請求項 4 2 に記載の形成方法。

【請求項 6 0】

前記第 2 のリセスを形成するステップは、
前記第 2 のリセスのために前記キャップ層上にマスクを形成するステップと、
前記マスクにしたがって、前記第 2 の距離だけ、前記ドーピングされたチャンネル層に延在する前記キャップ層を通してエッチングするステップとを含むことを特徴とする請求項 4 2 に記載の形成方法。

【請求項 6 1】

前記第 1 のリセスを形成するステップは、
前記第 1 のリセスのためのマスクを形成するステップと、
前記マスクにしたがって前記第 1 の距離だけ前記第 2 のフロア内をエッチングするステップとを含むことを特徴とする請求項 4 2 に記載の形成方法。

【請求項 6 2】

M E S F E Tを形成する方法であって、
炭化シリコン基板上に第2の導電型のバッファ層を形成するステップと、
単一の成長ステップで、全て第1の導電型のデルタドーブされた層、ドーブされたチャンネル層、およびキャップ層をエピタキシャル成長するステップとを含み、ソース材料キャリア濃度が、前記ドーブされたチャンネル層を成長するための第1の時間で変更され、かつ前記キャップ層を成長するための第2の時間で変更され、前記方法はさらに、
第1の導電型のインプラントのためのマスクを形成するステップと、
第1の導電型のインプラントを注入し、かつアニールによって前記第1の導電型インプラントを活性化するステップと、
メサを形成するために、前記デルタドーブされた層、前記ドーブされたチャンネル層、前記キャップ層、および前記第1の導電型のインプラントをエッチングするステップと、
第1のリセスのためのマスクを形成し、かつ第1のフロアを有する、ソースとドレインとの間に前記第1のリセスをエッチングするステップとを含み、前記第1のフロアが、第1の距離だけ、前記酸化物層および前記キャップ層を通して前記ドーブされたチャンネル層内へ延在し、かつそれぞれ側壁を有し、前記側壁が、前記ソースおよび前記ゲートと、前記ドレインおよび前記ゲートとのそれぞれ1つの間にあり、前記方法はさらに、
前記第1のリセス内の前記キャップ層上に酸化物層を成長するステップと、
前記ソースおよび前記ドレインのためのウィンドウを開口するステップと、
前記ウィンドウ上にオーミックコンタクトを形成するステップと、
第2のリセスのためにマスクを形成するステップと、
前記第1の距離より長い第2の距離だけ、前記ドーブされたチャンネル層内に延在する第2のリセスをエッチングするステップと、
前記ドーブされたチャンネル層内に延在する前記第2のリセス内にゲートを形成するステップとをさらに含むことを特徴とする請求項41に記載の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】デルタドーブされた炭化シリコン金属半導体電界効果トランジスタ、およびデルタドーブされた炭化シリコン金属半導体電界効果トランジスタの製造方法

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

同様に、P a l m o u rに一般に譲渡された特許(特許文献4)は、S i Cの n^+ 領域上に形成されたソースおよびドレインコンタクト、および基板とチャンネルが形成される n 型層との間の任意に軽くドーブされたエピタキシャル層を有するS i C M E S F E Tを開示する。S r i r a mらへの特許(特許文献5)も、S i C M E S F E T、および高周波数動作に関するM E S F E Tの性能を低減することがある「表面効果」を解消するとして記載された構造を開示する。S r i r a mらは、 n^+ ソースおよびドレインコンタクト領域、ならびに p 型バッファ層を使用するS i C M E S F E Tも開示する。M E S F E Tは、「High Voltage Silicon Carbide MESFETs and Methods of Fabricating the Same」との名称のB a l i g aへの特許(特許文献5)、および「Semiconductor Device」との名称で公開された(特許文献6)に論じられている。しかしながら、これらの特許に報告された性能にもかかわらず、S i C M E S F E Tをさらに改善することができる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】 0 0 1 3

【補正方法】 変更

【補正の内容】

【 0 0 1 3 】

【特許文献1】 米国特許第 4 7 6 2 8 0 6 号明細書

【特許文献2】 米国特許第 4 7 5 7 0 2 8 号明細書

【特許文献3】 米国特許第 5 2 7 0 5 5 4 号明細書

【特許文献4】 米国特許第 5 9 2 5 8 9 5 号明細書

【特許文献5】 米国特許第 5 3 9 9 8 8 3 号明細書

【特許文献6】 国際公開第 0 1 / 6 7 5 2 1 A 1 号パンフレット

【非特許文献1】 Yokogawaら、「Electronic Properties of Nitrogen Delta-Doped Silicon Carbide Layers」、M R S 秋シンポジウム、2000年

【非特許文献2】 Konstantinovら、「Investigation of Lo-Hi-Lo and Delta-Doped Silicon Carbide Structure」、M R S 秋シンポジウム、2000年