



[12] 实用新型专利说明书

[21] ZL 专利号 200420048375.7

[45] 授权公告日 2005 年 6 月 15 日

[11] 授权公告号 CN 2704927Y

[22] 申请日 2004.4.23

[74] 专利代理机构 北京三友知识产权代理有限公司
代理人 王一斌

[21] 申请号 200420048375.7

[30] 优先权

[32] 2003. 4. 30 [33] US [31] 10/426,566

[73] 专利权人 台湾积体电路制造股份有限公司

地址 台湾省新竹科学工业园区

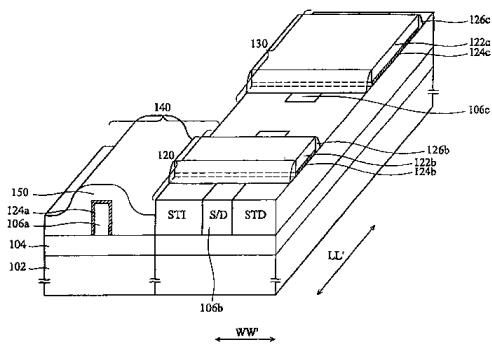
[72] 设计人 杨育佳 陈豪育 黄健朝 李文钦
杨富量 胡正明

权利要求书 3 页 说明书 16 页 附图 5 页

[54] 实用新型名称 可同时具有部分空乏晶体管与完全空乏晶体管的芯片

[57] 摘要

本实用新型主要提出两种不同型态的完全空乏晶体管，并且将完全空乏晶体管与部分空乏晶体管整合于单一芯片上。可透过调整栅极层的长度，以决定平面晶体管是完全空乏或是部分空乏。完全空乏晶体管的栅极层长度较部分空乏晶体管的栅极层长度为长。或是透过调整晶体管主动区的宽度，以决定晶体管是完全空乏或是部分空乏。完全空乏晶体管的主动区宽度较部分空乏晶体管的主动区宽度为窄。不断地减少主动区的宽度，可以形成一多重栅极晶体管，当该多重栅极晶体管的主动区宽度减少至小于空乏区宽度的两倍时，该多重栅极晶体管便是完全空乏。如此一来，在单一芯片上就可同时制备完全空乏晶体管与部分空乏晶体管。



1. 一种可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于所述芯片包括：

一半导体基底；

5 一完全空乏平面晶体管，具有一长栅极层，且设置于上述半导体基底上；以及

一部分空乏平面晶体管，具有一短栅极层，且设置于上述半导体基底上；

其中上述长栅极层的长度大于上述短栅极层。

10 2. 根据权利要求 1 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于：上述完全空乏平面晶体管的上述长栅极层的长度大于宽度。

15 3. 根据权利要求 1 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于：上述部分空乏平面晶体管的上述短栅极层的宽度大于长度。

4. 根据权利要求 1 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于：上述完全空乏平面晶体管的上述长栅极层的长度为 120 ~ 1000nm。

5. 根据权利要求 1 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于：上述部分空乏平面晶体管的上述短栅极层的长度为 9 ~ 100nm。

6. 根据权利要求 1 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于所述芯片更包括：一多重栅极晶体管，设置于上述半导体基底上方。

25 7. 根据权利要求 6 所述的可同时具有部分空乏晶体管与完全空乏晶

体管的芯片，其特征在于上述多重栅极晶体管包括：

一鳍形半导体层，位于上述半导体基底上，其中上述鳍形半导体层具有一源极、一汲极以及位于上述源极和上述汲极之间的一通道区，且上述鳍形半导体层中具有一应变；

5 一栅极介电层，位于上述鳍形半导体层的上述通道区表面；以及

一栅极电极，位于上述栅极介电层上，并包覆对应于上述通道区的上述鳍形半导体层的两侧壁和一顶面。

8. 根据权利要求 7 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于所述芯片更包括：一应力膜层，位于上述源极和
10 上述汲极上。

9. 根据权利要求 7 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于：上述鳍形半导体层具有圆滑化的上部边角。

10. 根据权利要求 7 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于：上述鳍形半导体层中的上述应变为沿上述
15 源极至上述汲极方向的拉伸应变。

11. 根据权利要求 7 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于：上述鳍形半导体层的侧壁的上述栅极介电层的厚度不同于顶部的厚度。

12. 根据权利要求 7 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于：上述鳍形半导体层的侧壁的上述栅极介电层的厚度小于顶部的厚度。
20

13. 根据权利要求 7 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于所述芯片更包括：一间隔物，设置于上述栅极电极沿上述汲极与上述源极方向的两侧壁上。

25 14. 根据权利要求 7 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于所述芯片更包括：一隔离区，包围于上述多重

栅极晶体管周围，以提供电性隔离。

15. 根据权利要求 14 所述的可同时具有部分空乏晶体管与完全空乏晶体管的芯片，其特征在于：上述隔离区是借由一平台式隔离开成电性隔离。

可同时具有部分空乏晶体管与完全空乏晶体管的芯片

5 技术领域

本实用新型是有关于一种半导体集成电路，且特别是有关于一种可同时具有部分空乏晶体管与完全空乏晶体管的芯片。

10 背景技术

随着半导体集积度的增加，半导体组件的尺寸必须随的缩小。而为了提供更良好的组件性能，绝缘层上覆硅 (silicon on insulator; SOI) 的半导体基底被提出来，绝缘层上覆硅 (semiconductor on insulator; SOI) 的集成电路组件是将传统的组件 (active devices) 设置于一绝缘层上有半导体层的晶圆 (silicon on insulator wafer) 上，上述晶圆例如为一绝缘层上有硅的晶圆 (silicon on insulator wafer)。绝缘层上覆硅 (SOI) 具有以下优点 (1) 降低短通道效应 (Short Channel Effect) (2) 消除闭锁现象 (Latch up Effect) (3) 降低寄生汲极/源极电容 (Parasitic Source/Drain Capacitance) (4) 减少软错效应 (Soft Error Effect) (5) 降低基材漏电流 (Substrate Leakage Current) (6) 制程简化容易与硅晶制程兼容等等。因此，借由 SOI 技术可形成具有较佳速度表现、较高积集度以及较低消耗功率的集成电路组件。

绝缘层上覆硅 (SOI) 又可分为部分空乏绝缘层上覆硅 (partially-depleted SOI) 与完全空乏绝缘层上覆硅 (fully-depleted SOI) 两种。部分空乏金氧半导体场效应晶体管 (metal-oxide-semiconductor field effect transistors; MOSFET) 的通道区厚度大于

最大空乏层宽度，而部分空乏金氧半导体场效应晶体管 (metal-oxide-semiconductor field effect transistors; MOSFET) 的通道区厚度小于最大空乏层宽度。部分空乏金氧半导体场效应晶体管 (PD MOSFET) 的电荷载子会累积在汲极/源极附近的通道区下方硅层基底内，
5 造成通道区电位改变，而产生浮体效应 (floating body effect)，进而造成电流的突变 (kink)，导致组件功能退化。

改善浮体效应的方法的一为将通道区下方的硅层基底外接一电性导体，以搜集冲击离子化 (impact ionization) 所产生的电流，针对这方面技术已有许多方法被提出来，但仍有许多缺点有待改进。美国专利第
10 4946799 号与第 6387739 号都是揭示有关改善浮体效应的方法。

克服浮体效应的另一种有效方法，便是采用完全空乏金氧半导体场效应晶体管 (FD MOSFET)。

美国专利第 6222234 号提供一种于单一基底上制作完全空乏金氧半导体场效应晶体管 (FD MOSFET) 与部分空乏金氧半导体场效应晶体管 (PD
15 MOSFET) 的方法。

美国专利第 6414355 号与第 6448114 号都揭示有关于厚度不均匀的绝缘层上覆硅基底的半导体技术。

美国专利第 6448114 号更是揭示将完全空乏金氧半导体场效应晶体管 (FD MOSFET) 制作于一厚度较薄的硅层基底，而部分空乏金氧半导体场
20 效应晶体管 (PD MOSFET) 则制作于一厚度较厚的硅层基底。

然而，完全空乏金氧半导体场效应晶体管的硅层基底厚度较薄或被施以离子掺杂。制作完全空乏金氧半导体场效应晶体管 (FD MOSFET) 需要选择性磊晶 (selective epitaxy)，技术尚未发展成熟，不仅良率不佳，并且价格昂贵，急需发展更佳的制造技术。

25 有鉴于此，为了解决上述问题，本实用新型主要目的在于提供一种可同时具有部分空乏晶体管与完全空乏晶体管的芯片，可适用于绝缘层上

覆硅基底的单一芯片。

发明内容

5 本实用新型的目的之一在于提供一种可同时具有部分空乏晶体管与完全空乏晶体管的芯片，具有新的完全空乏晶体管结构，以提供良好的组件功能。

本实用新型主要提出两种不同型态的完全空乏晶体管，并且将完全空乏晶体管与部分空乏晶体管整合于单一芯片上。

10 本实用新型的第一主要特征在于透过调整栅极层的长度，以决定平面晶体管是完全空乏或是部分空乏。完全空乏晶体管的栅极层长度较部分空乏晶体管的栅极层长度为长。如此一来，在单一芯片上就可同时制备完全空乏晶体管与部分空乏晶体管。

15 为获致上述的目的，本实用新型提出一种可同时具有部分空乏晶体管与完全空乏晶体管的芯片，主要是包括：

一半导体基底；一完全空乏平面晶体管，具有一长栅极层，且设置于上述半导体基底上；以及一部分空乏平面晶体管，具有一短栅极层，且设置于上述半导体基底上；其中上述长栅极层的长度大于上述短栅极层。

20 如前所述，上述半导体基底可由一依序堆栈的一第一硅层、一绝缘层与一第二硅层所构成。

如前所述，上述完全空乏平面晶体管下方的上述第二硅层具有浓度大体为 $10^{16} \sim 10^{18} \text{ cm}^{-3}$ 的掺杂物，而上述部分空乏平面晶体管下方的上述第二硅层具有浓度大体为 $10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ 的掺杂物。

25 如前所述，上述完全空乏平面晶体管的上述长栅极层的长度大于宽度，而上述部分空乏平面晶体管的上述短栅极层的宽度大于长度。

如前所述，上述第二硅层的厚度大体为 $10 \sim 2000 \text{ \AA}$ 。

如前所述，上述完全空乏平面晶体管的上述长栅极层的长度大体为 120~1000nm，而上述部分空乏平面晶体管的上述短栅极层的长度大体为 9~100nm。

如前所述，本实用新型的芯片更包括：一多重栅极晶体管，设置于上述半导体基底上方。上述多重栅极晶体管可以为完全空乏，上述多重栅极晶体管的宽度小于 70nm。

本实用新型的第二主要特征在于透过调整晶体管主动区的宽度，以决定晶体管是完全空乏或是部分空乏。完全空乏晶体管的主动区宽度较部分空乏晶体管的主动区宽度为窄。不断地减少主动区的宽度，可以形成一多重栅极晶体管，当该多重栅极晶体管的主动区宽度减少至小于空乏区宽度的两倍时，该多重栅极晶体管便是完全空乏。如此一来，在单一芯片上就可同时制备完全空乏晶体管与部分空乏晶体管。

为获致上述的目的，本实用新型提出一种可同时具有部分空乏晶体管与完全空乏晶体管的芯片，主要包括：

15 一半导体基底；以及一多重栅极晶体管，设置于上述半导体基底上。
上述多重栅极晶体管，包括：

一鳍形半导体层，位于上述半导体基底上，其中上述鳍形半导体层具有一源极、一汲极以及位于上述源极和上述汲极之间的一通道区，且上述鳍形半导体层中具有一应变；

20 一栅极介电层，位于上述鳍形半导体层的上述通道区表面；以及
一栅极电极，位于上述栅极介电层上，并包覆对应于上述通道区的上述鳍形半导体层的两侧壁和一顶面；其中，上述鳍形半导体层的宽度小于空乏区最大宽度的两倍。

如前所述，本实用新型的芯片包括：一平面晶体管，设置于上述半导体基底上。上述平面晶体管可以为完全空乏，也可以为部分空乏。当上述平面晶体管为完全空乏，则具有一长栅极层，且上述长栅极层的长度

大于宽度，上述长栅极层的长度大体为 120~1000nm。当上述平面晶体管为部分空乏，则具有一短栅极层，且上述短栅极层的长度小于宽度，上述短栅极层的长度大体为 9~100nm。

根据本实用新型，上述多重栅极晶体管为完全空乏，上述鳍形半导体 5 层的宽度小于 70nm。上述鳍形半导体层的厚度大体为 20~1000Å。

如前所述，上述多重栅极晶体管更可包括：一应力膜层，位于上述源极和上述汲极上。上述应力膜层的材质可包括氮化硅。

如前所述，上述鳍形半导体层可具有圆滑化的上部边角 (rounded corner)，上述圆滑化的上部边角的半径大体为 200Å。

10 如前所述，上述鳍形半导体层中的上述应变为沿上述源极至上述汲极方向的拉伸应变。上述鳍形半导体层中的上述拉伸应变量为 0.1% 至 2%。

如前所述，上述栅极介电层的材质例如为氧化硅、氮氧化硅、或相对电容率 (relative permittivity) 大于 5 的介电材质。上述相对电容率大于 5 的介电材质可以为氧化铝 (Al_2O_3)、氧化铪 (HfO_2)、氮氧化硅铪 15 (HfSiN_xO_y)、硅化铪 (HfSi_4)、氧化锆 (ZrO_2)、硅化锆 (ZrSi_4) 或氧化镧 (La_2O_3)。

如前所述，上述栅极介电层的等效氧化层厚度例如为 3~100 Å。上述鳍形半导体层的侧壁的上述栅极介电层的厚度可以不同于顶部的厚度，例如：上述鳍形半导体层的侧壁的上述栅极介电层的厚度小于顶部的 20 厚度，则上述鳍形半导体层的顶部的上述栅极介电层的等效氧化层厚度约小于 20Å。

如前所述，上述栅极电极为一金属、一金属硅化物或一金属氮化物，其材质包括一多晶硅或一多晶锗。

如前所述，上述多重栅极晶体管更包括：一间隔物，设置于上述栅极电极沿上述汲极与上述源极方向的两侧壁上。上述间隔物沿着上述汲极与上述源极的延伸宽度大体为 500Å。

如前所述，上述栅极电极的栅极长度小于 65nm。

如前所述，本实用新型的芯片更包括：一隔离区，包围于上述多重栅极晶体管周围，以提供电性隔离。上述隔离区是可以由一绝缘物所构成，则上述鳍形半导体层表面与上述隔离区表面的高度差大体为 200~400Å。

5 上述隔离区也可以借由一平台式隔离达成电性隔离，则上述鳍形半导体层表面与上述平台式隔离表面的高度差大体为 200~400Å。

合并前述第一主要特征与第二主要特征，本实用新型又提出一种可同时具有部分空乏晶体管与完全空乏晶体管的芯片，主要包括：

10 一半导体基底；一平面晶体管，设置于上述半导体基底上；以及一多重栅极晶体管，设置于上述半导体基底上。上述多重栅极晶体管包括：

一鳍形半导体层，位于上述半导体基底上，其中上述鳍形半导体层具有一源极、一汲极以及位于上述源极和上述汲极之间的一通道区，且上述鳍形半导体层中具有一应变；

15 一栅极介电层，位于上述鳍形半导体层的上述通道区表面；以及

一栅极电极，位于上述栅极介电层上，并包覆对应于上述通道区的上述鳍形半导体层的两侧壁和一顶面。

附图说明

20 图 1 是显示本实用新型的可同时具有部分空乏晶体管与完全空乏晶体管的芯片的立体图；

图 2A 与图 2B 是显示不同主动区宽度的晶体管的电性分析结果；

图 3A 与图 3B 是显示不同主动区宽度与不同通道长度之下，部分空乏晶体管与完全空乏晶体管之间的关系示意图。

25 符号说明：

108 ~ 半导体基底

- 120 ~ 部分空乏平面晶体管
 130 ~ 完全空乏平面晶体管
 140 ~ 多重栅极晶体管
 122a、122b、122c ~ 栅极层
 5 124a、124b、124c ~ 栅极介电层
 126a、126b、126c ~ 间隔物
 S/D ~ 汲极/源极
 102 ~ 第一硅层
 104 ~ 绝缘层
 10 106 ~ 第二硅层
 106a ~ 鳍形半导体层
 150 ~ 应力膜层
 STI ~ 隔离区
 106b、106c ~ 图案化第二硅层

15

具体实施方式

为使本实用新型的上述目的、特征和优点能更明显易懂，下文特举较佳实施例，并配合附图，作详细说明如下：

20 本实用新型将一部分空乏绝缘层上覆硅与一完全空乏绝缘层上覆硅晶体管同时整合于一芯片上，并且增大应变效应，以改善超大(ultra-scaled)集成电路的载子迁移率(carrier mobility)与组件功能。

本实用新型提供两种不同结构的完全空乏晶体管，利用两种手段 1. 调整信道的长度并且配合调整通道掺杂的浓度，2. 调整主动区的宽度，
 25 来达成备制部分空乏(PD)晶体管与完全空乏(FD)晶体管于单一芯片上，如此一来，就可以在一厚度薄的硅层上，制备出部分空乏晶体管与完全

空乏晶体管。

以下将配合图1的立体图，详细说明本实用新型的可同时具有部分空乏晶体管与完全空乏晶体管的芯片的结构。

根据本实用新型的芯片主要包括：一半导体基底102、设置于半导体基底102上的至少一平面晶体管120、130、设置于半导体基底102上的一多重栅极晶体管140。其中，平面晶体管120、130可以为部分空乏晶体管120，也可以为完全空乏晶体管130。多重栅极晶体管140是为完全空乏晶体管。

部分空乏平面晶体管120如同一般习知平面晶体管，包括：设置于半导体基底102上的一栅极层122b、设置于栅极层122b与半导体基底102之间的一栅极介电层124b、设置于栅极层122b侧壁的一间隔物(spacer)126b以及形成于栅极层122b外侧的半导体基底102表面的汲极与源极S/D。栅极层122b的长度小于宽度。栅极层122b的长度大体为40~60nm。

根据本实用新型的第一主要技术特征，即延长栅极层122b的长度，可使平面晶体管由部分空乏转变成完全空乏。便获得完全空乏平面晶体管130，包括：设置于半导体基底102上的一栅极层122c、设置于栅极层122c与半导体基底102之间的一栅极介电层124c、设置于栅极层122c侧壁的一间隔物126b以及形成于栅极层122c外侧的半导体基底102表面的汲极与源极S/D。完全空乏平面晶体管130的栅极层120c长度较部分空乏平面晶体管120的栅极层122b长度为长。栅极层120c的长度大于宽度。栅极层120c的长度大体为120~1000nm。值得注意的是，这里所指的栅极层长度，是指与沿着汲极经由信道(channel)至源极的方向相互平行的方向的尺寸，即为图1中的LL'方向的尺寸，也就是熟知此技艺人士所指的通道长度。

另外，半导体基底102是由一依序堆栈的第一硅层102、一绝缘层

104 与一第二硅层 106 所构成。绝缘层 104 例如为埋入式氧化硅层，第二硅层 106 的厚度大体为 $10 \sim 2000\text{\AA}$ 。完全空乏平面晶体管 130 下方的第二硅层 106 具有浓度大体为 $10^{16} \sim 10^{18}\text{cm}^{-3}$ 的掺杂物，而部分空乏平面晶体管 120 下方的第二硅层 106 具有浓度大体为 $10^{18} \sim 2 \times 10^{19}\text{cm}^{-3}$ 的掺杂物。

5 根据本实用新型的第二主要特征，缩窄晶体管主动区的宽度，可使平面晶体管由部分空乏转变成完全空乏。便获得完全空乏平面晶体管 140，包括：一鳍形半导体层 106a、一栅极介电层 124a、一栅极电极 122a、一汲极与源极 S/D 以及一间隔物 126a。其中，鳍形半导体层 106a，位于半导体基底 102 上，其中鳍形半导体层 106a 具有一源极/汲极 S/D 以及位于源极/汲极 S/D 之间的一通道区。另外，栅极介电层 124a，位于鳍形半导体层 122a 的通道区表面。并且，栅极电极 122a，位于栅极介电层 124a 上，并包覆对应于通道区的鳍形半导体层 122a 的两侧壁和一顶面。完全空乏多重栅极晶体管 140 的宽度(也就是其主动区宽度)较部分空乏平面晶体管 120 的宽度为窄。值得注意的是，这里所指的晶体管宽度，是指与前述栅极层长度同一平面且垂直于栅极层长度方向的空间尺寸，即为图 1 中的 WW' 方向的尺寸。当多重栅极晶体管 140 的主动区宽度减少至小于其空乏区最大宽度的两倍时，则多重栅极晶体管 140 便是完全空乏。

根据本实用新型的完全空乏多重栅极晶体管 140，鳍形半导体层 106a 的宽度小于 70nm。并且，多重栅极晶体管 140 更包括：一应力膜层 150，20 位于源极和汲极 S/D 上，使源极和汲极 S/D 具有一应变，其中应力膜层 150 的材质包括氮化硅，此应变可为沿上述源极至上述汲极方向的拉伸应变，拉伸应变量约为 0.1% 至 2%。鳍形半导体层 106a 具有圆滑化的上部边角 (rounded corner)，其厚度大体为 $20 \sim 1000\text{\AA}$ ，圆滑化的上部边角的半径大约为 200\AA 。再者，栅极介电层 124a 的材质例如为氧化硅、氮氧化硅、或相对电容率 (relative permittivity) 大于 5 的介电材质，其中相对电容率大于 5 的介电材质包括氧化铝 (Al_2O_3)、氧化铪 (HfO_2)、氮

氧化硅铪 (HfSiN_xO_y)、硅化铪 (HfSi_4)、氧化锆 (ZrO_2)、硅化锆 (ZrSi_4) 或氧化镧 (La_2O_3)。栅极介电层 124a 的等效氧化层厚度可为 $3 \sim 100\text{\AA}$ 。并且，
5 鳍形半导体层 106a 的侧壁的栅极介电层 124a 的厚度可以不同于顶部的
厚度，鳍形半导体层 106a 的侧壁的栅极介电层 124a 的厚度最好小于顶
部的厚度，顶部的栅极介电层 124a 的等效氧化层厚度例如小于 20\AA 。再
者，栅极电极 122a 可为一金属、一金属硅化物或一金属氮化物，其材质
包括一多晶硅或一多晶锗，其长度约小于 65nm 。另外，多重栅极晶体管
140 更包括：一间隔物 126a，设置于栅极电极 140 沿汲极与源极 S/D 方向
的两侧壁上，其宽度大约为 500\AA 。

10 根据本实用新型的芯片上更包括：材质例如为绝缘物的一隔离区
(STI)，包围各晶体管 120、130、140 周围，以提供电性隔离，而隔离区
(STI) 可以由一绝缘物所构成，本实用新型的多重栅极晶体管 140 周围的
隔离区 (STI) 绝缘层厚度可以较其它区域隔离区绝缘物为薄，使得鳍形半
导体层 106a 表面与隔离区 (STI) 表面的高度差大约为 $200 \sim 400\text{\AA}$ ，甚至多
15 重栅极晶体管 140 隔离区的绝缘物可以完全去除，再此定义为一平台式
隔离 (mesa isolation)，而在后段制程制作内联机线时，会填入内层介
电层，以达成电性隔离，如此鳍形半导体层 106a 表面与平台式隔离表面
的高度差大体为 $200 \sim 400\text{\AA}$ 。

如此一来，在单一芯片上就可同时制备完全空乏晶体管 130、140 与
20 部分空乏晶体管 120，而完全空乏晶体管可以由具有长栅极层的平面晶体
管 130 所构成，也可以由具有窄主动区宽度的多重栅极晶体管 140 所构
成。为了清楚起见，本实施例的芯片共包括了 3 种型态晶体管，并非一
芯片必须同时皆包括此 3 种型态晶体管，熟知此技艺人士可视实际需求
调整芯片上前述晶体管的种类数及其组合，例如：单一芯片包括一部分空
25 乏平面晶体管与一完全空乏平面晶体管、单一芯片包括一部分空乏平面晶
体管与一完全空乏多重栅极晶体管或单一芯片包括一部分空乏平面晶

体管、完全空乏平面晶体管与一完全空乏多重栅极晶体管等，在此并不加以设限。

以下请参照图 1，说明本实用新型的可同时具有部分空乏晶体管与完全空乏晶体管的芯片的一较佳实施例。

5 首先提供一半导体基底 102，可以为一半导体层/绝缘层迭置型基底，例如为一硅层/氧化硅层迭置型基底 (silicon on insulator substrate; SOI substrate) 108，其包括一第一硅层 102、一绝缘层 104 和一第二硅层 106，其中绝缘层 104 例如为埋入式氧化硅层。在此实施例中是以该种型式的基底为例，当然半导体层的材质和绝缘层的材质并不限定于此，
10 例如硅锗亦可做为半导体层。

接着，于第二硅层 106 中预计形成平面晶体管 120、130 的区域定义出主动区硅层 106b、106c，且在预计形成多重栅极晶体管 140 的区域定义出鳍形硅层 (silicon fins) 106a，以做为通道层之用。其中鳍形硅层 106a 的宽度小于 70nm，高度约为 20~1000Å。完全空乏平面晶体管 130
15 的栅极层长度约为 120~1000nm。并且第二硅层 106 被施以掺杂物。预计形成完全空乏平面晶体管 130 的第二硅层 106c 具有浓度大体为 10^{16} ~ 10^{18} cm^{-3} 的掺杂物，而预计形成部分空乏平面晶体管 120 的第二硅层 106b 具有浓度大体为 10^{18} ~ $2*10^{19} \text{ cm}^{-3}$ 的掺杂物。部分空乏平面晶体管 120 的栅极层 122b 的长度大约为 9~100nm。完全空乏平面晶体管 130 的栅极层
20 120c 的长度大体为 120~1000nm，定义主动区时需做应对调整。

定义第二硅层 106 的方法例如是于第二硅层 106 上形成一罩幕层，并以该罩幕层为蚀刻罩幕，以将该罩幕层的图案转移至其下方的第二硅层 106 中。此罩幕层可为光阻层 (photoresist layer)、能量敏感层 (energy sensitive layer)、氧化硅层、氮化硅层、或其它材质的罩幕层。

25 接着，可对鳍形硅层 106a 进行侧表面平滑化处理，以降低鳍形硅层 106a 侧表面的粗糙度。侧表面平滑化处理的方法为牺牲性氧化处理和侧

壁处理，其中侧壁处理的方法例如是在 1000°C 含氢 (H_2) 的环境下进行高温回火。当鳍形硅层 106a 的侧表面经牺牲性氧化处理时，会于表面氧化生成一层氧化硅，借此修复表面于蚀刻过程中所受到的伤害，并将上部边角圆滑化，再将氧化硅移除。表面平滑化的目的在于使组件具有好的载子迁移率，以及利于后续形成可靠度佳的栅极介电层。将鳍形半导体层 106a 上部边角圆滑化 I，可以避免因为应力集中于角落所导致缺陷传播和延伸的问题，可以使栅极电流稳定。缺陷可能是由于制程不良率或组件退化所产生的。

接着，将具有干净且平整表面的图案化第二硅层 106a、106b、106c 上方的罩幕层移除。移除的方法可为电浆蚀刻或湿蚀刻，湿蚀刻所使用的蚀刻剂可为稀释的氢氟酸 (DHF)。在此蚀刻过程中，图案化第二硅层 106a、106b、106c 底部可能发生底切 (undercut) 或凹槽 (notch)。

接着，形成一浅沟槽隔离物 (shallow trench isolation; STI) 于图案化硅层 106a、106b、106c 周围的半导体基底 102 表面。例如先全面性以适当沉积法，例如化学气相沉积 (chemical vapor deposition; CVD) 形成一材质例如为氧化物的隔离物于半导体基底 102 表面，然后经过化学机械研磨与选择性蚀刻，将部分隔离物去除，仅留下平面晶体管 120、130、140 的图案化硅层 106a、106b、106c 周围隔离物，以做为晶体管之间的浅沟槽隔离物 (STI)，其中多重栅极晶体管 140 周围的隔离物 STI 厚度较其它区域隔离区绝缘物为薄，使得鳍形半导体层 106a 表面与隔离区 (STI) 表面的高度差大约为 200~400Å，甚至多重栅极晶体管 140 隔离区的绝缘物可以完全去除，以平台式隔离 (mesa isolation) 做电性隔离。

接着，分别于图案化第二硅层 106a、106b、106c 表面形成一层栅极介电层 124a、124b、124c，平面晶体管 120、130 的栅极介电层 124b、124c 是形成于图案化第二硅层 106b、106c 顶部，而多重栅极介电层 140 的栅极介电层 124a 形成于鳍形硅层 106a 的顶部与侧壁，其形成方法例

如是热氧化法、化学气相沉积法、溅镀等，其材质可为氧化硅、或氮氧化硅。通常，鳍形硅层 106a 的侧壁和顶部的栅极介电层 124a 具有不同的厚度，通常是顶部的栅极介电层 124a 的厚度较侧壁为厚，其厚度约为 3 埃至 100 埃，较佳的是 10 埃以下，顶部部分的厚度较佳的是 20 埃以下；
5 或者为高介电常数的材质，例如氧化铝 (Al_2O_5)、氧化铪 (HfO_2)、氧化锆 (ZrO_2)、或其它类似此性质者，其等效氧化层厚度 (equivalent oxide thickness) 约为 3 至 100 埃。

接着，形成一层导电层于栅极介电层 124a、124b、124c 上，其材质可为多晶硅、多晶硅锗、耐火金属 (refractory metal)、类金属化合物、
10 或其它导电材质，其中耐火金属可为钼 (Mo)、钨 (W) 等，类金属化合物可为氮化钛。

接着，于导电层上覆盖一图案化罩幕层，并借由蚀刻，将图案化罩幕层的图案转移至导电层中，以形成栅极电极 122a、122b、122c，平面晶体管 120、130 的栅极层 122b、122c 形成于栅极介电层 124b、124c 上方，
15 而多重栅极晶体管 140 的栅极层 122a 则形成于栅极介电层 124a 上，并包覆对应于通道区的鳍形半导体层 106a 的两侧壁和一顶面。以材质为多晶硅的导电层以及材质为氮氧化硅的栅极介电层 124a、124b、124c 为例，其蚀刻条件例如是含氯和溴的蚀刻气体进行电浆蚀刻，其多晶硅对氮氧化硅的蚀刻选择比超过 2000。

20 在完成栅极电极 122a、122b、122c 的定义后，则移除其上方的图案化罩幕层。

接着，进行源极/汲极的浅掺杂制程，其形成方法例是以离子植入、电浆浸入式离子植入 (plasma immersion ion implantation, PIPI)、或是其它的技术来进行。

25 接着，借由沉积以及选择性非等向性地蚀刻介电材质，以于栅极电极 122a、122b、122c 的侧壁形成间隙壁 126a、126b、126c，间隙壁 126 的

材质可为氮化硅或氧化硅。之后进行源极/汲极的浓掺杂制程，其形成方法例是以离子植入、电浆侵入式离子植入、固体源扩散 (solid source diffusion)、或是其它的技术。在此步骤中，亦可以根据需要，同时将离子掺杂入栅极电极 122a、122b、122c，借此提高其导电性。任何植入 5 的伤害或非晶化可借由后续高温回火制程而获得改善。经过上述的源极/汲极的淡掺杂制程和浓掺杂制程后，于栅极电极 122a、122b、122c 两侧的图案化第二硅层 106a、106b、106c 中形成具有浅掺杂汲极结构 (lightly doped drain) LDD 的源极/汲极 S/D。并且，平面晶体管 120、130 的图 10 案化硅层 106b、106c 的通道区可以施以一 super halo 布植，由于部分空乏晶体管 120 的信道长度短，所以信道两侧的 super halo 布植区域会在信道中间区域重迭。

接着，为了降低源极/汲极 S/D 的片电阻，可以在源极/汲极 S/D 表面形成一层导电层，意即，此导电层形成于鳍形硅层 106a 的顶部和侧壁以及图案化硅层 106b、106c 的汲极/源极 S/D 表面。导电层的材质例如是 15 以自动对准金属硅化物制程 (self-aligned silicide process, salicide process) 形成的金属硅化物，例如硅化钴。该材质亦可为金属、多晶硅、或是磊晶硅。

之后，沉积一层高应力膜层 150 覆盖于多重栅极晶体管 140 的栅极电极 122a 上，其厚度约为 50~1000 埃。由于鳍形硅层 106a 和高应力膜层 20 150 两者之间的热膨胀系数 (thermal expansion coefficient) 及杨氏系数 (Young's modulus) 有很大的差异，使得在经过半导体制程中所需的高温沉积或热回火制程后，高应力膜层 150 自高温降温时的收缩速度和鳍形硅层 106a 的收缩速度会有很大的差异，因此会将应力导入鳍形硅层 106a 的通道区中，产生的应力可能是数百 MPa 甚至超过 1GPa。

25 如果高应力膜层 150 的热膨胀系数小于鳍形硅层 106a，则鳍形硅层 106a 会感受到压缩应变 (compressive strain)。若高应力膜层 150 施与

通道区的应变为压缩应变，则电洞载子的迁移率可获得提升。因此，覆盖于高应力膜层 150 下方的栅极电极 122a 和源极/汲极 S/D 构成的晶体管为 PMOS 晶体管。上述的应变是指沿源极至汲极方向的压缩应变，鳍形硅层 106a 中的压缩应变强度为 0.1% 至 2%，较佳的是 1% 至 2%，应力约为 5 $-500 \sim 1500 \text{ MPa}$ ，其中负值代表是一压缩应力，则正值代表是一拉伸应力。

如果高应力膜层 150 的热膨胀系数大于鳍形硅层 26a，则鳍形硅层 106a 会感受到拉伸应变 (tensile strain)。若高应力膜层 150 施与通道区的应变为拉伸应变，则电子和电洞载子两者的迁移率均可获得提升。10 因此，覆盖于高应力膜层 150 下方的栅极电极 122a 和源极/汲极 S/D 构成的晶体管可为 PMOS 晶体管和 NMOS 晶体管。上述的应变是指沿源极至汲极方向的拉伸应变，鳍形硅层 106a 中的拉伸应变强度为 0.1% 至 2%，较佳的是 1% 至 2%。

就高应力膜层 150 而言，借由控制形成的条件，可以调整所形成的膜 15 层的应力大小，根据研究，可控制应力的因素有温度、压力或制程气体的流速比。举例而言，利用电浆增强型化学气相沉积的氮化硅 (plasma-enhanced chemical vapor deposited silicon nitride) 可以导入至通道区中的应力可为拉伸应力或压缩应力，端视沉积的条件而定。此外，若选择氧化硅制备高应力膜层 150，还可以借由改变掺杂的物质及掺杂的浓度来改变其热膨胀系数及杨氏系数，可以掺杂的物质例如 20 是锗 (Ga)、氮 (N) 或耐火的金属 (refractory metal)。

发明功效：

当主动区的宽度 W 越小，则应力膜层与鳍状半导体基底接触的面积则 25 越大，因此，应力效应会随着主动区宽度 W 的减少而增强。如图 2A 与图 2B 所示，当主动区宽度 W 由 1200nm(图 2A) 减少至 110nm(图 2B)，在晶体管关闭状态 (off-state) 下，漏电流 (leakage) 约为 300nA/mm，应变感应

驱动电流由 10% 增加到 17%。

关于通道长度、主动区宽度与完全空乏晶体管、部分空乏晶体管之间的关系，经由实验，得到以下结果。图 3A 与图 3B 是显示部分空乏晶体管与完全空乏晶体管的主动区宽度 W 与通道长度 L_g 的关系示意图。图 3A 5 是一 N 型晶体管的实验结果，平面部分空乏晶体管与平面完全空乏晶体管的主动区大于 50nm，而非平面式多重栅极完全空乏晶体管的主动区宽度小于 50nm。图 3B 是一 P 型晶体管的实验结果。在主动区宽度固定的情况下，欲将部分空乏晶体管转变成完全空乏晶体管的方法为增加栅极长度。另外，当主动区宽度小于 50nm 以下，便会形成多重栅极晶体管。第 10 3B 图中 P 型晶体管可形成部分空乏的范围较第 3A 图中 N 型晶体管可形成部分空乏的范围为小。这是因为 P 形晶体管中的冲击离子化引发寄生双极化反应 (impact ionization induced parasitic bipolar action) 较弱。

发明优点：

- 15 1. 根据本实用新型的具有长通道的完全空乏平面晶体管或多重栅极完全空乏晶体管皆可有效克服浮体效应 (floating body effect) 的问题。
2. 根据本实用新型的多重栅极晶体管，可视为三个并联的晶体管，分别位于鳍形硅层两侧及顶面。该结构可有效提高组件的电流量，并且无须缩短通道长度，可以有效控制短通道效应 (short-channel effect)。
- 20 3. 根据本实用新型的应力膜层，可使应力导入通道区中，以提高载子的迁移率，进而提升组件的操作效能。
4. 本实用新型的具有多重栅极及应变的通道层的晶体管，借由其垂直型的结构，使晶体管的积集度可以有效地提升。

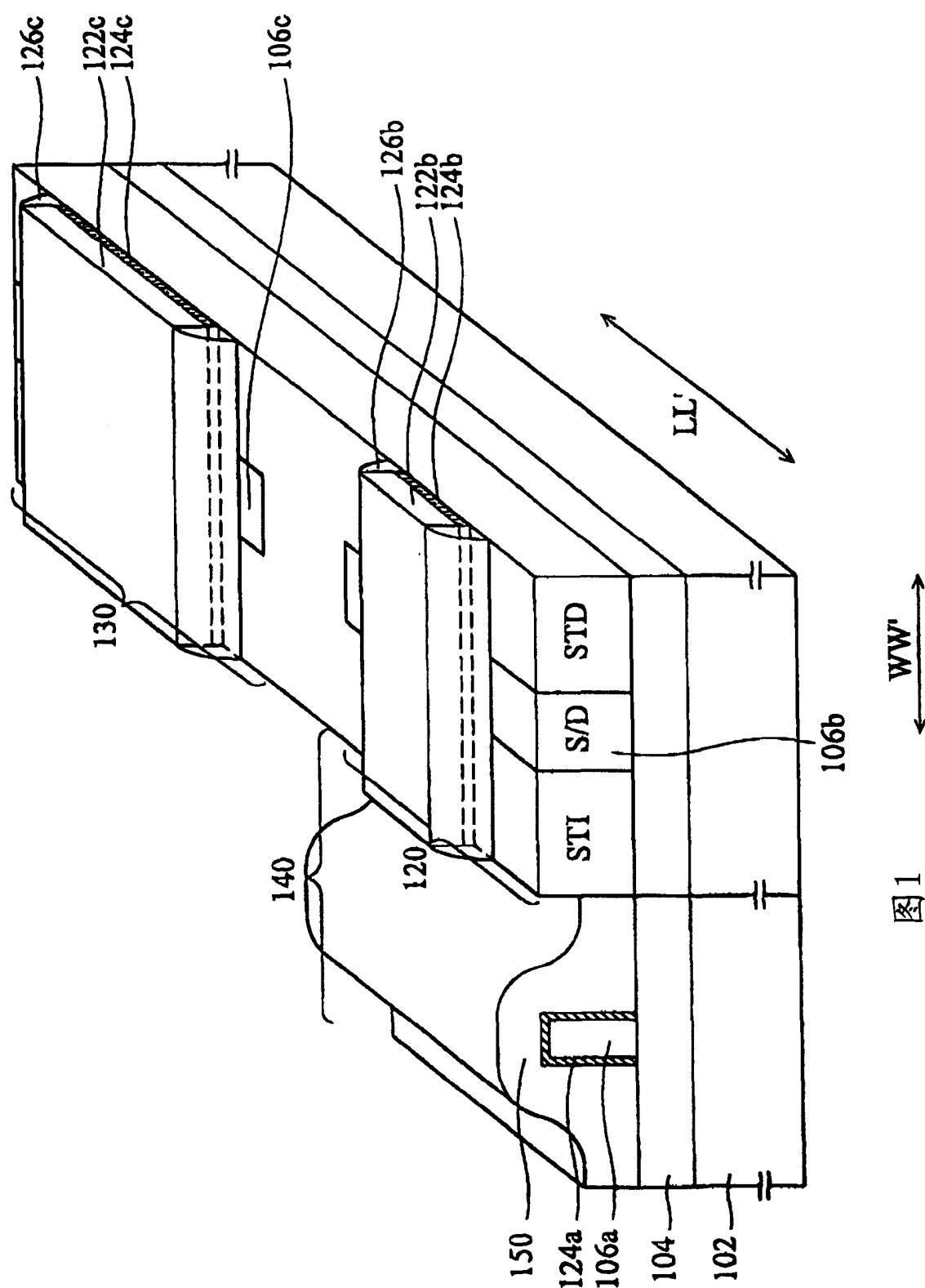


图1

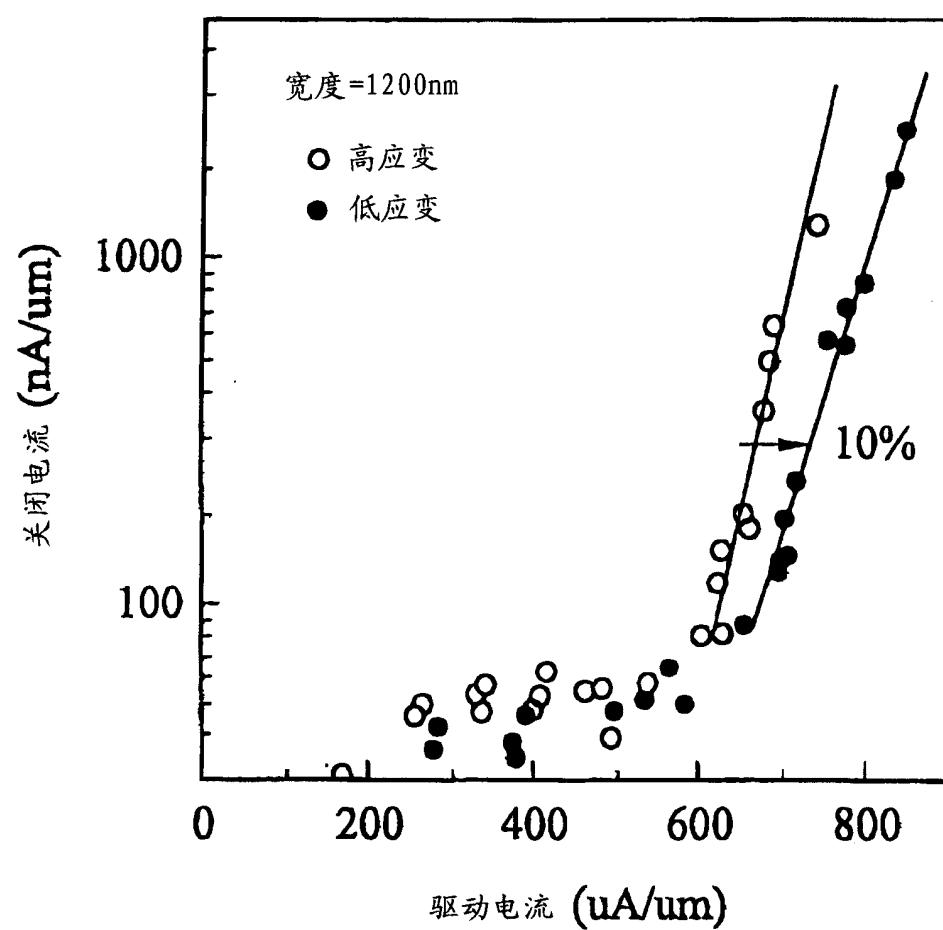


图 2A

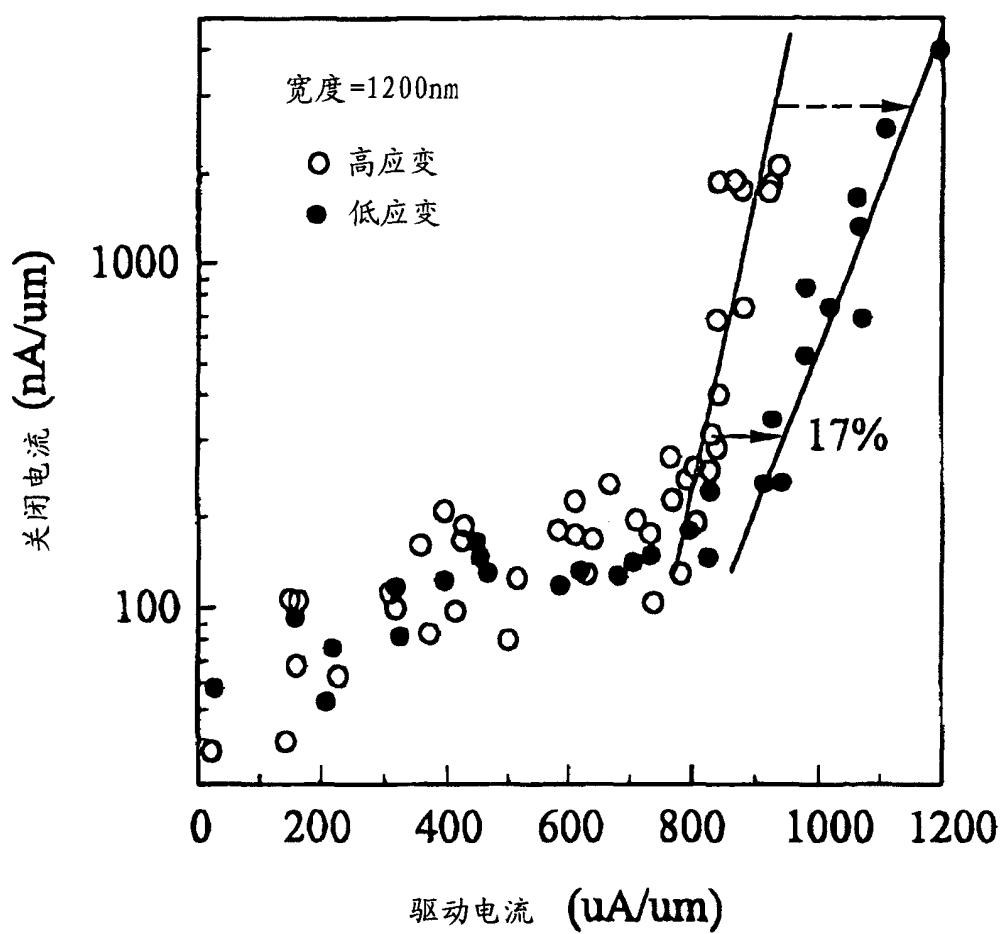


图 2B

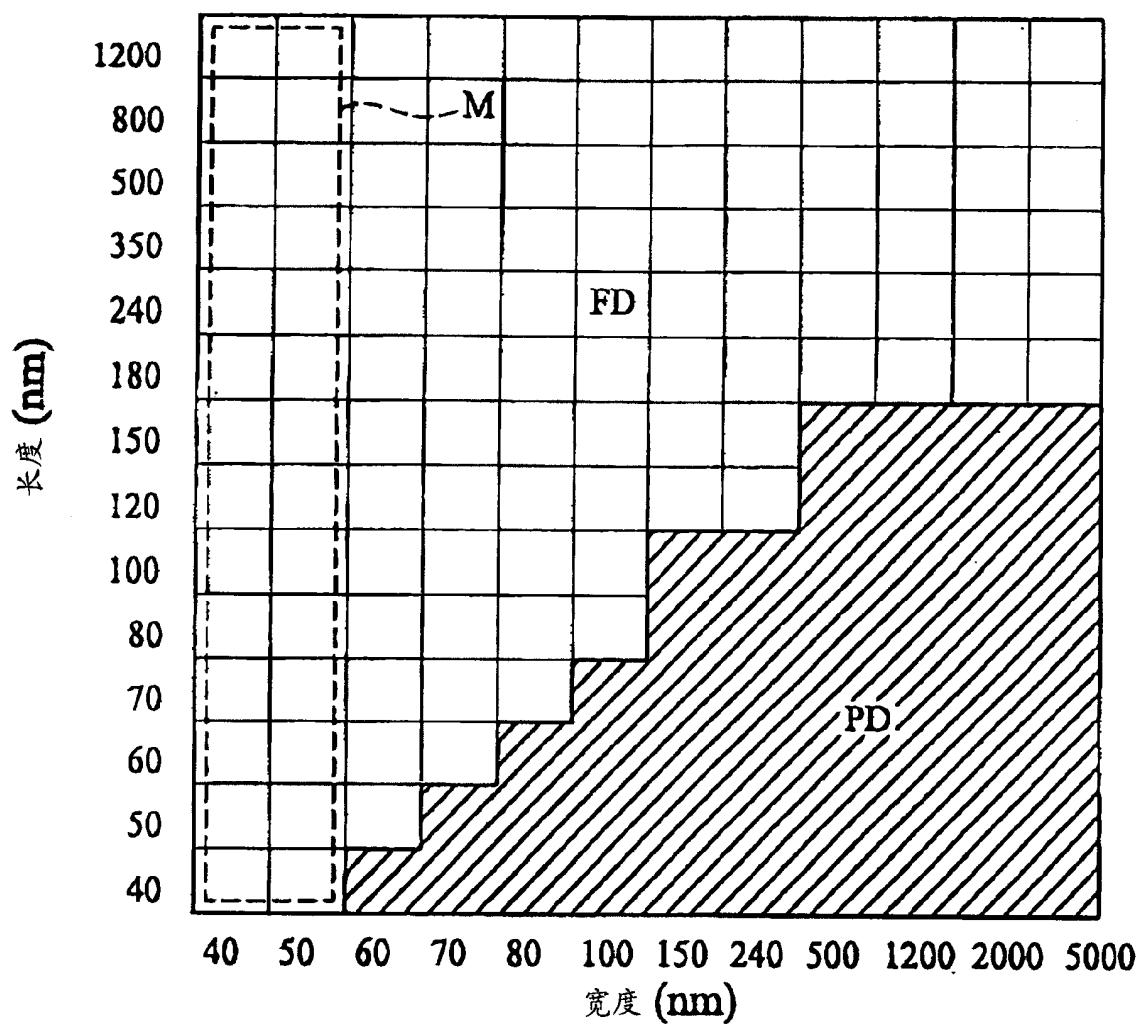


图 3A

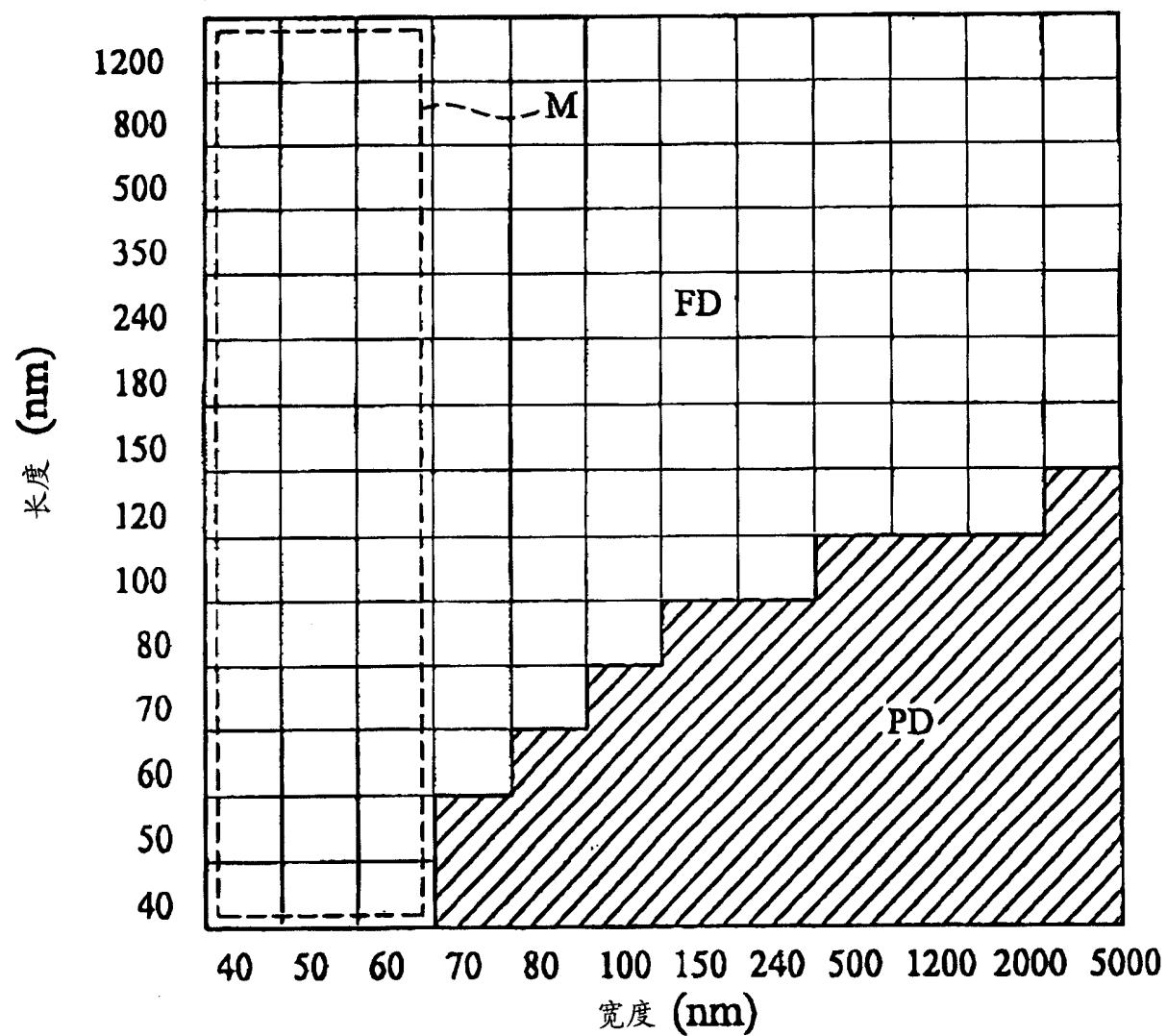


图 3B