



**ÚŘAD PRO VYNÁLEZY
A OBJEVY**

(61)

(23) Výstavní priorita
(22) Přihlášeno 18 10 84
(21) PV 7915-84

(11)

(B1)

(51) Int. Cl.⁴

H 03 M 13/00

(40) Zveřejněno 13 11 86

(45) Vydáno 01 09 88

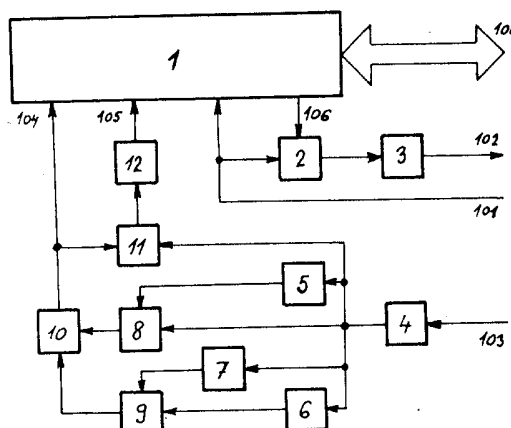
(75)
Autor vynálezu

FILIP PAVEL ing., BRNO

(54)

Zařízení pro fázové kódování a dekódování
číslicové informace

Účelem tohoto zapojení je dosáhnout snížení počtu integrovaných obvodů, zjednodušit programové vybavení mikropočítače a usnadnit detekci počátku předávaných zpráv. Uvedeného účelu se dosáhne tak, že sériový komunikační adaptor se svými vývody spojí s mikropočítačem, výstup vysílaných dat se spojí s prvním obvodem exkluzivního logického součtu, vysílací hodinová frekvence se převede na sériový komunikační adaptor a na první obvod exkluzivního logického součtu, který je spojen s převodníkem úrovně, jehož výstup představuje právě výstup kódovaných dat. První i druhý monostabilní klopný obvod je dále spojen s výstupem tvarovače, prvním hradlem negovaného logického součinu, prvním invertorem a druhým obvodem exkluzivního logického součinu, přičemž druhý monostabilní klopný obvod je spojen s druhým hradlem negovaného logického součinu, s nímž je propojen i výstup prvního invertoru.



Vynález se týká zařízení pro fázové kódování a dekódování číslicové informace v systémech dálkového přenosu dat a záznamu dat.

Doposud se fázové kódování provádělo posuvným způsobem, resp. posuvným registrem, multiplexerem a hradly negovaného logického součinu. Jindy se opět využívalo klopného obvodu D a hradel negovaného logického součinu. Společnou nevýhodou dosud známých uspořádání je složitost provedení. Dále se fázové dekódování realizovalo zdvojovačem frekvence, monostabilním klopným obvodem, posuvnými registry a hradly negovaného logického součinu, anebo se používaly monostabilní klopné obvody a klopné obvody RS. I zde je ovšem nevýhodné složitě provedení a v některých případech nejednoznačnost funkce po zapnutí napájecího napětí.

Uvedené nedostatky podstatně omezuje zařízení pro fázové kódování a dekódování číslicové informace se sériovým komunikačním adaptorem a připojenými obvody exkluzivního logického součtu, převodníku úrovně, tvarovače, dále pak s monostabilními klopnými obvody, invertory, hradly negovaného logického součinu a klopným obvodem RS podle vynálezu, jehož podstata spočívá v tom, že sériový komunikační adaptor je svými vývody spojen s mikropočítačem, výstup vysílaných dat je spojen s prvním obvodem exkluzivního logického součtu, vysílací hodinová frekvence je přivedena na sériový komunikační adaptor a na první obvod exkluzivního logického součtu, který je spojen s převodníkem úrovně, jehož výstup představuje výstup kódovaných dat. Vstup kódovaných dat je přiveden na tvarovač, jehož výstup je spojen s prvním monostabilním klopným obvodem, druhým monostabilním klopným obvodem, prvním hradlem negovaného logického součinu, prvním invertorem a druhým obvodem exkluzivního logického součtu. Druhý monostabilní klopný obvod je spojen s druhým hradlem negovaného logického součinu, s nímž

je propojen i výstup prvního invertoru. Výstup druhého hradla negovaného logického součinu je spojen s klopným obvodem RS, výstup prvního monostabilního klopného obvodu s prvním hradlem negovaného logického součinu a výstup prvního hradla negovaného logického součinu se vstupem klopného obvodu RS. Výstup klopného obvodu RS je přiváděn na druhý obvod exkluzivního logického součtu a na vstup přijímaných dat sériového komunikačního adaptoru. Výstup druhého obvodu exkluzivního logického součtu je spojen se vstupem druhého invertoru a výstup druhého invertoru se vstupem přijímací hodinové frekvence sériového komunikačního adaptoru.

Zařízení podle vynálezu snižuje počet integrovaných obvodů, zjednodušuje programové vybavení mikropočítače, usnadňuje detekci počátku předávaných zpráv a zajišťuje jednoznačnou funkci dekodéru po zapnutí napájení.

Příklad provedení zařízení podle vynálezu je znázorněn na přiloženém výkresu, představujícím blokové schéma zařízení podle vynálezu.

Sériový komunikační adaptor 1 je se svým výstupem 100 vysílaných dat spojen s prvním obvodem 2 exkluzivního logického součtu. Vstup 101 vysílací hodinové frekvence je spojen se sériovým komunikačním adaptorem 1 a s prvním obvodem 2 exkluzivního logického součtu zapojeným na převodník 3 úrovně. Výstup 102 převodníku 3 úrovně tvoří výstup kódovaných dat, přivedený přes vstup 103 kódovaných dat na tvarovač 4, jehož výstup je spojen s prvním monostabilním klopným obvodem 6, na něž je připojeno první hradlo 8 negovaného logického součinu, první invertor 7 a druhý obvod 11 exkluzivního logického součtu. Druhý monostabilní klopný obvod 6 je spojen s druhým hradlem 9 negovaného logického součinu, s nímž je propojen i první invertor 7. Druhé hradlo 9 negovaného logického součinu je spojeno s klopným obvodem RS 10. První monostabilní klopný obvod 5 je spojen s prvním hradlem 8 negovaného logického součinu, spojeným s klopným obvodem RS 10, zapojeným na druhý obvod 11 exkluzivního logického součtu a vstup 104 přijímaných dat sériového komunikačního adaptoru 1. Druhý obvod 11 exkluzivního logického součtu je spojen s druhým invertorem 12, zapojeným na vstup 105 přijímací hodinové frekvence sériového komunikačního adaptoru 1. Sériově vysílané signály na výstupu 106

sériového komunikačního adaptoru 1 jsou přes vstup 101 vysílací hodinové frekvence vysílaných dat a první obvod 2 exkluzivního logického součtu převedeny do formy fázově kódovaného číslicového signálu, který je po úpravě v převodníku 3 rovněž k dispozici pro záznam nebo vysílání na výstupu 102 kódovaných dat.

Signál přijatý na vstupu 103 kódovaných dat je tvarovačem 4 rovněž upraven a potom řídí monostabilní klopné obvody 5, 6. První monostabilní klopný obvod 5 je řízen náběžnou hranou a druhý monostabilní klopný obvod 6 sestupnou hranou signálu. Doba kyvu monostabilních klopných obvodů 5, 6 je nastavena na 75% periody vysílací hodinové frekvence na vstupu 101 vysílací hodinové frekvence. První invertor 7 a hradlo 8, 9 negovaného logického součinu vyhodnocují, zda nastala změna fáze signálu na vstupu 103 kódovaných dat a tato změna je zapsána do klopného obvodu RS 10. Výstup klopného obvodu RS 10 představuje přijatá data a pomocí exkluzivního logického součtu 11 a invertoru 12 se odvodí vstupní hodinová frekvence na vstupu 105 přijímací hodinové frekvence sériového komunikačního adaptoru 12, což umožňuje přijmout tentýž znak, jaký byl vyslán.

PŘEDMĚT VYNÁLEZU

251 158

Zařízení pro fázové kódování a dekódování číslicové informace v systémech dálkového přenosu dat a záznam dat, obsahující sériový komunikační adaptor, obvody exkluzivního logického součtu, převodník úrovně, tvarovač, monostabilní klopné obvody, invertory, hradla negovaného logického součinu a klopný obvod RS, vyznačující se tím, že sériový komunikační adaptor (1) je svým výstupem (106) vysílaných dat spojen s prvním obvodem (2) exkluzivního logického součtu a vstup (101) vysílací hodinové frekvence je spojen se sériovým komunikačním adaptorem (1) a prvním obvodem (2) exkluzivního logického součtu, zapojeným na převodníku (3) úrovně, výstup (102) převodníku (3) úrovně tvoří výstup kódovaných dat, přivedený přes vstup (103) kódovaných dat na tvarovač (4), jehož výstup je spojen s prvním monostabilním klopným obvodem (5) a druhým monostabilním klopným obvodem (6), na něž je připojeno první hradlo (8) negovaného logického součinu, první invertor (7) a druhý obvod (11) exkluzivního logického součtu, druhý monostabilní klopný obvod (6) je spojen s druhým hradlem (9) negovaného logického součinu, s nímž je propojen i první invertor (7), první monostabilní klopný obvod (5) je spojen s prvním hradlem (8) negovaného logického součinu spojeným s klopným obvodem RS (10), zapojeným na druhý obvod (11) exkluzivního logického součtu a vstup (104) přijímaných dat sériového komunikačního adaptoru (1), druhý obvod (11) exkluzivního logického součtu je spojen s druhým invertorem (12), zapojeným na vstup (105) přijímací hodinové frekvence sériového komunikačního adaptoru (1).

1 výkres

