

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5480101号  
(P5480101)

(45) 発行日 平成26年4月23日 (2014. 4. 23)

(24) 登録日 平成26年2月21日 (2014. 2. 21)

(51) Int. Cl.

F I

H03F 3/45 (2006.01)

H03F 3/45

B

H03F 1/30 (2006.01)

H03F 1/30

Z

請求項の数 2 (全 10 頁)

(21) 出願番号 特願2010-237021 (P2010-237021)  
 (22) 出願日 平成22年10月22日 (2010. 10. 22)  
 (65) 公開番号 特開2011-120223 (P2011-120223A)  
 (43) 公開日 平成23年6月16日 (2011. 6. 16)  
 審査請求日 平成25年8月22日 (2013. 8. 22)  
 (31) 優先権主張番号 特願2009-246029 (P2009-246029)  
 (32) 優先日 平成21年10月27日 (2009. 10. 27)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 伊藤 良明  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 ▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 誤差増幅器

(57) 【特許請求の範囲】

【請求項 1】

第1の端子とオペアンプの反転入力端子との間に電氣的に接続された第1の抵抗と、  
 前記オペアンプの反転入力端子と前記オペアンプの出力端子との間に電氣的に接続された第2の抵抗と、

ゲートが第2の端子と前記オペアンプの非反転入力端子との間に電氣的に接続され、ソースまたはドレインの一方が第1の電流源と電氣的に接続された第1のトランジスタと、  
 ゲートが前記オペアンプの出力端子と電氣的に接続され、ソースまたはドレインの一方が前記第1の電流源と電氣的に接続された第2のトランジスタと、

ソースまたはドレインの一方が前記第2のトランジスタのソースまたはドレインの他方と電氣的に接続され、ソースまたはドレインの他方が基準電位と電氣的に接続された第3のトランジスタと、

ゲートが前記第3のトランジスタのゲート、および前記第3のトランジスタのソースまたはドレインの一方と電氣的に接続され、ソースまたはドレインの一方が第2の電流源および第3の端子と電氣的に接続され、ソースまたはドレインの他方が基準電位と電氣的に接続された第4のトランジスタと、

一端が前記第3の端子と電氣的に接続され、他端が基準電位と電氣的に接続されたコンデンサと、を有することを特徴とする誤差増幅器。

【請求項 2】

請求項 1 において、

10

20

前記第3の端子と前記コンデンサの一端との間に電氣的に接続された第3の抵抗を有することを特徴とする誤差増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

技術分野は、電源回路（スイッチングレギュレータ）等に適用できる誤差増幅器に関する。

【背景技術】

【0002】

図4は、電源回路の構成例である。この電源回路は、誤差増幅器40、三角波を生成する発振器50、PWM（Pulse Width Modulation）コンパレータ60、インダクタL1、トランジスタQ6、ダイオードD1、コンデンサC3ならびに抵抗R6およびR7から構成されている。

10

【0003】

誤差増幅器40は、電源回路の帰還回路の定数を決める中枢となる回路である。誤差増幅器40の反転入力端子には入力電圧 $V_{in}$ が入力され、非反転入力端子には参照電圧 $V_{ref}$ が入力される。

【0004】

発振器50は、PWM生成信号に必要な三角波 $V_{osc}$ を発生させる回路である。

【0005】

20

誤差増幅器40の出力信号 $V_{err}$ がPWMコンパレータ60の反転入力端子に入力され、発振器50が生成した三角波 $V_{osc}$ がPWMコンパレータ60の非反転入力端子に入力される。

【0006】

PWMコンパレータ60は、誤差増幅器40の出力信号 $V_{err}$ と三角波 $V_{osc}$ を比較する。三角波 $V_{osc}$ の信号レベルが誤差増幅器40の出力信号 $V_{err}$ より大きい場合は、H（ハイレベル）をPWM信号としてトランジスタQ6に出力する。一方、三角波 $V_{osc}$ の信号レベルが誤差増幅器40の出力信号 $V_{err}$ より小さい場合は、L（ローレベル）をPWM信号としてトランジスタQ6に出力する。

【0007】

30

トランジスタQ6のソースまたはドレインの一方は、インダクタL1の一端およびダイオードD1のアノードと接続されている。また、トランジスタQ6のソースまたはドレインの他方は、基準電位（GND）に接続されている。

【0008】

インダクタL1の他端は、電源入力端子65に接続されている。

【0009】

ダイオードD1のカソードは、出力端子70に接続されている。出力端子70とGNDとの間には、コンデンサC3ならびに抵抗R6およびR7の直列回路が、並列に接続されている。抵抗R6とR7の接続点の電圧は、帰還電圧 $V_{fb}$ として、誤差増幅器40の非反転入力端子へ入力される。

40

【0010】

図3は、従来の誤差増幅器の構成例である。入力端子11とオペアンプ16の反転入力端子との間には、抵抗R4が接続されている。また、出力端子12と反転入力端子との間には、抵抗R5およびコンデンサC2が接続されている。

【0011】

この誤差増幅器における、入力信号と出力信号との関係を示す伝達関数は、式（1）で表される。

【数 1】

$$V_{err} = V_{ref} - \frac{R_5}{R_4} \left( 1 + \frac{1}{sR_5C_2} \right) (V_{in} - V_{ref}) \quad (1)$$

【0012】

特許文献1では、出力端子と反転入力端子との間に、位相補償素子として抵抗およびコンデンサが接続されている誤差増幅器が提案されている。

【先行技術文献】

【特許文献】

【0013】

10

【特許文献1】特開2006-238062号 公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

式(1)より、抵抗やコンデンサのような受動素子を接続した構成の図3の誤差増幅器では、帰還回路の定数は、受動素子の定数によって決定されることが理解できる。

【0015】

ところが、受動素子の定数はばらつきが大きいため、集積回路において電源回路を設計する場合、帰還回路の定数が設計値どおりに定まらないという課題があった。また、図3の入力端子11とオペアンプ16の反転入力端子の間にある抵抗R4を可変抵抗にすることで、帰還回路の定数を設計値通りに定めることができる。しかし集積回路に可変抵抗を組み込むことは困難であった。そのため、帰還回路の定数を設計値通りに定めることができる誤差増幅器を集積化することはできなかった。

20

【課題を解決するための手段】

【0016】

誤差増幅器における帰還回路の定数が、受動素子の定数だけでなく、能動素子の利得にも依存して決定される構成にする。

【0017】

本発明の一態様は、第1の端子とオペアンプの反転入力端子との間に電氣的に接続された第1の抵抗と、オペアンプの反転入力端子とオペアンプの出力端子との間に電氣的に接続された第2の抵抗と、ゲートが第2の端子とオペアンプの非反転入力端子との間に電氣的に接続され、ソースまたはドレインの一方が第1の電流源に電氣的に接続された第1のトランジスタと、ゲートがオペアンプの出力端子と電氣的に接続され、ソースまたはドレインの一方が第1の電流源と電氣的に接続された第2のトランジスタと、ソースまたはドレインの一方が第2のトランジスタのソースまたはドレインの他方および第3のトランジスタのゲートと電氣的に接続され、ソースまたはドレインの他方が基準電位に電氣的に接続された第3のトランジスタと、ゲートが第3のトランジスタのゲートと電氣的に接続され、ソースまたはドレインの一方が第2の電流源および第3の端子と電氣的に接続され、ソースまたはドレインの他方が基準電位に電氣的に接続された第4のトランジスタと、一端が第3の端子と電氣的に接続され、他端が基準電位に電氣的に接続されたコンデンサと、を有することを特徴とする誤差増幅器である。

30

40

【0018】

誤差増幅器は、第3の端子とコンデンサの一端との間に電氣的に接続された第3の抵抗を有していてもよい。

【0019】

誤差増幅器は、第1の端子、第2の端子、オペアンプ、第1の抵抗、第2の抵抗、第1乃至第4のトランジスタ、第1の電流源および第2の電流源を一つの集積回路として構成していてもよい。

【発明の効果】

【0020】

50

本発明を用いることにより、誤差増幅器における、受動素子の定数のばらつきに起因する帰還回路の定数のばらつきを抑制し、誤差増幅器を集積化することができる。

【図面の簡単な説明】

【0021】

【図1】誤差増幅器の回路図

【図2】誤差増幅器の回路図

【図3】従来の誤差増幅器の構成例を示す回路図

【図4】電源回路の構成例を示す回路図

【図5】可変電流源の回路図

【図6】コンデンサC1の外付けを示す図

【図7】誤差増幅器の回路図

【発明を実施するための形態】

【0022】

以下、開示される発明の実施の形態について、図面を用いて説明する。ただし、発明は以下の説明に限定されず、その発明の趣旨およびその範囲から逸脱することなく、その態様および詳細をさまざまに変更し得ることは当業者であれば容易に理解される。したがって、発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0023】

(実施の形態1)

図1は、本実施の形態を示す誤差増幅器の回路図である。この誤差増幅器は、増幅段10、電圧電流変換器20および積分器30で構成されている。

【0024】

増幅段10は、オペアンプ16ならびに抵抗R1およびR2を有している。入力端子11とオペアンプ16の反転入力端子との間には、抵抗R1が接続されている。また、オペアンプ16の出力端子と反転入力端子との間には、抵抗R2が接続されている。

【0025】

電圧電流変換器20は、PMOSトランジスタQ1およびQ2ならびにNMOSトランジスタQ3、Q4およびQ5を有している(以下、「PMOSトランジスタ」、「NMOSトランジスタ」を単に「トランジスタ」と記すことがある)。

【0026】

ここで、トランジスタは、チャネル層にシリコンを用いた薄膜トランジスタである。なお、トランジスタの構造は、シングルゲート構造に限らず、ダブルゲート構造などのマルチゲート構造であってもよい。

【0027】

また、トランジスタのチャネル層は、シリコンに限られず、酸化物半導体などを用いてもよい。

【0028】

トランジスタQ1およびQ3は、電源14と基準電位GNDとの間に直列接続されている。トランジスタQ2およびQ4もまた、電源14と基準電位GNDとの間に直列接続されている。

【0029】

なお、基準電位GNDは、0Vに限らず、回路の基準となる電位であればよい。

【0030】

トランジスタQ1のゲートは、参照電圧Vrefが入力される端子13とオペアンプ16の非反転入力端子との間に接続されている。

【0031】

トランジスタQ2のゲートは、オペアンプ16の出力端子と接続されている。

【0032】

トランジスタQ3のゲートは、トランジスタQ3のドレインと接続されている。

【0033】

10

20

30

40

50

トランジスタQ 4のゲートは、トランジスタQ 4のドレインおよびトランジスタQ 5のゲートと接続されている。すなわち、トランジスタQ 4とトランジスタQ 5は、カレントミラー回路を構成している。

【0034】

トランジスタQ 5は、電源15と基準電位GNDとの間に接続されている。

【0035】

ただし、電圧電流変換器20の構成は、これに限られない。例えば、トランジスタQ 1, Q 2は、NMOSトランジスタを用いてもよい。また、トランジスタQ 3に換えて、抵抗などの受動素子や、他の能動素子を用いてもよい。さらに、この位置に何も設けなくても目的を達することができる。

10

【0036】

また、図7に示すように、電圧電流変換器20は、図1に示すものと極性が逆のトランジスタを用いることもできる。図7に示す電圧電流変換器20は、PMOSトランジスタであるトランジスタQ 7, Q 8およびQ 9ならびにNMOSトランジスタであるトランジスタQ 10およびQ 11で構成されている。

【0037】

この場合も、電圧電流変換器20の構成は、これに限られない。例えば、トランジスタQ 10, Q 11は、PMOSトランジスタを用いてもよい。また、トランジスタQ 7に換えて、抵抗などの受動素子や、他の能動素子を用いてもよい。さらに、この位置に何も設けなくても目的を達することができる。

20

【0038】

積分器30は、コンデンサC 1を有している。

【0039】

コンデンサC 1は、外付けすることが可能である。外付けすることにより、集積回路の面積を小さくすることができる。

【0040】

図6は、誤差増幅器210の回路を含むチップ200を、FPC230を介して基板240と接続した状態を示す図である。ここで、外付けされているコンデンサC 1は、基板240内の領域220に設けられている。

【0041】

30

この誤差増幅器において、電源15から出力端子12へ、基準電流I<sub>b</sub>を流すとする。すると、電源14は、基準電流I<sub>b</sub>の2倍の電流を流すことができるようになる。この出力電流とコンデンサC 1により、積分器30が構成される。

【0042】

電圧電流変換器20における電圧利得を-Aとすると、この誤差増幅器の伝達関数は、式(2)で表される。

【数2】

$$V_{err} = \frac{1}{sC_1} \times A \times \frac{R_2}{R_1} (V_{in} - V_{ref}) \quad (2)$$

40

【0043】

式(2)より、この誤差増幅器の帰還回路の定数について、電圧電流変換器20の基準電流を変化させることにより、最適化を図ることが理解できる。

【0044】

すなわち、受動素子であるC 1, R 1, R 2の値にばらつき(製造誤差)がある場合でも、Aの値を最適化することにより、所望の利得を得ることができるといえる。

【0045】

(実施の形態2)

図2は、本実施の形態を示す誤差増幅器の回路図である。この誤差増幅器は、図1に示す誤差増幅器と比較して、積分器30に抵抗R 3が加わった構成である。

50

【 0 0 4 6 】

抵抗 R 3 は、ダンピング抵抗である。

【 0 0 4 7 】

また、積分器 3 0 は、実施の形態 1 と同様に、外付けすることが可能である。

【 0 0 4 8 】

図 2 に示す誤差増幅器の伝達関数は、式 ( 3 ) で表される。

【 数 3 】

$$V_{err} = \left( R_3 + \frac{1}{sC_1} \right) \times A \times \frac{R_2}{R_1} (V_{in} - V_{ref}) \quad (3)$$

10

【 0 0 4 9 】

式 ( 3 ) と式 ( 2 ) とを比較すると、位相補償素子である R 3 が加わったことで、位相余裕が増加し、誤差増幅器の帰還回路の定数の最適化の制御性が高まったといえる。

【 0 0 5 0 】

( 実施の形態 3 )

図 5 ( A ) は、可変電流源の構成例である。図 5 ( B ) は、図 5 ( A ) における部分 1 0 0 の構成をより詳細に示した回路図である。図 1 および図 2 において、1 0 0 の構成をトランジスタ Q 5 の代わりに用いると、電源 1 5 より流れる基準電流 I b を可変にすることができる。

【 0 0 5 1 】

20

図 5 ( B ) の 1 0 0 の構成では、ビット信号 B 1 [ 1 ] , B 1 [ 0 ] によってオンになるトランジスタの数を変え、基準電流を変えている。なお、I o u t から出力される基準電流は、I 0 , I 0 × 2 および I 0 × 3 と変えることができる。

【 0 0 5 2 】

基準電流を可変にすることで、誤差増幅器の帰還回路の定数の最適化がさらに容易となる。

【 符号の説明 】

【 0 0 5 3 】

- 1 0 増幅段
- 1 1 入力端子
- 1 2 出力端子
- 1 3 端子
- 1 4 , 1 5 電流源
- 1 6 オペアンプ
- 2 0 電圧電流変換器
- 3 0 積分器
- 4 0 誤差増幅器
- 5 0 発振器
- 6 0 P W M コンパレータ
- 6 5 電源入力端子
- 7 0 出力端子
- 2 0 0 チップ
- 2 1 0 誤差増幅器
- 2 2 0 コンデンサが設けられている領域
- 2 3 0 F P C
- 2 4 0 基板
- Q 1 ~ Q 6 トランジスタ
- C 1 ~ C 3 コンデンサ
- R 1 ~ R 7 抵抗
- D 1 ダイオード

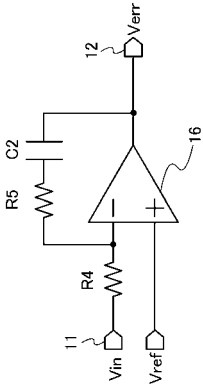
30

40

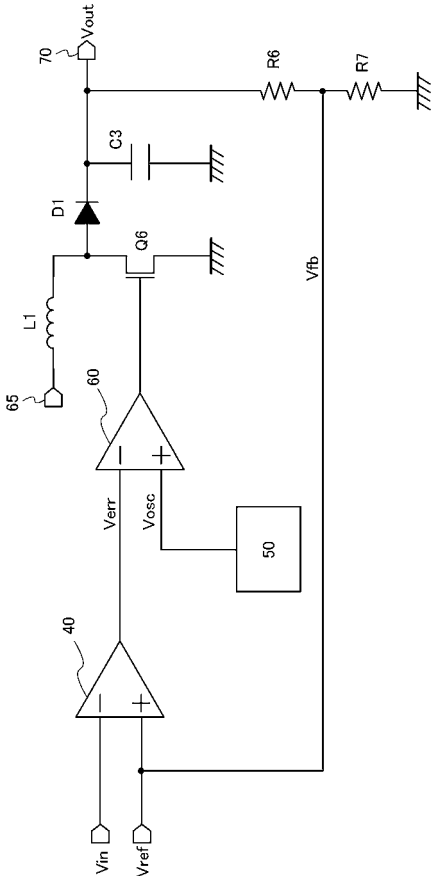
50



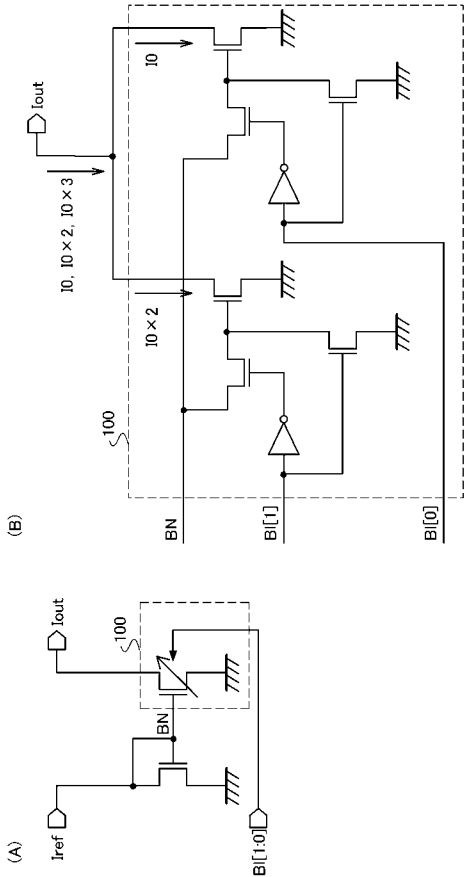
【図 3】



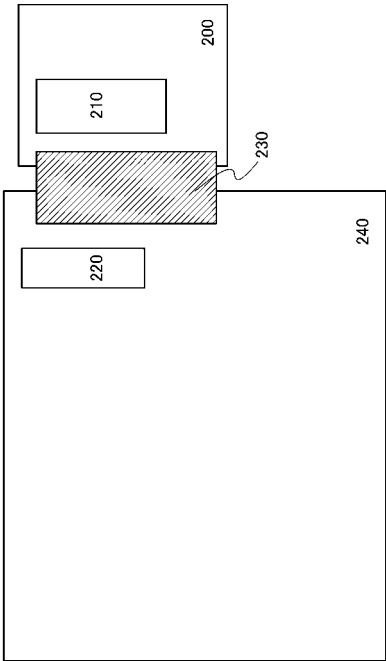
【図 4】



【図 5】



【図 6】







---

フロントページの続き

(56)参考文献 特開平 0 4 - 2 2 5 6 1 0 ( J P , A )  
特開平 1 0 - 1 7 3 4 5 0 ( J P , A )  
特開 2 0 0 3 - 0 5 1 7 2 1 ( J P , A )  
特開 2 0 0 6 - 3 2 4 9 7 5 ( J P , A )  
特開 2 0 0 6 - 2 6 2 1 0 3 ( J P , A )  
特開 2 0 0 0 - 2 9 3 2 4 4 ( J P , A )  
特開 2 0 0 9 - 2 0 0 7 0 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
H 0 3 F 3 / 4 5  
H 0 3 F 1 / 3 0