

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4848366号

(P4848366)

(45) 発行日 平成23年12月28日(2011.12.28)

(24) 登録日 平成23年10月21日(2011.10.21)

(51) Int.Cl. F I
 H O 1 L 21/8238 (2006.01) H O 1 L 27/08 3 2 1 D
 H O 1 L 27/092 (2006.01) H O 1 L 29/58 G
 H O 1 L 29/423 (2006.01)
 H O 1 L 29/49 (2006.01)

請求項の数 6 (全 11 頁)

(21) 出願番号	特願2007-513157 (P2007-513157)	(73) 特許権者	504199127
(86) (22) 出願日	平成17年4月18日 (2005.4.18)		フリースケール セミコンダクター イン
(65) 公表番号	特表2007-537595 (P2007-537595A)		コーポレイテッド
(43) 公表日	平成19年12月20日 (2007.12.20)		アメリカ合衆国 7 8 7 2 9 テキサス州
(86) 国際出願番号	PCT/US2005/013076		オースティン ダブリュー パーマー
(87) 国際公開番号	W02005/114718		レーン 7 7 0 0
(87) 国際公開日	平成17年12月1日 (2005.12.1)	(74) 代理人	100116322
審査請求日	平成20年4月11日 (2008.4.11)		弁理士 桑垣 衛
(31) 優先権主張番号	10/843,850	(72) 発明者	アデトウトゥ、オルビンミ オー、
(32) 優先日	平成16年5月12日 (2004.5.12)		アメリカ合衆国 7 8 7 2 9 テキサス州
(33) 優先権主張国	米国 (US)		オースティン パートリッジ ベンド
			ドライブ 1 2 9 1 9

最終頁に続く

(54) 【発明の名称】 2種類の金属酸化物ゲート誘電体に1種類の金属ゲート電極が設けられる半導体プロセス及び集積回路

(57) 【特許請求の範囲】

【請求項1】

半導体基板上にN型のトランジスタが形成される第1の領域とP型のトランジスタが形成される第2の領域とを有する半導体デバイスの製造方法において、

前記第1の領域と第2の領域の両方の上方に、酸化ランタンを含有する第1の高K材料からなる第1ゲート誘電体を形成する工程と、

前記第1の領域と第2の領域の両方の上方に、第1ゲート電極膜を形成する工程と、

前記第2の領域から前記第1ゲート誘電体及び前記第1ゲート電極膜を除去する工程と

、
 前記第1の領域と第2の領域の両方の上方に、前記第1の高K材料とは異なる第2の高K材料からなる第2ゲート誘電体を形成する工程と、

前記第1の領域と第2の領域の両方の上方に、第2ゲート電極膜を形成する工程と、

前記第1の領域から前記第2ゲート誘電体及び前記第2ゲート誘電体を除去する工程とを備え、前記第1ゲート電極膜を含んで前記第1の領域に形成される第1ゲート積層構造は前記第2ゲート電極膜を含んで前記第2の領域に形成される第2ゲート積層構造と同一の組成及び膜厚を有する、半導体デバイスの製造方法。

【請求項2】

前記第2の高K材料は酸化アルミニウムである、請求項1記載の製造方法。

【請求項3】

第1及び第2ゲート電極はタンタル含有層を、前記第1及び第2ゲート誘電体のそれぞれ

10

20

の上に、かつ前記第1及び第2ゲート誘電体のそれぞれとコンタクトする形で含む、請求項2記載の製造方法。

【請求項4】

前記タンタル含有層はTaCから成る、請求項3記載の製造方法。

【請求項5】

前記タンタル含有層はTaSiNから成る、請求項3記載の製造方法。

【請求項6】

第1及び第2ゲート電極は導電層を、前記タンタル含有層の上に、かつタンタル含有層とコンタクトする形で含む、前記導電層はポリシリコン及びタングステンから成るグループから選択される、請求項3記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体形成プロセスの分野に関し、特に相補型金属酸化膜半導体(CMOS)の半導体プロセスの分野に関する。

【背景技術】

【0002】

従来のCMOS形成プロセスはこれまで、PMOSトランジスタ及びNMOSトランジスタの両方に関して1種類のゲート誘電体を使用してきた。従来のゲート誘電体はSiO₂、SiON、及びSi₃N₄を含む。これらの誘電体の膜厚(T_{ox})が徐々に小さくなって、より小さな素子を形成することができるようになるにつれて、直接トンネルによるゲートリーク電流が大きくなっている。更に、薄い酸化膜を有するトランジスタのポリシリコンの空乏化によりゲート容量が非常に大きくなって望ましくない。

【0003】

高い誘電率を有する材料(高K材料)を使用して薄いゲート誘電体に関連する問題の幾つかを解決してきた。高K誘電体を有するトランジスタは相対的に厚いゲート誘電体を使用して形成することができるとともに、相対的に薄いゲート誘電体を有する従来のトランジスタと同じ容量の効果を実現する。最も広く用いられてきた高K材料は、酸化ハフニウム(例えば、HfO₂)、酸化アルミニウム(例えば、Al₂O₃)、及びこれらの化合物の誘導体のような金属酸化物系化合物を含む。

【発明の開示】

【発明が解決しようとする課題】

【0004】

高K材料によって誘電体の膜厚問題を解決することができるので有利であるが、高K材料はNMOSトランジスタ及びPMOSトランジスタの閾値電圧に不所望かつ非対称の影響を及ぼすことが判明している。酸化ハフニウムから成る金属酸化物ゲート誘電体は、ゲート電極の仕事関数をバンドギャップの中程に固定(ピニング)するように作用し、この現象が閾値電圧及び駆動電流を含むデバイスパラメータに悪い影響を与えることが理論的に判明している。更に、酸化ハフニウムのような金属酸化物系ゲート化合物に関するフェルミピニングは、不純物ドーパントポリシリコンをゲート電極として使用する場合に特に、NMOSトランジスタよりもPMOSトランジスタにおいて顕著である(すなわち、PMOSトランジスタのデバイスパラメータの方がNMOSトランジスタのデバイスパラメータよりも大きな影響を受ける)。高K材料を取り入れたプロセスを用いて、非常に薄いゲート誘電体に関連する問題を解決し、同時に高Kゲート誘電体を1種類だけ使用する場合に観察される素子特性の非対称なずれの問題も解決することが望ましい。更に、用いるプロセスが、プロセスフローを簡単にするためにゲート電極材料を1種類だけ使用することができれば望ましい。

【課題を解決するための手段】

【0005】

要約すると、本発明は、ゲート電極を1種類のみ設けた構造の2つの異なるゲート誘電

10

20

30

40

50

体を使用して集積化を行なうCMOS形成プロセスである。異なるゲート誘電体によって、ゲート電極材料の差を補償するとともに、1種類のゲート電極のみを使用することによりプロセスフローを簡単にし、かつプロセスコストを下げる。2つの異なる特定のプロセスフローまたは集積化方法について明示的に記載する。

【発明を実施するための最良の形態】

【0006】

本発明は例を通して示され、そして添付の図によって制限されるものではなく、これらの図では、同様の参照記号は同様の構成要素を指す。

当業者であれば、これらの図における構成要素が説明を簡単かつ明瞭にするために示され、そして必ずしも寸法通りには描かれていないことが分かるであろう。例えば、これらの図における幾つかの構成要素の寸法を他の構成要素に対して誇張して描いて本発明の実施形態を理解し易くしている。

10

【0007】

次に、図1を参照すると、プロセスフローの中間工程における半導体ウェハ102の部分断面図が示される。図示の実施形態では、ウェハ102は、第1ウェル領域104（第1ウェル104とも呼ぶ）、及び第2ウェル領域106（第2ウェル106とも呼ぶ）を含み、これらのウェル領域は互いに対して横方向にずれて配置される。第1ウェル104及び第2ウェル106は逆導電型の不純物を含み、これらのウェルの一方がp型ウェルとなり、そしてこれらのウェルのもう一方がn型ウェルとなる。記載の実施形態では、第1ウェル104がp型ウェル（pウェル）であり、このウェルには、NMOSトランジスタが形成され、そして第2ウェル106がn型ウェル（nウェル）であり、このウェルには、pMOSトランジスタが形成される。

20

【0008】

誘電体分離トレンチ108がウェハ102内部に形成されている。トレンチの名称が示すとおり、誘電体分離トレンチ108は隣接素子（トランジスタ）の間の電氣的絶縁及び物理的絶縁を実現するように機能する。誘電体分離トレンチ108はシリコン酸化物（または他の誘電体）系化合物により構成されることが好ましく、このシリコン酸化物系化合物は、エッチングによりトレンチをウェハ102内部に形成し、トレンチに誘電体を堆積させることにより充填し、そしてウェハを研磨する、またはエッチングして不要の誘電体を除去することにより形成される。別の方法として、誘電体分離トレンチ108は従来のLOCOS法を使用して形成することができ、このLOCOS法では、シリコン窒化膜を堆積させ、そしてパターンニングして絶縁領域を画定し、その後ウェハ102の露出シリコンを熱酸化して絶縁誘電体を形成する。

30

【0009】

ウェル104及び106、及び分離トレンチ108を形成した後、第1ゲート誘電体110をブランケット堆積法によりウェハ102全体を覆って堆積させる。第1誘電体は第1タイプのトランジスタのゲート誘電体として機能する。図示の実施形態では、第1誘電体110は、複数のトランジスタの内、第1ウェル104の上に形成されるゲート誘電体として機能する。第1ウェル104がpウェルである実施形態では、第1ゲート誘電体110はNMOSトランジスタに使用されるゲート誘電体である。このような一の実施形態では、第1ゲート誘電体110は化学気相成長により形成される金属酸化物系化合物である。第1誘電体110としての使用に適する金属酸化物系化合物は酸化ランタン（好適には、 La_2O_3 ）である。第1ゲート誘電体の通常の膜厚は0.5～10ナノメートルの範囲である。

40

【0010】

次に、図2及び図3によれば、第1誘電体110形成した後、第1ゲート積層構造111が、ゲート電極層112、導電層114、及び反射防止コーティング（ARC）116を連続して第1誘電体110を覆うように堆積させることにより形成される。一の実施形態では、ゲート電極層112はTaSiN層であり、この層は1～20ナノメートルの範囲の膜厚を有することが好ましい。別の実施形態では、ゲート電極層112はTaC層で

50

あり、この層は1～20ナノメートルの範囲の膜厚を有する。

【0011】

導電層114は、設けるかどうかは任意の層であり、この層を使用して、例えば集積化を簡単に行なうことができる。導電層114は高不純物濃度ポリシリコン、タングステン、または別の適切な導電材料であることが好ましく、これらの材料は約10～100ナノメートルの範囲の膜厚を有する。反射防止コーティング(ARC)116は非常に薄い層であり、この層を使用して、半導体形成の分野で公知のように、後続のフォトリソグラフィ工程を容易に行なうことができるようにする。ARC116は Si_xN_y 、またはフォトリソグラフィ技術における露光波長で高い吸光率を有するポリマーにより構成することができる。

10

【0012】

次に、図4によれば、ARC116を形成した後、ハードマスク120を、第1ウェル領域104上方のARC116の上に選択的に形成する。ハードマスク120はCVDにより形成される酸化シリコン層であることが好ましい。ハードマスク120は、第1ウェル領域104上方の第1ゲート積層構造111を、同様のゲート構造を第2ウェル領域106上方に形成している間に保護するように機能する。

【0013】

次に、図5によれば、ハードマスク120をパターニングした後、ゲート積層構造111の露出部分を除去する。ゲート積層構造111の露出部分は、ゲート積層構造の内、第2ウェル領域106上方の部分を含む。ゲート積層構造の内、第2ウェル領域106上方の部分の除去することにより、ゲート積層構造111の内、第1ウェル領域104上方の部分の上の保護コーティングを残しながら、ウェハ102の内、第2ウェル領域106上方の上側表面を露出させる。

20

【0014】

次に、図6によれば、第2ゲート誘電体130をウェハ102の上に非選択的に堆積させる。第2ゲート誘電体130は第1ゲート誘電体110とは異なる材料であり、そして第2ウェル領域106上の第2ゲート誘電体130の膜厚は第1ウェル領域104上の第1ゲート誘電体110の膜厚とは異ならせることができる。本発明の一の実施形態では、第1ゲート誘電体110及び第2ゲート誘電体130は共に、高K誘電体であることが重要である。本開示の目的を達成するために、高K誘電体は、 SiO_2 の誘電率の少なくとも1.5倍の誘電率を有する誘電体である。タンタル系ゲート電極を有するPMOSトランジスタに関連する形で使用に適するこのような一の実施形態では、第2ゲート誘電体130は、堆積法により形成され、かつ0.5～10ナノメートルの範囲の膜厚を有する酸化アルミニウム膜を含む。

30

【0015】

図7では、第2ゲート積層構造131は、第2ゲート誘電体膜132を第2ゲート誘電体130上に、第2導電膜134を第2ゲート電極132上に、そして第2ARC膜136を第2導電膜134上に連続して堆積させることにより形成される。一の実施形態では、第2ゲート積層構造131は第1ゲート積層構造111に、第2ゲート電極132が第1ゲート電極膜112と同じ組成及び膜厚を有し、第2導電膜134が第1導電膜114と同じ組成及び膜厚を有し、そして第2ARC136が第1ARC116と同じ組成及び膜厚を有するという点で同等である。設けるかどうかは任意の第1導電層114を設けない実施形態では、第2導電層134を第2ゲート積層構造131には設けないなどするので、第1ゲート積層構造111及び第2ゲート積層構造131は組成及び寸法(膜厚)に関してほぼ同じになる。

40

【0016】

図8及び図9では、フォトレジストマスク140をパターニングして、第2ウェル領域106上の第2ゲート積層構造131の上に残す。次に、第2ゲート積層構造131の露出部分(第2ウェル領域106上に位置しない部分)が、第1ゲート積層構造111の一部を除去するために使用するエッチング手順とほぼ同じエッチング手順を使用して除去

50

される。第2ゲート積層構造131の露出部分を除去した後、図9に示すフォトリジスト層140の残りの部分だけでなく、図9に示すハードマスク120の残りの部分を、更に別の処理を継続する前に除去する。

【0017】

図10では、従来のゲート電極エッチング手順を実施して第1トランジスタ150及び第2トランジスタ160を、第1ウェル領域104及び第2ウェル領域106の上にそれぞれ形成する。第1トランジスタ150及び第2トランジスタ160を逆の導電型とし、例えば第1トランジスタ150がNMOSトランジスタとなり、第2トランジスタ160がPMOSトランジスタとなるようにすることが好ましい。第1トランジスタ150及び第2トランジスタ160のゲート誘電体は組成が異なる。上に記載したように、例えば第1ゲート誘電体110を酸化ランタンのような第1材料により構成し、そして第2ゲート誘電体130を酸化アルミニウムのような第2材料により構成することができる。更に、第1トランジスタ150及び第2トランジスタ160が異なる導電型であり、かつ異なるゲート誘電体を有するが、両方のトランジスタのゲート電極は組成及び膜厚の両方に関してほぼ同じである。

【0018】

半導体製造における当業者であれば、更に別の従来の処理工程（図示せず）を実行して第1トランジスタ150及び第2トランジスタ160を完成させることが分かるであろう。例えば、一つ以上のエクステンションイオン注入工程、ハロイオン注入工程、スペーサ形成工程、及びソース/ドレインイオン注入工程を実行してトランジスタを完成させることができる。更に続いて、多層配線を通常含む従来の後工程処理（図示せず）が、トランジスタを所望の方法で接続して所望の機能を実現するために必要になる。

【0019】

図11～15には、本発明による形成プロセスの第2の実施形態の関連部分が表示される。この第2の実施形態の図11の前に、図1～3に関して示し、そして説明した処理手順を実行する。しかしながらその後の処理手順は図4～10に示す手順とは異なる。

【0020】

図11によれば、第1ゲート積層構造111を第1ゲート誘電体110の上に図3に示すように形成した後、第1ウェル領域104上のゲート電極151を第1ゲート積層構造111により、従来のゲート電極形成手順を使用して形成する。詳細には、ゲート電極151は、第1ゲート積層構造111上のフォトリジスト層をパターニングして、所望のゲート電極151が形成される予定の領域を除くゲート積層構造111を露出させることにより形成される。その後、第1ゲート積層構造111を、従来のゲート電極エッチング処理手順を使用してエッチングする。

【0021】

図12では、窒化シリコンにより形成されることが好ましいハードマスク202をウェハ102上に堆積させ、そして選択的にエッチングしてハードマスクの内、第2ウェル領域106上の部分を除去して第2ウェル領域106の上側表面を露出させる。次に、第2ゲート誘電体130を図13に示すように堆積させる。

【0022】

図14では、第2ゲート積層構造131をウェハ102上に形成するが、この場合、第2ゲート積層構造131は、第1ゲート電極151を形成するために使用した第1ゲート積層構造111の組成及び膜厚と同じ組成及び膜厚を有する。図15では、第2ゲート電極161が、フォトリジスト層をPMOSゲートマスクを使用してパターニングし、その後、第2ゲート積層構造131の露出部分をエッチングすることにより形成されている。更に、ハードマスク202がウェハから適切なエッチングプロセスを使用して除去されている。

【0023】

本発明の一の実施形態では2層のゲート誘電体を使用する。この実施形態の2つの変形例は第1変形例及び第2変形例を含み、第1変形例では、第1ウェル及び第2ウェルの両

10

20

30

40

50

方の上のゲート誘電体が２層構造になっており、第２変形例では、これらのウェルの内の第１ウェルの上のゲート誘電体が１層構造誘電体であり、第２ウェルの上のゲート誘電体が２層構造誘電体である。好ましくは５～１０オングストロームの膜厚を有する第１誘電体層は、ＮＭＯＳ側及びＰＭＯＳ側の両方で同じにすることができる。好ましくは５～２０オングストロームの膜厚を有する第２層は、第１ウェル上で第１組成を有し、そして第２ウェル上で第２組成を有して、異なるゲート電極仕事関数を実現する。この第２層は基本的に仕事関数設定用の誘電体層である。

【００２４】

次に、図１６～１９を参照すると、本発明の或る実施形態が示され、この実施形態では、第１ゲート誘電体（すなわち、第１ウェル１０４上に形成されるゲート誘電体）は第２誘電体膜２２０を第１誘電体膜２１０上に含み、第１誘電体膜２１０は第１ウェル１０４上に設けられる。第２ゲート誘電体（すなわち、第２ウェル１０６上に形成されるゲート誘電体）は第３誘電体膜２３０を第１誘電体膜２１０上に含む。この実施形態は、ＮＭＯＳトランジスタ及びＰＭＯＳトランジスタがほぼ同じ組成のゲート電極を使用する構成において、異なるゲート誘電体をＮＭＯＳトランジスタ及びＰＭＯＳトランジスタに関して設けるというコンセプトを含むが、異なるゲート誘電体は共通の誘電体膜を含む。詳細には、図１６によれば、第１誘電体膜２１０は第１ウェル１０４及び第２ウェル１０６の上に形成される。一の実施形態では、第１誘電体膜２１０は SiO_2 、酸化ハフニウム、または約５～１００オングストロームの範囲の膜厚を有する別の高Ｋ誘電体である。第１誘電体膜２１０は、原子層堆積法（ＡＬＤ）、ＣＶＤ、またはＰＶＤにより堆積させることができる。次に、第２誘電体膜２２０を堆積させ、そして図１７に示すようにパターンニングして、第２誘電体膜２２０が第１ウェル１０４上に残るが、第２ウェル１０６の上から除去されるようにする。次に、第３誘電体膜２３０を堆積させ、そして図１８に示すようにパターンニングして、第３誘電体膜２３０が第２ウェル１０６上に残るが、第１ウェル１０４の上から除去されるようにする。第２誘電体膜２２０が５～２０オングストロームの厚さの酸化ランタンまたは LaAlO_3 であり、第３誘電体膜２３０が５～２０オングストロームの厚さの酸化アルミニウムであることが好ましい。第１誘電体膜２１０と同じように、第２誘電体膜２２０及び第３誘電体膜２３０は、ＡＬＤ、ＣＶＤ、またはＰＶＤにより堆積させることができる。図１９において、第１ゲート積層構造１５１及び第２ゲート積層構造１６１は第１ウェル１０４及び第２ウェル１０６の上にそれぞれ形成される。

【００２５】

図２０及び図２１を参照すると、前の段落で説明した手順の変形例が示され、この変形例では、第１ウェル１０４上に形成されるゲート誘電体が第２誘電体膜２２０を第１誘電体膜２１０上に含み、第２ウェル１０６上に形成されるゲート誘電体が第１誘電体膜２１０を基板（すなわち第２ウェル領域１０６）上に含む。この実施形態は、第１誘電体膜２１０を堆積させ、その後、第２誘電体膜２２０を堆積させ、そしてパターンニングして第２誘電体膜２２０の内、第２ウェル１０６領域上の部分を除去することにより得られる。図２１において、ゲート積層構造１５１及び１６１は、それぞれ第１ゲート誘電体及び第２ゲート誘電体の上に形成される。一の実施形態では、第１誘電体膜２１０は SiO_2 、酸化ハフニウム、または酸化アルミニウムにより構成することができ、第２誘電体膜２２０は酸化ランタンである。

【００２６】

これまでの明細書では、本発明について特定の実施形態を参照しながら記載してきた。しかしながら、この技術分野の当業者であれば、種々の変形及び変更を、以下の請求項に示す本発明の技術範囲から逸脱しない範囲において加え得ることが分かるであろう。例えば、図１に示す素子構造に関する別の構造では、第１ウェル１０４をｎ型ウェルとし、第２ウェル１０６をｐ型ウェルとする。また、第１及び第２ゲート電極層（１１２，１３２）、及び第１及び第２導電層（１１４，１３４）は開示した材料とは異なる材料とすることができる。更に、記載の層の膜厚は開示した膜厚値とは異なるようにすることができる。従って、明細書及び図は、本発明を制限するものとしてではなく例示として捉えられる

べきであり、そしてこのような変更の全てが本発明の技術範囲に含まれるべきものである。

【 0 0 2 7 】

効果、他の利点、及び技術的問題に対する解決法について、特定の実施形態に関して上に記載してきた。しかしながら、効果、利点、及び問題解決法、及びいずれかの効果、利点、または問題解決法をもたらす、またはさらに顕著にし得る全ての要素（群）が、いずれかの請求項または全ての請求項の必須の、必要な、または基本的な特徴または要素であると解釈されるべきではない。本明細書で使用されるように、「*comprises*」、「*comprising*」という用語、または他の全てのこれらの変形は包括的な意味で適用されるものであり、一連の要素を備えるプロセス、方法、製品、または装置がこれらの要素のみを含むのではなく、明らかに列挙されていない、またはそのようなプロセス、方法、製品、または装置に固有の他の要素も含むことができる。

【図面の簡単な説明】

【 0 0 2 8 】

【図 1】半導体ウェハの部分断面図であり、このウェハでは、第 1 ゲート誘電体層がウェハを覆って形成される。

【図 2】ゲート電極層を第 1 ゲート誘電体層を覆うように形成する、図 1 に続く処理を示す部分断面図。

【図 3】導電層及び反射防止コーティングをゲート電極層を覆うように形成する、図 2 に続く処理を示す部分断面図。

【図 4】ハードマスクを反射防止コーティングの第 1 部分を覆うように形成する、図 3 に続く処理を示す部分断面図。

【図 5】反射防止コーティング、導電層、及びゲート電極層の露出部分を除去する、図 4 に続く処理を示す部分断面図。

【図 6】第 2 ゲート誘電体をウェハの第 2 部分を覆うように形成する、図 5 に続く処理を示す部分断面図。

【図 7】第 2 ゲート電極層、導電層、及び反射防止コーティングを第 2 ゲート誘電体を覆うように形成する、図 6 に続く処理を示す部分断面図。

【図 8】フォトリソマスクをウェハの第 2 部分を覆うように形成する、図 7 に続く処理を示す部分断面図。

【図 9】第 2 反射防止コーティング、導電層、及びゲート電極層の露出部分を除去する、図 8 に続く処理を示す部分断面図。

【図 10】第 1 及び第 2 ゲート電極をウェハの第 1 及び第 2 部分を覆うように形成する、図 9 に続く処理を示す部分断面図。

【図 11】第 1 ゲート電極をウェハの第 1 部分を覆うように形成する、本発明の第 2 の実施形態による図 3 に続く処理を示す部分断面図。

【図 12】ハードマスクを第 1 ゲート電極を覆うように形成する、図 11 に続く処理を示す部分断面図。

【図 13】第 2 ゲート誘電体をウェハの第 2 部分を覆うように形成する、図 12 に続く処理を示す部分断面図。

【図 14】第 2 ゲート電極層、導電層、及び反射防止コーティングをウェハを覆うように形成する、図 13 に続く処理を示す部分断面図。

【図 15】第 2 ゲート電極をウェハの第 2 部分を覆うように形成する、図 14 に続く処理を示す部分断面図。

【図 16】半導体ウェハの部分断面図であり、このウェハでは、第 1 ゲート誘電体層がウェハを覆うように形成される部分断面図。

【図 17】第 2 ゲート誘電体層をウェハの第 1 部分を覆うように形成する、図 16 に続く処理を示す部分断面図。

【図 18】第 3 ゲート誘電体層をウェハの第 2 部分を覆うように形成する、図 17 に続く処理を示す部分断面図。

10

20

30

40

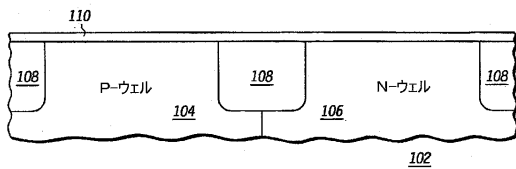
50

【図 19】第 1 及び第 2 ゲート電極をウェハの第 1 及び第 2 部分を覆うように形成する、図 18 に続く処理を示す部分断面図。

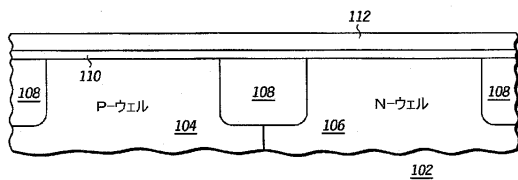
【図 20】第 2 ゲート電極層をウェハの第 1 部分を覆うように形成する、別の実施形態による図 16 に続く処理を示す部分断面図。

【図 21】第 1 及び第 2 ゲート電極をウェハの第 1 及び第 2 部分覆うように形成する、図 20 に続く処理を示す部分断面図。

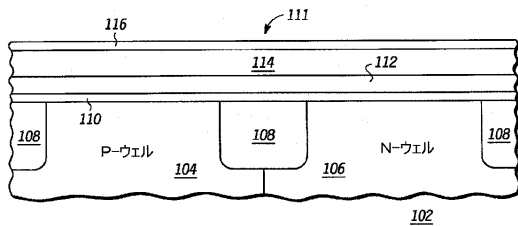
【図 1】



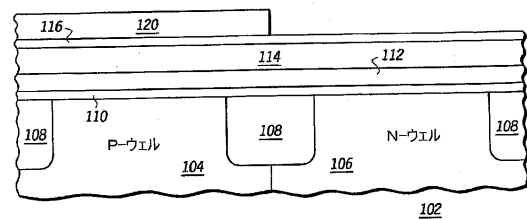
【図 2】



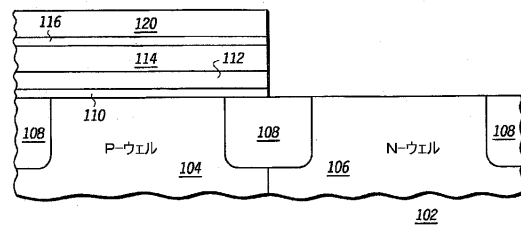
【図 3】



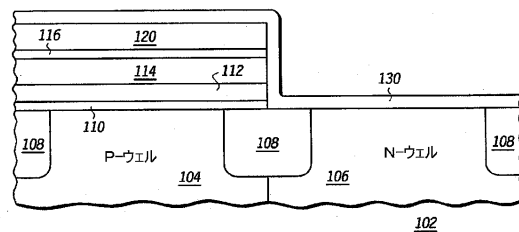
【図 4】



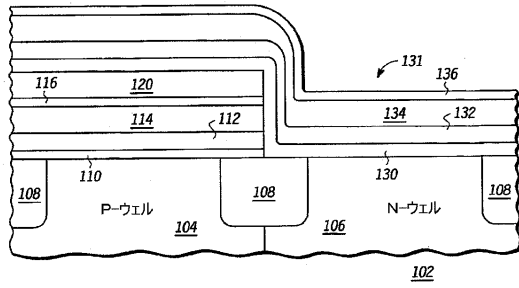
【図 5】



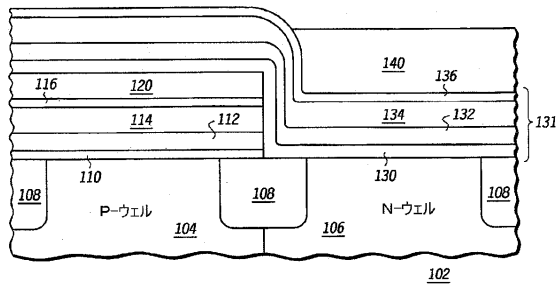
【図 6】



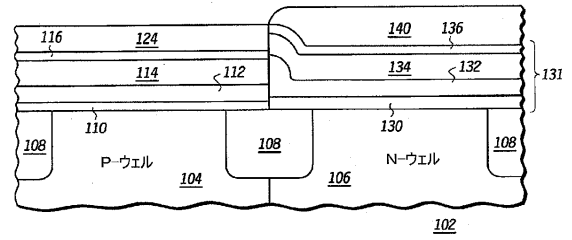
【図 7】



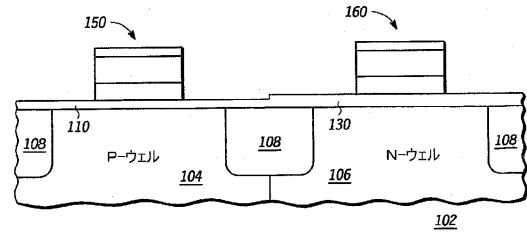
【図 8】



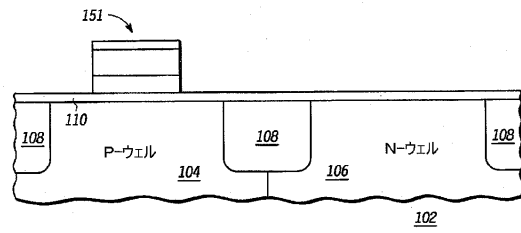
【図 9】



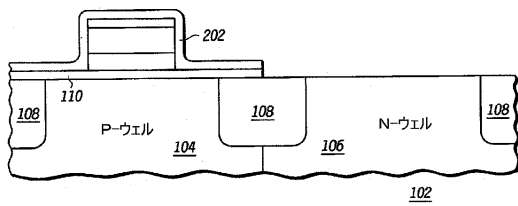
【図 10】



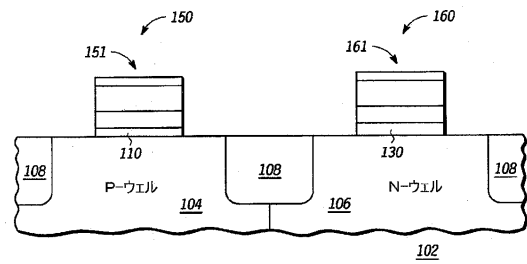
【図 11】



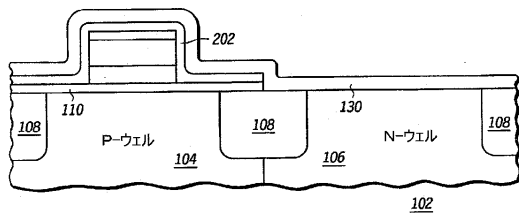
【図 12】



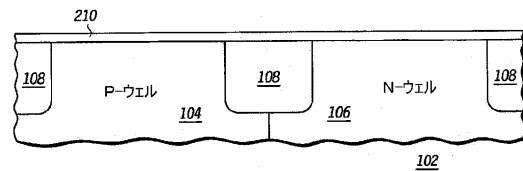
【図 15】



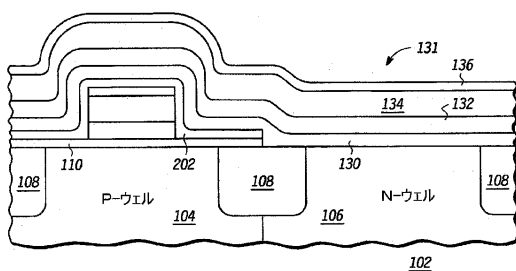
【図 13】



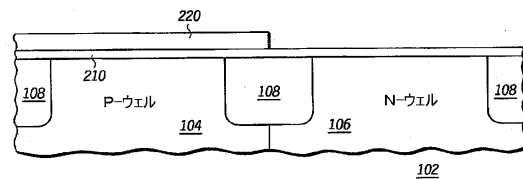
【図 16】



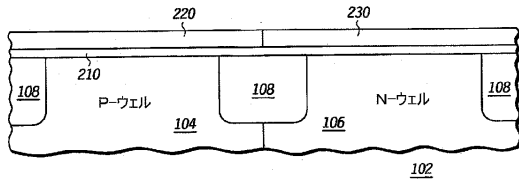
【図 14】



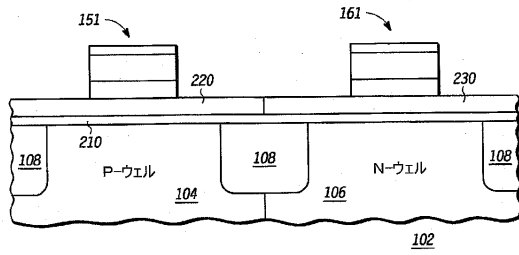
【図 17】



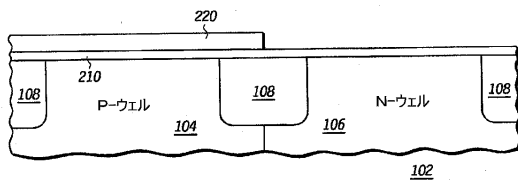
【図 18】



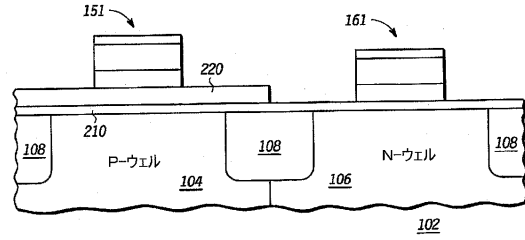
【図 19】



【図 20】



【図 21】



フロントページの続き

- (72)発明者 サマベダム、スリカンス ビー .
アメリカ合衆国 7 8 7 2 8 テキサス州 オースティン ベルナーディーノ コーブ 2 9 1 3
- (72)発明者 ホワイト、ブルース イー .
アメリカ合衆国 7 8 6 6 4 テキサス州 ラウンド ロック ブルーベル ベンド コーブ 3
2 0 4

審査官 宇多川 勉

- (56)参考文献 特開平03 - 1 8 4 3 6 8 (J P , A)
特開2002 - 3 5 9 2 9 5 (J P , A)
特開2002 - 2 8 0 4 6 1 (J P , A)
特開2001 - 0 2 4 1 8 8 (J P , A)
特開2004 - 2 8 9 0 6 1 (J P , A)
特開2004 - 1 3 4 7 5 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8238
H01L 27/092
H01L 29/423
H01L 29/49