



(12) 发明专利申请

(10) 申请公布号 CN 102480276 A

(43) 申请公布日 2012. 05. 30

(21) 申请号 201010562499. 7

(22) 申请日 2010. 11. 26

(71) 申请人 无锡华润上华半导体有限公司

地址 214028 江苏省无锡市国家高新技术产
业开发区汉江路 5 号

申请人 无锡华润上华科技有限公司

(72) 发明人 程亮

(74) 专利代理机构 广州华进联合专利商标代理
有限公司 44224

代理人 何平

(51) Int. Cl.

H03F 3/45 (2006. 01)

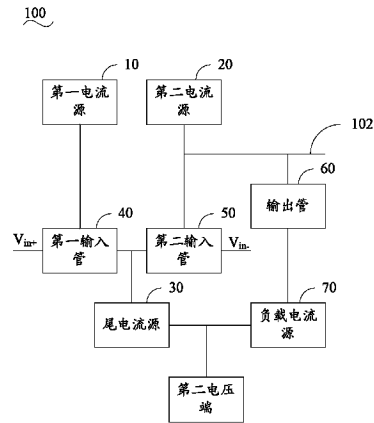
权利要求书 1 页 说明书 5 页 附图 5 页

(54) 发明名称

折叠式共源共栅运算放大器

(57) 摘要

本发明涉及一种折叠式共源共栅运算放大器,包括第一电流源、第二电流源、第一输入管、第二输入管、尾电流源、负载电流源、第二电压端以及输出管;第一电流源与第一输入管串联,第二电流源与第二输入管串联,第一输入管与第二输入管相连且连接处与尾电流源相连,尾电流源和负载电流源均连接第二电压端,负载电流源与输出管相连,第二电流源与第二输入管间设有输出端,且输出端与输出管相连;第二电流源是第一电流源的镜像电流源,流经第二电流源的电流与流经第一电流源的电流比值为大于 1 的定值。本发明通过设置镜像电流源,使得在尾电流源的偏置电流保持不变的情况下,能获得较大的输出端的输出电流,提高了摆率。



1. 一种折叠式共源共栅运算放大器,其特征在于,包括第一电流源、第二电流源、第一输入管、第二输入管、尾电流源、负载电流源、第二电压端以及输出管;所述第一电流源与所述第一输入管串联,第二电流源与所述第二输入管串联,所述第一输入管与所述第二输入管相连且连接处与所述尾电流源相连,所述尾电流源和所述负载电流源均连接第二电压端,所述负载电流源与所述输出管相连,所述第二电流源与第二输入管间设有输出端,且所述输出端与所述输出管相连;

所述第二电流源是所述第一电流源的镜像电流源,流经所述第二电流源的电流与流经所述第一电流源的电流比值为大于1的定值。

2. 根据权利要求1所述的折叠式共源共栅运算放大器,其特征在于,所述第一电流源和第一输入管之间还串联接有第一MOS管。

3. 根据权利要求2所述的折叠式共源共栅运算放大器,其特征在于,所述输出管是一个P型MOS管,所述输出管的源极连接所述输出端,所述输出管的漏极与所述负载电流源相连;所述第一MOS管是一个P型MOS管,所述第一MOS管的源极与第一电流源相连,所述第一MOS管的漏极与第一输入管相连,所述第一MOS管的栅极与所述输出管的栅极相连;所述第一MOS管与输出管在电路结构上为对称结构,所述第一MOS管与输出管的栅极电压相等。

4. 根据权利要求3所述的折叠式共源共栅运算放大器,其特征在于,所述第一输入管和所述第二输入管为MOS管,所述第一输入管的栅极输入的电压与所述第二输入管的栅极输入的电压大小相等、方向相反,组成差分对。

5. 根据权利要求2-4任意一项所述的折叠式共源共栅运算放大器,其特征在于,所述第一电流源和第二电流源为P型MOS管且源极接第一电压端,所述第一电流源和第二电流源的栅极相互连接且接于第一MOS管与第一输入管之间。

6. 根据权利要求1所述的折叠式共源共栅运算放大器,其特征在于,还包括与所述输出端相连的缓冲输出模块,所述缓冲输出模块包括米勒电容、电阻以及缓冲单元,所述米勒电容的一端与所述输出端相连,另一端与所述电阻相连,所述缓冲单元的 V_{in} 端接于输出管和负载电流源之间, V_{out} 端与所述电阻相连。

7. 根据权利要求6所述的折叠式共源共栅运算放大器,其特征在于,所述缓冲输出单元采用共源放大器结构、推挽输出结构、源跟随器推挽输出结构中的一种。

8. 根据权利要求1所述的折叠式共源共栅运算放大器,其特征在于,所述尾电流源是一个N型MOS管,所述尾电流源的漏极与所述第一输入管及第二输入管相连,所述尾电流源的源极与负载电流源连接。

9. 根据权利要求1所述的折叠式共源共栅运算放大器,其特征在于,所述负载电流源是一个N型MOS管,其源极连接所述尾电流源和第二电压端,漏极与输出管相连。

10. 根据权利要求1所述的折叠式共源共栅运算放大器,其特征在于,所述第一输入管和所述第二输入管为N型MOS管,所述第一输入管和所述第二输入管的源极相互连接且与所述尾电流源相连,所述第一输入管的漏极与所述第一MOS管连接,所述第二输入管的漏极与所述输出端、第二电流源及输出管相连。

折叠式共源共栅运算放大器

【技术领域】

[0001] 本发明涉及放大器,尤其涉及一种折叠式共源共栅运算放大器。

【背景技术】

[0002] 传统的运算放大器中,摆率 (slew rate, SR) 过小是限制运算放大器的高速应用的一个重要原因。摆率是指运算放大器的输出电压相对于时间的变化率的最大值。

[0003] 传统的折叠式共源共栅运算放大器为了获取高的摆率,一般采用增加电路中电流源的偏置电流的方法实现。

[0004] 图 1 是一种传统的折叠式共源共栅运算放大器,尾电流源 M3 的电流为 I ,当输入电压 $V_{in+} - V_{in-} > \sqrt{2} \cdot V_{dast_M4}$ 时,电路进入大信号工作状态,输入管 M4 导通、M9 截止, M7 和 M8 亦截止,导致 M5 也截止,因此过电流源 M1 的电流与过 M4、M3 的电流都为 I 。电流源 M2 与 M1 的宽长比等参数相当,因此过 M2 的电流亦为 I ,通过 M6 对输出端的负载电容充电,正摆率 $SR_p = I/C_L$,其中 C_L 表示负载电容的大小。反之, $V_{in-} - V_{in+} > \sqrt{2} \cdot V_{dast_M4}$ 时,负载电容将放电,负摆率 $SR_n = I/C_L$ 。M1 ~ M8 均为金属氧化物半导体场效应管 (MOSFET),以下简称 MOS 管。该传统的折叠式共源共栅运算放大器一般采用增加尾电流源的偏置电流的方法增大摆率。

[0005] 然而,通过增加偏置电流的方法增大摆率,缺点是显而易见的,就是电路功耗亦会成倍增加,无法满足低功耗要求下的高速应用。

【发明内容】

[0006] 基于此,有必要提供一种高摆率的折叠式共源共栅运算放大器。

[0007] 一种折叠式共源共栅运算放大器,包括第一电流源、第二电流源、第一输入管、第二输入管、尾电流源、负载电流源、第二电压端以及输出管;所述第一电流源与所述第一输入管串联,第二电流源与所述第二输入管串联,所述第一输入管与所述第二输入管相连且连接处与所述尾电流源相连,所述尾电流源和所述负载电流源均连接第二电压端,所述负载电流源与所述输出管相连,所述第二电流源与第二输入管间设有输出端,且所述输出端与所述输出管相连;所述第二电流源是所述第一电流源的镜像电流源,流经所述第二电流源的电流与流经所述第一电流源的电流比值为大于 1 的定值。

[0008] 优选的,所述第一电流源和第一输入管之间还串联接有第一 MOS 管。

[0009] 优选的,所述输出管是一个 P 型 MOS 管,所述输出管的源极连接所述输出端,所述输出管的漏极与所述负载电流源相连;所述第一 MOS 管是一个 P 型 MOS 管,所述第一 MOS 管的源极与第一电流源相连,所述第一 MOS 管的漏极与第一输入管相连,所述第一 MOS 管的栅极与所述输出管的栅极相连;所述第一 MOS 管与输出管在电路结构上为对称结构,所述第一 MOS 管与输出管的栅极电压相等。

[0010] 优选的,所述第一输入管和所述第二输入管为 MOS 管,所述第一输入管的栅极输入的电压与所述第二输入管的栅极输入的电压大小相等、方向相反,组成差分对。

[0011] 优选的,其特征在于,所述第一电流源和第二电流源为 P 型 MOS 管且源极接第一电压端,所述第一电流源和第二电流源的栅极相互连接且接于第一 MOS 管与第一输入管之间。

[0012] 优选的,还包括与所述输出端相连的缓冲输出模块,所述缓冲输出模块包括米勒电容、电阻以及缓冲单元,所述米勒电容的一端与所述输出端相连,另一端与所述电阻相连,所述缓冲单元的 V_{in} 端接于输出管和负载电流源之间, V_{out} 端与所述电阻相连。

[0013] 优选的,所述缓冲输出单元采用共源放大器结构、推挽输出结构、源跟随器推挽输出结构中的一种。

[0014] 优选的,所述尾电流源是一个 N 型 MOS 管,所述尾电流源的漏极与所述第一输入管及第二输入管相连,所述尾电流源的源极与负载电流源连接。

[0015] 优选的,所述负载电流源是一个 N 型 MOS 管,其源极连接所述尾电流源和第二电压端,漏极与输出管相连。

[0016] 优选的,所述第一输入管和所述第二输入管为 N 型 MOS 管,所述第一输入管和所述第二输入管的源极相互连接且与所述尾电流源相连,所述第一输入管的漏极与所述第一 MOS 管连接,所述第二输入管的漏极与所述输出端、第二电流源及输出管相连。

[0017] 上述折叠式共源共栅运算放大器,通过设置电流大小为第一电流源的数倍的镜像电流源(即第二电流源),使得在尾电流源的偏置电流保持不变的情况下,能获得较大的输出端的输出电流,提高了摆率。而由于偏置电流不变,因此电路保持了较小的功耗。

【附图说明】

[0018] 图 1 是一种传统的折叠式共源共栅运算放大器的电路原理图;

[0019] 图 2 是一个实施例中折叠式共源共栅运算放大器的电路原理图;

[0020] 图 3 是再一个实施例中折叠式共源共栅运算放大器的电路原理图;

[0021] 图 4 是另一实施例中折叠式共源共栅运算放大器的电路原理图;

[0022] 图 5 是缓冲单元采用共源放大器结构时的电路原理图;

[0023] 图 6 是缓冲单元采用推挽输出结构时的电路原理图;

[0024] 图 7 是缓冲单元采用源跟随器推挽输出结构时的电路原理图。

【具体实施方式】

[0025] 为使本发明的目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0026] 图 2 是一个实施例中折叠式共源共栅运算放大器的电路原理图。折叠式共源共栅运算放大器 100 包括第一电流源 10、第二电流源 20、第一输入管 40、第二输入管 50、尾电流源 30、负载电流源 70 以及输出管 60。

[0027] 第一电流源 10 与第一输入管 40 串联。第二电流源 20 与第二输入管 50 串联,第一输入管 40 与第二输入管 50 相连且连接处与尾电流源 30 相连。尾电流源 30 和负载电流源 70 均连接第二电压端。负载电流源 70 与输出管 60 相连。第二电流源 20 与第二输入管 50 间设有输出端 102,且输出端 102 与输出管 60 相连。

[0028] 第一输入管 40 和第二输入管 50 为 MOS 管。在本实施例中,第一输入管 40 的栅极

输入的电压 V_{in+} 与第二输入管的栅极输入的电压 V_{in-} 大小相等、方向相反,组成差分对。

[0029] 第二电流源 20 是第一电流源 10 的镜像电流源,流经第二电流源 20 的电流与流经第一电流源 10 的电流比值为定值 X , $X > 1$ 。过输出管 60 和负载电流源 70 的电流相等。

[0030] 在另一个实施例中,折叠式共源共栅运算放大器还包括第一 MOS 管,第一 MOS 管串联接于第一电流源 10 和第一输入管 40 之间。

[0031] 图 3 是再一个实施例中折叠式共源共栅运算放大器的电路原理图,折叠式共源共栅运算放大器 200 包括第一电流源 M1、第一 MOS 管 M8、第二电流源 M2、第一输入管 M4、第二输入管 M5、尾电流源 M3、负载电流源 M7 以及输出管 M6。

[0032] 第一电流源 M1 是一个 P 型 MOS 管,其源极连接高压端 V_{DD} (即第一电压端),漏极与第一 MOS 管 M8 相连,栅极与第二电流源 M2 相连。

[0033] 第一 MOS 管 M8 是一个 P 型 MOS 管,其源极与第一电流源 M1 的漏极相连,漏极与第一电流源 M1 的栅极相连,栅极与输出管 M6 相连。

[0034] 第二电流源 M2 是一个 P 型 MOS 管,其源极连接高压端 V_{DD} ,栅极与第一电流源 M1 的栅极以及第一 MOS 管 M8 的漏极相连。

[0035] 第一输入管 M4、第二输入管 M5 是相同的 N 型 MOS 管,第一输入管 M4 的栅极是差分对正电压的输入端,第二输入管 M5 的栅极是差分对负电压的输入端;第一输入管 M4 和第二输入管 M5 的源极相互连接;第一输入管 M4 的漏极接第一 MOS 管 M8 的漏极,第二输入管 M5 的漏极接输出管 M6。

[0036] 尾电流源 M3 是一个 N 型 MOS 管,其漏极接第一输入管 M4 和第二输入管 M5 的源极,源极与负载电流源 M7 连接。

[0037] 负载电流源 M7 是一个 N 型 MOS 管,其源极接尾电流源 M3 的源极且连接电路的低压端 V_{SS} (即第二电压端),漏极与输出管 M6 相连。

[0038] 输出管 M6 是一个 P 型 MOS 管,其栅极与第一 MOS 管 M8 的栅极相连,源极与第二电流源 M2 以及第二输入管 M5 的漏极相连(还连接输出端 202),漏极与负载电流源 M7 的漏极相连。其中输出管 M6 和第一 MOS 管 M8 的栅极电压为 V_{b1} ,尾电流源 M3 和负载电流源 M7 的栅极电压为 V_{b2} 。

[0039] 第一 MOS 管 M8 与输出管 M6 在电路结构上实现一个对称,这两个 MOS 管的源极电压近似相等,栅极电压相等,宽长比可以不相同。第一电流源 M1 的栅极与第一 MOS 管 M8 漏极相连,相对于未设置第一 MOS 管 M8 的情况(例如第一电流源 M1 的栅极直接连接 M1 的漏极),第一电流源 M1 能够获得更低的栅极电压,这样第一电流源 M1 的面积可以做得更小。另外第一 MOS 管 M8 与输出管 M6 在电路结构上实现一个对称,使得第一电流源 M1 和第二电流源 M2 的漏端电压近似相等,从而使第二电流源 M2 镜像第一电流源 M1 的精度能够得到保证。

[0040] 本实施例中,第二电流源 M2 与第一电流源 M1 的宽长比为 3 : 1,差分对的尾电流源 M3 的电流的大小为 I ,同时令负载电流源 M7 的电流大小也为 I 。

[0041] 当输入电压 $V_{in+} - V_{in-} > \sqrt{2} \cdot V_{dast_M4}$ 时(其中 V_{dast_M4} 表示第一输入管 M4 的过驱动电压),第一输入管 M4 导通,第二输入管 M5 截止,电路进入大信号工作状态,差分对的尾电流源 M3 的电流全部流过第一输入管 M4,也就流过第一 MOS 管 M8 及第一电流源 M1。因此流过第一电流源 M1 的电流大小为 I ,流过第二电流源 M2 的电流大小为 $3I$ 。又因为流过负载电

流源 M7 的电流为 I , 因此过输出管 M6 的电流亦为 I , 输出端 202 的输出电流 $I_{out} = 3I - I = 2I$, 正摆率 $SR_{p1} = 2I/C_L$, 其中 C_L 表示负载电容的大小。

[0042] 当输入电压 $V_{in-} - V_{in+} > \sqrt{2} \cdot V_{dast_M4}$ 时, 第二输入管 M5 导通, 第一输入管 M4 截止, 电路进入大信号工作状态, 差分对的尾电流源 M3 的电流 I 全部流过第二输入管 M5。由于第一输入管 M4 截止, 第一电流源 M1、第二电流源 M2 亦截止, 又因为流过负载电流源 M7 的电流为 I , 因此过输出管 M6 的电流亦为 I , 负载电容通过输出端 202 放电的电流为 $I + I = 2I$, 负摆率 $SR_{n1} = 2I/C_L$ 。

[0043] 可见, 同背景技术中图 1 所示传统的折叠式共源共栅运算放大器相比, 在偏置电流相等的情况下, 图 3 所示的折叠式共源共栅运算放大器 200 的摆率是前者的两倍。并且图 3 所示实施例相对于图 1 所示的传统技术并未增加额外的 MOS 管, 未增加电路的复杂度。相对于传统技术, 本发明在功耗相等的情况下, 摆率更高; 在增加同样大小的偏置电流时, 摆率提高的幅度是传统技术的 2 倍。

[0044] 图 4 是另一实施例中折叠式共源共栅运算放大器的电路原理图, 其与图 3 所示实施例的主要区别在于增加了缓冲输出模块 220。缓冲输出模块 220 包括米勒电容 C_{c2} 、电阻 R 以及缓冲单元 222。米勒电容 C_{c2} 的一端与输出管 M6 的源极 (以及输出端) 相连, 另一端与电阻 R 相连, 缓冲单元 222 的 V_{in} 端与输出管 M6 的漏极及负载电流源 M7 的漏极相连, V_{out} 端与电阻 R 相连。设置参数合适的米勒电容 C_{c2} 及电阻 R , 能够对输入级和缓冲输出级的极点进行调节, 以改善系统的稳定性。

[0045] 缓冲单元 222 可以采用不同的结构实现, 例如共源放大器结构、推挽输出结构、源跟随器推挽输出结构等。

[0046] 图 5 是缓冲单元 222 采用共源放大器结构时的电路原理图。该实施例中, 缓冲单元 222 包括 P 型 MOS 管 M31 和 N 型 MOS 管 M32, P 型 MOS 管 M31 的源极与 V_{DD} 端相连, 漏极与 N 型 MOS 管 M32 的漏极相连, 且连接 V_{out} 端。N 型 MOS 管 M32 的栅极为 V_{in} 端, 源极连接 V_{SS} 端。

[0047] 图 6 是缓冲单元 222 采用推挽输出结构时的电路原理图。缓冲单元 222 包括 P 型 MOS 管 M33 和 N 型 MOS 管 M34, 两 MOS 管的栅极连接 V_{in} 端, 漏极连接 V_{out} 端。P 型 MOS 管 M33 的源极与 V_{DD} 端相连, N 型 MOS 管 M34 的源极连接 V_{SS} 端。

[0048] 图 7 是缓冲单元 222 采用源跟随器推挽输出结构时的电路原理图。缓冲单元 222 包括 N 型 MOS 管 M35 和 P 型 MOS 管 M36, 两 MOS 管的栅极连接 V_{in} 端, 源极连接 V_{out} 端。N 型 MOS 管 M35 的漏极与 V_{DD} 端相连, P 型 MOS 管 M36 的漏极连接 V_{SS} 端。

[0049] 前述折叠式共源共栅运算放大器 200 还可以通过同时调节第二电流源 M2 与第一电流源 M1 的宽长比以及负载电流源 M7 的偏置电流来提高摆率。以图 4 所示的实施例为例, 当第二电流源 M2 与第一电流源 M1 的宽长比为 $X : 1$ 时, 相应调节器件参数使得过 M7 的偏置电流大小为 $(X-1)I/2$ 。

[0050] 当输入电压 $V_{in+} - V_{in-} > \sqrt{2} \cdot V_{dast_M4}$ 时, 第一输入管 M4 导通, 第二输入管 M5 截止, 电路进入大信号工作状态, 差分对的尾电流源 M3 的电流全部流过第一输入管 M4, 也就流过第一 MOS 管 M8 及第一电流源 M1。因此流过第一电流源 M1 的电流大小为 I , 流过第二电流源 M2 的电流大小为 $X \cdot I$, 又因为流过负载电流源 M7 的电流为 $(X-1)I/2$, 因此过输出管 M6 的电流亦为 $(X-1)I/2$, 对米勒电容 C_{c2} 的充电电流达到 $X \cdot I - (X-1) \cdot I/2 = (X+1) \cdot I/2$ 。正摆率

$SR_{p2} = (X+1)I/2C_{c2}$, C_{c2} 表示米勒电容 C_{c2} 的电容值。

[0051] 当输入电压 $V_{in-} - V_{in+} > \sqrt{2} \cdot V_{dast_M4}$ 时, 第二输入管 M5 导通, 第一输入管 M4 截止, 电路进入大信号工作状态, 差分对的尾电流源 M3 的电流 I 全部流过第二输入管 M5。由于第一输入管 M4 截止, 第一电流源 M1、第二电流源 M2 亦截止, 又因为流过负载电流源 M7 的电流为 $(X-1)I/2$, 因此过输出管 M6 的电流亦为 $(X-1)I/2$, 米勒电容 C_{c2} 的放电的电流为: $I + (X-1) \cdot I/2 = (X+1) \cdot I/2$, 负摆率 $SR_{N2} = (X+1)I/2C_{c2}$ 。

[0052] 也就是说, 在不增大尾电流源 M3 的偏置电流大小的条件下 (亦即不改变输入管的偏置电流大小), 仅通过调节第二电流源 M2 与第一电流源 M1 的宽长比以及负载电流源 M7 的偏置电流, 可以实现摆率的增加。而图 1 所示的传统的折叠式共源共栅运算放大器无法实现这一点, 当其不改变输入管的偏置电流而只改变负载电流源的偏置电流时, 摆率不会发生变化。

[0053] 以上仅是以输出管采用 N 型 MOS 管为例, 本发明的技术方案同样适用于 P 型 MOS 管做输入管的运算放大器。

[0054] 以上所述实施例仅表达了本发明的几种实施方式, 其描述较为具体和详细, 但并不能因此而理解为对本发明专利范围的限制。应当指出的是, 对于本领域的普通技术人员来说, 在不脱离本发明构思的前提下, 还可以做出若干变形和改进, 这些都属于本发明的保护范围。因此, 本发明的保护范围应以所附权利要求为准。

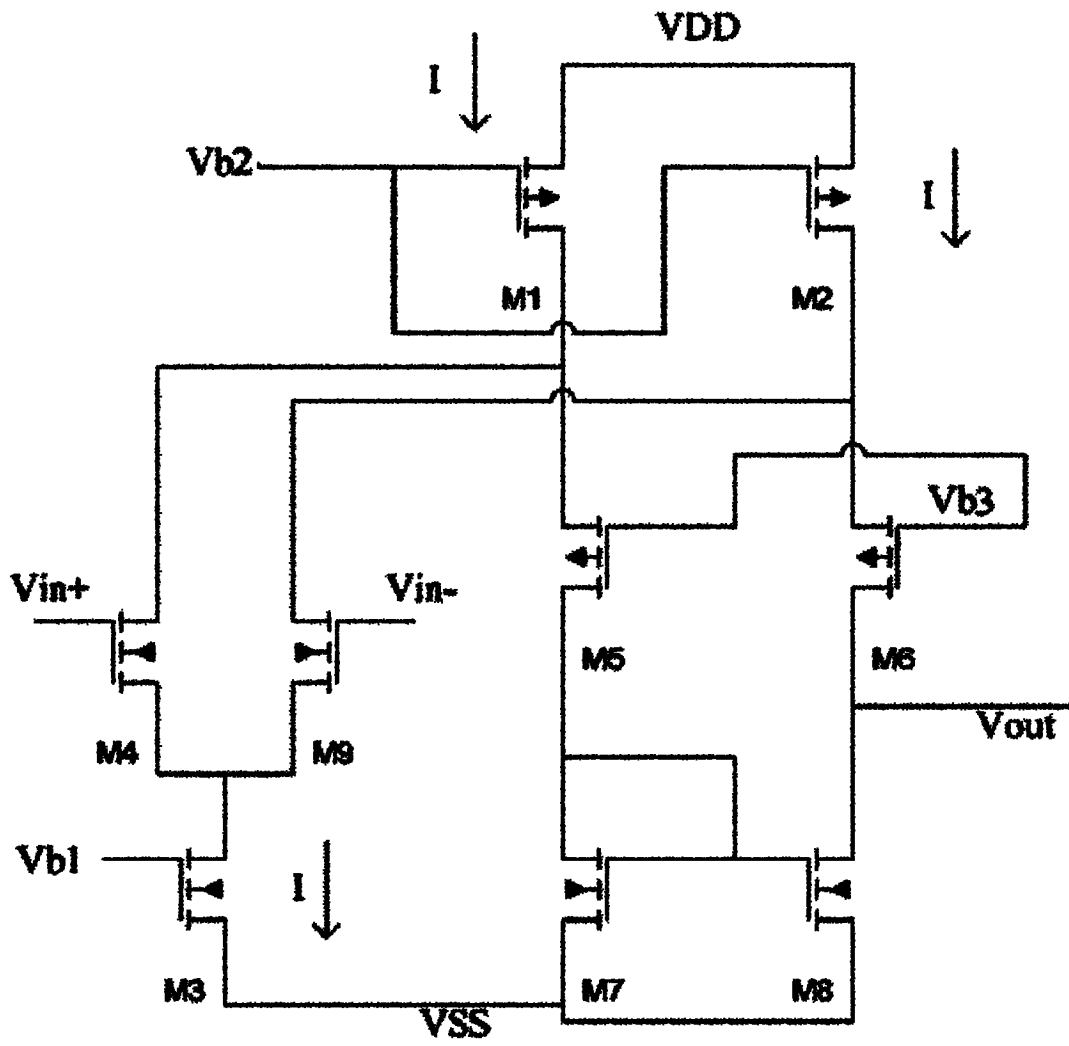


图 1

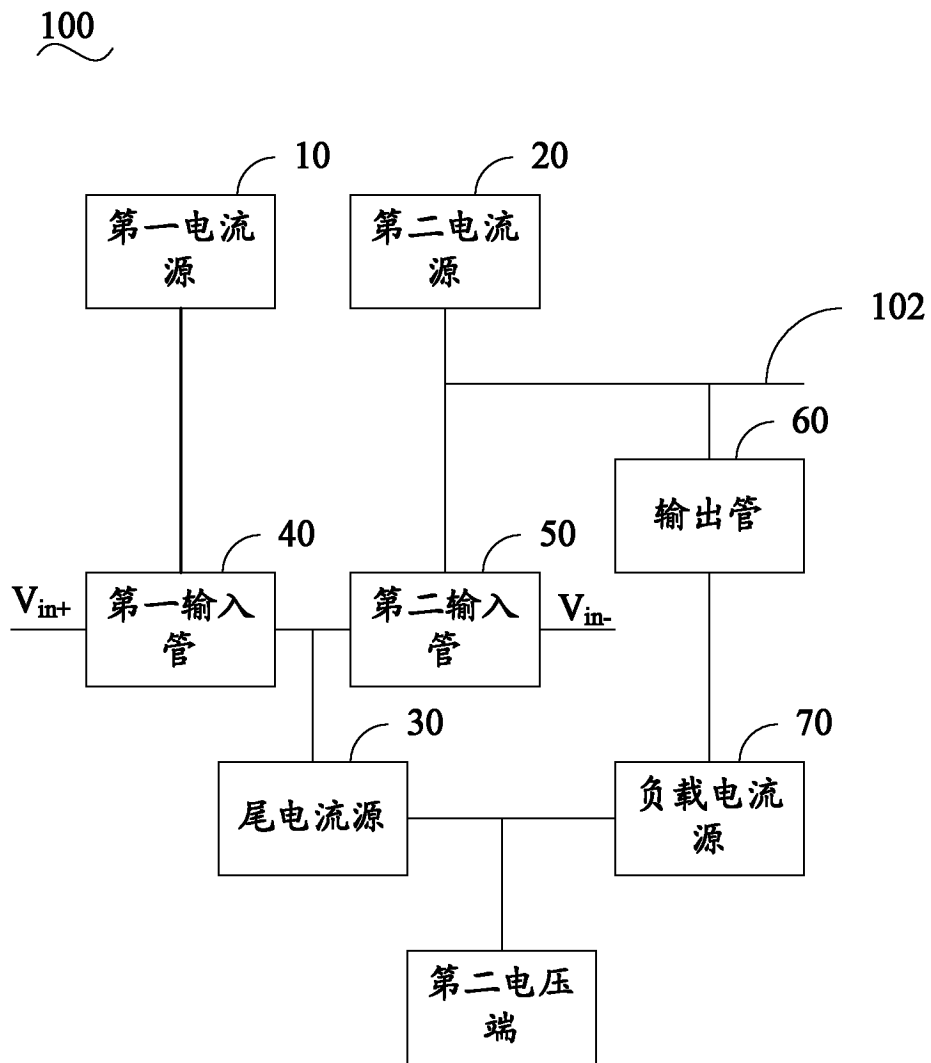


图 2

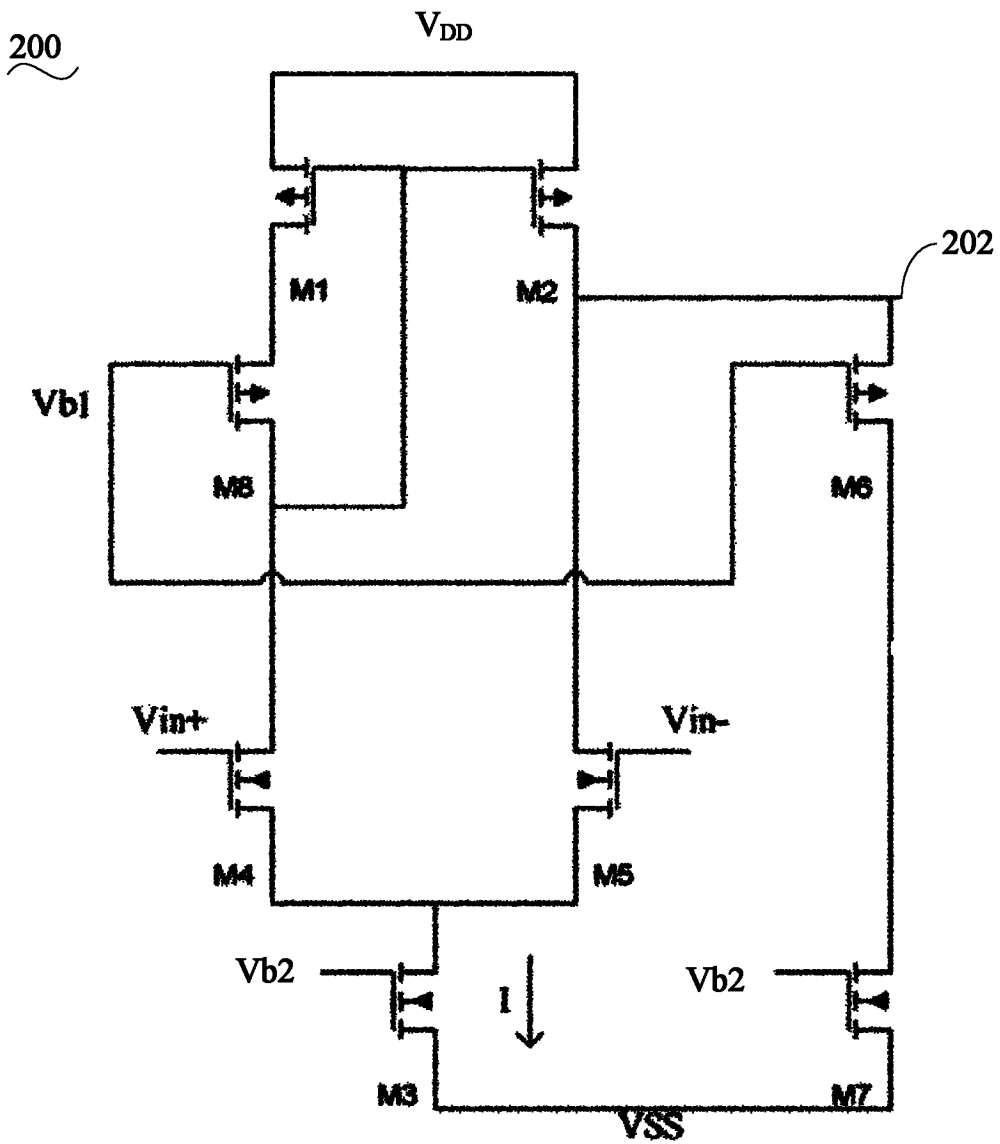


图 3

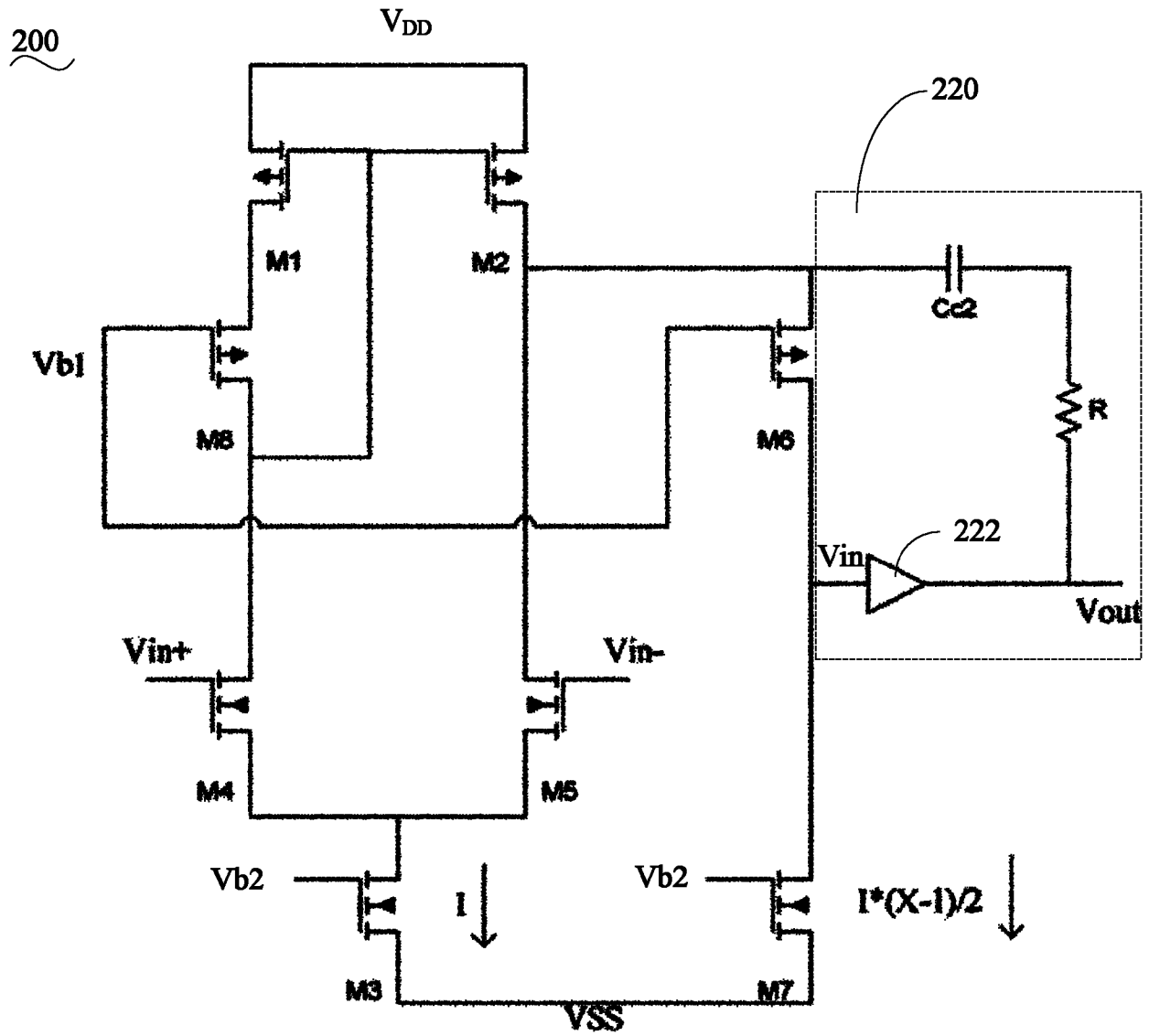


图 4

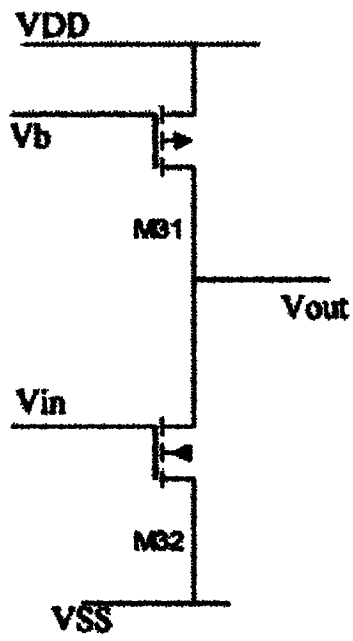


图 5

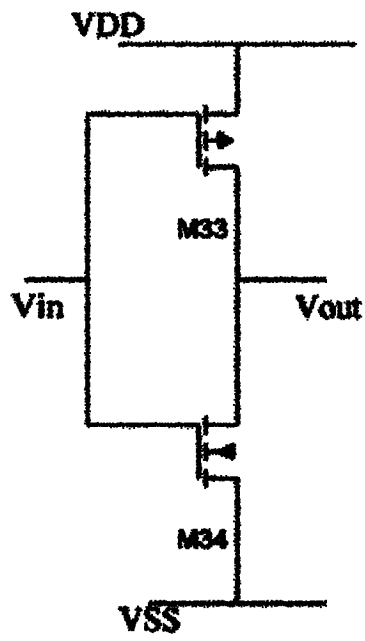


图 6

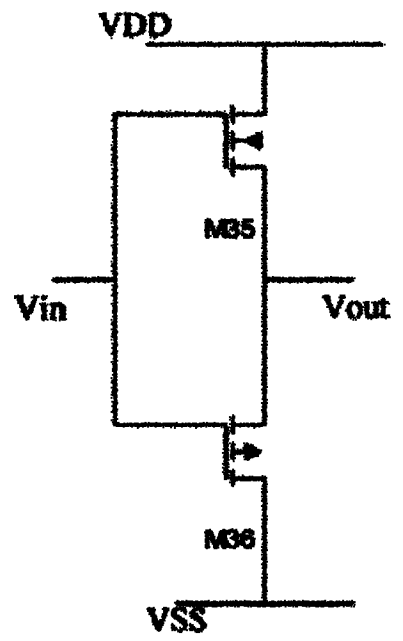


图 7