



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년04월03일
(11) 등록번호 10-0819134
(24) 등록일자 2008년03월27일

(51) Int. Cl.

H01L 23/495 (2006.01)

(21) 출원번호 10-2006-7004265
(22) 출원일자 2006년02월28일
심사청구일자 2006년08월24일
번역문제출일자 2006년02월28일
(65) 공개번호 10-2006-0115857
(43) 공개일자 2006년11월10일
(86) 국제출원번호 PCT/US2004/027797
국제출원일자 2004년08월27일
(87) 국제공개번호 WO 2005/022597
국제공개일자 2005년03월10일

(30) 우선권주장
60/498,354 2003년08월28일 미국(US)

(56) 선행기술조사문헌

US6323735

US6194774

KR1020020089226

KR1020020069181

전체 청구항 수 : 총 14 항

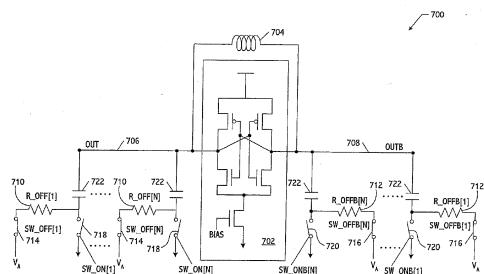
심사관 : 배진용

(54) 다중 루프 구성으로부터 형성된 인덕턴스 루프를 갖는 접적회로 패키지

(57) 요 약

본 발명의 접적회로 패키지는 하나 이상의 입출력(I/O) 패키지 핀들과 리드와이어(lead wires)의 접속으로 형성된 인덕턴스 루프를 포함한다. 일실예에 있어서, 상기 인덕턴스 루프는 접적회로 상에서 제 1 본딩 패드(boding pad)를 상기 패키지의 제 1 입출력(I/O) 핀에 접속시키는 제 1 및 제 2 선들과, 상기 칩 상의 제 2 본딩 패드(boding pad)를 상기 패키지의 제 2 입출력(I/O) 핀에 접속시키는 제 3 및 제 4 선들로부터 형성된다. 상기 인덕터 루프를 완성하기 위해, 상기 제 1 및 제 2 입출력(I/O) 핀들은 상기 핀들 간에 제 3 도체에 의해 연결된다. 상기 제 3 도체는 하나 이상의 본딩 와이어들(bonding wires)을 포함할 수 있고, 바람직하게 상기 입출력(I/O) 핀들은 서로 인접한다. 그러나, 상기 루프는, 예를 들어, 루프 길이 요건들, 공간적 고려들, 및/또는 다른 디자인 또는 기능적 요소들을 기초로 한 입출력(I/O) 핀들의 인접되지 않은 연결들로부터 형성될 수 있다. 다른 실시 예에 있어서, 상기 제 1 및 제 2 입출력(I/O) 핀들 간의 접속은 단일 구조를 갖는 상기 입출력(I/O) 핀들을 만들었으므로써 구현된다. 또 다른 실시예에 있어서, 상기 제 1 및 제 2 입출력(I/O) 핀들 간의 연결은 상기 패키지 기판의 표면 뿐만 아니라 이 기판 내에 위치한 금속 배선층에 의해 구현된다. 상기 접적회로 패키지의 상기 제한 내에서 상기 인덕터 루프를 형성함으로써, 공간 요건들에 있어서, 실제적인 감소가 구현되며, 이것은, 다시 말해서, 소형화를 촉진한다. 또한, 상기 접적회로는 상기 패키지의 상기 인덕터 루프의 길이에 의해 제어되는 적어도 하나의 파라미터, 시스템들의 변형의 어떤 형태로 구현될 수 있다.

대표도



(72) 발명자

이강윤

서울 영등포구 신길3동 우성아파트 107동 409호

이정우

서울 영등포구 신길7동 삼환아파트 101동 204호

박준배

서울 서초구 서초동 삼풍아파트 8동 303호

이경호

서울 관악구 신림10동 삼성산주공아파트 309동 90
1호

특허청구의 범위

청구항 1

2개의 출력 노드를 포함하는 능동 발진기(active oscillator);
 상기 출력 노드에 결합되어 있는 인덕터 루프(inductor loop); 및
 상기 출력 노드 중 하나에 결합되어 있는 적어도 하나의 용량성 회로를 포함하는 발진 회로에 있어서,
 상기 용량성 회로는 커패시터, 저항기, 및 제 1 스위치를 포함하고,
 상기 저항기는 상기 제 1 스위치가 개방될 때 상기 커패시터에 바이어스 전압을 공급하고,
 상기 제 1 스위치는 상기 커패시터를 상기 능동 발진기의 출력 노드에 연결시키거나 분리시키고,
 상기 능동 발진기 및 상기 용량성 회로는 접적회로 칩을 포함하는 반도체 패키지에 포함되며,
 상기 인덕터 루프는,
 상기 칩 상의 제 1 본딩 패드를 상기 패키지의 제 1 입출력 핀에 접속시키는 제 1 도체; 및
 상기 칩 상의 제 2 본딩 패드를 상기 패키지의 제 2 입출력 핀에 접속시키는 제 2 도체를 포함하고,
 상기 패키지의 제 2 입출력 핀은 상기 루프내에 있는 상기 제 1 입출력 핀에 접속되는 발진 회로.

청구항 2

제 1 항에 있어서,
 상기 인덕터 루프는 상기 제 1 입출력 핀을 상기 제 2 입출력 핀에 접속시키는 금속 배선층을 포함하는 제 3 도체를 더 포함하는 발진 회로.

청구항 3

제 2 항에 있어서,
 상기 금속 배선층은 상기 패키지의 기판에 포함되는 발진 회로.

청구항 4

제 2 항에 있어서,
 상기 금속 배선층이 상기 기판의 표면에 있는 발진 회로.

청구항 5

제 2 항에 있어서,
 상기 금속 배선층은 상기 기판의 서브표면층에 포함되는 발진 회로.

청구항 6

제 2 항에 있어서,
 상기 제 1 입출력 핀 및 상기 제 2 입출력 핀이 적어도 제 3 입출력 핀에 의해 분리되는 발진 회로.

청구항 7

제 1 항에 있어서,
 상기 인덕터 루프는
 상기 칩 상의 상기 제 1 본딩 패드를 상기 패키지의 상기 제 1 입출력 핀에 접속시키는 제 3 도체; 및
 상기 칩 상의 상기 제 2 본딩 패드를 상기 패키지의 상기 제 2 입출력 핀에 접속시키는 제 4 도체를 더 포함하

는 발진 회로.

청구항 8

제 1 항에 있어서,

상기 제 1 도체 및 상기 제 2 도체는 본딩 와이어인 발진 회로.

청구항 9

제 1 항에 있어서,

상기 제 1 입출력 핀 및 상기 제 2 입출력 핀은 인접한 핀들인 발진 회로.

청구항 10

제 1 항에 있어서,

상기 제 1 입출력 핀 및 상기 제 2 입출력 핀은 적어도 제 3 입출력 핀에 의해 분리되는 발진회로.

청구항 11

제 1 항에 있어서,

상기 제 1 입출력 핀 및 상기 제 2 입출력 핀은 인접하고 서로 접촉하는 발진회로.

청구항 12

제 1 항에 있어서,

상기 제 1 입출력 핀 및 상기 제 2 입출력 핀은 단일 구성을 갖는 발진회로.

청구항 13

2개의 출력 노드를 포함하는 능동 발진기;

상기 출력 노드에 결합되어 있는 인더터 루프; 및,

상기 출력 노드 중 하나에 결합되어 있는 적어도 하나의 용량성 회로를 포함하는 발진 회로에 있어서,

상기 용량성 회로는 커패시터, 저항기, 및 제 1 스위치를 포함하고,

상기 저항기는 상기 제 1 스위치가 개방될 때 상기 커패시터에 바이어스 전압을 공급하고,

상기 제 1 스위치는 상기 커패시터를 상기 능동 발진기의 출력 노드에 연결시키거나 분리시키고,

상기 능동 발진기 및 상기 용량성 회로는 접合회로 칩을 포함하는 반도체 패키지에 포함되며,

상기 인더터 루프는 상기 칩상의 제 1 본딩 패드와 상기 패키지의 제 1 입출력 핀에 사이에 결합된 복수의 도체들을 포함하는 발진 회로.

청구항 14

제 13 항에 있어서,

상기 복수의 도체들은 본딩 와이어인 발진 회로.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

명세서

기술 분야

<1>

본 발명은 일반적으로 집적회로에 관한 것으로, 보다 상세하게는 패키지의 적어도 하나의 입출력(input/output) 핀으로부터 형성된 인덕턴스 루프를 가지는 집적회로 패키지에 관한 것이다. 또한, 본 발명은 상기 패키지의 인덕터 루프에 의해 적어도 부분적으로 제어되는 시스템에 관한 것이다.

배경 기술

<2>

회로 설계자들 간에 늘 제기되는 한 가지 목표는 집적회로들의 크기를 줄이는 것이다. 이 목표는, 몇 가지만 언급하면, 보다 더 작은 가전제품, 통신장치 및 디스플레이 시스템들에 대한 시장 수요에 의해 주로 야기된다. 그러나, 이 목표를 훼손시키는 많은 장애물들이 있는데, 그 중의 하나를 곧 논의할 것이다.

<3>

많은 집적회로들은 독립적인(self-contained) 장치들이 아니다. 그러므로, 이러한 회로들은 적절한 동작을 보장하기 위해서, IC 패키지 입출력 핀의 사용을 수반하지 않은 접속들을 통해 하나 이상의 외부 구성요소들과 접속되어야 한다. 도 1에 도시된 바와 같이, 이는, 예를 들어, 본딩 와이어(boding wires)(3)을 사용하여 상기 집적회로 칩(1)을 패키지 외부의 구성요소(2)에 접속시킴으로써 달성된다. 패키지 외부 접속(off-package connections)을 형성하는 필요성을 비용을 증가시키고 제조 과정을 복잡하게 하므로, 매우 바람직하지 못하다. 또한 이러한 접속들은 상기 집적회로를 노출시켜외부 영향들로부터의 손상 위험이 높아지며, 이는 안정성 및 성능 저하를 의미한다.

<4>

패키지 외부 접속들을 필요로 하는 종래의 집적회로는 통상적으로 휴대폰과 같은 이동 통신 장치들의 주파수 합성기(synthesizer)에 사용된다. 이러한 장치들에 있어서 위상 잡음 규격(phase noise specification)이 엄격하기 때문에, 주파수들을 발생시키는데 사용되는 위상고정루프에서의 전압 제어 발진기는 통상적으로 어떤 공진 구조를 기초로 한다. 세라믹 공진기들(ceramic resonators) 및 LC 탱크 회로들이 일반적인 예이다. LC 탱크 발진기들의 구현에 있어서 세부사항 들이 다르기는 하지만, 일반적인 공진 구조는 고정 커패시터(C) 및 가변 커패시터(C_x)와 병렬로 연결되는 인덕터(inductor)를 포함한다. 상기 장치의 동작 대역을 제어하기 위해 선택된 상

기 인덕턴스 값 L 을 가지고, 어떠한 손실없이, 에너지가 주파수 $f_{out} = (1/2\pi)[L(C+C_x)]^{-1/2}$ 에서 상기 커패시터들과 상기 인덕터 사이를 지난다.

<5>

상술한 주파수 합성기를 포함하는 집적회로에서, 대역 선택을 위해 사용되는 인덕터는 패키지 외부에 위치한다 (즉, 회로기판에 장착(circuit-board mounted) 된다). 패키지 외부의 또는 기판에 장착된 인덕터들의 사용은 시스템 비용을 증가시킨다. 나아가, 상기 패키지와 기판 사이의 접속 문제들이 발생될 수 있고, 이는 PLL 회로 소자(circuitry)의 신뢰성 혹은 성능에 악영향을 줄 수 있다.

<6>

이러한 종래 장치들의 문제점을 극복하기 위해 여러 시도들이 행해졌다. US 특허 No. 6,323,735에 제시된 한가지 방법은 상기 위상고정루프 회로 소자(phase-locked loop circuitry)을 포함하는 집적회로 패키지 내에 인덕터를 완전히 형성하는 것이다. 이는 IC 칩 상의 본딩 패드들(bonding pads)을 상기 패키지 기판상의 동일한 본딩 패드로 접속하는 도전성 와이어(conductive wires)를 사용하여 구현된다. 상기 패드 및 와이어 사이의 접속은 상기 PLL 회로망의 동작 주파수 대역을 제어하는 인덕턴스 루프를 형성한다. 다중 본딩 패드가 가변 길이의 인덕터 루프를 형성하기 위해 패키지 구조에 포함될 수 있다. 그런 후, 루프는 동작 주파수의 변경에 영향을 끼

치도록 선택적으로 활성화된다.

<7> 상기 US 특허 No. 6,323,735에서 사용된 방식은 적어도 두 가지 이유로 인해 바람직하지 못하다. 첫째로, IC 패키지 내에 상기 인더터 루프를 완전하게 형성하기 위해서, 상기 패키지 기판은 입출력 패키지 핀들로부터 분리된 본딩 패드들을 포함하도록 형성되어야 한다. 이러한 특별한 패드들을 형성하는 필요성은 제조 과정을 복잡하게 하고 비용을 증가시킨다. 둘째로, 본딩 패드들을 수용하기 위해서, 접적회로 기판의 크기가 커져야 하고, 결과적으로 더 많은 회로기판 공간이 소모된다. 이러한 결과는 접속도를 높이고 크기를 최소화하는 목표를 해손시킨다.

<8> 크래닌크스(Craninckx)에 의한 "무선 CMOS 주파수 합성기 설계(Wireless CMOS Frequency Synthesizer Design)" 문헌에 기재된 또 다른 방법은 인더터 루프를 포함하는 독립적인 접적회로 패키지를 기재하고 있다. 이 루프는 IC 칩 상의 본딩 패드들과 상기 IC 패키지의 각각의 입출력 핀들 사이에 본딩 와이어들을 접속시킴으로써 형성된다. 그런 후, 상기 입출력 핀들은 제 3 본딩 와이어에 의해 접속된다. 이러한 방식은 패키지 기판상에 특별한 본딩 패드들의 형성을 필요로 하지 않지만, 바람직하지 않은 적어도 두 가지 결점이 있다. 첫째로, 상기 6,323,735 특허에서와 같이, 본딩 와이어는 상기 입출력 핀들을 연결시키는데 사용된다. 상기 언급한 바와 같이, 이러한 와이어들은 제조 및/또는 사용 동안 손상을 입기 쉽다. 둘째로, 제 3 본딩 와이어에 의해 접속된 입출력 핀들은 패키지의 반대편에 위치한다. 결과적으로, 제 3 와이어는 IC 칩을 넘어야 한다. 상기 와이어는 칩 회로망의 어떤 부분들을 단락(short)시킬 수 있고, 실질적으로 칩 성능을 저하시키는 잡음과 다른 간접 영향들을 발생시킬 수 있으므로, 이러한 방식은 바람직하지 않다.

<9> 상술한 이유들로 인해, 종래의 IC 패키지 보다 더 경제적이고, 제조시에 보다 적은 처리단계를 필요로 하고, 또한 칩 회로망 뿐 아니라 상기 칩의 호스트 시스템(host system)의 신뢰성과 성능을 저하시킬 수 있는 손상과 잡음에 덜 영향받는 접적회로 패키지에 대한 필요가 있는 것이 명백해 진다. 또한, 적어도 상기 칩에 접속되는 인더터 루프의 접속에 대하여 독립적이고, 이러한 접속을 통해 상술한 이점들 중 적어도 하나를 달성할 수 있는 접적회로 패키지가 필요하다.

발명의 상세한 설명

- <10> 본 발명의 목적은 종래 접적회로 패키지 보다 더 경제적이며 제조를 위해 더 적은 처리단계를 필요로 하는 접적회로를 제공하는 것이다.
- <11> 본 발명의 다른 목적은 칩 회로 뿐만 아니라 칩의 호스트 시스템의 성능과 신뢰성을 저하시킬 수 있는 잡음이나 손상에 덜 영향받는 접적회로를 제공하는 것이다.
- <12> 본 발명의 다른 목적은 적어도 접적회로 칩에 인더터 루프를 접속하는데 대해 독립적이고, 이러한 접속을 통해 위에서 상술한 이점들 중 적어도 하나를 달성할 수 있는 접적회로를 제공하는 것이다.
- <13> 본 발명의 적어도 하나의 실시예에 대한 또 다른 목적은 서브-루프의 길이들의 합에 비례하는 양 만큼 루프의 유효 인더턴스를 증가시키는 다수의 서브 루프들로부터 인더터 루프를 형성함으로써 상술한 목적들 중 하나 이상을 달성하는 것이다.
- <14> 본 발명의 또 다른 목적은 칩에 접속되는 인더터 루프를 형성하기 위해 패키지 기판 위에 형성되는 특수한 본딩 패드들을 필요로 하지 않는 접적회로 패키지를 제공하는 것이다.
- <15> 본 발명의 또 다른 목적은 패키지의 적어도 하나의 입출력핀으로부터 형성되는 인더터 루프를 형성함으로써 상술한 목적들 중 하나 이상을 달성하는 것이다.
- <16> 본 발명의 또 다른 목적은 상술한 타입 중 어느 하나에 따른 접적회로에 의해 적어도 부분적으로 제어되는 시스템을 제공하는 것이다.
- <17> 이러한 목적들과 이점들은 패키지내에 독립적으로 접속되는 접적회로 칩과 인더터 루프를 포함하는 반도체 패키지를 제공함으로써 달성된다. 이러한 독립적인 접속은 적어도 하나의 서브 루프 및 바람직하게는 다수의 서브 루프들로부터 형성된 루프를 형성시킴으로써 실현될 수 있다. 이는 칩 위에 제 1 본딩 패드와 패키지의 제 1 입출력 핀 사이에 제 1 및 제 2 도체를 접속시키고, 칩 위의 제 2 본딩 패드와 패키지의 제 2 입출력 핀 사이에 제 3 및 제 4 도체를 접속시킴으로써 구현될 수 있다. 제 5 도체는 제 1 및 제 2 입출력 핀들을 접속시킨다. 이러한 제 5 도체는 기판의 표면상에 또는 패키지의 서브 표면층(sub-surface layer) 내에 포함되는 금속 배선층(metalization layer)을 포함할 수 있다. 상기 제 1 및 제 2 입출력 핀들은 패키지내에 인접한 핀들일 수 있거나

나, 다른 펀들이 적어도 제 3 입출력 펀에 의해 분리될 수 있다. 제 1 내지 제 4 도체들은 바람직하게는 본딩 와이어이다.

<18> 또 다른 실시예에 따르면, 반도체 패키지는 접적회로와 패키지 내에 독립적인 방식으로 접속된 인덕터 루프를 구비한다. 이러한 인덕터 루프는 칩상에 제 1 본딩 패드와 패키지의 제 1 입출력 펀을 접속시키는 제 1 및 제 2 도체에 의해 형성되고, 칩상의 제 2 본딩 패드와 패키지의 제 2 입출력 펀을 접속시키는 제 3 및 제 4 도체에 의해 형성된다. 다중 루프 구성을 완성하기 위해, 제 1 및 제 2 입출력 펀들은 패키지 내에서 서로 인접 접속된다. 또한, 제 1 내지 제 4 도체들은 본딩 와이어일 수 있다.

<19> 또 다른 실시예에 따르면, 반도체 패키지는 접적회로와 패키지 내에 독립적인 방식으로 연결된 인덕터 루프를 구비한다. 이러한 인덕터 루프는 칩 위의 제 1 본딩 패드와 패키지의 제 1 입출력 펀을 접속시키는 제 1 및 제 2 도체에 의해 형성되고, 칩상의 제 2 본딩 패드와 패키지의 제 2 입출력 펀을 접속시키는 제 3 및 제 4 도체에 의해 형성된다. 다중 루프 구성을 완성하기 위해, 제 1 및 제 2 입출력 펀들은 하나의 구성으로 형성된다. 또한, 제 1 내지 제 4 도체들은 본딩 와이어일 수 있다.

<20> 또 다른 실시예에 따르면, 반도체 패키지는 접적회로와 패키지 내에 독립적인 방식으로 연결된 인덕터 루프를 구비한다. 이러한 인덕터 루프는 칩상에 제 1 본딩 패드와 패키지의 제 1 입출력 펀을 접속시키는 제 1 및 제 2 도체에 의해 형성되고; 칩상에 제 2 본딩 패드와 패키지의 제 2 입출력 펀을 접속시키는 제 3 및 제 4 도체에 의해 형성된다. 다중 루프 구성을 완성하기 위해, 하나 이상의 본딩 와이어들이 상기 제 1 및 제 2 입출력 펀들을 접속시키기 위해 포함된다. 또한, 제 1 내지 제 4 도체들은 본딩 와이어일 수 있다.

<21> 본 발명은 또한 두 개의 출력 노드를 갖는 능동 발진기(active oscillator), 상기 출력 노드에 연결되어 있는 인덕터 루프, 및 상기 출력 노드 중 하나와 연결되어 있는 적어도 하나의 용량성 회로(capacitive circuit)를 포함하는 발진 회로이다. 상기 용량성 회로는 커패시터, 저항기, 및 제 1 스위치를 포함하고, 상기 저항기는 상기 제 1 스위치가 개방될 때 상기 커패시터에 바이어스 전압을 공급하고, 상기 제 1 스위치는 상기 커패시터와 상기 능동 발진기의 출력 노드를 연결하거나 분리시킨다. 능동 발진기 및 용량성 회로는 바람직하게는 접적회로 칩을 포함하는 반도체 칩에 포함된다.

<22> 상기 인덕터 루프는 상기 칩상의 제 1 본딩 패드를 상기 패키지의 제 1 입출력 펀에 접속시키는 제 1 도체 및 제 2 도체, (b) 상기 칩상의 제 2 본딩 패드를 상기 패키지의 제 2 입출력 펀에 접속시키는 제 3 도체 및 제 4 도체 중 적어도 하나, 및 제 1 입출력 펀을 제 2 입출력 펀에 접속시키는 제 5 도체를 포함한다. 상기 제 1, 제 2, 제 3, 및 제 4 도체는 본딩 와이어일 수 있고, 상기 제 5 도체는 상기 패키지의 기판의 표면 내에 또는 표면 상의 금속 배선층을 포함할 수 있다. 대안으로, 상기 제 5 도체는 상기 제 1 입출력 펀을 상기 제 2 입출력 펀에 접속시키는 적어도 하나의 본딩 와이어를 포함할 수도 있고, 한가지 변형으로서, 상기 제 5 도체는 적어도 2 개의 본딩 와이어를 포함한다. 제 1 입출력 펀 및 제 2 입출력 펀은 서로 인접한 펀일 수도 있고, 적어도 제 3 입출력 펀에 의해 분리된 펀일 수도 있다. 또 다른 실시예로서, 본 발명의 발진 회로는 상술한 인덕터 루프의 다른 실시예를 포함한다.

실시예

<35> 본 발명은, 일 태양으로, 접적회로(IC)와 패키지 내에 독립적인(self-contained) 방식으로 접속되는 인덕터 루프(inductor loop)를 구비하는 반도체 패키지(semiconductor package)에 관한 것이다. 본 발명은 또한 상술한 반도체 장치의 인덕터 루프에 의해 적어도 부분적으로 제어되는 시스템에 관한 것이다. 상기 시스템은 상기 인덕터 루프가 송신기(transmitter) 및/또는 RF 반송파 및 기타 종류의 시스템을 설정하는데 사용되는 통신 시스템일 수 있다. 본 발명의 다양한 실시예를 아래에 설명한다.

<36> 도 2는 본 발명의 제 1 실시예에 따른 반도체 패키지를 도시한 것이다. 이 패키지는 패키지 하우징(package housing)(11) 상에 또는 상기 패키지 하우징 내에 장착되는 접적회로 칩(10)을 포함한다. 상기 하우징은 상기 칩을 지지하기 위한 기판(12)과, 상기 칩을 하나 이상의 외부 회로(미도시)에 전기적으로 접속시키기 위해 상기 기판에 형성되는 복수의 입출력(input/output, I/O)핀(13)을 포함한다. 상기 기판은 알려진 임의의 타입일 수 있고, 상기 I/O 핀은 와이어 본드(wire bond) 및 솔더 범프(solder bumps)를 포함하나 이에 국한되지 않는 종래의 다양한 부착 기술을 사용하여 상기 칩에 접속될 수 있다. 이러한 타입의 패키지의 예로, 몇가지 말하자면, 리드 프레임 패키지(lead frame packages), TAB(tape automated bonding)를 사용하는 BGA(ball grid array) 패키지, PGA(pin grid array packages), TSOP(thin outline packages), SOJ(small outline J-lead packages); SOP(small outline packages) 및 CSP(Chip scale packages)를 포함한다.

- <37> 상기 I/O 핀들은 다양한 형태들 중 하나일 수 있다. 예를 들어, 상기 핀들은 상기 패키지 기판의 외주를 따라 배치되는 외부 패키지 리드(external package leads)로서 도시되어 있다. 그러나, 원하면, 상기 핀들은 상기 패키지 기판을 통해 뻗어나와 상기 패키지의 반대 편에 형성된 솔더 범프 접합부에 이르는 전기적 도전 통로들을 포함하나 이에 국한되지 않는 다른 방식으로도 형성될 수 있다.
- <38> 반도체 패키지는 또한 상기 패키지 내부에 독립적인 인더터 루프(20)를 포함한다. 인더터 루프는 복수의 도체를 사용하여 다중 루프로부터 형성된다. 제 1 서브 루프는 상기 칩 상의 제 1 본딩 패드(bonding pad)(24)를 잇는 제 1 도체(22)와 제 2 도체(23)를 상기 패키지의 제 2 입출력핀(26)에 접속시켜 형성된다. 제 2 서브 루프는 상기 칩 상의 제 2 본딩 패드(bonding pad)(34)를 잇는 제 3 도체(32)와 제 4 도체(33)를 상기 칩의 제 2 입출력핀(36)에 접속시켜 형성된다. 제 2 서브 루프의 포함은 선택적이다. 예를 들어, 단일 도체가 상기 패드(34)와 핀(36)을 접속시키는데 사용될 수 있다. 대안으로, 추가적인 서브 루프가 상기 패드(24)와 상기 핀(26) 또는 상기 패드(34)와 핀(36) 사이에, 또는 모두 사이에 3 이상의 도체를 접속시켜 형성될 수 있다. 상기 제 1 내지 제 4 도체는 바람직하게는 본딩 와이어이다.
- <39> 루프를 완성하기 위해, 제 5 도체가 상기 제 1 및 제 2 입출력핀을 접속시키기 위해 포함된다. 제 5 도체는 다양한 방식으로 형성될 수 있는 금속 배선층(metallization layer)(40)을 포함한다. 한가지 방식은 패키지 기판의 상부면(upper surface)(50)에 층(40)을 형성하는 것을 포함한다. 도 2에 도시된 바와 같이, 상기 층은 바람직하게는 상기 핀(26)과 핀(36)을 각각 병렬이 되게 형성된다. 상기 금속 배선층은 이온 도금 및 플라즈마 에칭을 포함하나 이에 국한되지 않는 어떤 공지된 기술을 사용하여 형성될 수 있다. 또한, 상기 금속 배선층은 바람직하게는 접적회로 칩이 상기 패키지내에 장착되기 전에 상기 기판에 형성된다. 대안으로서, 상기 금속 배선층은 칩 장착전에 심지어 I/O핀이 기판에 형성되거나 부착되기 전에 형성될 수 있다. I/O핀이 기판에 형성되거나 부착되기 전에 금속 배선층이 형성되는 경우, 상기 제 1 및 제 2 I/O 핀은 상기 금속 배선층의 형성 이후에 상기 금속 배선층의 상부에 접속되거나 형성되어, 이에 의해 상기 인더터 루프를 완성할 수 있다.
- <40> 인더터 루프가 형성되면, 상기 접적회로로 칩 상에 있는 하나 이상의 회로를 제어하는 데 사용될 수 있다. 예를 들어, 상기 접적회로가 위상동기루프(Phase-locked loop, PLL)를 포함하는 경우, 상기 루프의 인더턴스(inductance) 값은 상기 회로의 출력 주파수 또는 주파수 대역을 설정하는데 사용될 수 있다. 대안으로, 상기 루프의 길이는 칩의 다른 동작 파라미터를 설정하는데 사용될 수 있다. 본 발명의 인더터 루프의 특수한 응용이, 예를 들어, 상기 적용되는 일례는 상기 접적회로에 의해 수행되는 특정한 기능 및 정해지는 파라미터에 따라 적용될 수 있다.
- <41> 상기 루프의 인더턴스 값은 상기 루프의 전체 길이에 따른다. 이 길이는 소정의 인더턴스 값을 얻기 위해 다양한 방식으로 설정될 수 있다. 예를 들어, 상기 도체의 길이는 소정의 전체 루프 길이를 얻기 위해 설정될 수 있다. 추가적으로, 또는 다른 방식으로, 각각의 핀과 패드 사이의 소정의 루프 길이와 이에 따른 인더턴스 값이 달성될 때까지 다른 개수의 서브 루프가 포함될 수 있다. 바람직하게는, 루프 내에 접속된 I/O 핀들은 회로 패키지 상에서 서로 인접해 있다. 그러나, 필요하면, 상기 핀들은 인접하지 않을 수도 있다. 이러한 경우, 상기 루프 내에 접속된 핀들 사이의 거리는 소정의 인더턴스 값에 대응하는 루프 길이에 기여한다.
- <42> 도 3a 및 도 3b는 본 발명의 다양한 실시예를 형성하고 있다. 상기 2개의 도면에서, 중간핀(interim pin)(65 및 70)이 상기 인더터 루프에 접속되는 핀들(46 및 56) 사이에 위치되어 있다. 도 3a에서, 상기 면금속 배선층(52)은 상기 중간 핀들의 아래를 통과한다. 이러한 핀들은 바람직하게는 상기 칩에 접속되지 않는다. 반면에, 상기 금속 배선층은 상기 핀에 접속된 회로를 쇼트(short)시킬 수 있다. 도 3b에서, 상기 면금속 배선층은 상기 중간핀(72, 73)들과의 연결을 피하게 상기 핀(74, 75)을 연결시키는 경로를 따라 형성될 수 있다. 결과적으로, 상기 중간핀은 어떠한 쇼트(short) 효과를 만들지 않으면서 상기 칩 회로망에 접속될 수 있다. 또 다른 대안에 따르면, 상기 인더터 루프의 길이는 상술한 기술들의 조합에 의해 다양해질 수 있다.
- <43> 도 4는 상기 금속 배선층을 형성하는 또 다른 방법으로 상기 패키지 기판의 서브층에 상기 금속 배선층을 포함하는 것을 도시한 것이다. 이 도면에서, 층(80)은 기판의 표면층이고, 층(81)은 상기 표면층에 바로 인접하거나 인접하지 않을 수 있는 아래에 있는 금속 배선층이며, 도전 통로(82 및 83)은 핀(85 및 86)을 상기 금속 배선층에 접속시킨다. 상기 도전 통로의 대안으로서, 상기 루프 내에 접속된 적어도 하나의 그리고 바람직하게는 2개의 입출력 핀들은, 상기 아래에 있는 금속 배선층에 각각 접촉하는 돌출부(95 및 96)를 갖는다(도 5). 도 5는 본 발명의 다양한 변형 예를 획단면으로 도시하고 있으며, 예시적인 목적으로 하나의 I/O 핀(95)만이 상기 돌출부(97)에 의해 상기 아래에 있는 금속 배선층(96)에 접촉하고 있는 것을 도시하고 있다.
- <44> 도 6은 본 발명의 제 2 실시예에 따른 반도체 패키지를 도시한 도면이다. 이 패키지는 패키지 하우징(111) 내에

또는 상기 패키지 하우징(111) 상에 장착되는 접적회로 칩(110)을 포함한다. 상기 하우징은 상기 칩을 지지하기 위한 기판(112)과 상기 칩을 하나 이상의 외부 회로(미도시)에 전기적으로 접속시키기 위해 기판에 형성된 복수의 I/O 핀(113)을 포함한다. 상기 기판은 단일 재료로 제조될 수 있고, 상기 I/O 핀들은 상기 제 1 실시예의 논의에서 언급된 어느 하나의 방법으로 형성되고 연결될 수 있다.

<45> 상기 반도체 패키지는 또한 상기 패키지 내부에 독립적인 인더터 루프(120)를 포함한다. 상기 인더터 루프는 다른 루프 구성을 가지며, 제 1 서브 루프(sub-loop)가 칩 상의 제 1 본딩 패드(bonding pad)(124)를 잇는 제 1 도체(122) 및 제 2 도체(123)를 패키지의 제 1 입출력 핀(126)에 접속시켜 형성된다. 제 2 서브 루프는 상기 칩 상의 제 2 본딩 패드(bonding pad)(134)를 잇는 제 3 도체(132) 및 제 4 도체(133)를 패키지의 제 2 입출력 핀(136)에 접속시켜 형성된다. 상기 제 1 내지 제 4 도체는 바람직하게는 본딩 와이어(bonding wire)이다. 상기 제 1 실시예와는 달리, 적어도 하나의 추가적인 본딩 와이어(140)가 상기 핀(126)과 핀(136)을 접속시키도록 포함된다. 상기 핀들 사이의 접속은 상기 루프가 완성되고 상기 루프의 총 길이에 기초하는 소정의 인더턴스 값이 설정되는 것을 보장한다. 상기 인더터 루프가 형성되면, 상기 접적회로 칩 상에 하나 이상의 회로들을 제어하는데 사용될 수 있다.

<46> 상술한 실시예는 많은 방식으로 변형될 수 있다. 예를 들어, 상기 서브 루프들 중 하나는 하나의 도체로 대체될 수 있다. 대안으로, 하나 이상의 서브 루프가 상기 패드(124) 및 핀(126) 사이에 또는 상기 패드(134)와 핀(136) 사이에, 또는 모두에 접속될 수 있다. 또한, 각각의 패드-핀 쌍 사이에 접속된 서브 루프의 개수는 서로 다를 수 있다.

<47> 도 7은 본 발명의 제 3 실시예에 따른 반도체 패키지를 도시한 것이다. 이러한 패키지는 패키지 하우징(160) 상에 또는 상기 패키지 하우징 내에 장착되는 접적회로 칩(150)을 포함한다. 상기 하우징은 상기 칩을 지지하기 위한 기판(162)과 상기 칩을 하나 이상의 외부 회로(미도시)에 전기적으로 접속시키기 위해 상기 기판에 형성되는 복수의 입출력(I/O) 핀(163)을 포함한다. 상기 기판은 하나의 재료로 제조될 수 있고, 상기 I/O 핀은 상기 제 1 실시예의 논의에서 언급된 어느 한 방식으로 형성되어 접속될 수 있다.

<48> 상기 반도체 패키지는 또한 상기 패키지 내부에 독립적인 인더터 루프(180)를 포함한다. 상기 인더터 루프는 바람직하게는 아래에서 설명하는 서브 루프들을 포함한다. 제 1 서브 루프는 상기 칩 상의 제 1 본딩 패드(184)를 잇는 도체(182)와 도체(183)를 패키지의 제 1 입출력 핀(186)에 접속시켜 형성된다. 제 2 서브 루프는 상기 칩 상의 제 2 본딩 패드(bonding pad)(194)를 잇는 도체(192)와 도체(193)를 패키지의 제 2 입출력 핀(196)에 접속시켜 형성된다. 상기 도체는 바람직하게는 본딩 와이어이다. 상기 제 1 실시예와는 달리, 상기 인더터 루프 내에 접속된 상기 핀들은 인접하고, 서로 접촉해 있다. 상기 핀들 간의 접촉은 상기 루프가 완성되고 상기 루프의 길이에 기초한 소정의 인더턴스 값이 설정되는 것을 보장한다. 상기 인더터 루프가 형성되면, 상기 접적회로 칩 상에 하나 이상의 회로들을 제어하는데 사용될 수 있다.

<49> 상술한 실시예는 많은 방식으로 변형될 수 있다. 예를 들어, 상기 서브 루프 중 하나는 단일 도체로 대체될 수 있다. 대안으로, 하나 이상의 서브 루프가 상기 패드(184) 및 핀(186) 사이에 또는 상기 패드(194)와 핀(196) 사이에, 또는 모두에 접속될 수 있다. 또한, 각각의 패드-핀 쌍 사이에 접속된 서브 루프의 개수는 서로 다를 수 있다.

<50> 도 8은 본 발명의 제 4 실시예에 따른 반도체 패키지를 도시한 것이다. 이러한 패키지는 패키지 하우징(210) 상에 또는 상기 패키지 하우징 내에 장착되는 접적회로 칩(200)을 포함한다. 상기 하우징은 상기 칩을 지지하기 위한 기판(212)과 상기 칩을 하나 이상의 외부 회로(미도시)에 전기적으로 접속시키기 위해 상기 기판에 형성되는 복수의 입출력(I/O) 핀(213)을 포함한다. 상기 기판은 하나의 재료로 제조될 수 있고, 상기 I/O 핀은 상기 제 1 실시예의 논의에서 언급된 방식으로 형성되어 접속될 수 있다.

<51> 상기 반도체 패키지는 상기 패키지 내부에 독립적인 인더터 루프(220)를 포함한다. 상기 인더터 루프는 많은 서브 루프들을 포함한다. 제 1 서브 루프는 상기 칩 상의 제 1 본딩 패드(bonding pad)(224)를 잇는 도체(222)와 도체(223)를 패키지의 제 1 입출력 핀(226)에 접속시켜 형성된다. 제 2 서브 루프는 상기 칩 상의 제 2 본딩 패드(bonding pad)(234)를 잇는 도체(232)와 도체(233)를 패키지의 제 2 입출력 핀(236)에 접속시켜 형성된다. 상기 도체는 바람직하게는 본딩 와이어이다. 상기 제 1 실시예 및 제 2 실시예와는 달리, 상기 인더터 루프 내에 접속된 상기 핀들은 단일 구조를 갖는다. 즉, 상기 핀들은 각각 다른 외부 회로 또는 인쇄회로기판(PCB)에 접속시키기 위한 별개의 리드(lead)(240, 241)를 가질 수 있으나, 상기 핀들은 하나의 연속하는 피스로 형성된다. 제 1 도체 및 제 2 도체는 상기 핀들에 접속시키는 것은, 상기 루프가 완성되고 상기 루프의 길이에 기초한 소정의 인더턴스 값이 설정되는 것을 보장한다. 상기 인더터 루프가 형성되면, 상기 접적회로 칩 상에 하나 이

상의 회로를 제어하는데 사용될 수 있다.

<52> 상술한 실시예 중 어느 하나에 따른 반도체 패키지는 다양한 적용에도 사용될 수 있다. 상기 적용의 일례로는, 상기 인덕터 루프는 예를 들어 동작 주파수를 포함하나 이에 국한되지 않는 적어도 하나의 파라미터를 정하는데 사용될 수 있다. 이하, 통신 시스템에 사용될 수 있는 전압 제어 발진기 (Voltage-controlled Oscillator, VCO)의 구체적 일례를 설명한다.

<53> 전압 제어 발진기(Voltage-Controlled Oscillator; 이하, VCO)

<54> 본 발명의 일실시에 적용으로는 현재 계류중인 미국특허 출원번호 10/443,835(대리인 문서번호 GCTS-0024)에 개시된 타입의 접속된 VCO의 형성을 포함하며, 상기 미국 특허의 내용은 참조로써 본 명세서에 합체된다. 상기 VCO는 잘 알려진 다양한 목적들을 위해 주파수 신호들을 제공하는 위상동기루프(Phase-locked loop)에 포함될 수 있으나, 당업자라면 본 발명의 VCO 적용이 본 발명의 적용에만 한정되지 않는다는 것을 이해할 것이다. 앞서 강조한 바와 같이, 본 발명의 다양한 실시예들은 실제로 인덕턴스 성분을 필요로 하는 임의의 회로들에도 사용될 수 있다. 본 발명에 따른 VCO 적용의 예시적인 실시예를 설명한다.

<55> 휴대폰 적용에서 위상 잡음 규격들은 매우 엄격하기 때문에, 가능한 VCO의 타입들이 한정되고 LC 발진기가 대개 사용된다. 상기 LC 발진기는 공진 탱크회로와 상기 탱크회로에서 에너지 손실을 보상하기 위한 몇몇 능동 소자들을 포함한다. 상기 탱크회로는 대역통과필터의 형식이기 때문에, 상기 LC 발진기의 위상잡음성능은 다른 타입의 발진기들보다 더 양호한 경향이 있다.

<56> 상기 LC 발진기의 공칭 주파수는 하기의 식

$$f_{VCO} = \frac{1}{2\pi\sqrt{LC}}$$

<57> <58> 으로 표현될 수 있다. 여기서 f_{VCO} = VCO의 공칭 주파수, L = 인덕턴스, 그리고 C = 커패시턴스이다. 이 식으로부터, VCO의 출력 주파수는 적어도 두 가지 방식으로 제어될 수 있음이 명백하다. 한가지 방식은 상기 발진기 회로의 커패시터(C)를 가변하는 것이고, 다른 방식은 인덕턴스 값(L)을 가변하는 것이다. 본 발명에 따라 형성된 VCO는 도 2 내지 도 8에 도시된 인덕턴스 루프 실시예들 중 어느 하나 또는 그 이상에 따른 인덕터 값은 설정하거나, 그 단독으로 또는 커패시턴스 값에 수반하는 조정에 따라 인덕터 값을 설정한다.

<59> 도 9는 본 발명의 일실시에 따른 발진기 회로(600)를 나타낸 다이어그램이다. 상기 회로는 발진기(610)와 상기 발진기(610)에 동작가능하게 결합된 적어도 하나의 조정회로(620)를 포함한다. 상기 조정회로는 바이어싱 레지스터(biasing register)(622), 리액티브 성분(624)(예컨대, 커패시터), 및 제 1 스위치(626)를 포함한다. 상기 제 1 스위치(626)는 상기 발진기 회로(600)로부터 상기 리액티브 성분(624)을 선택적으로 커플 또는 디커플(decouple)시킨다. 상기 바이어싱 레지스터(622)는, 상기 제 1 스위치(626)가 개방될 때, 상기 리액티브 성분(624)이 바이어스 전압을 갖도록 상기 리액티브 성분(624)에 바이어스 전압 V_A 를 제공한다.

<60> 하기에서 상세히 설명되는 바와 같이, 상기 바이어스 전압 V_A 는 다양한 구성들로 리액티브 성분에 공급될 수 있다. 예를 들어, 바이어스 스위치(628)가 상기 바이어싱 레지스터(622)와 상기 바이어스 전압 V_A 사이에 위치될 수 있다. 상기 바이어스 스위치(628)는 상기 제 1 스위치(626)가 상기 리액티브 성분(624)과 디커플될 때 상기 바이어싱 레지스터(622)를 상기 바이어스 전압에 선택적으로 커플시킨다. 상기 바이어스 스위치(628)는 상기 제 1 스위치(626)가 상기 리액티브 성분(624)을 상기 발진기 회로(600)에 커플시킬 때 상기 바이어스 전압 V_A 으로부터 바이어스 레지스터(622)를 선택적으로 디커플시킨다. 대안으로, 상기 바이어스 전압 V_A 이 항상 상기 바이어싱 레지스터에 결합될 수 있고 상기 제 1 스위치(626)가 닫힐 때 상기 바이어스 전압 V_A 이 상기 조정회로의 동작 특성을 실질적으로 변화시키지 않도록 상기 바이어스 레지스터(622)는 크기에 따라 분류될 수 있다 (예로써, 높은 저장 값).

<61> 상기 바이어스 전압 V_A 는 접지전압, 공급전압, 또는 발진기 출력의 일반 모드 전압에 접속될 수 있다. 더욱이, 상기 바이어스 전압 V_A 는 가변될 수 있으며, 접지전압으로부터 공급전압 사이의 범위에서 선택될 수 있다. 추가적으로, 스위치들 (626과 628)은 트랜지스터들과 같은 반도체 스위칭 소자들이 될 수 있다.

- <62> 도 9에 도시된 바와 같이, 조정회로(620)는 공진회로(630)의 일부이다. 당업자라면 공진회로(630)가 인덕터, 커패시터 및 저항기와 같이 추가적인 소자들을 포함할 수 있다는 것을 이해할 것이다. 제 1 스위치(626)가 개방되거나 닫힐 때마다, 리액티브 성분(624)은 공진회로(630)에서 각각 제거되거나 추가된다. 따라서 상기 제 1 스위치(626)는 상기 공진회로(630)의 특성들을 바꿀 수 있으며, 따라서 상기 VCO의 주파수를 바꿀 수 있다. 더욱이, 추가적인 조정회로들은 제어 범위를 증가시키기 위해 공진회로(630)에 추가될 수 있다. 또한, 증가된 동조 범위와 향상된 위상잡음성능이 양 타입의 발진기들에 유익하기 때문에, 당업자라면 도 9의 조정회로가 단일 목적의 또는 서로 다른 타입의 발진기들에 사용될 수 있다 라는 것을 이해할 것이다.
- <63> 도 10 내지 도 12는 도 9의 발진기 회로의 변형들을 도시한 것으로, 각각은 발진기 능동 회로의 어느 한 면에 결합된 제 1 및 2 단계적 조정회로 스테이지와 상기 단계적 조정 스테이지에 결합된 인덕터 루프를 포함한다. 이를 변형들에 대한 논의가 이어진다.
- <64> 도 10은 본 발명에 따른 VCO의 제 1 변형을 보여주는 개략적인 다이어그램이다. 이러한 변형(700)은 바람직하게 예컨대 도 9에서의 회로(610)에 해당될 수 있는 능동 발진기 회로 소자(702)를 포함한다. 도 10의 회로는 출력 노드 OUT(706) 및 OUTB(708)로 차별적인 구성을 갖는다. 인덕터(704)는, 바람직하게, 출력 노드들 OUT(706) 및 OUTB(708)에 결합된다. 스위치(718)와 직렬로 결합되는 커패시터(722)를 갖는 2이상의 회로들이 OUT(706)에 또한 결합될 수 있다. 상기 커패시터(722)는 출력 노드(706)와 스위치(718)에 결합된다. 스위치(718)는, 바람직하게, 도 9에 도시된 접지전압이 될 수 있는 기준 전압에 결합되는 트랜지스터 스위치이다. 또한, 바람직하기로 상기 회로는 트랜지스터 스위치(714)에 직렬로 결합되는 명시 저항(Explicit resistor)(710)과 같이 직렬 결합된 저항과 스위치를 포함한다. 상기 명시 저항(710)은 일단에서 커패시터(722)의 공통 노드와 트랜지스터 스위치(718)에 결합되고, 트랜지스터 스위치(714)는 저항(710)의 타단과 바이어스 전압 V_A 사이에서 결합된다.
- <65> 바람직하기로, 동일한 구성요소들과 연결들은 출력 노드 OUTB(708)에 대하여 존재한다. 예를 들어, 바람직하기로 커패시터(722)는 트랜지스터 스위치(720)에 직렬로 결합되고 상기 커패시터(722)의 타단은 상기 출력 노드 OUTB(708)에 결합된다. 또한, 트랜지스터 스위치(720)의 일단은 접지에 결합된다. 더욱이, 바람직하기로는, 명시 저항(712)이 상기 커패시터(722)와 상기 트랜지스터 스위치(720)의 공통 노드에 결합되도록 상기 명시 저항(712)이 트랜지스터 스위치(716)에 직렬로 결합되고, 트랜지스터 스위치(716)의 단자는 바이어스 전압 V_A 에 결합된다. 당업자라면 상기 커패시터들(722)이 같은 값을 또는 다른 값을 가질 수 있다는 것을 이해할 것이다. 마찬가지로, 관련된 저항들과 스위치들은 각 적용 예의 특정 설계 요건들에 의해 정해지는 동일한 또는 다른 값을 가질 수 있다.
- <66> 도 10에 도시된 회로의 동작이 이하 설명된다. 바람직하기로, 상기 저항들(710 및 712)의 값은 오프 상태에서 최상의 위상잡음성능을 위해 결정되거나 최적화된다. 저항값이 대개 높기(예컨대, 수 $K\Omega$ 이상) 때문에, 트랜지스터 스위치들(714 및 716)의 낮은 온-저항(on-resistance)일 필요는 없다. 그러므로, 트랜지스터 스위치들(714 및 716)의 크기는 매우 작을 수 있다. 또한 트랜지스터 스위치들(714 및 716)의 추가적인 기생 커패시턴스(parasitic capacitance)가 작고, 상기 저항들(710 및 712)은 트랜지스터 스위치(714 및 716) 특성의 오프 상태 변화에서 대부분의 저항을 커버할 수 있도록 설계되기 때문에 중요하지 않다. 상기 바이어스 레벨 V_A 는 오프 상태일 때 통상적인 수준으로 결정되고 접지전압에서 공급 전압까지의 임의의 값을 가질 수 있다. 그러므로, 상기 바이어스 레벨 V_A 는 저항 분배기와 같이 간단한 바이어스 생성기로부터 생성될 수 있다. V_A 는 또한 그 자체로 접지전압 또는 공급전압이 될 수 있다.
- <67> 도 11은 본 발명에 따른 VCO의 제 2 변형을 도시한 개략적인 다이어그램이다. 이러한 변형(800)은, 바람직하기로, 도 9에서의 회로(610)에 해당될 수 있는 능동적 발진기 회로(802)를 포함한다. 도 11의 회로는 출력 노드들 OUT(806) 및 OUTB(808)와는 다른 구조를 갖는다. 인덕터(804)는, 바람직하게는, 출력 노드들 OUT(806) 및 OUTB(808) 사이에 결합된다. 커패시터(822), 명시 저항(810)으로 도시된 저항, 및 스위치(814)(예, 트랜지스터) 등을 포함하는 직렬회로가 바람직하게는 상기 커패시터(822)의 일단과 상기 트랜지스터 스위치(814)의 일단에서 출력 노드 OUT(806)에 결합된다. 상기 일단들은 상기 직렬회로의 타단들이다.
- <68> 또한, 스위치(818) 등(예, 트랜지스터)은 바람직하기로 접지가 되는 기준 전압과 커패시터(822)와 저항(810)의 공통 노드 사이에 결합된다. 동일한 회로들이 출력 노드 OUTB(808)에 결합될 수 있다. 예를 들어, 커패시터(822), 저항(812), 및 트랜지스터 스위치(816)를 포함하는 직렬회로가 커패시터(822)의 일단과 저항 스위치(816)의 일단을 통해 그 사이에 배치된 직렬회로와 함께 출력 노드 OUTB(808)에 결합될 수 있다. 바람직하기로, 트랜지스터 스위치(820)는 접지와 커패시터(822)와 저항(812)의 공통 노드 사이에 결합된다. 당업자라면 상기

커패시터들(822)이 같은 값들 또는 다른 값을 가질 수 있다는 것을 이해할 것이다. 더욱이 관련 저항들과 스위치들은 각 적용 예의 특정 설계 요구들에 의해 정해지는 동일한 또는 다른 값을 가질 수 있다.

<69> 도 11에 도시된 실시예에서, 오프 상태 동안 어떠한 추가적인 바이어싱 회로망을 필요로 하지 않는다. 대신에, LC 발진기에서 능동 회로망의 공통 전압이 상기 발진기 출력에 연결되지 않은 커패시터의 타단에 적절한 DC 바이어스를 제공한다. 또한, VCO(800)에서, 트랜지스터 스위치들(814 및 816)의 크기는 매우 작을 수 있다. 따라서, 트랜지스터 스위치(814 및 816)의 추가적인 기생 커패시턴스는 중요하지 않다.

<70> 도 12는 본 발명에 따른 VCO의 제 3 변형을 도시한 개략적인 다이어그램이다. 도 12에 도시된 바와 같이, 상기 VCO(900)는 바람직하게 능동 발진기 회로도(902)를 포함한다. 이는, 예컨대, 도 9의 회로(610)에 해당할 수 있다. 이러한 회로는 출력 노드들 OUT(906) 및 OUTB(908)와는 다른 구조를 갖는다. 인덕터(904)는, 바람직하게는, 출력 노드들 OUT(906) 및 OUTB(908) 사이에 결합된다. 또한, 커패시터(922)는 스위치(918)(예, 트랜지스터)에 직렬로 결합된다. 여기서, 커패시터(922)의 타단은 출력 노드 OUT(906)에 결합되고, 트랜지스터 스위치(918)의 타단은 접지에 결합된다. 바람직하기로, 커패시터(922)의 공통 노드와 트랜지스터 스위치(918) 사이에 결합되고, 바이어스 전압 V_A 에 결합되는 저항(910)인 명시 저항이 있다.

<71> 바람직하기로, 동일한 회로들이 출력 노드 OUTB(908)에 결합된다. 예를 들어, 커패시터(922)는 바람직하게 트랜지스터 스위치(920)와 직렬로 연결되고, 커패시터(922)의 타단은 출력 노드 OUTB(908)에 결합되고, 트랜지스터 스위치(920)의 타단은 접지에 연결된다. 바람직하게, 명시 저항(912)은 바이어스 전압 V_A 와 커패시터(922) 및 트랜지스터 스위치(920)의 공통 노드 사이에 결합된다. 당업자라면 상기 커패시터들(922)이 같은 값을 또는 다른 값을 가질 수 있다는 것을 이해할 것이다. 더욱이 관련 저항들과 스위치들은 각 적용 예의 특정 설계 요구들에 의해 정해지는 동일한 또는 다른 값을 가질 수 있다.

<72> 도 12에 도시된 실시예에서, 턴-오프 스위치들(예컨대, 도 10에서의 스위치들 814 및 816)은 성능의 감소된 또는 한정된 손실로써 소거될 수 있다. 이는 명시 저항(910 및 912)의 저항들이 주기적인 스위치들(918 및 920) 간에 동작 특성을 심각하게 변화시키지 않도록 선택되기 때문이다. 당업자라면 상기 저항들(910 및 912)의 값을 주어진 발진기 설계(예, 커패시턴스, 주파수 범위 등등)를 위해 경험적으로 결정된다는 것을 이해할 것이다. 스위치들(918 및 920)이 커패시턴스를 줄이기 위해 개방될 때, 상기 발진기 출력에 결합되지 않는 타단은 바람직하게는 발진기(902)의 공통 모드 전압과 실질적으로 동일한 직류 바이어스 전압을 갖는다.

<73> 도 9 내지 도 12에서, 상기 VCO는 하나의 칩에 형성될 수 있다. 상기 칩은 바람직하게는 도 2 내지 도 8에 도시된 본 발명의 실시예들의 어느 하나에 따라 구성되는 독립적인 반도체 패키지 내에 장착된다. 따라서, 상기 패키지의 인덕터 루프는 VCO의 출력 주파수를 설명하기 위한 하나의 바이어스로써 사용될 수 있다. 더 구체적으로, 상기 루프의 길이는 인덕턴스 값(이는 하나 이상의 인덕터들 704, 804, 및 904에 해당한다)을 만들도록 형성될 수 있다. 이는 VCO가 소정의 주파수를 출력하게 하거나 소정의 주파수 대역 내에서 동작하게 한다.

<74> 예를 들어, 하나의 비제한적이만 특별히 이점적인 적용에서, 상기 루프 길이는 1.30nH의 인덕턴스 값을 생성하도록 형성될 수 있다. 이는 상기 VCO가 RF1형(예, PCS) 발진기이고 상기 커패시턴스가 4.96pF인 조건 하에서 상기 VCO에 병합되는 PLL이 1.98 GHz의 주파수를 출력하게 한다. 여기서, 상기 VCO는 동일한 커패시턴스 값을 갖는 RF2형(예, CDMA) 발진기인 경우, 인덕터의 루프 길이는 1.81 nH의 값을 생성하도록 형성될 수 있다. 이는 1.28 GHz의 PLL로부터 출력 전송 주파수를 만들기에 충분하다. 인덕턴스 값을 PLL의 출력 주파수를 제어하는데 사용될 수 있다는 것은 잘 알려져 있다. 그리고, 예를 들어, 미국 특허번호 No.6,323,735에 개시된 방식으로 수행될 수 있으며, 그의 내용들은 참조로써 본 명세서에 합체된다. 상기 인덕터 루프는 또한 하기에서 보다 상세히 개시된 방식으로 다중-위상 클럭 신호와 결합하여 사용될 수 있다.

<75> 상기에서 언급한 바와 같이, 본 발명에 따른 VCO는 통신 수신기에서 주파수(예, 국부발진기 신호들) 신호들을 생성하는 PLL 회로에서 유익하게 사용될 수 있다. 그러나, 당업자라면 본 발명의 VCO가 PLL 또는 VCO를 사용하거나 사용할 수 있는 다른 어떤 장치들에서도 사용될 수 있음을 이해할 것이다. 예를 들어, 이들 장치들은 수신기, 송신기, 송수신기, 무선 통신 디바이스, 기지국, 또는 이동장치(예, 휴대폰, PDA, 호출기 등등)을 포함한다.

<76> 본 발명에 따라 형성되는 VCO가 다양한 이점을 갖는 것이 더 주목된다. 예를 들어, PLL의 동조 범위는 이러한 타입의 종래 장치에 비하면 증가될 수 있다. 더욱이, 회로구성부분들을 조정하는 VCO의 턴-온과 턴-오프 상태들과 관련된 문제들은 실질적으로 줄어들거나 거의 제거될 수 있다. 또한, 트랜지스터 스위치들의 크기는 소형화

를 촉진함으로써 줄어들 수 있다.

<77> 당업자라면 발진기 회로를 갖는 장치를 동조하기 위해 이상에서 기재된 방법들을 이해할 것이다. 이들 방법들은, 예를 들어, 제 1 스위치가 개방될 때 리액티브 성분이 바이어스 전압을 갖도록 바이어스 저항을 경유한 상기 바이어스 전압을 상기 리액티브 성분에 제공하는 단계; 상기 발진기 회로로부터 상기 리액티브 성분을 결합하거나 분리하기 위해 제 1 스위치를 사용하는 단계; 및 상기 바이어스 저항을 제 1 스위치를 갖는 바이어스 전압에 결합시키는 단계를 포함한다. 더욱이, 상기 방법은 상기 제 1 스위치가 닫히면 상기 제 2 스위치를 개방하는 단계, 및 상기 제 1 스위치가 개방되면 상기 제 2 스위치를 닫는 단계를 포함한다. 상기 방법은 PLL, 수신기, 송신기, 송수신기, 무선 통신 디바이스 기지국 및/또는 이동 유닛과 같은 다양한 장치들에도 적용될 수 있다.

<78> 본 발명으로부터의 다양한 수정 및 변경들은 당업자라면 이상 설명한 내용을 통해 알 수 있을 것이다. 따라서, 본 발명의 몇몇 실시예들만이 본 명세서에 구체적으로 기술되어있으나, 본 발명의 기술사상 및 범위로부터 벗어남이 없이 다양한 변경들이 이루어질 수 있음이 명백해진다.

산업상 이용 가능성

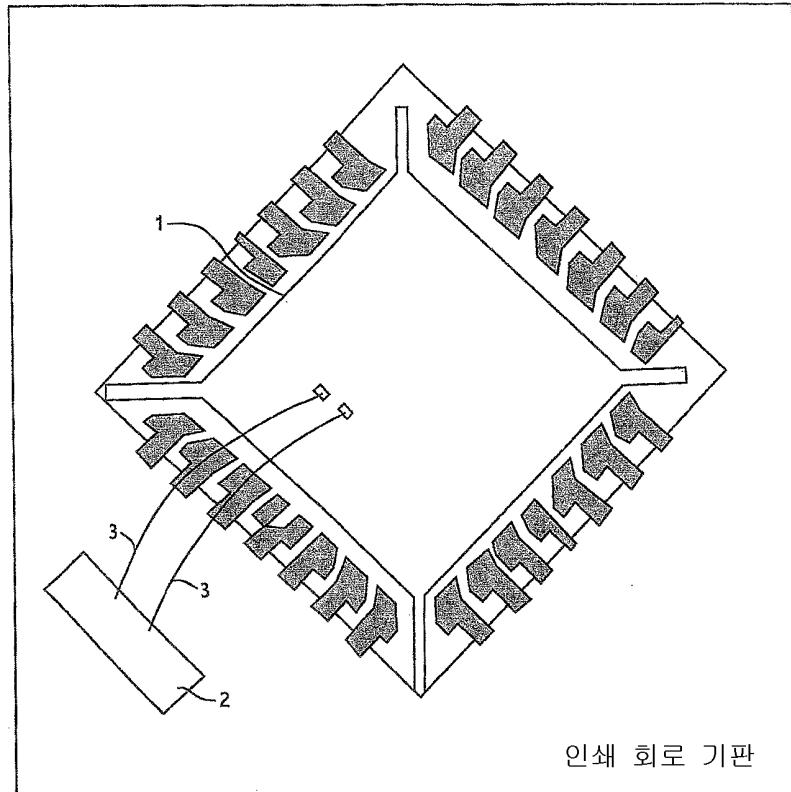
<79> 본 발명의 상세한 설명에 포함됨.

도면의 간단한 설명

<23> 도 1은 독립적(self-contained)이지 못한 종래의 집적회로 패키지를 도시한 다이어그램이다;
 <24> 도 2는 본 발명의 제 1 실시예에 따른 반도체 패키지를 도시한 다이어그램이다;
 <25> 도 3(a) 및 도 3(b)는 본 발명의 제 1 실시예의 반도체 패키지에서 상기 패키지의 하나 이상의 중간 입출력 펀들과 관련하여 어떻게 금속 배선층(metalization layer)이 형성되는지의 예들을 도시한 다이어그램이다;
 <26> 도 4는 본 발명의 제 1 실시예의 반도체 패키지에서 금속화 서브층(metalization sub-layer)이 형성될 수 있는 또 다른 방법을 도시한 다이어그램이다;
 <27> 도 5는 입출력 펀들이 도 4에 나타낸 금속화 서브층(metalization sub-layer)에 접촉하는 한가지 방법을 도시한 다이어그램이다;
 <28> 도 6은 본 발명의 제 2 실시예에 따른 반도체 패키지를 도시한 다이어그램이다;
 <29> 도 7은 본 발명의 제 3 실시예에 따른 반도체 패키지를 도시한 다이어그램이다;
 <30> 도 8은 본 발명의 제 4 실시예에 따른 반도체 패키지를 도시한 다이어그램이다.
 <31> 도 9는 본 발명의 일실시예에 따른 전압 제어 발진기를 도시한 다이어그램이다;
 <32> 도 10은 도 9의 전압 제어 발진기의 제 1 변형을 도시한 다이어그램이다;
 <33> 도 11은 도 9의 전압 제어 발진기의 제 2 변형을 도시한 다이어그램이다; 그리고
 <34> 도 12는 도 9의 전압 제어 발진기의 제 3 변형을 도시한 다이어그램이다.

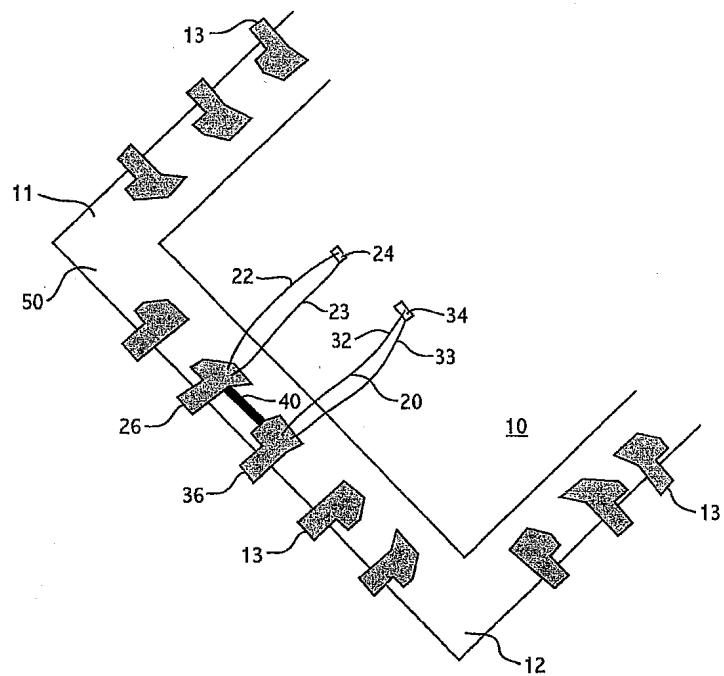
도면

도면1

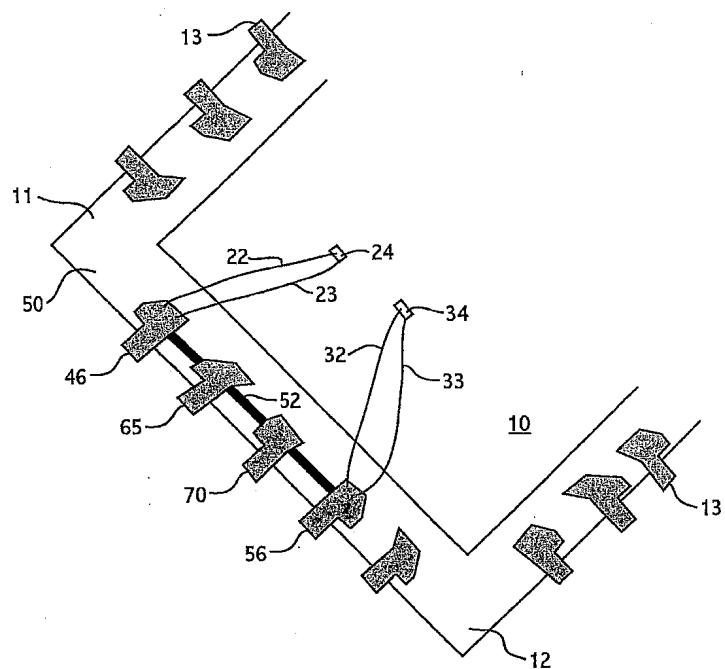


인쇄 회로 기판

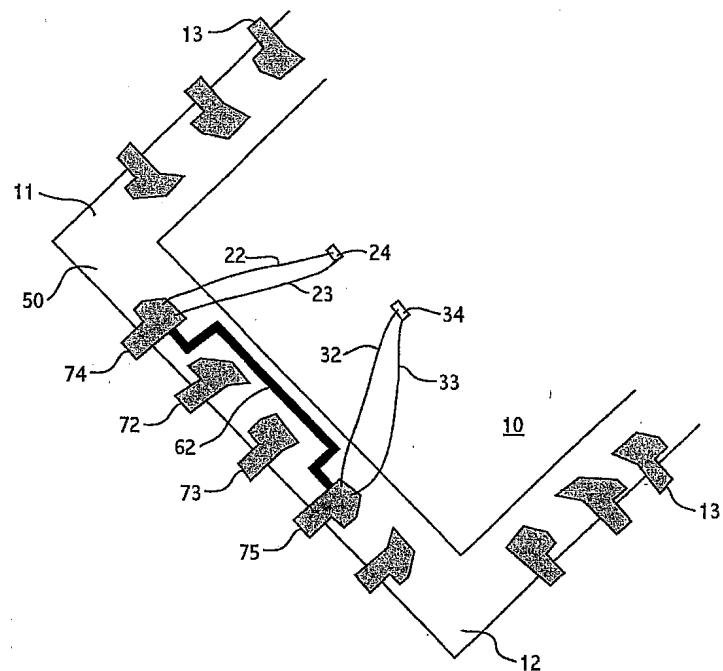
도면2



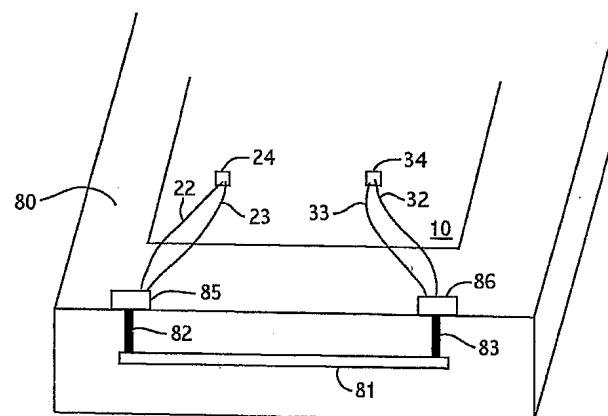
도면3a



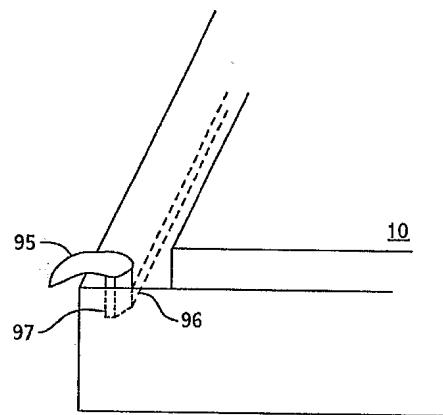
도면3b



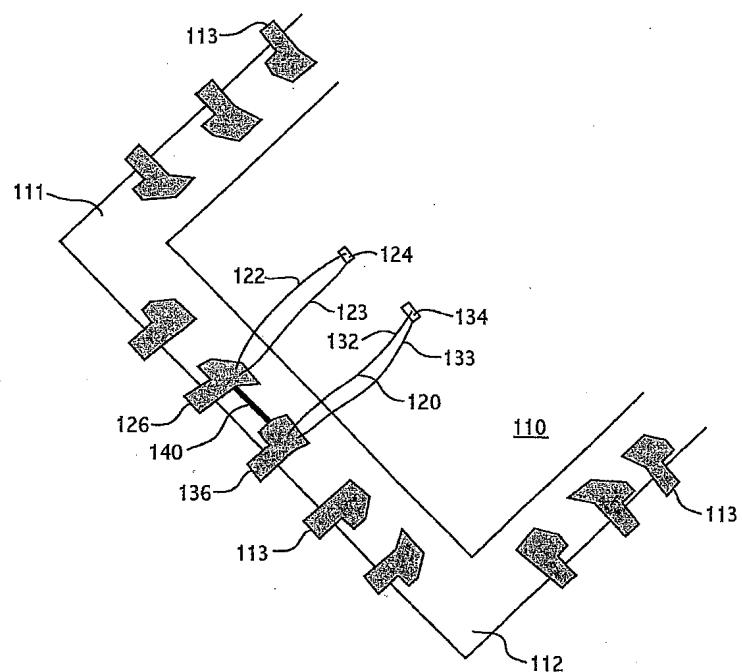
도면4



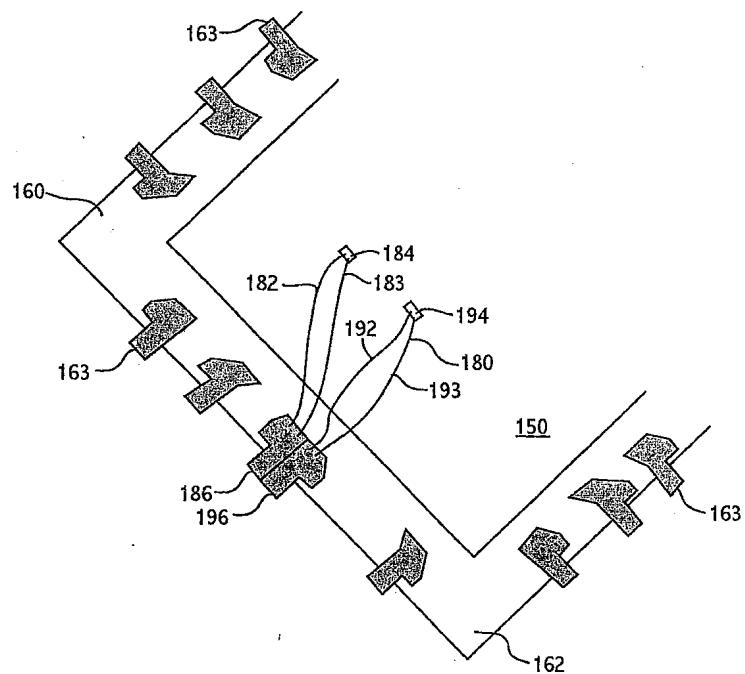
도면5



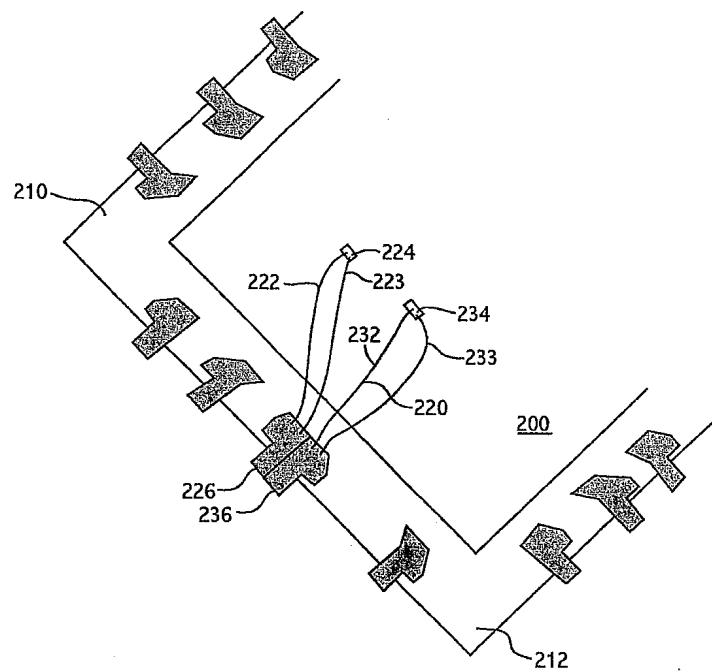
도면6



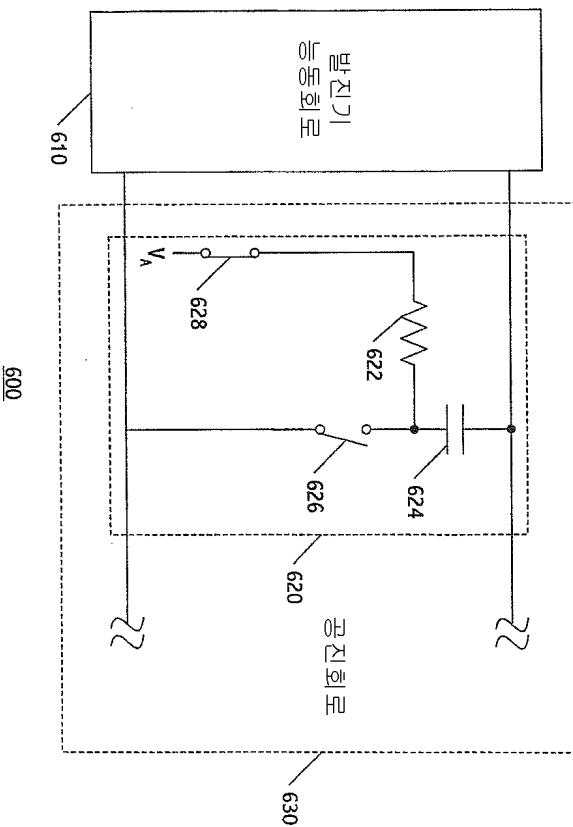
도면7



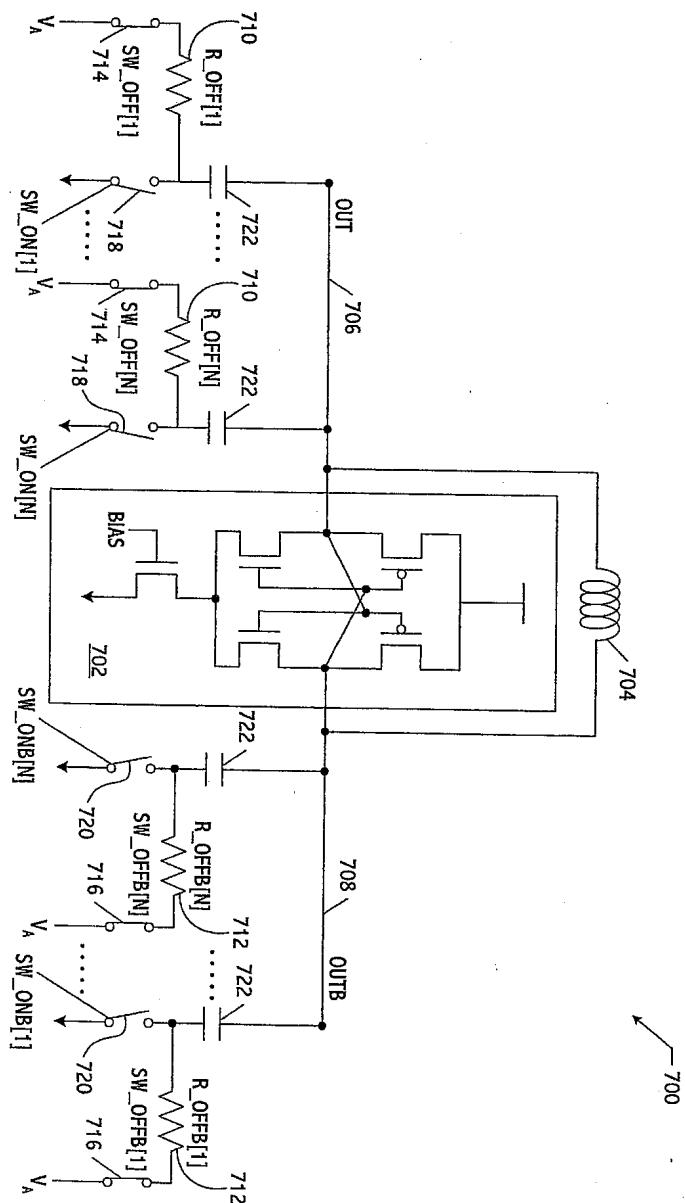
도면8



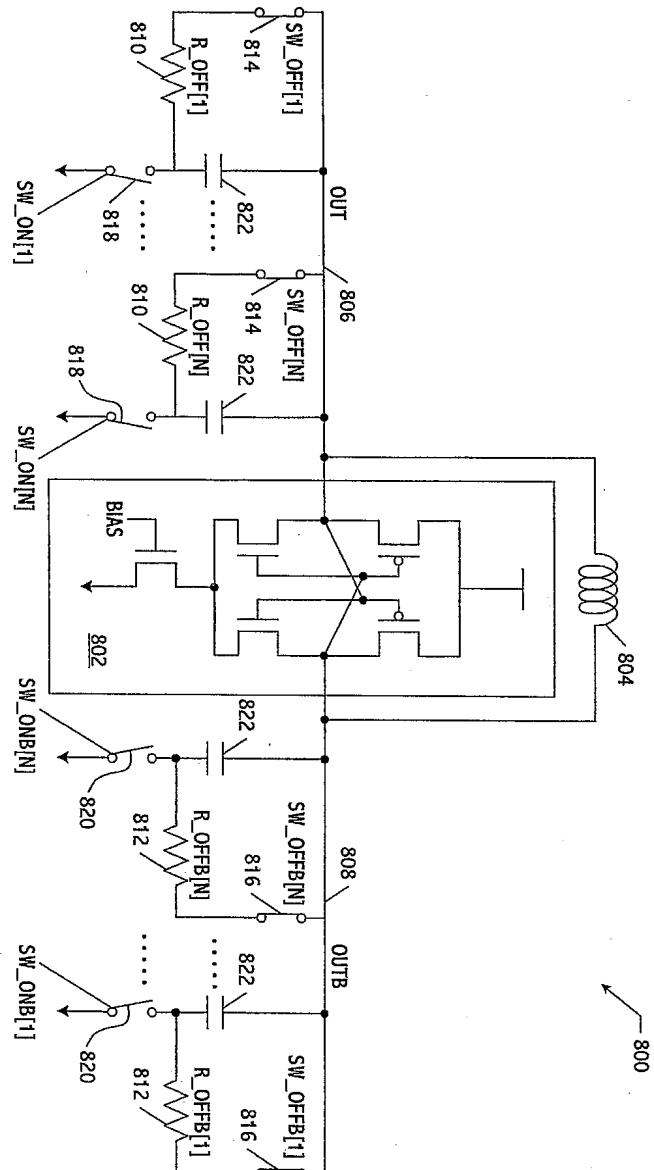
도면9



도면10



도면11



도면12

