公告本

申請日期	90 年 1 月 15 日
案號	90100857
類別	H01L 21/8

A4
C4

477002

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	結合與銅金屬鑲嵌法之電容器及其製造方法
	英文	A capacitor for integration with copper damascene processes and a method of manufacture therefore
二、發明 創作 人	姓名	(1) 史帝芬・唐尼 Downey, Stephen Ward (2) 愛德華・哈里斯 Harris, Edward Belden (3) 沙利・莫琴 Merchant, Sailesh Mansinh
	國籍	(1) 美國 (2) 美國 (3) 美國
	住、居所	(1) 美國佛羅里達州奧蘭多塔拉橡樹廣場八六一三號 8613 Tara Oaks Court, Orlando, FL 32836 U.S.A. (2) 美國佛羅里達州奧蘭多奧斯普瑞林克斯路一三八二四號第二〇三號公寓 13824 Osprey Links Road, Apt. 203, Orlando FL 32837, U. S. A. (3) 美國佛羅里達州奧蘭多凡蘭橡樹路八二一四號 8214 Vineland Oaks Boulevard, Orlando, FL 32835, U.S.A.
三、申請人	姓名（名稱）	(1) 魯森工業技術股份有限公司 Lucent Technologies Inc.
	國籍	(1) 美國
	住、居所（事務所）	(1) 美國新澤西州莫瑞山丘莫頓路六〇〇號 600 Mountain Avenue, Murray Hill, NJ 07974 -0636, USA
	代表人姓名	(1) 麥克・格林 Greene, Michael R.

裝 訂 線

經濟部智慧財產局員工消費合作社印製

（由本局填寫）

承辦人代碼：	
大　　類：	
IPC分類：	

C6
D6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
美國	2000 年 1 月 21 日	09/489,092	☑有主張優先權

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

A7
B7

五、發明說明（ 1 ）

技術領域

本發明大致針對用在半導體裝置之電容器，及更特別針對一結合銅金屬鑲嵌法之電容器及其製造方法。

發明背景

於今日之積體電路技術中已廣泛接受及使用電容器。如所熟知，普通之電容器基本上包含由絕緣體所分開之二導電板。通常該導電板係由鋁所製成及該絕緣體係諸如二氧化矽(SiO_2)之介電性材料。

本來電容器通常係放在一積體電路(IC)之基板上及應設計所需電連接至接點或轉接結構。雖然該結構非常有效，其出現將於壓在其上之介電性材料中造成一地形上之偏差，以致該電容器之結構將會在該介電層之表面中折轉。其結果是須施行特別之平面化技術以除去該偏差，以致不會不利地影響隨後之石版影印製程。當裝置尺寸減少時，該電容器之偏差效應於該石版影印製程中甚至變得更敏銳。

有關早期電容器結構所引起之平面化問題，半導體製造工業已找尋方式以形成該電容器，同時減少其在壓在其上之介電層地形之衝擊。一種此類方法係在一接點或轉接開口內形成該電容器。該方法對於較大之次微米技術很有效。因爲該電容器係形成在該接點或轉接開口內，其結構不會嚴重影響壓在其上之介電層。如此，大體而言減少先前電容器結構中所引起之平面化問題。

然而，因設計嵌線持續減小，關於在該結構內形成一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 2）

電容器已發生困難。因爲於蝕刻製程中較小之裝置尺寸需要較大之精確度，該工業正移向一已知爲金屬鑲嵌法之蝕刻製程。因爲已完成之金屬鑲嵌結構具有一寬度大於該下孔腔之上孔腔，結果在該金屬鑲嵌開口內產生一階梯狀地形。當形成該跡線開口時，該金屬鑲嵌法提供更多控制，而依序允許於次微米範圍中製造ICs。

本發明用以形成跡線開口之金屬鑲嵌法允許於次微米範圍中製造ICs。然而，因爲該金屬鑲嵌之階梯狀地形，其已證實更難以在該金屬鑲嵌開口內形成電容器。此困難性之一項原因是源自澱積問題，這是由於在該階梯狀地形上方澱積該電容器所需之各種層所引起。基於增加之地形，形成該電容器之各層厚度可能在該金屬鑲嵌結構內有顯著變化。此材料厚度之差異係難以控制及使其很難以達成所想要之電容程度。再者，基於必需在該較小部份之金屬鑲嵌結構內澱積各層之數目，達成想要傳導程度所需之材料可能未充分地澱積在該金屬鑲嵌結構內。再者，亦可能形成空洞。基於這些不確定性，未能輕易及一致地將該電容器製成所想要之程度。

據此，該技藝所需要者係一種可避免先前技藝結構及製程之相關缺點之電容器結構及用以形成該電容器結構之製程。

發明概要

爲強調先前技藝之上述缺失，本發明提供一用在半導

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 3）

體裝置之電容器，而在半導體晶圓之基板上方形成諸如雙重金屬鑲嵌互連之金屬鑲嵌互連結構。於一特別有利之實施例中，諸如金屬-絕緣體-金屬電(MIM)之電容器包含諸如銅之第一電容器電極，其包含一部份金屬鑲嵌互連結構。該電容器另包含一形成在該金屬鑲嵌互連結構上之絕緣層，其中該絕緣層係諸如氮化矽之鈍化層。該鈍化層可爲最外邊或最後之鈍化層，或其可爲一積體電路內之中間高度鈍化層。該電容器另包含由諸如鋁之導電層所組成之第二電容器電極，其至少形成在一部份絕緣層上。

該電容器所選用之材料可能有不同變化。譬如，於一實施例中，該絕緣體可爲氮化矽。然而，於另一實施例中，該絕緣體可爲五氧化鉭。當使用某些選用實施例時，諸如含銅之五氧化鉭，其可能需要含括一適當之阻擋層以防止銅之徙動進入該周圍之介電體。

於本發明之另一論點中，該半導體裝置包含藉著介電性材料彼此電絕緣之多數金屬鑲嵌互連結構。在形成該電容器之任何給定層上，該鈍化層係形成在該多數互連結構之每一結構上。

於某些實施例中，該導電層係形成在至少二互連結構上。又於另一實施例中，該金屬鑲嵌互連係一最外邊或最後之金屬鑲嵌互連結構，該絕緣層係一最外邊加蓋層，且該第二電容器電極包含形成在至少一部份絕緣層之一部份最外邊導電層。該特別實施例係特別有利，因爲該電容器係形成在該半導體晶圓之最外層上及避免先前層次所存在

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 4）

之平面化問題。於此等實施例中，該最外層亦可用於形成該半導體裝置之一結合片。

於又另一論點中，本發明提供一形成在半導體晶圓基板上之半導體裝置。該特別實施例包含形成在該基板上方之電晶體、形成在該電晶體上方及電連接至該電晶體之金屬鑲嵌互連結構、形成在一金屬鑲嵌互連結構上之絕緣體鈍化層、形成在一金屬鑲嵌互連結構上方之導電層、及如上文先前所述包含各種實施例之電容器。

亦提供一用在半導體裝置之電容器製法，其在半導體晶圓之基板上方已形成有一金屬鑲嵌互連結構。於該實施例中，該方法包括形成含有一部份金屬鑲嵌互連結構之第一電容器電極；在該金屬鑲嵌互連結構上形成一絕緣層，其中該絕緣層係一鈍化層；及形成由一導電層所組成之第二電容器電極，該導電層係形成在至少一部份絕緣層上。

該方法實施例亦包含如上述關於該電容器之各種裝置之形成步驟。然而，於該電容器係形成在一中間高度介電體上而非該最外邊介電體高度之實施例中，該方法另包含於澱積該絕緣材料之前平面化該金屬鑲嵌互連結構，及另包含平面化一澱積在該電容器上方之介電體，這是在形成該介電體時以諸如化學/機械平面化技術之平面化製程施行。

前文已概述本發明之極廣泛、較佳及其他特色，以致熟練該技藝之人士可較佳了解下文本發明之詳細敘述。下文將敘述本發明之額外特色，其形成本發明之申請專利範

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 5 ）

圍之主題。熟練該技藝之人士將發現他們可輕易地使用所揭露之構想及特定實施例當作基礎，以設計或更改其他結構供執行本發明之相同目的。熟練該技藝之人士亦應體認此類同等結構於其最寬廣形式下並未偏離本發明之精神及範圍。

圖面簡述

爲更完全理解本發明，現在會同所附圖面參考以下之敘述，其中：

第 1 圖說明由本發明所覆蓋之半導體裝置實施例之一局部剖視圖；

第 2 圖說明如第 1 圖所示該金屬鑲嵌互連結構之一局部剖視圖，包含形成在該金屬鑲嵌互連結構上方之絕緣層；

第 3 圖說明第 2 圖所示該半導體裝置之一局部視圖，顯示該絕緣層之圖案成形及蝕刻；

第 4 圖說明藉著如第 3 圖所示之部份絕緣層所覆蓋之金屬鑲嵌互連結構，而最好係由一導電層所組成之第二電容器電極位在至少一部份絕緣層上；及

第 5 圖說明位在該半導體裝置內之中間高度處之金屬鑲嵌互連結構之一局部剖視圖。

元件對照表

100　　半導體裝置

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（ 6）

110	積體電路
115	互連部份
120	介電層
123	n型
125	p型
133	源極區
135	漏極區
140	閘極結構
141	閘極
143	氧化物層
145	隔片
150	插塞
152	轉接部份
155	頂部
160	互連結構
161	阻擋層
162	電容器
164	電容器電極
166	絕緣體層
168	電容器電極
170	阻擋層
310	開口
320	金屬鑲嵌結構
330	金屬鑲嵌結構

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 7）

詳細敘述

最先參考第1圖，其說明由本發明所覆蓋之半導體裝置100實施例之剖視圖。該半導體裝置100顯示一部份以習知方法形成知積體電路(IC)110，諸如一互補金屬氧化物半導體(CMOS)裝置。熟練該技藝之人士知道該部份IC 110可包括任何數目之互連部份115及介電層120，以致會形成所想要之半導體裝置100。於第1圖所示實施例中，該IC 110包含以習知方法形成之雙型，即包含一n型123及一p型125。雖然第1圖所示係源極區133及漏極區135，該二者係使用習知方法形成。

可形成一跨越該源極區133及漏極區135之習知閘極結構140。該閘極結構140包括一以習知方法形成之閘極141、氧化物層143及隔片145。以習知方法形成之金屬鑲嵌插塞150或轉接部份152連接不同層之IC 110。該金屬鑲嵌法係用於取代傳統之蝕刻製程，以允許當形成該金屬鑲嵌結構時有更多之控制。這是特別重要，因爲銅比當作導電材料之鋁更逐漸成爲所選擇之導體，且銅比鋁更難以於控制下之方式蝕刻。

在第1圖顯示該頂部155，其說明一金屬鑲嵌互連結構160，一電容器162係由其所形成。於本發明之一實施例中，該電容器162係一金屬-絕緣體-金屬(MIM)電容器。該金屬鑲嵌互連結構160形成第一電容器電極164。於一較佳實施例中，該金屬鑲嵌互連結構160包含銅。再者，當該金屬鑲

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 8）

嵌互連結構160包含銅(Cu)時，可照慣例形成一選擇性之阻擋層161，以致該Cu金屬鑲嵌互連結構160未與最好爲SiO_2之介電層120接觸。如此，該阻擋層防止該Cu擴散進入該SiO_2之介電層120及反之亦然。於一較佳實施例中，該阻擋層161包含一氮化鉭層，然而，熟練該技藝之人士了解可使用諸如鉭之其他類似阻擋層。假如該銅係已電鍍，可能需要一籽晶層以形成在該阻擋層161之頂部上。再者，熟練該技藝之人士了解該金屬鑲嵌互連結構160亦可使用其他已知之類似導電材料。一具有技巧於該技藝該熟悉於那些(於)。該電容器162另包含諸如氮化矽層之絕緣層166，及可包含諸如鋁、鋁合金或層疊金屬等習知材料之第二或上電容器電極168。當該金屬鑲嵌互連結構160包含銅及該上電容器電極168包含鋁時，一銅/鋁阻擋層170照慣例係澱積於該互連結構160及該上電容器電極168之間，以防止擴散。於所示實施例中，該銅/鋁阻擋層170包含氮化鉭，然而熟練該技藝之人士知道可使用具有類似性質之材料，諸如氮化鈦。

該金屬鑲嵌互連結構160可爲單一金屬鑲嵌互連結構或雙重金屬鑲嵌互連結構。然而，該雙重金屬鑲嵌互連結構提供勝過先前技術之優點。譬如，該雙重金屬鑲嵌互連結構允許製造小於.25微米尺寸之ICs，這是傳統溝渠式蝕刻或單一金屬鑲嵌法所沒有之特色。所示金屬鑲嵌互連結構160可爲該半導體裝置100之最外邊或頂部金屬鑲嵌互連結構160。然而，另一種選擇是其可爲一中間高度金屬鑲嵌互連結構。如此，該電容器162可在該半導體裝置100內之各種

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 9）

高度製成。然而，如下文較佳實施例所說明，使用該最外邊或頂部金屬鑲嵌互連結構構成該電容器162。

現在翻至第2圖並持續參考第1圖，其說明如第1圖所示該金屬鑲嵌互連結構160之一剖視圖。該互連結構160包含形成在該金屬鑲嵌互連結構160上方之絕緣層166，且該阻擋層161分開該銅金屬鑲嵌互連結構160與該SiO_2介電層120。於一較佳實施例中，該阻擋層161係共形地澱積在該基板表面上方及在該金屬鑲嵌互連結構160內，在此之後將銅澱積在該阻擋層161上方及在該金屬鑲嵌互連結構160內。該銅及該阻擋層161之後面係使用習知化學/機械製程拋光，以致該阻擋層161及該銅只位在該金屬鑲嵌互連結構內160。於另一較佳實施例中，使用諸如化學蒸氣澱積(CVD)或物理蒸氣澱積(PVD)之習知澱積製程澱積該絕緣層166。於一有利之實施例中，該絕緣層166典型係澱積成一鈍化層。亦已知道者，於一些製程中，在該製程末端以一加蓋層鈍化半導體裝置，以保護或密封該半導體裝置不受有害之環境汙染物。如此，於此特定實施例中，不須額外步驟以製造該第一電容器電極164或該電容器162之絕緣層166。如所示，諸如五氧化鉭之絕緣體或鈍化層166係形成在該已平面化IC 110之整個表面上方。

現在翻至第3圖，其說明第2圖所示半導體裝置100之一局部視圖，顯示該絕緣層166之圖案成形及蝕刻。可用習知圖案成形及蝕刻法以在該絕緣層166內形成開口310。移去部份絕緣層166以界定該電容器162之電容器介電體。於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 10）

第3圖所示實施例中，已移去金屬鑲嵌結構320及330上方之部份絕緣層166。

翻至第4圖，其說明以第3圖所示之部份絕緣層166覆蓋該金屬鑲嵌互連結構160，使得最好包含一導電層之第二電容器電極168至少位在一部份絕緣層166上。假如想要時，該導電層可爲一金屬層或一摻雜聚矽層。未顯示在第4圖者是習知在半導體裝置100之整個表面上方澱積該導電層之步驟，及如第4圖所示圖案成形及蝕刻該導電層以獲得該電容器162。於一較佳實施例中，該第二電容器電極168可包含鋁、諸如鋁/銅之鋁合金、或習知之堆疊金屬。然而，熟練該技藝之人士顯然知道可使用任何材料當作半導體裝置之導電材料。

如先前所討論，該金屬鑲嵌互連結構160形成該電容器162之第一電極164，及其可形成在該IC 110內之任何高度。第5圖說明先前所討論位在該IC 110內之一中間高度之電容器162。當使用一中間高度裝置時，在澱積導電層之後應施行平面化製程，該電容器之第二電容器電極168係由該導電層所形成。可使用諸如化學/機械製程之平面化製程。應施行平面化以使源自該銅金屬鑲嵌互連結構160之稍早平面化之不規則地形變平滑。

然而，於一較佳實施例中，該電容器162係由該最外邊金屬鑲嵌互連結構160所形成。然後藉著一用作該絕緣層166之最外邊加蓋層覆蓋該最外邊金屬鑲嵌互連結構160。於一些設計中，該最外邊加蓋層可用作該半導體裝置100之

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 11 ）

最後加蓋層。該最外邊金屬鑲嵌互連160之使用特別有利，因爲在形成該第二電容器電極168之後不須平面化製程，因此於該半導體裝置100中沒有實質、隨後之各層。

該第二電容器電極168亦可由用於形成該半導體裝置100其他部份之澱積製程所形成。譬如，於一些案例中，通常係澱積、圖案成形及蝕刻一導電層以形成一結合片。於本發明之某些論點中，該第二電容器電極168可由此結合導電層所形成。如此，不須額外步驟以製造該電容器162之第一電極164、該絕緣層166、或該第二電容器電極168。

雖然已歷述本發明，熟練該技藝之人士將了解他們能在此作各種變化、替代及修改，卻未偏離本發明最寬廣形式之精神及範圍。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：結合與銅金屬鑲嵌法之電容器及其製造方法）

本發明提供一種用於半導體裝置之電容器，該半導體裝置之半導體晶圓基板上方已形成有諸如雙重金屬鑲嵌互連之金屬鑲嵌互連結構。於一特別有利之實施例中，該電容器包含由一部份金屬鑲嵌互連結構所組成之諸如銅之第一電容器電極，一形成在該金屬鑲嵌互連結構上之絕緣層，其中該絕緣層係諸如氮化矽之鈍化層。該鈍化層可爲一最外邊或最後之鈍化層，或其可爲一中間高度之鈍化層。該電容器另包含第二電容器電極，其包含諸如鋁之導電層，而形成在至少一部份絕緣層上。

英文發明摘要（發明之名稱：）

A CAPACITOR FOR INTEGRATION WITH COPPER DAMASCENE PROCESSES AND A METHOD OF MANUFACTURE THEREFORE

The present invention provides a capacitor for use in a semiconductor device having a damascene interconnect structure, such as a dual damascene interconnect, formed over a substrate of a semiconductor wafer. In one particularly advantageous embodiment, the capacitor, comprises a first capacitor electrode, such as copper, comprised of a portion of the damascene interconnect structure, an insulator layer formed on the damascene interconnect structure wherein the insulator layer is a passivation layer, such as silicon nitride. The passivation layer may be an outermost or final passivation layer, or it may be an interlevel passivation layer. The capacitor further includes a second capacitor electrode comprised of a conductive layer, such as aluminum, that is formed on at least a portion of the insulator layer.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1.一種用在半導體晶圓基板上方已形成有金屬鑲嵌互連結構之半導體裝置之電容器，包含：

包含一部份金屬鑲嵌互連結構之第一電容器電極；

一形成在該金屬鑲嵌互連結構上之絕緣層，該絕緣層係一鈍化層；及

第二電容器電極，其包含形成在至少一部份絕緣層上之導電層。

2.根據申請專利範圍第1項之電容器，其中該電容器係金屬-絕緣體-金屬(MIM)電容器。

3.根據申請專利範圍第1項之電容器，其中該絕緣層係氮化矽。

4.根據申請專利範圍第1項之電容器，其中該第一電容器電極包含銅及該第二電容器電極包含鋁。

5.根據申請專利範圍第1項之電容器，其中該絕緣層係五氧化鉭。

6.根據申請專利範圍第1項之電容器，其中該金屬鑲嵌互連結構包含藉著一介電性材料彼此電絕緣之多數互連結構，該鈍化層形成在該多數互連結構之每一結構上。

7.根據申請專利範圍第1項之電容器，其中該導電層係形成在至少二互連結構上。

8.根據申請專利範圍第1項之電容器，其中該金屬鑲嵌互連係一最外邊金屬鑲嵌互連結構，該絕緣層係一最外邊加蓋層，及該第二電容器電極包含形成在至少一部份絕緣層上之一部份最外邊導電層。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

9.根據申請專利範圍第8項之電容器，其中該導電層之一其餘部份形成一結合片。

10.一種形成在半導體晶圓基板上之半導體裝置，包含：

形成在一基板上方之電晶體；

形成在該電晶體上方及電連接至該電晶體之金屬鑲嵌互連結構；

形成在一金屬鑲嵌互連結構上之絕緣層；

形成在一金屬鑲嵌互連結構上方之導電層；及

一電容器，包含：

包含至少一部份該金屬鑲嵌互連結構之一之第一電容器電極；

包含一部份絕緣層之電容器介電層；及

包含一部份導電層之第二電容器電極。

11.根據申請專利範圍第10項之半導體裝置，其中該電容器係金屬-絕緣體-金屬(MIM)電容器。

12.根據申請專利範圍第10項之半導體裝置，其中該絕緣層係氮化矽。

13.根據申請專利範圍第10項之半導體裝置，其中該第一電容器電極包含銅。

14.根據申請專利範圍第10項之半導體裝置，其中該絕緣層係五氧化鉭。

15.根據申請專利範圍第10項之半導體裝置，其中該第二電容器電極包含鋁。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

16.根據申請專利範圍第10項之半導體裝置，其中該導電層係形成在至少二金屬鑲嵌互連結構上。

17.根據申請專利範圍第10項之半導體裝置，其中該金屬鑲嵌互連結構之一係一最外邊金屬鑲嵌互連結構，該絕緣層係一最外邊加蓋層，及該導電層係形成在至少一部份絕緣層上之一最外邊導電層。

18.根據申請專利範圍第17項之半導體裝置，其中該導電層之一其餘部份形成一結合片。

19.根據申請專利範圍第10項之半導體裝置，其中該半導體裝置係一互補金屬氧化物半導體(CMOS)裝置。

20.一種用在半導體晶圓基板上方已形成有金屬鑲嵌互連結構之半導體裝置之電容器製造方法，包含：

形成包含一部份金屬鑲嵌互連結構之第一電容器電極；

在該金屬鑲嵌互連結構上形成一絕緣層，該絕緣層係一鈍化層；及

形成第二電容器電極，其包含形成在至少一部份絕緣層上之導電層。

21.根據申請專利範圍第20項之方法，其中製造該電容器包含製造一金屬-絕緣體-金屬(MIM)電容器。

22.根據申請專利範圍第20項之方法，其中形成一絕緣層包含形成一氮化矽層。

23.根據申請專利範圍第20項之方法，其中形成該第一電容器電極包含以銅形成該第一電容器電極，及形成該第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

二電容器電極包含以鋁形成該第二電容器電極。

24.根據申請專利範圍第20項之方法，其中形成一絕緣層包括形成一含有五氧化鉭之絕緣體。

25.根據申請專利範圍第20項之方法，其中形成一金屬鑲嵌互連結構包含形成藉著一介電性材料彼此電絕緣之多數互連結構，及形成一絕緣層包含在該多數互連結構之每一結構上形成一絕緣層。

26.根據申請專利範圍第25項之方法，其中形成一導電層包含在至少二金屬鑲嵌互連結構上形成一導電層。

27.根據申請專利範圍第20項之方法，其中形成一金屬鑲嵌互連結構包含形成一最外邊金屬鑲嵌互連結構，形成一絕緣層包含形成一最外邊加蓋層，及形成一導電層包含至少在一部份絕緣層上形成一最外邊導電層。

28.根據申請專利範圍第27項之方法，其中形成一導電層包含由部份導電層形成一結合片。

29.根據申請專利範圍第20項之方法，其中形成該半導體裝置包含形成一互補金屬氧化物半導體(CMOS)裝置。

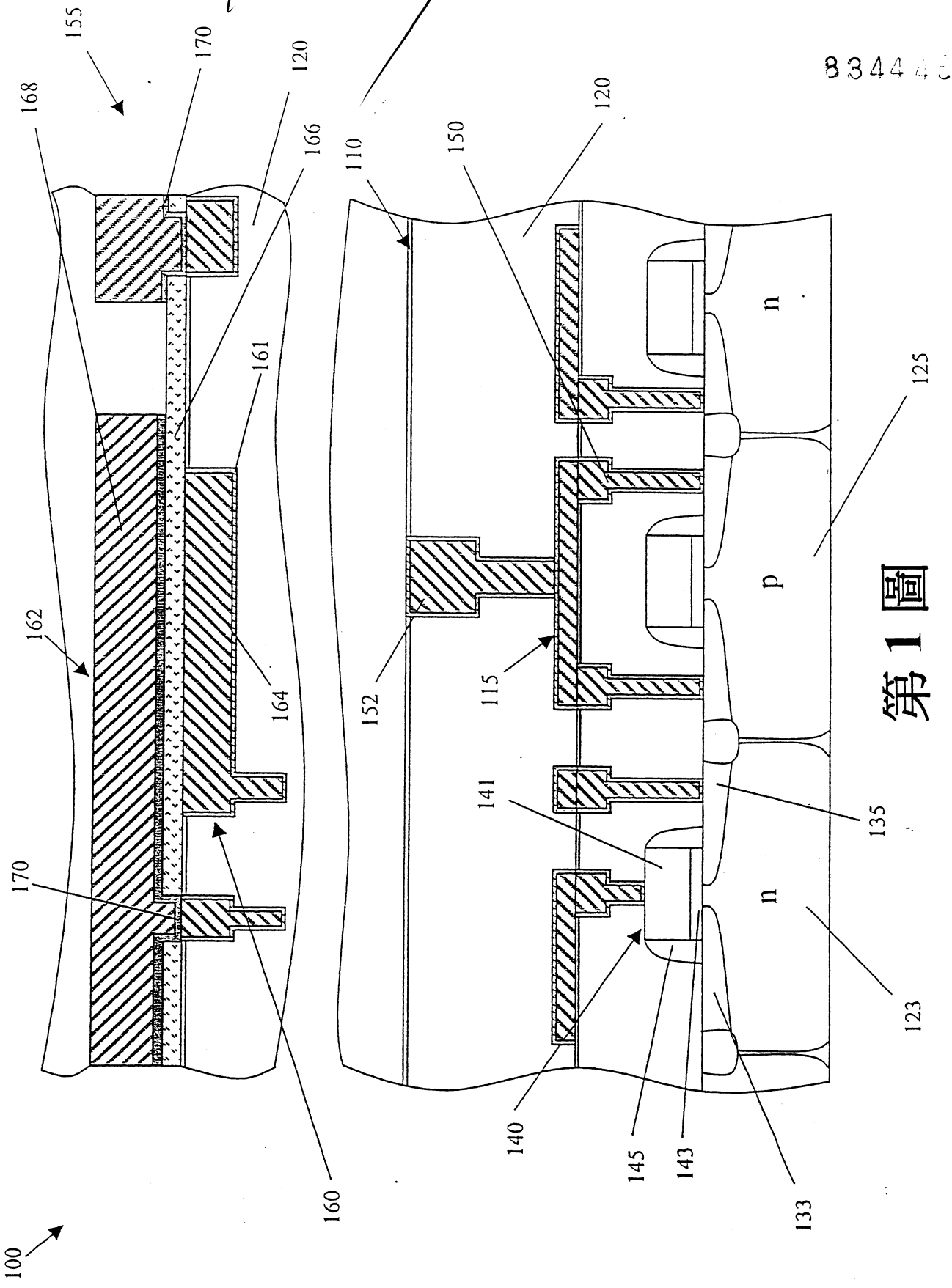
30.根據申請專利範圍第20項之方法，另包含在該電容器上方形成一介電層及平面化該介電層至一實質平坦表面。

（請先閱讀背面之注意事項再填寫本頁）

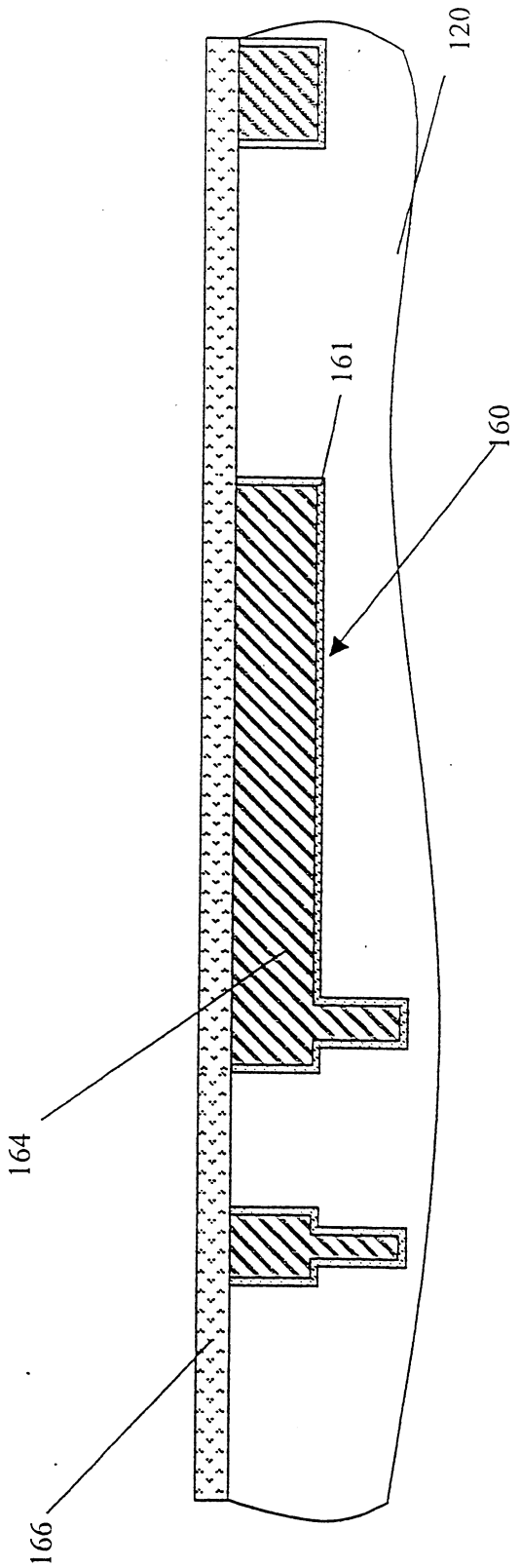
裝 訂 線

經濟部智慧財產局員工消費合作社印製

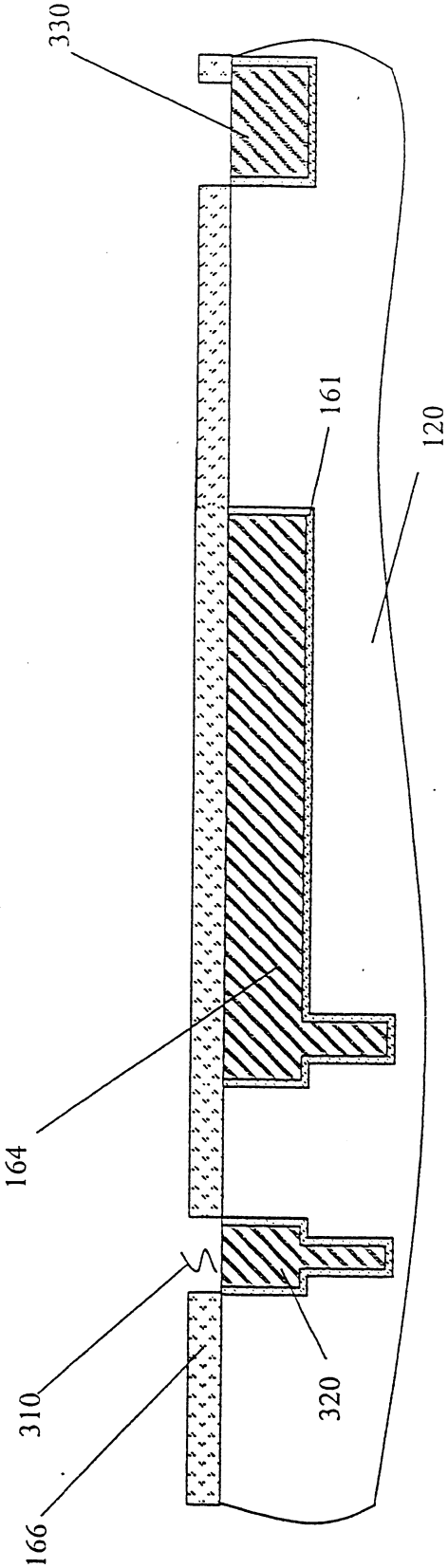
9010085


155
170
120
168
166
110
150
120
161
125
162
164
152
115
141
135
170
160
140
145
143
133
123
100
n
p
n

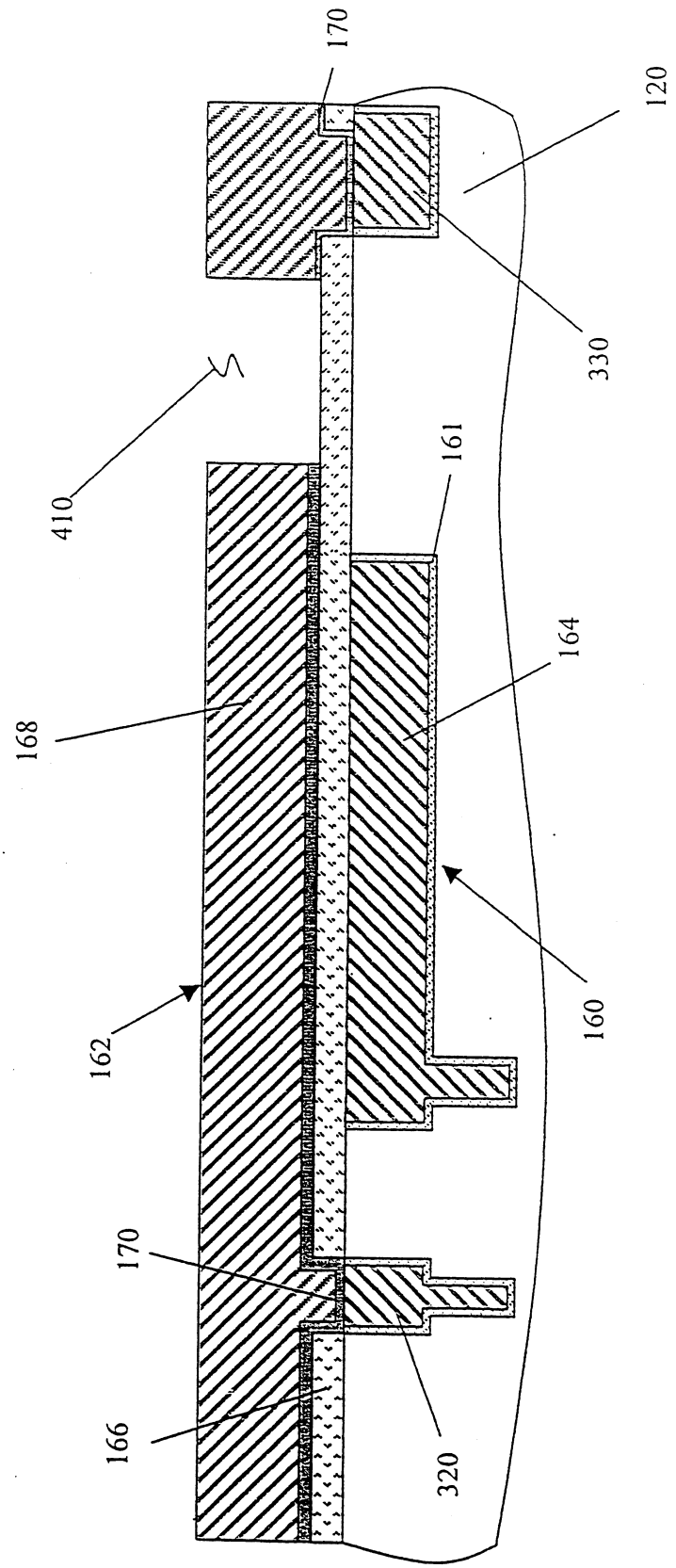
第1圖



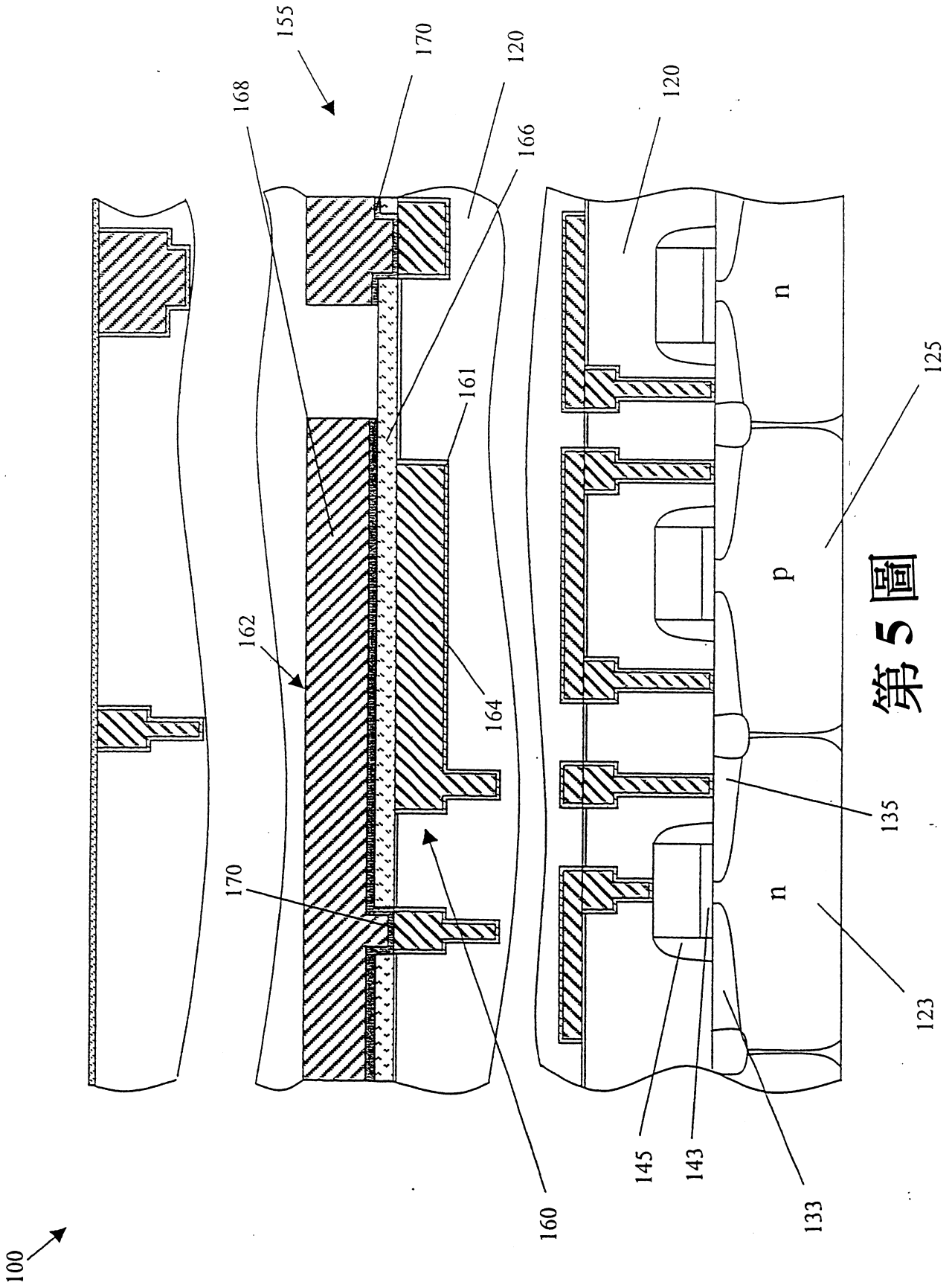
第 2 圖



第 3 圖



第4圖


100
155
168
170
120
166
161
162
164
170
160
120
125
n
p
n
135
145
143
133
123

第5圖