

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 22 年 7 月 15 日 (2010.7.15)

【公開番号】特開 2009-205698 (P2009-205698A)
 【公開日】平成 21 年 9 月 10 日 (2009.9.10)
 【年通号数】公開・登録公報 2009-036
 【出願番号】特願 2009-141967 (P2009-141967)
 【国際特許分類】

G 0 6 F 9/30 (2006.01)

G 0 6 F 15/78 (2006.01)

【 F I 】

G 0 6 F 9/30 3 5 0 G

G 0 6 F 15/78 5 1 0 G

【手続補正書】
 【提出日】平成 22 年 5 月 27 日 (2010.5.27)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

マイクロプロセッシングユニットと該マイクロプロセッシングユニットをシステムランダムアクセスメモリ (R A M) に接続するメモリインターフェースユニットとを備え、

前記マイクロプロセッサシステムは、前記システム R A M を使用する仮想システムメモリを定義するために前記マイクロプロセッシングユニットによって与えられた論理列アドレスを前記システム R A M の物理的列アドレスに変換する手段を備えていることを特徴とするマイクロプロセッサシステム。

【請求項 2】

さらに、前記メモリインターフェースユニットに接続され、前記システム R A M にアクセスする手段を備え、

各列アドレスストロープ (R A S) サイクルが R A S プレチャージインターバルを有しており、前記論理列アドレスが前記 R A S プレチャージインターバルの間に前記システム R A M の前記物理アドレスに変換されることを特徴とする前記請求項 1 に記載のマイクロプロセッサシステム。

【請求項 3】

中央処理ユニットと前記中央処理ユニットに接続されたビットインプットレジスタとを備え、前記ビットインプットレジスタが少なくとも一つのビットラインからロジカルビットを受け取るようになったマイクロプロセッサシステムにおいて、前記少なくとも一つのビットラインに接続され、そのロジックレベルを判断するために前記少なくとも一つのビットラインを最初にサンプリングするラッチ手段と、前記ラッチ手段に接続され、前記少なくとも一つのビットラインにアサインされたレジスタに前記ロジックレベルをストアするゼロパースステンスコントロールユニットとを有し、前記ゼロパースステンスコントロールユニットが前記中央処理ユニットによって定義済の信号を具備するまで、前記ロジックレベルが前記レジスタにストアされた状態になっていることを特徴とするマイクロプロセッサシステム。

【請求項 4】

さらに、前記ゼロパースステンスコントローラに接続されたダイレクトメモリアクセス

コントローラ(DMAC)を備え、前記DMACは前記定義済の信号を発生させる手段を備えていることを特徴とする請求項3に記載のマイクロプロセッサシステム。

【請求項5】

マイクロプロセッシングユニット、IOP、及び前記中央処理ユニット及びIOPを前記システムバスに選択的に接続するメモリアンタフェースユニットとを備え、

前記IOPが前記メモリアンタフェースユニットにシステムアドレス情報を与えるプログラムカウンタ手段を備えていることを特徴とするマイクロプロセッサシステム。

【請求項6】

さらに、前記IOP及びシステムバスに接続され、所定のインターバルで前記システムバスへの前記IOPのアクセスを許容する手段を備えていることを特徴とする請求項5に記載のマイクロプロセッサシステム。

【請求項7】

前記IOPが前記システムバスに接続され、前記システムバスから受け取ったデータをラッチするラッチ手段を備えていることを特徴とする請求項5に記載のマイクロプロセッサシステム。

【請求項8】

前記IOPが前記プログラムカウンタ手段によって制御されるマルチプレクサ、命令ラッチ、及びデコード/実行モジュールとを備え、

前記マルチプレクサが前記命令ラッチ及び前記デコード/実行モジュールとの間に接続されていることを特徴とする請求項5に記載のマイクロプロセッサシステム。

【請求項9】

スタックキャッシュを有するマイクロプロセッシングユニットを備えたマイクロプロセッサシステムにおいて、フローティングポイントマスマティカル命令を可能にするシステムが、

前記スタックキャッシュのセル内の値によりフローティングポイントオペレーションを実行するアリスメティックロジックユニット手段と、

前記アリスメティックロジックユニット手段に接続され、前記フローティングポイントオペレーションの選択された実行に応答してフローティングポイントイクセプションを発生する手段と、

前記アリスメティックロジックユニット手段及び、前記フローティングポイントイクセプションを発生する手段に接続され、前記フローティングポイントイクセプションに応答して、前記マイクロプロセッシングユニットが定義済のフローティングポイントルーチンを実行できるようにするモードレジスタ手段とを備えたことを特徴とするマイクロプロセッサシステム。

【請求項10】

前記フローティングポイントオペレーションを実行する手段が、前記スタックキャッシュに接続され、テストイクスポート、イクストラクトイクスポート、アッドイクスポート、及び回復イクスポート命令を備えていることを特徴とする請求項9に記載のシステム。

【請求項11】

スタックキャッシュを有するマイクロプロセッシングユニットを備えたマイクロプロセッサシステムにおいて、ブレイクポイント命令を実行する方法が、

前記ブレイクポイント命令のメモリアドレスを前記スタックキャッシュに押し込むステップと、

ブレイクポイントサービスルーチンを実行するステップとを備えていることを特徴とする方法。

【請求項12】

システムメモリと1つ以上のインターナルレジスタを有するマイクロプロセッシングユニットとを備えたマイクロプロセッサシステムであって、前記システムメモリが前記マイクロプロセッシングユニットと通信するための第1アドレススペースを割り当てられているも

のにおいて、前記マイクロプロセシングユニット内にデータを伝送する方法が、

前記一つ以上のインターナルレジスタを前記第 1 アドレススペースとは異なる第 2 アドレススペースに割り当て、

前記第 2 アドレススペース内のアドレスによって識別される前記一つ以上のインターナルレジスタの部分に及びこれらからのデータを伝送するステップとを備えたことを特徴とする方法。

【請求項 13】

スタックキャッシュを有するマイクロプロセシングユニットを含むマイクロプロセッサシステムにおいて、アドレスアリスメティックのための方法が、

前記スタックキャッシュの第 1 のセルの第 1 のアドレス値をストアし、

記スタックキャッシュの第 2 のセルに第 2 のアドレス値をストアし、

前記第 1 アドレス値を前記第 2 アドレス値に加算して、前記スタックキャッシュの前記第 1 セル内に結果としての合計値をストアするステップとを備えたことを特徴とする方法。

【請求項 14】

スタックキャッシュを有するマイクロプロセシングユニットを備えたマイクロプロセッサシステムにおいて、コピーバイトオペレーションを実行する方法が、

セル内にストアされた複数のデータバイトのうちの少なくとも 1 つの意味のあるものを読み取り、

前記複数のデータバイトの少なくとも他の 1 つを前記少なくとも 1 つの意味を有するデータバイトで置換するステップとを備えたことを特徴とする方法。

【請求項 15】

スタックキャッシュとキャリーレジスタとを有するマイクロプロセシングユニットを備えたマイクロプロセッサシステムにおいて、テストバイトオペレーションを遂行する方法が、

前記スタックキャッシュのセル内にストアされた複数のバイトのそれぞれを読み取り、任意の前記バイトがゼロ値であるとき、前記キャリーレジスタに第 1 論理値をストアし、

別途前記キャリーレジスタに第 2 論理値をストアすることを特徴とする方法。

【請求項 16】

システムメモリ、前記システムメモリに接続され、前記システムメモリに接続されたスタックキャッシュ及び前記スタックキャッシュに接続されたプログラムカウンタを有するマイクロプロセシングユニットとを備えたマイクロプロセッサシステムにおいて、

単一のステッププロセシングシステムが、

前記スタックキャッシュ及び前記プログラムカウンタに接続され、前記スタックキャッシュの第 1 セルからの第 1 メモリアドレスを前記プログラムカウンタにロードする手段と、

前記プログラムカウンタに接続され、前記第 1 メモリアドレスに対応するロケーションにおいて、前記マイクロプロセッサシステムの前記システムメモリにストアされた第 1 命令を実行する手段と、

この間に第 2 メモリアドレスが前記第 1 セルにロードされる単一ステップトラップルーチンを実行する手段とを備え、

前記第 1 命令につづく第 2 命令が、前記第 2 メモリアドレスに対応する前記システムメモリのロケーションにストアされるようになっていて、ことを特徴とするシステム。

【請求項 17】

システムメモリ、及びスタックキャッシュを有する前記システムメモリに接続されるマイクロプロセシングユニットとを有するマイクロプロセッサシステムにおいて、

スタックキャッシュマネージングシステムが、

前記スタックキャッシュ内に現に含まれるセルの数を判断する手段と、

前記セルの数を判断する前記手段に接続され、スタックキャッシュの定義済の深さと前

記セルの数との比較を実行する手段と、

前記比較の実行手段に接続され、前記比較に基づき現在のスタック深さの指示を与える手段とを備えたことを特徴とするシステム。

【請求項 18】

システムメモリと、スタックキャッシュを有する前記システムメモリに接続されたマイクロプロセッシングユニットとを備えたマイクロプロセッサシステムにおいて、

スタックキャッシュマネージングシステムが、

前記スタックキャッシュに接続され、前記スタックキャッシュ内に現に含まれるセルの数を判断するスタック深さ手段と、

前記スタック深さ手段に接続され、前記スタック深さの指示を与える手段とを備えたことを特徴とするシステム。

【請求項 19】

システムメモリと、スタックキャッシュを有するマイクロプロセッシングユニットを有するマイクロプロセッサシステムにおいて、

スタックキャッシュマネージングシステムが、

前記スタックキャッシュに接続され、前記スタックキャッシュ内の現存する数のセルを判断する手段と、

前記セルの現在の数を判断する手段に接続され、前記セルの現存の数とスタック深さとを比較することによって前記スタックキャッシュに付加することかできるセルの数を計算する手段と、

前記スタックキャッシュ及び前記スタックキャッシュに付加することができるセルの数を計算する手段に接続され、前記スタックキャッシュに付加することができる前記セルの数に等しい前記セルの数を前記スタックキャッシュ内の前記現存のセルに付加する手段とを備えたことを特徴とするシステム。

【請求項 20】

さらに、前記スタックキャッシュに接続され、前記スタックキャッシュ内の前記セルの付加的な数を前記スタックキャッシュの前記現有のセルの数から除外する手段と、

前記システムメモリから前記スタックキャッシュに新しいセルの前記付加的な数をロードする手段とを備えたことを特徴とする請求項 19 に記載のシステム。

【請求項 21】

アリスメティックロジックユニットと該アリスメティックロジックユニットに接続されたプッシュダウンスタックとを有するマイクロプロセッシングユニットを備えており、

前記アリスメティックロジックユニットはビットをシフトするビットシフト手段を有しており、

該ビットシフト手段は 1 つ以上の部分シフトでビットのカウントをシフトするようになっており、前記カウントが各部分シフトでシフトされた数だけ減少し、前記シフトが、前記カウントがビット倍数より大きい間、ビット倍数だけ実行され、前記倍数がその後減少し、かつその後前記カウントがゼロになるまで前記カウントのシフト及び減少が反復されるようになっていることを特徴とするマイクロプロセッサ。

【請求項 22】

前記倍数が最初は 8 であり、前記倍数は前記カウントが 8 より小さくなったとき 1 に減少することを特徴とする請求項 21 に記載のマイクロプロセッサ。