(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118402060 A
(43)申请公布日 2024.07.26

(21)申请号 202380015201.6
(22)申请日 2023.04.07
(30)优先权数据
2022-067982 2022.04.18 JP
(85)PCT国际申请进入国家阶段日
2024.06.14
(86)PCT国际申请的申请数据
PCT/JP2023/014392 2023.04.07
(87)PCT国际申请的公布数据
WO2023/204054 JA 2023.10.26
(71)申请人 株式会社东芝
地址 日本
申请人 东芝高新材料公司
(72)发明人 上野俊英
(74)专利代理机构 永新专利商标代理有限公司 72002
专利代理师 吴倩
(51)Int.Cl.
H01L 23/13(2006.01)
H01L 23/12(2006.01)
H01L 23/36(2006.01)
H05K 1/02(2006.01)

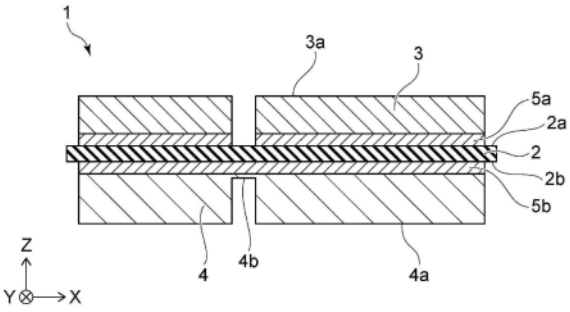
权利要求书1页 说明书13页 附图5页

(54)发明名称

陶瓷电路基板、半导体装置、陶瓷电路基板的制造方法以及半导体装置的制造方法

(57)摘要

实施方式涉及的陶瓷电路基板具备陶瓷基板、金属电路和金属部件。所述金属电路设置在所述陶瓷基板的一个面上。所述金属电路的厚度为1mm以上。所述金属部件设置在所述陶瓷基板的另一个面上。所述金属部件的厚度为1mm以上。所述金属电路的合计体积Vf与所述金属部件的合计体积Vb之比即Vf/Vb为0.80以上且1.20以下。



CN 118402060 A

1.一种陶瓷电路基板,其具备:

陶瓷基板;

设置在所述陶瓷基板的一个面上的厚度为1mm以上的金属电路;和

设置在所述陶瓷基板的另一个面上的厚度为1mm以上的金属部件,

所述金属电路的合计体积Vf与所述金属部件的合计体积Vb之比即Vf/Vb为0.80以上且1.20以下。

2.根据权利要求1所述的陶瓷电路基板,其中,在所述金属部件中形成了槽。

3.根据权利要求1或2所述的陶瓷电路基板,其中,所述金属电路通过加压成形、切削加工或线切割而形成。

4.根据权利要求1或2所述的陶瓷电路基板,其中,多个所述金属电路设置在所述陶瓷基板的所述一个面上,

与将所述陶瓷基板的所述一个面和所述另一个面连接的第1方向垂直的第1面中的所述多个金属电路的面积之和Af与所述第1面中的所述金属部件的面积Ab之比Af/Ab为0.80以上且1.20以下。

5.根据权利要求1或2所述的陶瓷电路基板,其中,所述金属电路及所述金属部件的厚度分别为2mm以上。

6.根据权利要求1或2所述的陶瓷电路基板,其中,所述陶瓷基板为选自氧化铝基板、氮化铝基板及氮化硅基板中的任1种。

7.根据权利要求6所述的陶瓷电路基板,其中,所述陶瓷基板的厚度为0.7mm以下。

8.根据权利要求7所述的陶瓷电路基板,其特征在于,所述金属电路及所述金属部件分别由选自铜、铜合金、铝及铝合金中的任1种构成。

9.根据权利要求8所述的陶瓷电路基板,其中,进一步具备:

接合所述陶瓷基板和所述金属电路的第1接合层;和

接合所述陶瓷基板和所述金属部件的第2接合层,

所述第1接合层及所述第2接合层分别含有选自银、铜、钛、锆、铪、铌、锡、铟、锌、铝、硅、碳及镁中的至少2种。

10.一种半导体装置,其具备:

权利要求1或2所述的陶瓷电路基板;和

经由接合层安装在所述金属电路上的半导体元件。

11.一种陶瓷电路基板的制造方法,其中,

通过对金属板实施加压成形、切削加工或线切割而形成金属电路,

在陶瓷基板的一个面上接合所述金属电路,

在所述陶瓷基板的另一个面上接合金属部件,

将所述金属电路的合计体积Vf与所述金属部件的合计体积Vb之比即Vf/Vb设定为0.80以上且1.20以下。

12.根据权利要求11所述的陶瓷电路基板的制造方法,其中,所述金属电路及所述金属部件的厚度分别为2mm以上。

13.一种半导体装置的制造方法,其包括:在通过权利要求11或12所述的制造方法制造的陶瓷电路基板的所述金属电路上,经由接合层安装半导体元件。

陶瓷电路基板、半导体装置、陶瓷电路基板的制造方法以及半导体装置的制造方法

技术领域

[0001] 实施方式大致涉及陶瓷电路基板、半导体装置、陶瓷电路基板的制造方法以及半导体装置的制造方法。

背景技术

[0002] 陶瓷电路基板被用于搭载有功率元件等半导体元件的半导体装置。陶瓷基板和金属电路经由采用了钎料等的接合层彼此接合在一起。由此,提高接合强度及热循环特性。伴随着可靠性的提高,陶瓷电路基板已在汽车(包含电动车)、电力铁道车辆、太阳能发电设备及工业机械的变换器等中使用。在功率模块等半导体装置中,电路上安装有半导体元件。此外,为了半导体元件的导通,有时还接合接合引线及金属端子。在半导体装置的制造中,将半导体元件、接合引线、金属端子等接合在电路上。

[0003] 随着功率模块的小型化、轻量化以及高密度安装化的发展,陶瓷基板在变薄。与之相伴,具有陶瓷电路基板的翘曲增大的倾向。作为降低陶瓷电路基板的翘曲的方法的一种,公开了对金属电路板与接合在其反面上的金属板的面积比及厚度比进行规定的方法(专利文献1)。根据专利文献1,通过规定这些比,能够控制陶瓷电路基板的翘曲量。

[0004] 另外,如果半导体元件的高功率化发展,则有时对半导体元件施加大的电流或高的电压。因此,希望通过加厚金属电路板来流通大的电流和提高电路基板的冷却效果。作为加厚金属电路板的陶瓷电路基板,公开了在薄的陶瓷基板上接合厚的电路的方法(专利文献2)。根据专利文献2,通过在陶瓷基板上设置厚度为0.7mm以上的铜电路,并使表背铜电路板的体积同等或大致同等,能够防止翘曲。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本专利第4557398号公报

[0008] 专利文献2:日本专利第6430382号公报

发明内容

[0009] 发明所要解决的问题

[0010] 其另一方面,因电路加厚而产生的问题变得明显。例如,接合在陶瓷基板上表面的金属板被分割成多个部分,并被加工成电路形状。与此相对,在陶瓷基板下表面接合未被分割的一片金属部件。当上表面的金属电路的厚度和下表面的金属部件的厚度相同时,金属电路的体积与金属板的体积的差增大。金属电路的体积与金属部件的体积的差越大,则金属电路的热膨胀量与金属部件的热膨胀量的差越增大。由此,陶瓷电路基板的翘曲增大。

[0011] 实施方式是为了解决如此的问题而进行的,目的是提供一种即使在设置了厚的金属电路的情况下也可降低翘曲的陶瓷电路基板。

[0012] 用于解决问题的手段

[0013] 实施方式涉及的陶瓷电路基板具备陶瓷基板、金属电路和金属部件。所述金属电路设置在所述陶瓷基板的一个面上。所述金属电路的厚度为1mm以上。所述金属部件设置在所述陶瓷基板的另一个面上。所述金属部件的厚度为1mm以上。所述金属电路的合计体积Vf与所述金属部件的合计体积Vb之比即Vf/Vb为0.80以上且1.20以下。

附图说明

[0014] 图1是表示实施方式涉及的陶瓷电路基板的一个例子的剖视图。

[0015] 图2是表示实施方式涉及的陶瓷电路基板的一个例子的俯视图。

[0016] 图3是表示实施方式涉及的陶瓷电路基板的一个例子的仰视图。

[0017] 图4是表示实施方式涉及的陶瓷电路基板的另一个例子的仰视图。

[0018] 图5是表示实施方式涉及的半导体装置的一个例子的剖视图。

[0019] 图6是表示实施方式涉及的制造方法的一个例子的流程图。

具体实施方式

[0020] 实施方式涉及的陶瓷电路基板具备陶瓷基板、金属电路和金属部件。所述金属电路设置在所述陶瓷基板的一个面上。所述金属电路的厚度为1mm以上。所述金属部件设置在所述陶瓷基板的另一个面上。所述金属部件的厚度为1mm以上。所述金属电路的合计体积Vf与所述金属部件的合计体积Vb之比即Vf/Vb为0.80以上且1.20以下。

[0021] 图1是表示实施方式涉及的陶瓷电路基板的一个例子的剖视图。图1中,1是陶瓷电路基板,2是陶瓷基板,3是金属电路,3a是金属电路3的上表面,4是金属部件,4a是金属部件的下表面,4b是形成于金属部件中的槽,5a及5b分别是含有钎料的第1接合层及第2接合层。

[0022] 其中,为了实施方式的说明而采用XYZ直角坐标系。将连接陶瓷基板2的一个面(上表面2a)和另一个面(下表面2b)的方向作为“Z方向”。将与Z方向垂直的相互正交的二个方向作为X方向及Y方向。此外,将与Z方向平行的方向、且从金属部件4朝金属电路3的方向称为“上”,将其相反的方向称为“下”。这些方向基于金属电路3和金属部件4的相对的位置关系,与重力的方向无关系。

[0023] 陶瓷基板2具有平坦的2个面。其中,将陶瓷基板2的一个面作为上表面2a(表面、一面)。将陶瓷基板2的另一个面作为下表面2b(背面、另一面)。金属电路3经由第1接合层5a接合在上表面2a上。金属部件4经由第2接合层5b接合在下表面2b上。在图1的例子中,多个金属电路3经由多个第1接合层5a分别接合在上表面2a上。实施方式并不局限于图示的例子。也可以将1个金属电路3或3个以上的金属电路3接合在上表面2a上。此外,在图1的例子中,金属部件4接合在下表面2b上。金属部件4不是作为电路发挥功能,而是作为散热板发挥功能。

[0024] 优选陶瓷基板2为氧化铝基板、氮化铝基板或氮化硅基板中的任1种。作为氧化铝基板的一种还可举例阿卢西尔高硅耐热铝合金基板。阿卢西尔高硅耐热铝合金是由20～80wt％的氧化铝和剩余部分的氧化锆构成的烧结体。

[0025] 氮化铝基板或氧化铝基板的三点弯曲强度为300～450MPa的范围。阿卢西尔高硅耐热铝合金基板的三点弯曲强度为550MPa左右。通过采用氮化硅基板,能够将陶瓷基板2的三点弯曲强度提高至600MPa以上,进一步提高至700MPa以上。此外,能够将导热率提高至

50W/(m·K)以上,进一步提高至80W/(m·K)以上。特别是,近年来,还有一并具有高强度和高导热这两者的氮化硅基板。氮化硅基板因强度高而能够减薄。由此,可提高散热性。因此,氮化硅基板的厚度优选为0.635mm以下,更优选为0.3mm以下。厚度的下限值没有特别的限定,但优选为0.1mm以上。这是为了确保氮化硅基板的电绝缘性。“厚度”相当于陶瓷基板2的Z方向上的尺寸。

[0026] 这些陶瓷基板可以是单板,也可以具有多层结构等立体结构。陶瓷基板的厚度没有特别的限定。通过减薄陶瓷电路基板以及加厚金属电路,可提高散热性。

[0027] 图2是表示实施方式涉及的陶瓷电路基板的一个例子的俯视图。图2的虚线表示图1的截面处。

[0028] 如图2所示的那样,多个金属电路3接合在上表面2a上。在图2所示的例子中,接合7个金属电路3。在形成金属电路时,有将预先形成了电路的金属电路3与陶瓷基板2接合的第1方法、和通过蚀刻金属板部分而形成电路的第2方法。

[0029] 在第1方法中,通过化学蚀刻以外的切削加工或成形加工,在接合前将金属板加工成金属电路3。例如,成形加工是通过模具冲裁金属板的加压成形。切削加工是通过车床等形成槽部的加工。线切割是一边向电极通电一边使金属板熔融进行切断的加工。当进行第1方法时,各金属电路3的侧面实质上与Z方向平行。通过将金属电路3的厚度乘以从Z方向看金属电路3时的面积,能够算出金属电路3的体积。通过将各金属电路3的体积相加,能够算出合计体积Vf。

[0030] 当进行第2方法时,在金属板的蚀刻中,熔化沿着金属板中所含有的晶界发展。因此,熔化不仅向金属板的厚度方向发展,而且也向与厚度方向垂直的面方向发展。也就是说,发生侧面蚀刻。随着金属板加厚,金属板的蚀刻时间延长。蚀刻时间越长,则蚀刻越向金属板的面方向发展,侧面蚀刻量也越增大。金属电路3的合计体积Vf要考虑到侧面蚀刻量来计算。具体地说,蚀刻后的金属电路3的形状能够以锥台近似。在图2所示的例子中,各金属电路3的形状能够以四方锥台近似。从各金属电路3的上底的面积、下底的面积及厚度,算出各金属电路3的体积。这些体积的和为合计体积Vf。

[0031] 除这些方法以外,还有通过桥接一体化接合各个金属电路、并在接合后除去桥接部分的方法。在这种的情况也同样,从接合后的各金属电路3的体积算出合计体积Vf。

[0032] 在陶瓷基板2的上表面2a,如图2所示的那样,形成多个独立的金属电路3。金属电路3彼此间通过陶瓷基板2而被绝缘。

[0033] 在金属电路3上接合半导体元件等。为了降低热阻和降低电感,金属电路3的厚度优选为1.0mm以上。金属电路3的厚度更优选为2.0mm以上,最优选为3.0mm以上。

[0034] 图3是表示实施方式涉及的陶瓷电路基板的一个例子的仰视图。

[0035] 如图3所示的那样,金属部件4接合在陶瓷基板2的下表面2b上。图3中,4a是金属部件的下表面,4b是形成于金属部件4中的槽。金属部件4有时作为散热板使用,有时与其它部件接合。如图3所示的那样,在金属部件4的表面(下表面4a)上形成了电路形状的金属部件4也可以设置在下表面2b上。在图示的例子中,以金属部件4的形状具有与图2所示的多个金属电路3相同的形状的方式形成槽4b。也就是说,槽4b的至少一部分在Z方向上与金属电路3彼此的间隙并排。此外,从Z方向看时的金属部件4的外缘的形状及尺寸与从Z方向看时围住多个金属电路3的最小的四方形的形状及尺寸大致相同。槽4b的深度(Z方向上的尺寸)例如

为金属部件4的厚度的0.5倍以上。

[0036] 为了降低热阻,金属部件的厚度优选为1.0mm以上。金属部件的厚度更优选为2.0mm以上,最优选为3.0mm以上。

[0037] 在金属电路3的厚度及金属部件4的厚度低于上述的值的情况下,通过控制金属电路3的合计体积Vf及金属部件4的合计体积Vb,也可得到本发明的效果。本发明在金属电路3及金属部件4厚的情况下是特别有效的。为了降低热阻,金属电路3及金属部件4各自的厚度优选为1.0mm以上。另一方面,当金属电路3及金属部件4厚时,合计体积Vf与合计体积Vb的差容易进一步增大。其结果是,陶瓷电路基板1的翘曲也容易增大。根据本发明的实施方式,通过控制金属电路3的合计体积Vf及金属部件4的合计体积Vb,即使在金属电路3及金属部件4厚时,也能够降低陶瓷电路基板1的翘曲。

[0038] 金属电路3及金属部件4各自的厚度的上限没有特别的限定,但优选为20mm以下。如果厚度超过20mm,则应力集中在接合界面,具有陶瓷基板2发生裂纹的可能性。具有难以为了抑制裂纹发生而减薄陶瓷基板2的可能性。

[0039] 实施方式涉及的陶瓷电路基板1包含陶瓷基板2、金属电路3及金属部件4。金属电路3及金属部件4分别接合在陶瓷基板2的上表面2a和下表面2b上。金属电路3及金属部件4的厚度为1.0mm以上。金属电路3的合计体积Vf与金属部件4的合计体积Vb之比即Vf/Vb优选为0.80以上且1.20以下。

[0040] 在陶瓷电路基板1的金属电路3上安装半导体元件。如果在半导体元件中流通电流,则半导体元件中产生热。半导体元件中产生的热通过向陶瓷电路基板1传播,而使陶瓷电路基板1的温度上升。

[0041] 如果比Vf/Vb在0.80以上且1.20以下的范围内,则金属电路3的热膨胀与金属部件4的热膨胀的差减小。在陶瓷电路基板1的温度上升时,可缓和因金属电路3的热膨胀与金属部件4的热膨胀的差而产生的应力。通过缓和陶瓷电路基板1的应力,可降低陶瓷电路基板1的翘曲。此外,通过缓和陶瓷电路基板1的应力,而使接合强度、基板弯曲强度及耐热循环性提高。

[0042] 具有金属电路3及金属部件4越厚则由热膨胀的差产生的热应力越增大的倾向。因此,比Vf/Vb在0.80以上且1.20以下的范围内,优选接近1。比Vf/Vb更优选为0.90以上且1.10以下,进一步优选为0.95以上且1.05以下。

[0043] 在实施方式涉及的陶瓷电路基板1中,可控制金属电路3及金属部件4各自的厚度和比Vf/Vb。关于接合在陶瓷基板2上的金属电路3及金属部件4,通过将厚度及比Vf/Vb分别控制在上述的范围内,能够得到具备优异的可靠性的陶瓷电路基板1。

[0044] 图4(a)～图4(c)是表示实施方式涉及的陶瓷电路基板的其它例子的仰视图。

[0045] 如图4(a)所示的那样,设置在下表面2b上的金属部件4也可以不具有电路形状。也就是说,在图4(a)所示的例子中,在陶瓷基板2的下表面2b上设置有单板形状的金属部件4。当制造图4(a)所示的陶瓷电路基板1时,以通过预先算出金属电路3的合计体积Vf,调整金属部件4的厚度,使比Vf/Vb成为0.8以上且1.2以下的方式进行控制。

[0046] 除调整金属部件4的厚度以外,通过在金属部件4上形成槽(凹部),也可以调整金属部件4的合计体积Vb。在图4(b)及图4(c)中,4b表示形成于金属部件4上的槽。在图4(b)及图4(c)所示的例子中,形成格子状的槽4b。槽4b能够通过切削加工、冲压加工或蚀刻来形

成。通过在金属部件4上形成槽4b,能够减小金属部件4的合计体积Vb。例如,即使在金属电路3的厚度和金属部件4的厚度相同时,通过在金属部件4上形成槽4b,也能够将比Vf/Vb控制在0.8以上且1.2以下的范围内。此外,在不将金属部件4分离成多个部件的情况下,通过在槽4b的底部使金属部件4的一部分彼此连接在一起,也能够提高金属部件4的散热性。

[0047] 除厚度的调整或槽的形成以外,通过调整金属部件4的X-Y面(第1面)中的面积,也能够调整合计体积Vb。通过调整金属部件4的面积,也可以将比Vf/Vb控制在0.8以上且1.2以下的范围内。

[0048] 再者,如果多个金属电路3的X-Y面中的面积的和与金属部件4的X-Y面中的面积的和的差过大,则陶瓷电路基板1的翘曲容易变大。因此,多个金属电路3的X-Y面中的面积的和Af与金属部件4的X-Y面中的面积Ab之比Af/Ab优选为0.80以上且1.20以下。更优选比Af/Ab为0.90以上且1.10以下。通过控制比Vf/Vb,再加上控制比Af/Ab,能够进一步降低陶瓷电路基板的翘曲。

[0049] 作为金属电路3及金属部件4中所使用的金属,可列举出铜、铜合金、铝、铝合金等。铜及铜合金具有高的导电性,作为电路材料是优秀的。此外,铜及铜合金具有高的导热性,对于搭载在金属电路上的半导体元件的散热性也是优秀的。

[0050] 金属电路3及金属部件4优选分别经由第1接合层5a及第2接合层5b接合在陶瓷基板2上。优选第1接合层5a及第2接合层5b含有选自银、铜、钛、锆、铪、铌、锡、铟、锌、铝、硅、碳及镁中的至少2种。

[0051] 当金属电路3及金属部件4由铜或铜合金形成时,优选在陶瓷基板与各个金属电路之间设置含有Cu(铜)及Ti(钛)的接合层。含有Cu及Ti的接合层可采用活性金属钎料形成。Ti是活性金属。作为活性金属,除Ti以外,还可列举出Zr(锆)、Hf(铪)、Nb(铌)。作为活性金属钎料,可列举出Ti、Cu及Ag(银)的混合物。例如,Ti的含量为0.1～10wt％,Cu的含量为10～60wt％,剩余部分为Ag。也可以根据需要,添加1～15wt％的选自In(铟)、Sn(锡)、Al(铝)、Si(硅)、C(碳)及Mg(镁)中的1种以上。在采用活性金属钎料的活性金属接合法中,在陶瓷基板2的表面上涂布活性金属钎料糊剂,在其上配置金属板。在600～900℃对所得到的层叠体进行加热,使陶瓷基板和金属板接合。根据活性金属接合法,可将陶瓷基板2和金属电路3的接合强度以及陶瓷基板2和金属部件4的接合强度设定为50MPa以上。

[0052] 在金属电路3及金属部件4由铝或铝合金形成的情况下,优选在陶瓷基板与各个金属电路之间设置含有Al(铝)及Si(硅)的接合层。含有Al及Si的接合层可采用铝钎料形成。例如,Si的含量为8～15wt％,剩余部分为Al。也可以根据需要,添加1～15wt％的选自In(铟)、Sn(锡)、Ti(钛)、Cu(铜)、Ag(银)、C(碳)及Mg(镁)中的1种以上。在采用铝钎料的钎焊接合法中,在陶瓷基板表面上涂布铝钎料糊剂,在其上配置金属板。在500～700℃对所得到的层叠体进行加热,使陶瓷基板和金属板接合。根据铝钎焊接合法,可将陶瓷基板2和金属电路3的接合强度及陶瓷基板2和金属部件4的接合强度设定为50MPa以上。

[0053] 也可以在金属电路3或金属部件4的表面上设置以选自Ni(镍)、Ag(银)及Au(金)中的1种为主成分的金属薄膜。作为这些金属薄膜,可列举出镀膜、溅射膜等。通过设置金属薄膜,能够提高耐蚀性、软钎料润湿性等。

[0054] 实施方式涉及的陶瓷电路基板1适合于半导体装置。半导体装置中,在金属电路上经由接合层安装半导体元件。

[0055] 图5是表示实施方式涉及的半导体装置的一个例子的剖视图。

[0056] 图5中,1是陶瓷电路基板,6是半导体装置,7是半导体元件,8是接合层,9是接合引线。在图5所示的例子中,在陶瓷基板2的上表面2a接合有多个金属电路3。在1个金属电路3上经由接合层8接合有半导体元件7。接合了半导体元件7的金属电路3和别的金属电路3通过接合引线9而导通。在下表面2b上接合有金属部件4。在金属部件4上形成槽4b,将比Vf/Vb控制在0.80以上且1.20以下。

[0057] 实施方式涉及的半导体装置并不局限于这样的结构。例如,多个半导体元件7也可以分别设置在多个金属电路3上。多个半导体元件7及多个接合引线9也可以设置在1个金属电路3上。也可以根据需要在金属部件4上接合半导体元件及接合引线。也可以在金属电路3或金属部件4上接合引线框架等金属端子。

[0058] 作为接合半导体元件7的接合层8,可使用软钎料、钎料等。软钎料优选为无铅软钎料。软钎料是指熔点为450℃以下的材料。钎料是指熔点超过450℃的材料。此外,将熔点为500℃以上的钎料称为高温钎料。作为高温钎料,可列举以Ag为主成分的钎料。

[0059] 在实施方式涉及的陶瓷电路基板1中,金属电路3的合计体积Vf与金属部件4的合计体积Vb之比即Vf/Vb为0.80以上且1.20以下。因此,能够缓和陶瓷电路基板1中产生的应力。在陶瓷电路基板1中产生由陶瓷基板2与各个金属电路的接合而产生的残余应力。另外,通常,在金属电路上搭载半导体元件。因来自半导体元件的发热,而产生陶瓷基板和金属电路的热膨胀差,产生应力。通过比Vf/Vb为0.80以上且1.20以下,而使金属电路中产生的应力减小。如果金属电路中的应力减小,则即使在金属电路的厚度为1mm以上时,也可抑制由陶瓷基板2和各金属电路的应力差产生的裂纹等的发生。从此点出发,根据本实施方式,能够提高陶瓷电路基板的可靠性。

[0060] 此外,半导体元件的小型化在发展,而另一方面来自半导体元件的发热量也在增加。因此,在搭载半导体元件的陶瓷电路基板中,提高散热性变得重要。为了半导体装置(半导体模块)的高性能化,可在陶瓷电路基板上安装多个半导体元件。如果哪个半导体元件的温度超过本征温度,则表示电阻相对于温度的变化的温度系数从正变为负。也就是说,温度越上升,则电阻越降低。与之相伴,产生电力集中地流动的热逸溃,出现半导体装置被破坏的现象。因而,提高半导体元件和金属电路的接合的可靠性是非常有效的。此外,实施方式涉及的半导体装置能够在汽车(包括电动车)、电力铁道车辆、工业机械及空调等的变换器等中所使用的PCU、IGBT、IPM模块中使用。关于汽车,在推进普及电动车。半导体装置的可靠性越提高,则越能够提高汽车的安全性。对于电力铁道车辆、工业设备等也是同样的。

[0061] 接着,对实施方式涉及的陶瓷电路基板1的制造方法进行说明。陶瓷电路基板1只要具有上述的构成,其制造方法就不特别限定。其中,列举用于高成品率地得到陶瓷电路基板1的方法的一个例子。

[0062] 首先,准备陶瓷基板2和作为金属电路3及金属部件4使用的金属板。优选陶瓷基板2为选自氧化铝基板、氮化铝基板及氮化硅基板中的1种。特别是,如果考虑到陶瓷电路基板1整体的散热性,则优选陶瓷基板2为导热率50W/(m·K)以上且三点弯曲强度为600MPa以上的氮化硅基板。优选金属板由选自铜或铜合金中的1种形成。

[0063] 在设置在陶瓷基板2的上表面2a的金属电路3和设置在下表面2b的金属部件4通过贯通孔而导通时,准备具有贯通孔的陶瓷基板2。也可以预先在成形体的阶段形成贯通孔。

或者,也可以在陶瓷基板2(陶瓷烧结体)上形成贯通孔。贯通孔可通过激光加工、切削加工等来形成。作为切削加工,可列举利用钻头等的开孔加工。

[0064] 在不对接合体进行蚀刻的情况下,将成形为电路形状的金属电路3分别接合在上表面2a上。当使用蚀刻形成金属电路3时,可使用从电路尺寸计算的金属板。接合在下表面2b上的金属板的厚度优选根据从电路尺寸计算的合计体积Vf进行调整。

[0065] 优选铜板或铜合金板通过活性金属接合法与陶瓷基板2接合。在活性金属接合法中,可使用混合有Ti等活性金属和Cu的活性金属钎料。作为活性金属钎料,可列举出Ti及Cu的混合物、Ti、Ag及Cu的混合物等。例如,在活性金属钎料中,Ti的含量为0.1~10wt%,Cu的含量为10~60wt%,剩余部分为Ag。也可以根据需要,以1~15wt%的范围内添加选自In、Sn、Al、Si、C及Mg中的1种以上。

[0066] 优选铝板或铝合金板通过铝钎焊法与陶瓷基板2接合。在铝钎焊法中,使用铝钎料。作为铝钎料,可列举Al及Si的混合物。例如,Si的含量为8~15wt%,剩余部分为Al。也可以根据需要,添加1~15wt%的选自In、Sn、Ti、Cu、Ag、C及Mg中的1种以上。

[0067] 钎料金属可通过糊剂化来使用。糊剂可通过混合钎料成分和有机物来制作。糊剂中,优选钎料成分均匀地混合。如果钎料成分不均匀地分布,则钎焊不稳定,可成为接合不良的原因。

[0068] 接着,将钎料糊剂涂布在陶瓷基板2的上表面2a及下表面2b上。分别在糊剂上配置金属板。当金属板预先成形为金属电路3时,将所成形的金属电路3配置在糊剂上。同样,在使用电路形状的金属部件4、且金属部件4被预先成形时,将所成形的金属部件4配置在糊剂上。

[0069] 接着,对陶瓷基板2和金属板的层叠体进行加热,使陶瓷基板2和金属板接合。当使用铜板或铜合金板时,在700~900℃下对层叠体进行加热。当使用铝板或铝合金板时,在500~700℃下对层叠体进行加热。加热工序也可以根据需要在真空中或非氧化性气氛中进行。当在真空中进行加热工序时,优选压力为1×10^{-2}Pa以下。作为非氧化性气氛,可列举出氮气氛、氩气氛等。通过在真空中或非氧化性气氛中进行加热工序,能够抑制接合层氧化。由此,能够提高接合强度。

[0070] 当通过蚀刻加工形成金属电路3时,在接合后对金属板进行蚀刻,加工成电路形状。接合后,对于下表面2b的金属板(金属部件4),也可以如图3、图4(b)或图4(c)所示的那样通过蚀刻来形成槽4b。

[0071] 通过以上的工序,能够制造实施方式涉及的陶瓷电路基板1。接着,进行将半导体元件7等接合在陶瓷电路基板1上的工序。在接合半导体元件7的部位上设置接合层8。接合层8优选包含软钎料或钎料。在设置了接合层8后,在其上设置半导体元件7。根据需要,设置接合引线9。也可以根据需要设置多个半导体元件7及多个接合引线9。

[0072] 图6是表示实施方式涉及的制造方法的一个例子的流程图。

[0073] 图6中例示出金属板预先成形为电路形状的情况。首先,准备陶瓷基板2(步骤S1)。与陶瓷基板2不同,对金属板进行加压成形、切削加工或线切割,制作金属电路3(步骤S2)。在陶瓷基板2的两面上涂布钎料糊剂(步骤S3)。在陶瓷基板2的上表面2a上配置金属电路3,在下表面2b上配置金属部件4(步骤S4)。进行将金属电路3及金属部件4接合在陶瓷基板2上的加热接合(步骤S5)。通过以上步骤,可制造实施方式涉及的陶瓷电路基板1。

[0074] 接着,在陶瓷电路基板1的金属电路3上形成接合层8(步骤S6)。在接合层8上设置半导体元件7,在金属电路3上接合半导体元件7(步骤S7)。通过以上步骤,可制造实施方式涉及的半导体装置6。

[0075] 如上所述,金属电路3通过蚀刻、加压成形、切削加工或线切割等而形成。一般来说,蚀刻与加压成形、切削加工或线切割相比是优选的。在进行加压成形时,需要准备与金属电路3的形状对应的模具。由于模具为高价,因此陶瓷电路基板1的制造成本增大。切削加工的加工速度及线切割的加工速度较慢,因此切削加工及线切割不适宜大批量生产。另一方面,在加压成形、切削加工或线切割中,在形成金属电路3时,不发生侧面蚀刻。因此,金属电路3的合计体积Vf的控制变得容易。

[0076] 在实施方式涉及的陶瓷电路基板1中,特别适合使用通过加压成形、切削加工或线切割而形成的金属电路3。金属电路3越厚,则越能够降低金属电路3的热阻及金属电路3的电感。另一方面,金属电路3越厚,在通过蚀刻从金属板加工成金属电路3时,越需要更长的时间。蚀刻所需的时间越长,则侧面蚀刻越发展。因此,金属电路3的合计体积Vf的控制变得困难。通过利用加压成形、切削加工或线切割来形成金属电路3,容易将比Vf/Vb控制在0.80以上且1.20以下。

[0077] 更优选在陶瓷电路基板1中比Vf/Vb为0.80以上且1.20以下,而且对接合在陶瓷基板2上的金属板的体积进行控制。具体地说,接合在陶瓷基板2的上表面2a上的金属电路3(或金属板)的合计体积Vf0与接合在陶瓷基板2的下表面2b上的金属部件4的合计体积Vb0之比Vf0/Vb0优选为0.80以上且1.20以下。

[0078] 如果比Vf0/Vb0低于1,则设置在下表面2b上的金属部件4的热膨胀大于设置在上表面2a上的金属电路3的热膨胀。在这种情况下,以金属部件4比金属电路3大的膨胀状态,接合陶瓷基板2、金属电路3及金属部件4。在其后的冷却时,金属部件4与金属电路3相比更大地收缩。其结果是,陶瓷电路基板1朝上表面方向以凸状翘曲。如果比Vf0/Vb0低于0.80,则因金属部件4的热膨胀与金属电路3的热膨胀的差而施加给接合体的应力增大,可降低接合强度、基板弯曲强度及耐热循环性。

[0079] 如果比Vf0/Vb0大于1,则金属电路3的热膨胀大于金属部件4的热膨胀。在这种情况下,陶瓷电路基板1朝下表面方向以凸状翘曲。如果比Vf0/Vb0大于1.20,则使因金属部件4的热膨胀与金属电路3的热膨胀的差而施加给接合体的应力增大。因接合体的应力增大,可使接合强度、基板弯曲强度及耐热循环性降低。

[0080] 如果比Vf0/Vb0为0.80以上且1.20以下,则能够缓和因接合而产生的应力。由此,能够进一步提高陶瓷电路基板1的接合强度、基板弯曲强度及耐热循环性。

[0081] 为了控制比Vf0/Vb0,将通过加压成形、切削加工或线切割而形成的金属电路3接合在上表面2a上是有效的。在将金属板接合在上表面2a上后,在通过蚀刻金属板来形成金属电路3时,接合时的金属板的合计体积Vf0大于蚀刻加工后的金属电路3的合计体积Vf。因此,合计体积Vf0容易变得比合计体积Vb0大。通过使用由加压成形、切削加工或线切割形成的金属电路3,容易将比Vf0/Vb0控制在0.80以上且1.20以下。

[0082] (实施例)

[0083] (实施例1～12、比较例1～7)

[0084] 准备表1所示的陶瓷基板。所准备的陶瓷基板为氮化硅基板、氮化铝基板及氧化铝

(alumina)基板。氮化硅基板的导热率为90W/(m·K),三点弯曲强度为650MP。氮化铝基板的导热率为170W/(m·K),三点弯曲强度为300MPa。氧化铝基板的导热率为20W/(m·K),三点弯曲强度为350MPa。陶瓷基板的尺寸为纵30mm×横55mm。氮化硅基板的厚度为0.32mm及0.63mm。氮化铝基板及氧化铝基板的厚度为0.63mm。再者,表1中,将氮化硅基板表示为“Si_3N_4”,将氮化铝基板表示为“AlN”,将氧化铝基板表示为“Al_2O_3”。各陶瓷基板的厚度T1(mm)如表1中记载。

[0085] 接着,准备表1所示的金属板。通过加压成形预先将金属板加工成规定的尺寸。接合在上表面2a上的各金属电路3的形状如图2所示。在下表面2b上接合图3、图4(a)、图(b)或图4(c)所示形状的金属部件4。金属板为铜板或铝板。在预先将金属板成形为电路形状时,在接合之前,为了求出合计体积而测定了各电路形状的尺寸。当在与陶瓷基板接合后对金属板进行蚀刻加工时,使用单板的金属板。

[0086] 关于表1中的金属板的材料,将铜板表示为“Cu”、将铝板表示为“Al”。上表面2a的金属电路的厚度T2(mm)及下表面2b的金属部件的厚度T3(mm)如表1中记载。此外,从金属板加工成金属电路的加工方法记载于表1中。在记载为“加压成形”的例子中,金属板通过加压成形被冲裁形成金属电路3。在记载为“蚀刻”的例子中,通过蚀刻将金属板加工成金属电路3。在实施例1～7、实施例9～12、比较例1～3以及比较例6～7中,准备通过切削加工形成有槽4b的金属板。

[0087] 表1

[0088]

	基板	T1(mm)	金属板	T2(mm)	T3(mm)	形状	形成方法
实施例1	Si_3N_4	0.25	Cu	2.0	2.0	图3	加压成形
实施例2	Si_3N_4	0.25	Cu	4.0	4.0	图3	加压成形
实施例3	Si_3N_4	0.25	Cu	6.0	6.0	图3	加压成形
实施例4	Si_3N_4	0.25	Cu	6.0	5.0	图3	加压成形
实施例5	Si_3N_4	0.25	Cu	6.0	6.0	图3	加压成形
实施例6	Si_3N_4	0.25	Cu	6.0	6.0	图3	蚀刻
实施例7	Si_3N_4	0.63	Cu	8.0	8.0	图3	加压成形
实施例8	Si_3N_4	0.25	Cu	6.0	5.0	图4(a)	加压成形
实施例9	Si_3N_4	0.25	Cu	6.0	6.0	图4(b)	加压成形
实施例10	Si_3N_4	0.25	Cu	6.0	6.0	图4(c)	加压成形
实施例11	AIN	0.63	Al	4.0	4.0	图3	加压成形
实施例12	Al_2O_3	0.63	Al	4.0	4.0	图3	加压成形
比较例1	Si_3N_4	0.25	Cu	6.0	6.0	图3	加压成形
比较例2	Si_3N_4	0.25	Cu	6.0	5.0	图3	加压成形
比较例3	$S1_3N_4$	0.25	Cu	6.0	6.0	图3	蚀刻
比较例4	Si_3N_4	0.25	Cu	6.0	6.5	图4(a)	加压成形
比较例5	Si_3N_4	0.25	Cu	6.0	4.0	图4(a)	加压成形
比较例6	AlN	0.63	Al	4.0	4.0	图3	加压成形
比较例7	Al_2O_3	0.63	Al	4.0	3.0	图3	加压成形

[0089] 接着,混合钎料的原料,并进一步混合有机成分,由此制作钎料糊剂。将钎料糊剂

涂布在陶瓷基板的两面上,然后分别配置金属板或金属电路。此时,以上表面的金属板和下表面的金属板在Z方向上正对的方式,配置这些金属板。在配置金属电路时,以从Z方向看时围住多个金属电路3的最小的四边形的位置、形状及尺寸与从Z方向看时的金属部件4的外缘的位置、形状及尺寸大致一致的方式,将多个金属电路配置在上表面,将金属板配置在下表面。

[0090] 在金属电路的材料为铜时,使用活性金属钎料。活性金属钎料中的Ti的含量为2wt%、Sn的含量为10wt%、Cu的含量为30wt%、剩余部分为Ag。在金属电路的材料为铝时,使用铝钎料。铝钎料中的Si的含量为12wt%,剩余部分为Al。

[0091] 对所得到的层叠体,在真空中(1×10^{-2}Pa以下)进行加热接合工序。在加热接合工序中,在使用活性金属钎料时,将接合温度设定在820℃。在使用铝钎料时,将接合温度设定在650℃。将接合时间设定为10分钟。在实施例6及比较例3中,在接合后蚀刻上表面的金属板,形成图2所示的电路形状。此外,在实施例1~7、实施例11~12、比较例1~3以及比较例6~7中,在接合后,蚀刻下表面的金属板,形成图3所示的电路形状。

[0092] 关于设置在上表面2a上的金属电路3,在实施例1~5、实施例7~12、比较例1~2以及比较例4~7中,从加压成形后的金属电路3的尺寸,算出合计体积Vf。在实施例6及比较例3中,在蚀刻后,测定各金属电路3的上底(上表面3a)的面积及金属电路3彼此间的距离。沿着陶瓷基板2的上表面2a测定距离。从该距离计算金属电路3的下底的面积。各金属电路3的形状近似四方锥台,从上底的面积、下底的面积以及金属电路3的厚度算出合计体积Vf。

[0093] 关于设置在下表面2b上的金属部件4,在实施例1~5、实施例7、实施例11~12、比较例1~3以及比较例6~7中,从切削加工后的金属部件4的尺寸算出合计体积Vb。在实施例6及比较例3中,测定了蚀刻后的各金属部件4的上底的面积及金属部件4彼此间的距离。各金属部件4的形状近似四方锥台,从上底(下表面4a)的面积、下底的面积以及金属部件4的厚度算出合计体积Vb。在实施例9~10中,测量金属部件4的尺寸、槽4b的长度及深度,从这些值算出合计体积Vb。从合计体积Vf及合计体积Vb算出比Vf/Vb。

[0094] 对实施例及比较例涉及的各陶瓷电路基板,通过三维测定机测定了翘曲量。将陶瓷电路基板朝金属电路3的方向沿着凸状时的翘曲量记载为正。将陶瓷电路基板朝金属部件4的方向沿着凸状时的翘曲量记载为负。此外,作为电路与陶瓷基板之间的接合强度,测定拉伸强度。拉伸强度通过将陶瓷电路基板固定在夹具上,将金属电路的一部分朝垂直方向以50mm/分钟剥离来测定。

[0095] 接着,对实施例及比较例涉及的各陶瓷电路基板,评价了可靠性。作为可靠性,评价半导体元件的接合性。为了评价接合性,在各陶瓷电路基板的金属电路上,使用无铅软钎料接合了半导体元件。另外,设置接合引线,使半导体元件和未接合半导体元件的金属电路导通。由此,制作半导体装置。对半导体装置进行温度循环试验(TCT),调查剥落不良的未发生率。在TCT中,将在-40℃保持30分钟、在室温保持10分钟、在150℃保持30分钟和在室温保持10分钟作为1个循环,实施50个循环。通过超声波探伤法(SAT:Scanning Acoustic Tomograph)算出50个循环后的由裂纹产生的剥落面积。在超声波探伤法中,可识别产生由裂纹导致的剥落的部分和未产生剥落的部分。通过从接合部分的整体的面积中减去产生了剥落的部分的面积,可算出未剥落面积。通过将未剥落面积除以整体的面积,而算出未剥落面积率η。将通过TCT完全没有发生裂纹的情况设为η=100%、将通过TCT在陶瓷铜电路基板

的接合部整面发生裂纹的情况设为η＝0％。表2中示出合计体积Vf、合计体积Vb、比Vf/Vb、翘曲量、接合强度、未剥落率的测定结果。

[0096] 表2

[0097]

	Vf (cm^3)	Vf (cm^3)	Vf/Vb	翘曲量 (mm)	接合强度 (Mpa)	未剥落率 (%)
实施例1	2.33	2.40	0.97	0.5	37	81
实施例2	4.67	4.70	0.99	0.5	43	85
实施例3	7.00	7.10	0.99	0.5	49	87
实施例4	7.00	5.90	1.19	-0.7	35	80
实施例5	7.00	8.60	0.81	0.7	38	79
实施例6	6.72	8.26	0.81	0.7	40	82
实施例7	9.34	9.30	1.00	0.4	54	92
实施例8	7.00	7.02	1.00	0.6	40	82
实施例9	7.00	7.50	0.93	0.5	41	85
实施例10	7.00	8.00	0.88	0.5	45	85
实施例11	4.67	4.70	0.99	0.4	33	87
实施例12	4.67	4.70	0.99	0.4	31	86
比较例1	7.00	8.90	0.79	1.2	25	58
比较例2	7.00	5.80	1.21	-1.1	21	49
比较例3	6.72	5.57	1.21	-1.0	23	53
比较例4	7.00	9.13	0.77	1.3	20	52
比较例5	7.00	5.62	1.25	-1.2	26	47
比较例6	4.67	6.02	0.78	0.8	20	54
比较例7	4.67	3.70	1.26	-0.9	23	55

[0098] 关于实施例1～12涉及的陶瓷电路基板，金属电路3的合计体积Vf和金属部件4的合计体积Vb之比在优选的范围内。另一方面，在比较例1～7中，这些比在优选的范围外。通过将实施例1～12的结果和比较例1～7的结果加以比较而得知，实施例1～12涉及的陶瓷电路基板的翘曲量小于比较例1～7涉及的陶瓷电路基板的翘曲量。认为这是因为：在实施例中，通过控制比Vf/Vb抑制了陶瓷电路基板的翘曲，在比较例中，金属电路3和金属部件4的热膨胀的差产生的应力大。

[0099] 此外，得知：实施例1～12涉及的陶瓷电路基板的接合强度高于比较例1～7涉及的陶瓷电路基板的接合强度。认为这是因为：通过缓和陶瓷基板2及金属电路3的应力，难以在金属电路3和半导体元件7的接合界面发生裂纹等。另外，在实施例1～12中，未剥落率为79％以上，而在比较例1～7中，未剥落率最大为58％。因此，得知：比Vf/Vb的控制尤其对于提高相对于热循环的可靠性是有效的。

[0100] 在实施例8～10涉及的陶瓷电路基板中，金属部件4分别具有图4(a)～图4(c)的形状。通过比较实施例8～10的结果，发现：形成槽4b时与未形成槽4b时相比，比Vf/Vb和“1”的差增大。另一方面，接合强度及未剥落率提高。由此结果得知：在比Vf/Vb为同等程度时，通

过设置槽4b,能够提高接合强度及未剥落率。这是因为:通过形成槽4b,能够缓和下表面2b及金属部件4中的应力的集中。

[0101] 从表2的结果得知,根据实施例,得到了可靠性高的陶瓷电路基板。此外,在实施例和比较例子中,未剥落面积率η产生大的差。认为这是因为:在实施例中通过缓和应力降低了翘曲量,结果接合强度提高。与此相对,在比较例中具有未剥落面积率η恶化的倾向。认为这是因为:因接合强度下降以及陶瓷电路基板的内部的热应力增大,而使施加给接合部分的负荷增大。

[0102] 本发明的实施方式包含以下的特征。

[0103] (附记1)

[0104] 一种陶瓷电路基板,其具备:

[0105] 陶瓷基板;

[0106] 设置在所述陶瓷基板的一个面上的厚度为1mm以上的金属电路;和

[0107] 设置在所述陶瓷基板的另一个面上的厚度为1mm以上的金属部件,

[0108] 所述金属电路的合计体积Vf与所述金属部件的合计体积Vb之比即Vf/Vb为0.80以上且1.20以下。

[0109] (附记2)

[0110] 根据附记1所述的陶瓷电路基板,其中,在所述金属部件中形成了槽。

[0111] (附记3)

[0112] 根据附记1~2中任一项所述的陶瓷电路基板,其中,所述金属电路通过加压成形、切削加工或线切割而形成。

[0113] (附记4)

[0114] 根据附记1~3中任一项所述的陶瓷电路基板,其中,

[0115] 多个所述金属电路设置在所述陶瓷基板的所述一个面上,

[0116] 与将所述陶瓷基板的所述一个面和所述另一个面连结的第1方向垂直的第1面中的所述多个金属电路的面积之和Af与所述第1面中的所述金属部件的面积Ab之比Af/Ab为0.80以上且1.20以下。

[0117] (附记5)

[0118] 根据附记1~4中任一项所述的陶瓷电路基板,其中,所述金属电路及所述金属部件的厚度分别为2mm以上。

[0119] (附记6)

[0120] 根据附记1~5中任一项所述的陶瓷电路基板,其中,所述陶瓷基板为选自氧化铝基板、氮化铝基板及氮化硅基板中的任1种。

[0121] (附记7)

[0122] 根据附记6所述的陶瓷电路基板,其中,所述陶瓷基板的厚度为0.7mm以下。

[0123] (附记8)

[0124] 根据附记7所述的陶瓷电路基板,其特征在于,所述金属电路及所述金属部件分别由选自铜、铜合金、铝及铝合金中的任1种构成。

[0125] (附记9)

[0126] 根据附记8所述的陶瓷电路基板,其中,进一步具备:

[0127] 接合所述陶瓷基板和所述金属电路的第1接合层;和

[0128] 接合所述陶瓷基板和所述金属部件的第2接合层,

[0129] 所述第1接合层及所述第2接合层分别含有选自银、铜、钛、锆、铪、铌、锡、铟、锌、铝、硅、碳及镁中的至少2种。

[0130] (附记10)

[0131] 一种半导体装置,其具备:

[0132] 附记1~9所述的陶瓷电路基板;和

[0133] 经由接合层安装在所述金属电路上的半导体元件。

[0134] (附记11)

[0135] 一种陶瓷电路基板的制造方法,其中,

[0136] 通过对金属板实施加压成形、切削加工或线切割而形成金属电路,

[0137] 在陶瓷基板的一个面上接合所述金属电路,

[0138] 在所述陶瓷基板的另一个面上接合金属部件,

[0139] 将所述金属电路的合计体积Vf与所述金属部件的合计体积Vb之比即Vf/Vb设定为0.80以上且1.20以下。

[0140] (附记12)

[0141] 根据附记11所述的陶瓷电路基板的制造方法,其中,所述金属电路及所述金属部件的厚度分别为2mm以上。

[0142] (附记13)

[0143] 一种半导体装置的制造方法,其中,在通过附记11或12所述的制造方法制造的陶瓷电路基板的所述金属电路上,经由接合层安装半导体元件。

[0144] 以上,对本发明的几个实施方式进行了例示,但这些实施方式是作为例子而提示出的,其意图并非限定发明的范围。这些新颖的实施方式能够以其它各种方式实施,在不脱离发明的主旨的范围内,可以进行各种省略、置换、变更等。这些实施方式和其变形例包含于发明的范围、主旨中,同时包含于权利要求书中记载的发明和其均等的范围内。此外,上述的各实施方式还可通过相互组合来实施。

[0145] 符号说明

[0146] 1—陶瓷电路基板

[0147] 2—陶瓷基板、2a—上表面、2b—下表面

[0148] 3—金属电路、3a—金属电路上表面

[0149] 4—金属部件、4a—金属部件下表面、4b—槽

[0150] 5a—第1接合层、5b—第2接合层、

[0151] 6—半导体装置

[0152] 7—半导体元件

[0153] 8—接合层

[0154] 9—接合引线

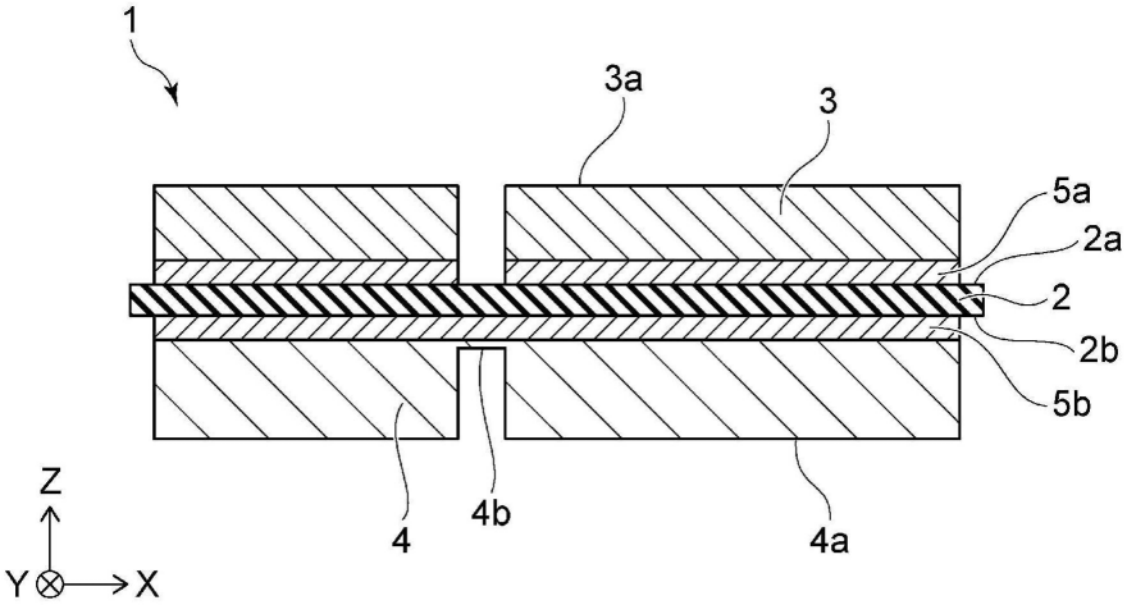


图1

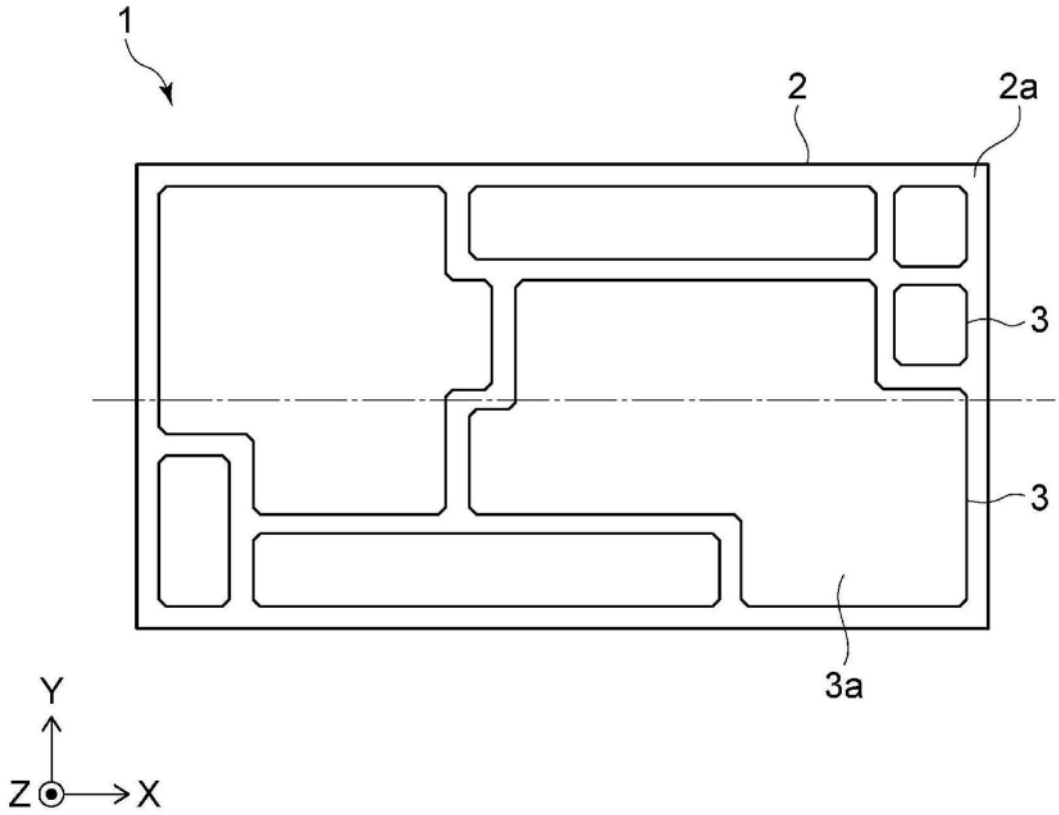


图2

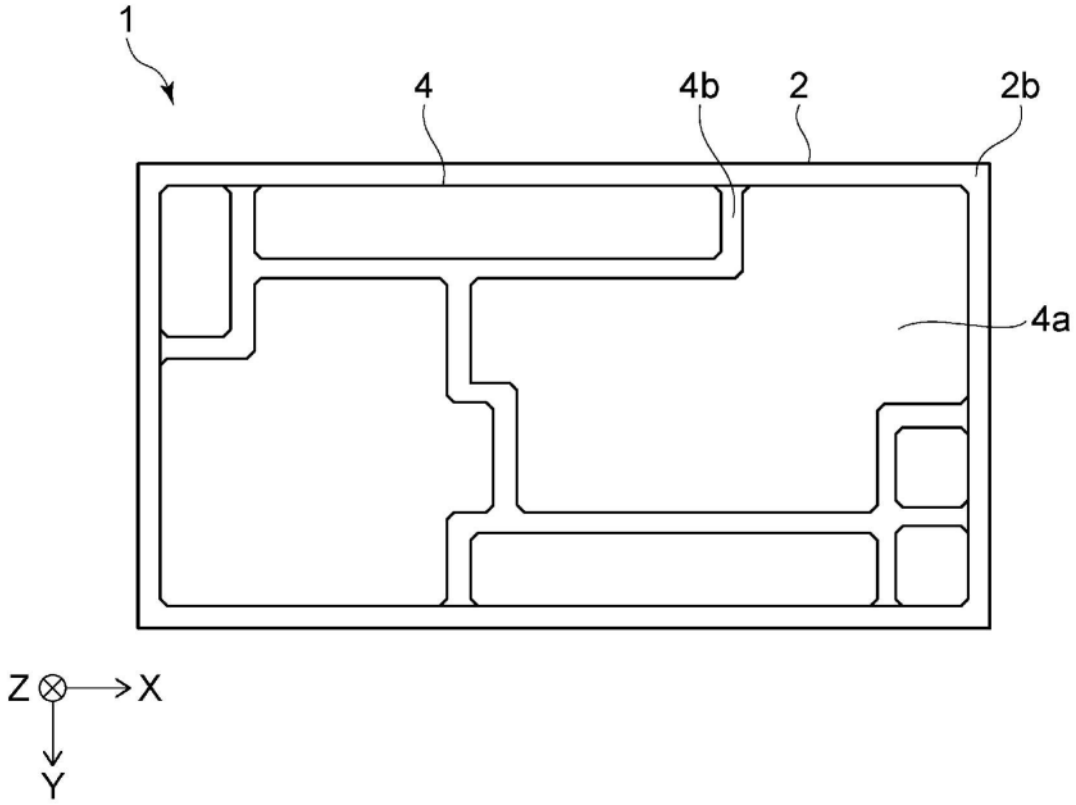


图3

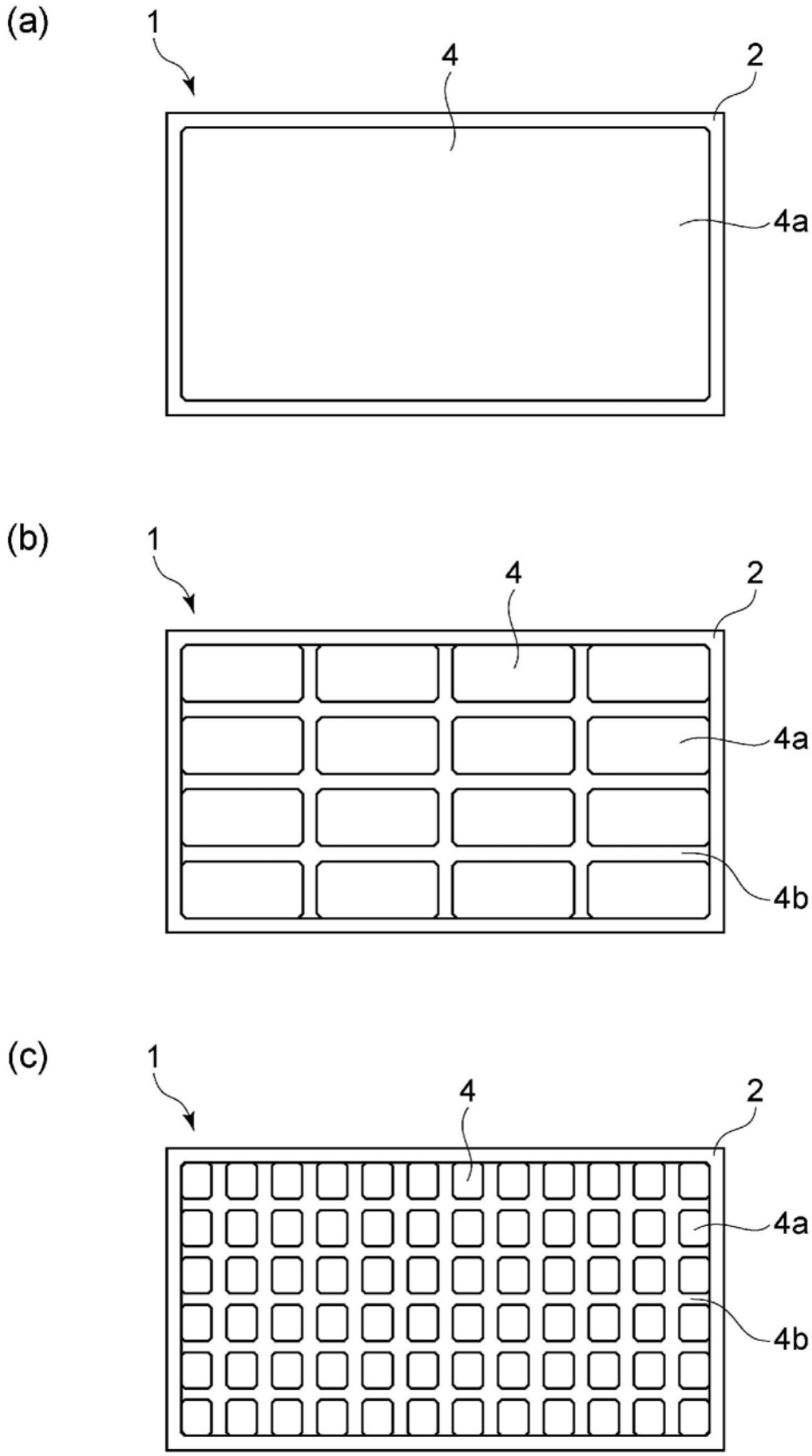


图4

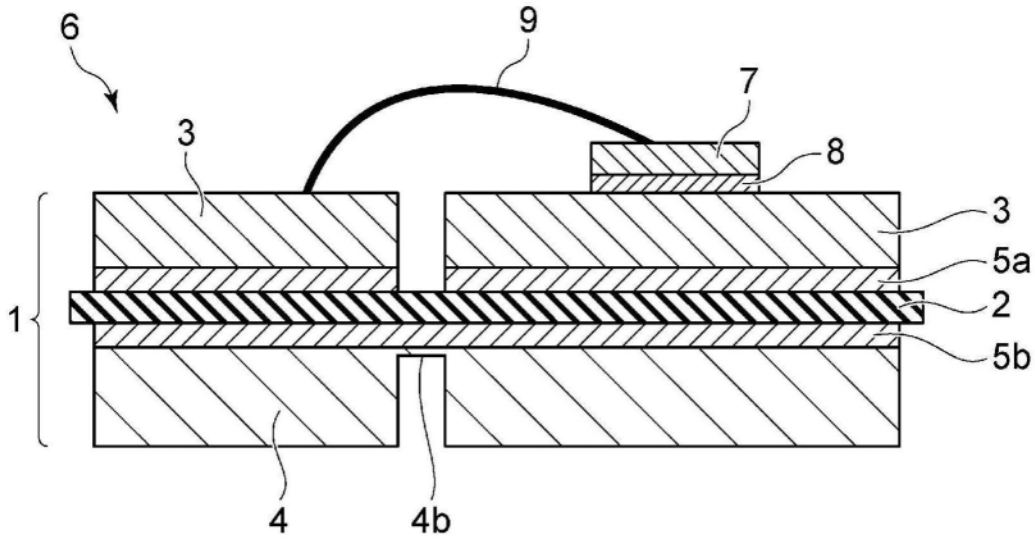


图5

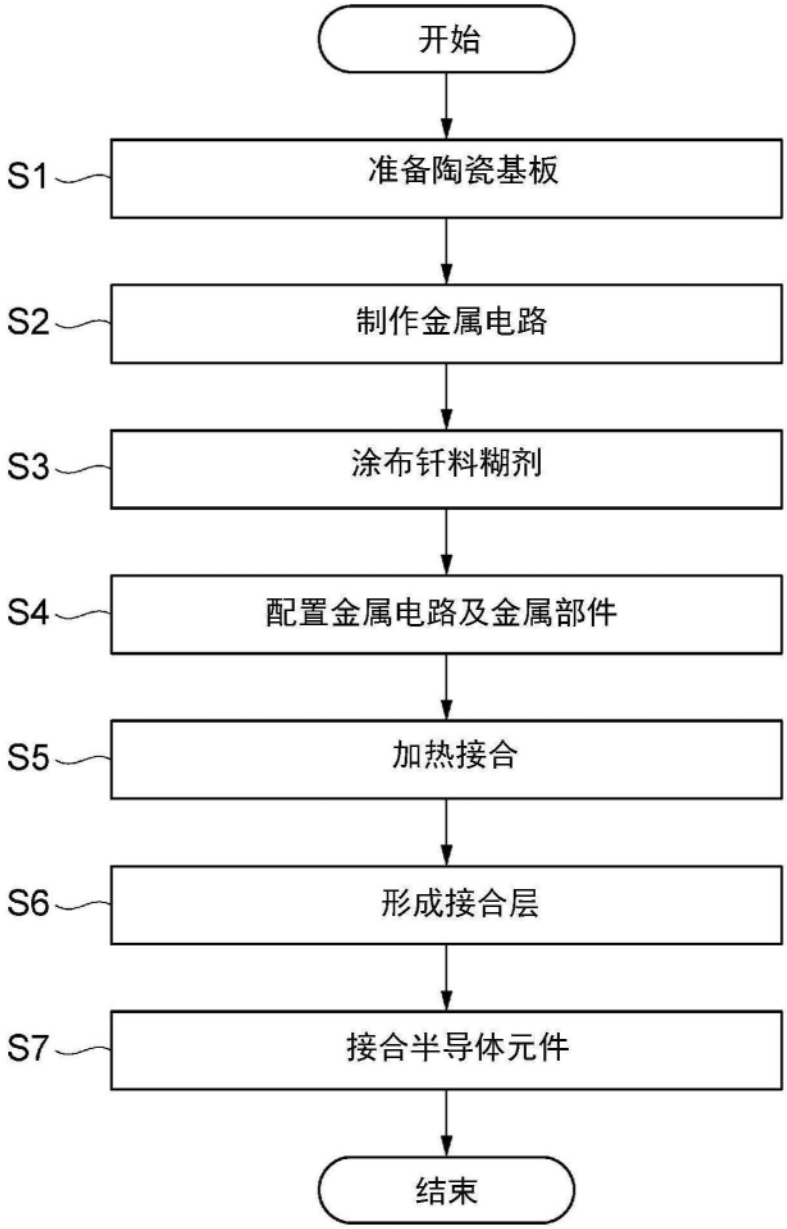

开始
S1
准备陶瓷基板
S2
制作金属电路
S3
涂布钎料糊剂
S4
配置金属电路及金属部件
S5
加热接合
S6
形成接合层
S7
接合半导体元件
结束

图6