



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월13일
(11) 등록번호 10-0837812
(24) 등록일자 2008년06월05일

(51) Int. Cl.

G11C 7/10 (2006.01)

(21) 출원번호 10-2006-0123574

(22) 출원일자 2006년12월07일

심사청구일자 2006년12월07일

(65) 공개번호 10-2008-0051839

(43) 공개일자 2008년06월11일

(56) 선행기술조사문헌

KR100578219 B1

US20020121918 A1

전체 청구항 수 : 총 15 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

신범주

경기 이천시 부발읍 아미리 산 136-1 하이닉스반도체

(74) 대리인

김성남

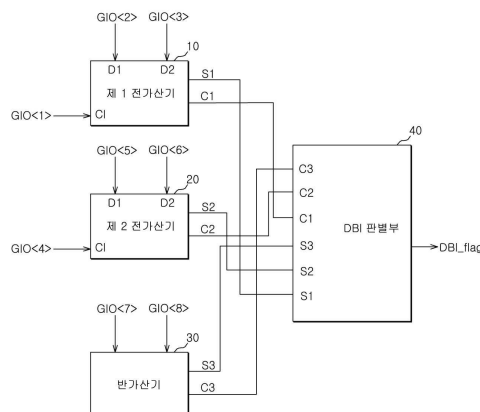
심사관 : 이강하

(54) 반도체 집적 회로의 DBI 신호 생성 장치 및 방법

(57) 요약

본 발명의 반도체 집적 회로의 DBI 신호 생성 장치는, 데이터 입력단과 캐리 입력단에 데이터를 각각 입력 받고 이를 연산하여 합과 캐리를 출력하는 전가산기; 데이터 입력단에 데이터를 각각 입력 받고 이를 연산하여 합과 캐리를 출력하는 반가산기; 및 상기 전가산기와 상기 반가산기로부터 전달되는 합과 캐리로부터 상기 데이터의 논리값을 판별하여 DBI 신호를 생성하는 DBI 판별부;를 포함하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

데이터 입력단과 캐리 입력단에 데이터를 각각 입력 받고 이를 연산하여 합과 캐리를 출력하는 전가산기;

데이터 입력단에 데이터를 각각 입력 받고 이를 연산하여 합과 캐리를 출력하는 반가산기; 및

상기 전가산기와 상기 반가산기로부터 전달되는 합과 캐리로부터 상기 데이터의 논리값을 판별하여 DBI 신호를 생성하는 DBI 판별부;

를 포함하는 것을 특징으로 하는 반도체 집적 회로의 DBI(Data Bus Inversion) 신호 생성 장치.

청구항 2

제 1 항에 있어서,

상기 DBI 판별부는 상기 전가산기와 상기 반가산기에 입력되는 복수 개의 데이터 중 제 1 논리값을 갖는 데이터가 소정 개수 이상이면 상기 DBI 신호를 인에이블 시키고, 상기 소정 개수 미만이면 상기 DBI 신호를 디스에이블 시키는 것을 특징으로 하는 반도체 집적 회로의 DBI 신호 생성 장치.

청구항 3

두 개의 데이터 입력단과 한 개의 캐리 입력단에 각각 데이터를 입력 받아 가산 연산하여 합과 캐리를 출력하는 제 1 및 제 2 전가산기;

두 개의 데이터 입력단에 각각 데이터를 입력 받아 가산 연산하여 합과 캐리를 출력하는 반가산기; 및

상기 제 1 및 제 2 전가산기와 상기 반가산기로부터 세 개의 합과 세 개의 캐리를 전달 받아 상기 제 1 및 제 2 전가산기와 상기 반가산기에 입력되는 데이터 중 제 1 논리값인 데이터의 수가 5개 이상일 때 인에이블 되는 DBI 신호를 생성하는 DBI 판별부;

를 포함하는 것을 특징으로 하는 반도체 집적 회로의 DBI(Data Bus Inversion) 신호 생성 장치.

청구항 4

제 3 항에 있어서,

상기 DBI 판별부는 상기 제 1 및 제 2 전가산기와 상기 반가산기로부터 각각 출력되는 세 개의 캐리가 모두 상기 제 1 논리값을 가지면 상기 DBI 신호를 인에이블 시키는 것을 특징으로 하는 반도체 집적 회로의 DBI 신호 생성 장치.

청구항 5

제 3 항에 있어서,

상기 DBI 판별부는 상기 제 1 및 제 2 전가산기로부터 각각 출력되는 두 개의 캐리와 상기 반가산기로부터 출력되는 한 개의 합이 모두 상기 제 1 논리값을 가지면 상기 DBI 신호를 인에이블 시키는 것을 특징으로 하는 반도체 집적 회로의 DBI 신호 생성 장치.

청구항 6

제 3 항에 있어서,

상기 DBI 판별부는 상기 제 1 및 제 2 전가산기로부터 각각 출력되는 두 개의 합 중 적어도 하나의 합이 상기 제 1 논리값을 갖는 경우, 상기 제 1 및 제 2 전가산기 및 상기 반가산기로부터 각각 출력되는 세 개의 캐리 중 적어도 두 개의 캐리가 상기 제 1 논리값을 가지면 상기 DBI 신호를 인에이블 시키는 것을 특징으로 하는 반도체 집적 회로의 DBI 신호 생성 장치.

청구항 7

제 3 항에 있어서,

상기 DBI 판별부는 상기 제 1 및 제 2 전가산기와 상기 반가산기로부터 각각 출력되는 세 개의 캐리가 모두 상기 제 1 논리값을 갖고, 상기 제 1 및 제 2 전가산기로부터 각각 출력되는 두 개의 캐리 중 적어도 하나의 캐리가 상기 제 1 논리값을 가지면 상기 DBI 신호를 인에이블 시키는 것을 특징으로 하는 반도체 집적 회로의 DBI 신호 생성 장치.

청구항 8

제 4 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 DBI 판별부는,

상기 제 2 전가산기의 출력 캐리와 상기 반가산기의 출력 캐리를 입력 받는 제 1 낸드게이트;

상기 제 1 전가산기의 출력 캐리와 상기 반가산기의 출력 캐리를 입력 받는 제 2 낸드게이트;

상기 제 1 전가산기의 출력 캐리와 상기 제 2 전가산기의 출력 캐리를 입력 받는 제 3 낸드게이트;

상기 제 2 전가산기의 출력 합을 입력 받는 제 1 인버터;

상기 제 1 전가산기의 출력 합을 입력 받는 제 2 인버터;

상기 제 2 전가산기의 출력 캐리를 입력 받는 제 3 인버터;

상기 제 1 전가산기의 출력 캐리를 입력 받는 제 4 인버터;

상기 제 1 낸드게이트의 출력 신호를 입력 받는 제 5 인버터;

상기 제 1, 제 2 및 제 3 낸드게이트의 출력 신호를 입력 받는 제 4 낸드게이트;

상기 제 3 낸드게이트의 출력 신호를 입력 받는 제 6 인버터;

상기 제 1 및 제 2 인버터의 출력 신호를 입력 받는 제 5 낸드게이트;

상기 제 3 및 제 4 인버터의 출력 신호를 입력 받는 제 6 낸드게이트;

상기 제 5 인버터의 출력 신호와 상기 제 1 전가산기의 출력 캐리를 입력 받는 제 7 낸드게이트;

상기 제 2 전가산기의 출력 합과 상기 제 6 인버터의 출력 신호를 입력 받는 제 8 낸드게이트;

상기 제 4 및 제 5 낸드게이트의 출력 신호를 입력 받는 제 9 낸드게이트;

상기 제 6 낸드게이트의 출력 신호, 상기 제 1 전가산기의 출력 합, 상기 제 2 전가산기의 출력 합 및 상기 반가산기의 출력 합을 입력 받는 제 10 낸드게이트; 및

상기 제 7, 제 8, 제 9 및 제 10 낸드게이트의 출력 신호를 입력 받아 상기 DBI 신호를 출력하는 제 11 낸드게이트;

를 포함하는 것을 특징으로 하는 반도체 집적 회로의 DBI 신호 생성 장치.

청구항 9

a) 전가산기의 데이터 입력단과 캐리 입력단에 데이터를 각각 입력하여 합과 캐리를 생성하고, 반가산기의 데이터 입력단에 데이터를 각각 입력하여 합과 캐리를 생성하는 단계; 및

b) 상기 a) 단계에서 생성된 합과 캐리로부터 상기 데이터의 논리값을 판별하여 DBI 신호를 생성하는 단계;

를 포함하는 것을 특징으로 하는 반도체 집적 회로의 DBI(Data Bus Inversion) 신호 생성 방법.

청구항 10

제 9 항에 있어서,

상기 b) 단계는 상기 전가산기와 상기 반가산기에 입력되는 복수 개의 데이터 중 제 1 논리값을 갖는 데이터가 소정 개수 이상이면 상기 DBI 신호를 인에이블 시키고, 상기 소정 개수 미만이면 상기 DBI 신호를 디스에이블 시키는 것을 특징으로 하는 반도체 집적 회로의 DBI 신호 생성 방법.

청구항 11

a) 제 1 및 제 2 전가산기에 각각 구비된 두 개의 데이터 입력단과 한 개의 캐리 입력단에 각각 데이터를 입력하여 두 개의 합과 두 개의 캐리를 생성하고, 반가산기의 두 개의 데이터 입력단에 각각 데이터를 입력하여 한 개의 합과 한 개의 캐리를 생성하는 단계; 및

b) 상기 a) 단계에서 생성된 세 개의 합과 세 개의 캐리를 전달 받아 상기 제 1 및 제 2 전가산기와 상기 반가산기에 입력되는 데이터 중 제 1 논리값인 데이터의 수가 5개 이상일 때 인에이블 되는 DBI 신호를 생성하는 단계;

를 포함하는 것을 특징으로 하는 반도체 집적 회로의 DBI(Data Bus Inversion) 신호 생성 방법.

청구항 12

제 11 항에 있어서,

상기 b) 단계는 상기 제 1 및 제 2 전가산기와 상기 반가산기로부터 각각 출력되는 세 개의 캐리가 모두 상기 제 1 논리값을 가지면 상기 DBI 신호를 인에이블 시키는 것을 특징으로 하는 반도체 집적 회로의 DBI 신호 생성 방법.

청구항 13

제 11 항에 있어서,

상기 b) 단계는 상기 제 1 및 제 2 전가산기로부터 각각 출력되는 두 개의 캐리와 상기 반가산기로부터 출력되는 한 개의 합이 모두 상기 제 1 논리값을 가지면 상기 DBI 신호를 인에이블 시키는 것을 특징으로 하는 반도체 집적 회로의 DBI 신호 생성 방법.

청구항 14

제 11 항에 있어서,

상기 b) 단계는 상기 제 1 및 제 2 전가산기로부터 각각 출력되는 두 개의 합 중 적어도 하나의 합이 상기 제 1 논리값을 갖는 경우, 상기 제 1 및 제 2 전가산기 및 상기 반가산기로부터 각각 출력되는 세 개의 캐리 중 적어도 두 개의 캐리가 상기 제 1 논리값을 가지면 상기 DBI 신호를 인에이블 시키는 것을 특징으로 하는 반도체 집적 회로의 DBI 신호 생성 방법.

청구항 15

제 11 항에 있어서,

상기 b) 단계는 상기 제 1 및 제 2 전가산기와 상기 반가산기로부터 각각 출력되는 세 개의 캐리가 모두 상기 제 1 논리값을 갖고, 상기 제 1 및 제 2 전가산기로부터 각각 출력되는 두 개의 캐리 중 적어도 하나의 캐리가 상기 제 1 논리값을 가지면 상기 DBI 신호를 인에이블 시키는 것을 특징으로 하는 반도체 집적 회로의 DBI 신호 생성 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<7> 본 발명은 반도체 집적 회로의 DBI 신호 생성 장치 및 방법에 관한 것으로, 보다 상세하게는 면적 마진을 증가시키는 반도체 집적 회로의 DBI 신호 생성 장치 및 방법에 관한 것이다.

<8> 일반적으로 반도체 메모리 장치와 같은 반도체 집적 회로는 2의 배수 개의 단위(예를 들어, 128개, 256개)로 데이터의 출력 동작을 수행한다. 이를 위해 출력 데이터의 개수만큼의 데이터 출력 버퍼를 구비하여 글로벌 입출력 라인으로부터 전달되는 각각의 데이터를 구동한다. 각 데이터 출력 버퍼에는 MOS 트랜지스터가 구비되며, 각

MOS 트랜지스터는 데이터의 입력에 대응하여 스위칭함으로써 데이터를 구동하고 이를 칩의 외부로 출력하는 기능을 한다.

- <9> 각각의 MOS 트랜지스터는 입력되는 데이터의 논리값에 따라 그 상태가 결정된다. 예를 들어, NMOS 트랜지스터로 구현된 데이터 출력 버퍼에 하이 레벨(High Level)의 논리값을 갖는 데이터가 전달되면 상기 NMOS 트랜지스터는 턴 온(Turn On) 되며, 이에 따라 상기 NMOS 트랜지스터의 드레인 단과 소스 단 사이에는 전류의 흐름이 발생하게 된다. 이와 같이, 데이터 출력 버퍼에 구비된 복수 개의 MOS 트랜지스터 중 전류의 흐름을 발생시키는 트랜지스터가 많을수록 반도체 집적 회로는 전류 손실이 커지게 되고 그에 따라 전력 효율이 감소하게 된다.
- <10> 종래의 기술에 따른 반도체 집적 회로는 상술한 것과 같은 전류 손실 문제를 해결하기 위하여 DBI(Data Bus Inversion)라는 기술을 도입하였다. 상기 DBI 기술은 소정 개수 단위(예를 들어, 8개)의 데이터 중 몇 개의 데이터가 데이터 출력 버퍼의 트랜지스터에 전류 흐름을 발생시키는지 여부를 판별하여, 전류 흐름을 발생시키는 논리값의 데이터가 많으면 이를 반전시킴으로써 전류 손실을 감소시키는 기술이다. 예를 들어, 데이터 출력 버퍼에 NMOS 트랜지스터가 구비되어 있는 경우, 8개의 데이터 중 하이 레벨의 데이터가 5개 미만이면 이를 반전시켜 데이터 출력 버퍼에 전달하고, 8개의 데이터 중 하이 레벨의 데이터가 5개 이상이면 이를 반전하여 데이터 출력 버퍼에 전달한다.
- <11> 이와 같은 동작을 수행하기 위해 반도체 집적 회로는 DBI 신호 생성 장치를 구비하며, DBI 신호 생성 장치는 상술한 것과 같이 전류 흐름을 발생시키는 논리값의 데이터가 많은지 여부를 판별하여 DBI 신호를 생성한다. 즉, DBI 신호가 인에이블 되면 이후의 DBI 제어 장치는 데이터 출력 버퍼에 전달되는 데이터를 반전시키고, DBI 신호가 디스에이블 되면 상기 DBI 제어 장치는 데이터 출력 버퍼에 전달되는 데이터를 반전시키지 않는다. 이와 같은 DBI 기술은 반도체 메모리 장치뿐만 아니라 GPU(Graphic Processing Unit)와 같은 반도체 집적 회로에도 적용되며 저전력 소모를 추구하는 대부분의 반도체 집적 회로에서 구현 가능한 기술이다.
- <12> 이하, 종래의 기술에 따른 DBI 신호 생성 장치를 도 1을 참조하여 설명하면 다음과 같다.
- <13> 도 1은 종래의 기술에 따른 반도체 집적 회로의 DBI 신호 생성 장치의 구성을 나타낸 블록도로서, 글로벌 입출력 라인으로부터 전달되는 8개의 데이터(GIO<1:8>)로부터 DBI 신호(DBI_flag)를 생성하는 DBI 신호 생성 장치를 나타낸 것이다.
- <14> 도시한 바와 같이, 상기 DBI 신호 생성 장치는 4개의 2입력 카운터(2)와 2개의 6입력 카운터(4) 및 1개의 8입력 카운터(6)를 구비한다. 각각의 2입력 카운터(2)는 글로벌 입출력 라인을 통해 전달되는 데이터(GIO<1:8>)를 두 개씩 입력 받고, 두 개의 데이터에 하이 레벨, 즉 논리값 '1' 을 갖는 데이터의 개수가 몇 개인지를 판별하여 각각 제 1 0개 판별 신호(dtng1<0>), 제 1 1개 판별 신호(dtng1<1>) 및 제 1 2개 판별 신호(dtng1<2>) 중 어느 하나를 인에이블 시킨다. 이후 각각의 6입력 카운터(4)는 상기 4개의 2입력 카운터(2)로부터 전달되는 2개의 상기 제 1 0개 판별 신호(dtng1<0>), 2개의 상기 제 1 1개 판별 신호(dtng1<1>) 및 2개의 상기 제 1 2개 판별 신호(dtng1<2>)를 각각 입력 받고, 이를 통해 4개의 데이터에 논리값 '1' 을 갖는 데이터의 개수가 몇 개인지를 판별하여 각각 제 2 0개 판별 신호(dtng2<0>), 제 2 2개 판별 신호(dtng2<2>), 제 2 3개 판별 신호(dtng2<3>) 및 제 2 4개 판별 신호(dtng2<4>)의 인에이블 여부를 결정한다. 이 때 상기 4개의 데이터에 논리값 '1' 이 1개 포함되면 상기 제 2 0개 판별 신호(dtng2<0>), 상기 제 2 2개 판별 신호(dtng2<2>), 상기 제 2 3개 판별 신호(dtng2<3>) 및 상기 제 2 4개 판별 신호(dtng2<4>)는 모두 디스에이블 된다.
- <15> 이후, 상기 8입력 카운터(6)는 상기 2개의 6입력 카운터(4)로부터 전달되는 상기 제 2 0개 판별 신호(dtng2<0>), 상기 제 2 2개 판별 신호(dtng2<2>), 상기 제 2 3개 판별 신호(dtng2<3>) 및 상기 제 2 4개 판별 신호(dtng2<4>)를 2개씩 입력 받고, 이를 통해 상기 8개의 데이터에 포함된 데이터 중 논리값 '1' 의 개수가 몇 개인지를 판별하여 DBI 신호(DBI_flag)의 인에이블 여부를 결정한다. 즉, 상기 8개의 데이터에 포함된 데이터 중 논리값 '1' 의 개수가 5개 이상이면 상기 DBI 신호(DBI_flag)를 인에이블 시키고, 상기 8개의 데이터에 포함된 데이터 중 논리값 '1' 의 개수가 5개 미만이면 상기 DBI 신호(DBI_flag)를 디스에이블 시킨다.
- <16> 상술한 바와 같이 구성된 종래의 기술에 따른 DBI 신호 생성 장치는, 3단계의 연산 과정을 구현하기 위해 7개의 카운터를 구비하였으므로, 그 차지하는 면적이 작지 않았다. 또한 2입력 카운터의 신호 출력 라인은 신호 입력 라인에 비해 그 수가 1.5배 증가된 형태이므로, DBI 신호 생성 장치의 고집적화 구현에 있어 기술적 한계로서 작용하였다. 즉, 종래의 기술에 따른 DBI 신호 생성 장치의 구성은 면적 마진을 증가시키기에 용이하지 않았다.

발명이 이루고자 하는 기술적 과제

- <17> 본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로서, 구비되는 소자의 수와 라인의 수를 감소시켜 면적 마진을 향상시키고, 고집적화 구현을 가능하게 하는 반도체 집적 회로의 DBI 신호 생성 장치 및 방법을 제공하는 데에 그 기술적 과제가 있다.
- <18> 또한 본 발명은 상대적으로 적은 수의 소자를 이용하여 동작함으로써 전류 소모를 감소시키고, 전력 효율을 향상시키는 반도체 집적 회로의 DBI 신호 생성 장치 및 방법을 제공하는 데에 다른 기술적 과제가 있다.

발명의 구성 및 작용

- <19> 상술한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 집적 회로의 DBI 신호 생성 장치는, 데이터 입력단과 캐리 입력단에 데이터를 각각 입력 받고 이를 연산하여 합과 캐리를 출력하는 전가산기; 데이터 입력단에 데이터를 각각 입력 받고 이를 연산하여 합과 캐리를 출력하는 반가산기; 및 상기 전가산기와 상기 반가산기로부터 전달되는 합과 캐리로부터 상기 데이터의 논리값을 판별하여 DBI 신호를 생성하는 DBI 판별부;를 포함하는 것을 특징으로 한다.
- <20> 또한 본 발명의 다른 실시예에 따른 반도체 집적 회로의 DBI 신호 생성 장치는, 두 개의 데이터 입력단과 한 개의 캐리 입력단에 각각 데이터를 입력 받아 가산 연산하여 합과 캐리를 출력하는 제 1 및 제 2 전가산기; 두 개의 데이터 입력단에 각각 데이터를 입력 받아 가산 연산하여 합과 캐리를 출력하는 반가산기; 및 상기 제 1 및 제 2 전가산기와 상기 반가산기로부터 세 개의 합과 세 개의 캐리를 전달 받아 상기 제 1 및 제 2 전가산기와 상기 반가산기에 입력되는 데이터 중 제 1 논리값인 데이터의 수가 5개 이상일 때 인에이블 되는 DBI 신호를 생성하는 DBI 판별부;를 포함하는 것을 특징으로 한다.
- <21> 그리고 본 발명의 일 실시예에 따른 반도체 집적 회로의 DBI 신호 생성 방법은, a) 전가산기의 데이터 입력단과 캐리 입력단에 데이터를 각각 입력하여 합과 캐리를 생성하고, 반가산기의 데이터 입력단에 데이터를 각각 입력하여 합과 캐리를 생성하는 단계; 및 b) 상기 a) 단계에서 생성된 합과 캐리로부터 상기 데이터의 논리값을 판별하여 DBI 신호를 생성하는 단계;를 포함하는 것을 특징으로 한다.
- <22> 또한 본 발명의 다른 실시예에 따른 반도체 집적 회로의 DBI 신호 생성 방법은, a) 제 1 및 제 2 전가산기에 각각 구비된 두 개의 데이터 입력단과 한 개의 캐리 입력단에 각각 데이터를 입력하여 두 개의 합과 두 개의 캐리를 생성하고, 반가산기의 두 개의 데이터 입력단에 각각 데이터를 입력하여 한 개의 합과 한 개의 캐리를 생성하는 단계; 및 b) 상기 a) 단계에서 생성된 세 개의 합과 세 개의 캐리를 전달 받아 상기 제 1 및 제 2 전가산기와 상기 반가산기에 입력되는 데이터 중 제 1 논리값인 데이터의 수가 5개 이상일 때 인에이블 되는 DBI 신호를 생성하는 단계;를 포함하는 것을 특징으로 한다.
- <23> 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명하기로 한다.
- <24> 도 2는 본 발명의 일 실시예에 따른 반도체 집적 회로의 DBI 신호 생성 장치의 구성을 나타낸 블록도로서, 글로벌 입출력 라인으로부터 전달되는 8개의 데이터(GIO<1:8>)로부터 DBI 신호(DBI_flag)를 생성하는 DBI 신호 생성 장치를 나타낸 것이다.
- <25> 도시한 바와 같이, 상기 DBI 신호 생성 장치는 캐리 입력단(CI)에 데이터 1(GIO<1>)을, 제 1 데이터 입력단(D1)에 데이터 2(GIO<2>)를, 제 2 데이터 입력단(D2)에 데이터 3(GIO<3>)을 입력 받고 이를 가산 연산하여 합 1(S1)과 캐리 1(C1)을 출력하는 제 1 전가산기(10), 캐리 입력단(CI)에 데이터 4(GIO<4>)를, 제 1 데이터 입력단(D1)에 데이터 5(GIO<5>)를, 제 2 데이터 입력단(D2)에 데이터 6(GIO<6>)을 입력 받고 이를 가산 연산하여 합 2(S2)와 캐리 2(C2)를 출력하는 제 2 전가산기(20), 제 1 데이터 입력단(D1)에 데이터 7(GIO<7>)을, 제 2 데이터 입력단(D2)에 데이터 8(GIO<8>)을 입력 받고 이를 가산 연산하여 합 3(S3)과 캐리 3(C3)을 출력하는 반가산기(30) 및 상기 합 1(S1), 상기 합 2(S2), 상기 합 3(S3), 상기 캐리 1(C1), 상기 캐리 2(C2) 및 상기 캐리 3(C3)을 입력 받아 이로부터 데이터 1 내지 8(GIO<1:8>)에 포함된 논리값 '1'의 개수를 판별하여 DBI 신호(DBI_flag)를 생성하는 DBI 판별부(40)를 포함한다.
- <26> 이처럼, 상기 제 1 및 제 2 전가산기(10, 20)는 세 개의 데이터를 가산 연산하는 동작을 수행하고, 상기 반가산기(30)는 두 개의 데이터를 가산하는 동작을 수행한다. 이 때 상기 반가산기(30)에서 출력되는 상기 합 3(S3)과 상기 캐리 3(C3)은 동시에 논리값 '1'을 갖지 못한다.
- <27> 상기 DBI 판별부(40)는 상기 합 1(S1), 상기 합 2(S2), 상기 합 3(S3), 상기 캐리 1(C1), 상기 캐리 2(C2) 및 상기 캐리 3(C3)으로부터 상기 8개의 데이터(GIO<1:8>) 중 논리값 '1'인 데이터의 개수를 판별하여, 논리값 '1'인 데이터의 개수가 5개 이상이면 상기 DBI 신호(DBI_flag)를 인에이블 시켜 출력하고, 논리값 '1'인 데

이터의 개수가 5개 미만이면 상기 DBI 신호(DBI_flag)를 디스에이블 시켜 출력한다.

<28> 상기 DBI 판별부(40)가 상기 8개의 데이터(GIO<1:8>) 중 논리값 '1' 인 데이터의 개수를 판별하는 것은 다음과 같은 논리에 따른다.

<29> 상기 캐리 1(C1), 상기 캐리 2(C2) 및 상기 캐리 3(C3)이 모두 논리값 '1' 을 갖는 경우에는 상기 8개의 데이터(GIO<1:8>) 중 논리값 '1' 인 데이터가 적어도 6개이므로 상기 DBI 신호(DBI_flag)가 인에이블 된다.

<30> 이를 식으로서 표현하면 다음과 같다.

<31> DBI 신호(DBI_flag) = C1 * C2 * C3

<32> 그리고 상기 캐리 1(C1), 상기 캐리 2(C2) 및 상기 캐리 3(C3) 중 두 개의 캐리가 논리값 '1' 을 갖는 경우에는 상기 합 1(S1), 상기 합 2(S2) 및 상기 합 3(S3) 중 적어도 어느 하나가 논리값 '1' 을 가질 때 상기 DBI 신호(DBI_flag)가 인에이블 된다. 이 때 상기 합 3(S3)과 상기 캐리 3(C3)은 동시에 논리값 '1' 을 갖지 않는다는 점을 고려해야만 한다.

<33> 이를 식으로서 표현하면 다음과 같다.

<34> DBI 신호(DBI_flag) = C1 * C2 * (S1 + S2 + S3) + C1 * C3 * (S1 + S2)

<35> + C2 * C3 * (S1 + S2)

<36> = C1 * C2 * S3 + (C1 * C2 + C2 * C3 + C1 * C3) * (S1 + S2)

<37> 또한 상기 캐리 1(C1) 와 상기 캐리 2(C2) 중 한 개의 캐리가 논리값 '1' 을 갖는 경우에는 상기 합 1(S1), 상기 합 2(S2) 및 상기 합 3(S3)이 모두 논리값 '1' 을 갖는 경우에만 상기 DBI 신호(DBI_flag)가 인에이블 된다. 그러나 상기 캐리 3(C3)과 상기 합 3(S3)은 동시에 '1' 이 되지 않으므로, 상기 캐리 3(C3)만이 논리값 '1' 을 갖는 경우에는 상기 DBI 신호(DBI_flag)는 인에이블 되지 않는다.

<38> 이를 식으로서 표현하면 다음과 같다.

<39> DBI 신호(DBI_flag) = C1 * S1 * S2 * S3 + C2 * S1 * S2 * S3

<40> = (C1 + C2) * S1 * S2 * S3

<41> 상술한 논리에 따라 상기 DBI 신호(DBI_flag)가 인에이블 되는 경우를 식으로서 정리하면 다음과 같다.

<42> DBI 신호(DBI_flag) = C1 * C2 * C3

<43> + C1 * C2 * S3 + (C1 * C2 + C2 * C3 + C1 * C3) * (S1 + S2)

<44> + (C1 + C2) * S1 * S2 * S3

<45> 상기 DBI 판별부(40)는 상기 DBI 신호(DBI_flag)를 생성하는 공식에 따라 구성된다. 이와 같은 상기 DBI 판별부(40)의 구성은 도 3에 도시하였다.

<46> 도 3은 도 2에 도시한 DBI 판별부의 상세 구성을 나타낸 회로도이다.

<47> 상기 DBI 판별부(40)는, 상기 캐리 2(C2)와 상기 캐리 3(C3)을 입력 받는 제 1 낸드게이트(ND1), 상기 캐리 1(C1)과 상기 캐리 3(C3)을 입력 받는 제 2 낸드게이트(ND2), 상기 캐리 1(C1)과 상기 캐리 2(C2)를 입력 받는 제 3 낸드게이트(ND3), 상기 합 2(S2)를 입력 받는 제 1 인버터(IV1), 상기 합 1(S1)을 입력 받는 제 2 인버터(IV2), 상기 캐리 2(C2)를 입력 받는 제 3 인버터(IV3), 상기 캐리 1(C1)을 입력 받는 제 4 인버터(IV4), 상기 제 1 낸드게이트(ND1)의 출력 신호를 입력 받는 제 5 인버터(IV5), 상기 제 1, 제 2 및 제 3 낸드게이트(ND1, ND2, ND3)의 출력 신호를 입력 받는 제 4 낸드게이트(ND4), 상기 제 3 낸드게이트(ND3)의 출력 신호를 입력 받는 제 6 인버터(IV6), 상기 제 1 및 제 2 인버터(IV1, IV2)의 출력 신호를 입력 받는 제 5 낸드게이트(ND5), 상기 제 3 및 제 4 인버터(IV3, IV4)의 출력 신호를 입력 받는 제 6 낸드게이트(ND6), 상기 제 5 인버터(IV5)의 출력 신호와 상기 캐리 1(C1)을 입력 받는 제 7 낸드게이트(ND7), 상기 합 2(S2)와 상기 제 6 인버터(IV6)의 출력 신호를 입력 받는 제 8 낸드게이트(ND8), 상기 제 4 및 제 5 낸드게이트(ND4, ND5)의 출력 신호를 입력 받는 제 9 낸드게이트(ND9), 상기 제 6 낸드게이트(ND6)의 출력 신호, 상기 합 1(S1), 상기 합 2(S2) 및 상기 합 3(S3)을 입력 받는 제 10 낸드게이트(ND10) 및 상기 제 7, 제 8, 제 9 및 제 10 낸드게이트(ND10)의 출력 신호를 입력 받아 상기 DBI 신호(DBI_flag)를 출력하는 제 11 낸드게이트(ND11)를 포함한다.

- <48> 이와 같이 구성된 상기 DBI 판별부(40)에서, 상기 캐리 1(C1), 상기 캐리 2(C2) 및 상기 캐리 3(C3)이 모두 논리값 '1'을 가지면, 상기 제 1 낸드게이트(ND1)의 출력 신호는 로우 레벨이 되고, 상기 제 5 인버터(IV5)의 출력 신호는 하이 레벨이 되므로 상기 제 7 낸드게이트(ND7)의 출력 신호는 로우 레벨이 된다. 따라서 상기 제 11 낸드게이트(ND11)는 로우 레벨의 신호의 입력에 따라 하이 레벨의 상기 DBI 신호(DBI_flag) 즉, 인에이블된 상기 DBI 신호(DBI_flag)를 출력한다.
- <49> 상기 캐리 1(C1), 상기 캐리 2(C2) 및 상기 합 3(S3)이 논리값 '1'을 갖는 경우에도 상기 DBI 신호(DBI_flag)는 인에이블된다. 이 때 상기 제 3 낸드게이트(ND3)는 로우 레벨의 신호를 출력하고, 상기 제 6 인버터(IV6)는 이를 반전시키므로, 상기 제 8 낸드게이트(ND8)는 하이 레벨의 신호들을 입력 받아 로우 레벨의 신호를 출력한다. 이에 따라 상기 제 11 낸드게이트(ND11)는 하이 레벨의 상기 DBI 신호(DBI_flag)를 출력한다.
- <50> 상기 캐리 1(C1)과 상기 캐리 2(C2)가 논리값 '1'을 가지면, 상기 합 1(S1) 또는 상기 합 2(S2)가 논리값 '1'을 가질 때에도 상기 DBI 신호(DBI_flag)가 인에이블된다. 이 때 상기 제 3 낸드게이트(ND3)의 출력 신호는 로우 레벨이 되고, 상기 제 4 낸드게이트(ND4)의 출력 신호는 하이 레벨이 되며, 상기 제 5 낸드게이트(ND5)의 출력 신호도 하이 레벨이 되므로, 상기 제 9 낸드게이트(ND9)의 출력 신호는 로우 레벨이 되어 상기 제 11 낸드게이트(ND11)는 하이 레벨의 상기 DBI 신호(DBI_flag)를 출력한다.
- <51> 상기 캐리 2(C2)와 상기 캐리 3(C3)이 논리값 '1'을 가지면, 상기 합 1(S1) 또는 상기 합 2(S2)가 논리값 '1'을 가질 때 상기 DBI 신호(DBI_flag)가 인에이블된다. 이 때 상기 제 1 낸드게이트(ND1)의 출력 신호는 로우 레벨이 되고, 상기 제 4 낸드게이트(ND4)의 출력 신호는 하이 레벨이 되며, 상기 제 5 낸드게이트(ND5)의 출력 신호도 하이 레벨이 되므로, 상기 제 9 낸드게이트(ND9)의 출력 신호는 로우 레벨이 되어 상기 제 11 낸드게이트(ND11)는 하이 레벨의 상기 DBI 신호(DBI_flag)를 출력한다.
- <52> 상기 캐리 1(C1)과 상기 캐리 3(C3)이 논리값 '1'을 갖는 경우에도, 상기 합 1(S1) 또는 상기 합 2(S2)가 논리값 '1'을 가질 때 상기 DBI 신호(DBI_flag)가 인에이블된다. 이 때 상기 제 2 낸드게이트(ND2)의 출력 신호는 로우 레벨이 되고, 상기 제 4 낸드게이트(ND4)의 출력 신호는 하이 레벨이 되며, 상기 제 5 낸드게이트(ND5)의 출력 신호도 하이 레벨이 되므로, 상기 제 9 낸드게이트(ND9)의 출력 신호는 로우 레벨이 되어 상기 제 11 낸드게이트(ND11)는 하이 레벨의 상기 DBI 신호(DBI_flag)를 출력한다.
- <53> 상기 합 1(S1), 상기 합 2(S2) 및 상기 합 3(S3)이 모두 논리값 '1'을 갖고 상기 캐리 1(C1) 또는 상기 캐리 2(C2)가 논리값 '1'을 갖는 경우에도 상기 DBI 신호(DBI_flag)가 인에이블된다. 이 때 상기 제 6 낸드게이트(ND6)의 출력 신호는 하이 레벨이 되고, 상기 제 10 낸드게이트(ND10)는 4개의 하이 레벨 신호를 입력 받아 로우 레벨의 신호를 출력한다. 이후, 상기 제 11 낸드게이트(ND11)는 하이 레벨의 상기 DBI 신호(DBI_flag)를 출력한다.
- <54> 이와 같이 열거한 경우 외의 경우에는 상기 제 7 내지 제 10 낸드게이트(ND7 ~ ND10)의 출력 신호가 모두 하이 레벨이 되고, 그에 따라 상기 제 11 낸드게이트(ND11)가 로우 레벨의 상기 DBI 신호(DBI_flag)를 출력한다는 것을 도시된 회로 구성을 통해 쉽게 이해할 수 있다.
- <55> 즉, 상술한 식에 따라 구성한 상기 DBI 판별부(40)는 상기 합 1(S1), 상기 합 2(S2), 상기 합 3(S3), 상기 캐리 1(C1), 상기 캐리 2(C2) 및 상기 캐리 3(C3)을 통해 상기 8개의 데이터(GIO<1:8>) 중 논리값 '1'인 데이터가 5개 이상인지 여부를 판별하여 상기 DBI 신호(DBI_flag)의 인에이블 여부를 결정한다.
- <56> 이처럼 두 개의 전가산기(10, 20)와 한 개의 반가산기(30) 및 상술한 DBI 판별부(40)로 구성되는 본 발명의 DBI 신호 생성 장치는 종래의 기술에 비해 그 차지하는 면적이 획기적으로 감소된다. 종래에 사용되던 DBI 신호 생성 장치와 본 발명의 DBI 신호 생성 장치의 면적을 내부에 구비되는 내부 소자의 개수를 통해 비교한 결과, 본 발명의 DBI 신호 생성 장치는 종래의 DBI 신호 생성 장치에 비해 약 52% 정도의 면적만을 차지한다는 것을 파악할 수 있었다. 게다가 종래의 기술에 비해 신호를 전송하는 라인의 수가 감소하므로, 본 발명의 DBI 신호 생성 장치의 고집적화 구현은 보다 용이하게 된다. 반도체 집적 회로 내에 많은 수의 DBI 신호 생성 장치가 구비되므로, 본 발명에 의해 반도체 집적 회로의 면적 마진은 현저히 향상된다.
- <57> 또한 각 소자가 사용하는 전력 측면을 생각해 보면, 적은 수의 소자가 구비되는 본 발명의 DBI 신호 생성 장치의 전력 소모가 크게 감소된다는 것을 알 수 있다. 즉, 본 발명은 반도체 집적 회로의 전력 효율을 향상시킨다는 이점 또한 취하게 된다.
- <58> 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고

서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

<59> 이상에서 설명한 본 발명의 반도체 집적 회로의 DBI 신호 생성 장치 및 방법은, 구비되는 소자의 수와 라인의 수를 감소시켜 면적 마진을 향상시키고, 고집적화 구현을 가능하게 하는 효과가 있다.

<60> 아울러, 본 발명의 반도체 집적 회로의 DBI 신호 생성 장치 및 방법은, 상대적으로 적은 수의 소자를 이용하여 동작함으로써 전류 소모를 감소시키고, 전력 효율을 향상시키는 효과가 있다.

도면의 간단한 설명

<1> 도 1은 종래의 기술에 따른 반도체 집적 회로의 DBI 신호 생성 장치의 구성을 나타낸 블록도,

도 2는 본 발명의 일 실시예에 따른 반도체 집적 회로의 DBI 신호 생성 장치의 구성을 나타낸 블록도,

〈3〉 도 3은 도 2에 도시한 DBI 판별부의 상세 구성을 나타낸 회로도이다.

<4> <도면의 주요 부분에 대한 부호 설명>

<5> 10 : 제 1 전가산기 20 : 제 2 전가산기

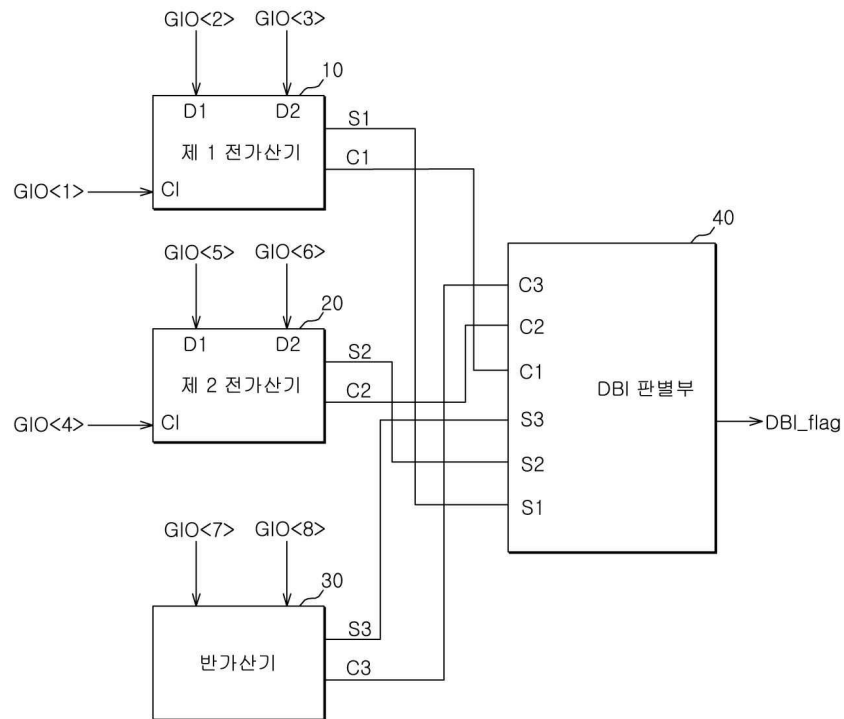
<6> 30 : 반가산기 40 : DBI 판별부

도면

도면1



도면2



도면3

