(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G11C 7/00

(45) 공고일자 2004년02월05일
(11) 등록번호 10-0417543
(24) 등록일자 2004년01월26일

(21) 출원번호 10-1999-7003735
(22) 출원일자 1999년04월28일
번역문 제출일자 1999년04월28일
(86) 국제출원번호 PCT/US1997/019580
(86) 국제출원출원일자 1997년10월28일
(65) 공개번호 10-2000-0052880
(43) 공개일자 2000년08월25일
(87) 국제공개번호 WO 1998/19307
(87) 국제공개일자 1998년05월07일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 리히텐슈타인, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀랜드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터어키, 트리니다드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드,

OA OAPI특허 : 부르키나파소, 베넹, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고,

(30) 우선권주장 08/738,529 1996년10월28일 미국(US)

(73) 특허권자 마이크론 테크놀로지 인코포레이티드
미국, 아이다호 83707-0006, 보이세, 피.오.박스 6, 사우쓰 패드럴웨이8000

(72) 발명자 키스브렌트
미국,아이다호83704,보이스,엔.소그래스플레이스3849,

(74) 대리인 이병호

심사관 : 김성회

(54) 고속 입력 버퍼

요약

메모리 회로와 같이 이에 결합된 집적회로를 갖는 데이터 버스를 기술한다. 집적회로는 고속 데이터 전송을 수신하여 래치하도록 된 입력 버퍼회로를 포함한다. 입력 버퍼회로는 감지회로를 등화하며, 입력 데이터를 샘플하고, 샘플된 입력 데이터를 감지하며, 입력 클록 사이클의 상이한 상들 동안에 감지된 데이터를 래치한다. 고속 데이터 전송을 갖

는 데이터 전송을 수신하기 위해 2개의 수신기 회로를 갖는 입력 버퍼회로를 기술한다.

대표도

도 4

색인어

고속 입력 버퍼, 차동 감지 증폭기, 등화회로, 메모리 장치

명세서

기술분야

본 발명은 일반적으로 집적회로들에 관한 것으로, 특히 고속 데이터 전송들을 수신할 수 있는 데이터 입력 버퍼들에 관한 것이다.

배경기술

통상적으로, 집적회로들은 추가의 회로와 통신하는데 사용되는 많은 입력/출력 핀들을 포함한다. 예를 들면, 다이나믹 랜덤 액세스 메모리(DRAM)와 같은 집적화된 메모리 장치는 메모리 동작 제어신호들을 수신하는 제어 입력들, 및 외부 시스템이나 프로세서와 양방향 데이터 통신을 위한 데이터 핀들을 포함한다.
최근의 집적회로들의 데이터 전송속도는 주로 내부 회로의 동작속도들에 의해 제한된다. 즉, 많은 집적회로들의 용량보다 더 빠른 속도로 회로들간에 신호를 전송할 수 있는 통신망이 개발되었다. 더 빠른 회로의 필요성을 해결하기 위해서, 일군의 집적회로들은 공통버스에 결합될 수 있다. 이러한 구성에서, 각각의 집적회로는 고속으로 전송되는 데이터를 공유하기 위해서 다른 집적회로들과 조화된 방식으로 동작한다. 예를 들면, DRAM, 스태틱 RAM, 혹은 판독전용 메모리들(ROMs)과 같은 일군의 메모리 장치들은 공통의 데이터 버스에 접속될 수 있다. 버스의 데이터 속도는 실질적으로 개개의 메모리들의 가능한 동작속도보다 더 빠르다. 그러므로, 각각의 메모리는 한 메모리가 수신된 데이터를 처리하고 있는 동안에 다른 메모리는 새로운 데이터를 수신하도록 동작된다. 적정 수의 메모리 장치들 및 유용한 제어 시스템을 제공함으로써, 매우 빠른 속도의 데이터 전송들이 달성될 수 있다.
데이터 통신신호들의 전송속도가 계속 증가함에 따라, 각각의 집적회로에서 데이터를 정확하게 수신하기 위한 새로운 회로 및 방법들이 요구되고 있다. 제안된 한 해결책은 미국특허 제5,513,327호에 기술된 버스 인터페이스이다. 이 버스 인터페이스는 데이터를 래치(latch)하기 위해서 에지에서 트리거(edge triggered)되는 2개의 수신기를 사용한다. 제1 수신기는 클록신호의 상승에지에 응답하여 동작하며, 제2 수신기는 클록의 하강에지에 응답하여 동작한다. 더욱이, 데이터 버스는 중간 전원레벨에서 종단되지 않고 출력은 개방형 드레인 구성을 사용한 버스 상으로 전송된다. 상술한 이유 및 본 명세서를 숙독하여 이해하였을 때 이 분야에 통상의 지식을 가진 자들에게 명백하게 될 이하 기술되는 다른 이유로, 이 기술에선, 버스 클록의 천이에 응답하여 데이터를 수신하도록, 독립적으로, 혹은 다른 입력 버퍼와 조합하여 동작할 수 있는 고속 입력 버퍼가 필요하게 되었다.

발명의 상세한 설명

집적회로 데이터 전송에 대한 상술한 문제들 및 다른 문제들은 본 발명에 의해 해결되며 이는 다음 명세서를 읽고 검토함으로써 이해될 것이다. 각각의 클록신호에 대해 데이터 신호들을 등화하고, 샘플링하며 감지하고 래치하는 입력 버퍼 회로를 기술한다.
특히, 본 발명은 고속 데이터 버스에 결합되도록 적응된 입력 버퍼회로를 기술한다. 입력 버퍼회로는 데이터 입력 노드 및 데이터 버스 단자전압(data bus termination voltage)에 선택적으로 결합되는 차동 감지 증폭기 회로(differential sense amplifier circuit)를 포함한다. 등화회로(equilibration circuit)는 차동 감지 증폭기 회로 및 데이터 버스 단자회로에 접속되어, 등화신호에 응답하여 차동 감지 증폭기 회로를 데이터 버스 단자전압에 등화시킨다. 샘플신호에 응답하여 데이터 입력노드 및 데이터 버스 단자전압을 차동 감지 증폭기 회로에 선택적으로 결합하는 결합회로(coupling circuitry)를 구비한다. 입력회로는 감지신호에 응답하여 차동 감지 증폭기 회로를 활성화시키는 감지 증폭기 활성화 회로(sense amplifier activation circuitry)를 더 포함한다. 래치회로는 차동 감지 증폭기 회로에 결합된다. 래치회로는 래치신호에 응답하여 차동 감지 증폭기 회로의 데이터 상태를 래치하도록 되어 있다.

도면의 간단한 설명

도 1은 메모리 버스를 도시한 도면.

도 2는 대안으로서의 메모리 버스를 도시한 도면.
도 3은 이중 수신기 입력 버퍼 회로의 블록도.
도 4는 단일 수신기의 고속 입력 버퍼의 개략도.
도 5는 도 4의 입력 버퍼 동작에 대한 타이밍도.
도 6은 도 4의 입력 버퍼의 선택전압의 타이밍도.
도 7은 대안으로서의 고속 입력 버퍼의 개략도.
도 8a, b, c는 도 7의 입력 버퍼의 동작의 타이밍도.
도 9는 출력 구동기 회로의 개략도.
도 10은 고속 입력 버퍼를 탑재한 메모리 장치의 블록도.

실시예

바람직한 실시예들의 다음 상세한 설명에서, 본 명세서의 일부를 이루며, 본 발명이 실시될 수 있는 특정한 바람직한 실시예를 예시로서 보인 본 발명이 실현될 수 있는 첨부한 도면을 참조한다. 이들 실시예들은 이 분야에 통상의 지식을 가진자들이 본 발명을 실시할 수 있을 정도로 상세하게 기술되었으며, 본 발명의 정신 및 범위로부터 벗어남이 없이 논리적, 기계적 및 전기적 변경이 행해질 수 있다는 것을 알아야 한다. 따라서 본 발명은 다음의 상세한 설명에 제한되지 않는다.
도 1은 복수의 통신라인들(106)을 통해 많은 집적회로들(104(0)-104(x))에 제어 및 데이터 신호들을 제공하는 제어회로(102)를 포함하는 메모리 버스(100)를 간단하게 도시한 것이다. 통신라인들은 단자전압(V_{term})에 결합된 적합한 단자회로(108)(보통 저항기로서 예시됨)로 종단된다.
도 2는 복수의 통신라인들(116)을 통해 제어 및 데이터 신호들을 많은 집적회로들(104(0)-104(x) 및 114(0)-114(x))에 제공하는 중앙에 놓인 제어회로(102)를 포함하는 메모리 버스(112)를 간단하게 도시한 것이다. 통신라인들은 단자전압(V_{term})에 결합된 적합한 단자회로(118(1) 및 118(2))(보통 저항기로서 예시됨)로 그 양단이 종단된다. V_{term}의 바람직한 값은 1/2(Vdd-Vss)이나, 임의의 중간의 공급레벨일 수 있다.
도 3은 데이터 입력(120)에 접속된 입력 버퍼(119)의 블록도이다. 버퍼는 병렬로 접속된 2개의 수신기 회로들(122, 126) 및 2개의 래치회로들(124, 128)을 포함한다. 각각의 래치회로는 노드(130)(데이터-기수*) 혹은 노드(132)(데이터-우수*)로 데이터를 출력한다. 수신기들은 버스라인에 제공된 공통 데이터 클록신호의 상이한 상들로부터 동작한다. 그러므로, 수신기들은 에지에서 트리거되는 것이 아니라 내부 버니어(vernier) 지연들을 사용하여 제어된다. 버니어 지연들은 유효한 데이터 수신을 최대화하기 위해서 시스템 기동시 조정된다. 즉, 유효한 데이터가 있을 때 데이터 샘플링이 행해지고 클록신호의 에지 천이(edge transition)로 한정되지 않도록 지연이 조정된다. 예시된 이중의 수신기 입력 버퍼는 초당 800 메가비트의 범위로 고속 데이터 통신에 사용될 수 있다. 이를테면 초당 400 메가비트의 느린 데이터 전송속도에 있어서는 단일의 수신기 및 래치회로를 입력 버퍼에 사용할 수 있다.
도 4를 참조하여, 내부 데이터 신호(Data)를 출력(156)에 출력하기 위해서 수신기(152) 및 래치회로(154)를 사용하는 고속 입력 버퍼(150)를 기술한다. 수신기(152) 회로는 다른 집적회로에 결합된 버스에 제공되는 공통 클록신호의 다른 상에 기초한 내부신호들에 응답하여 동작한다. 내부신호들은 등화신호(EQ*), 감지신호(감지), 샘플 신호(샘플)이다. 수신기는 버스 단자전압(V_{term})에 접속되며 데이터 입력 접속(120)을 통해 버스 데이터 라인에 접속된다. 수신기(152)는 한 쌍의 교차결합된 p형 트랜지스터들을 갖는 p형 감지 증폭기 회로(158), 및 한 쌍의 교차결합된 n형 트랜지스터들을 갖는 n형 감지 증폭기를 포함한다. 등화회로(162)는 감지 증폭기(노드 A 및 B)의 공통 노드를 V_{term}에 등화시키기 위해 제공된 것이다. 결합회로(164, 166)는 샘플신호에 응답하여 노드(12) 및 V_{term}을 노드 A 및 B에 각각 선택적으로 결합하기 위해서 제공된 것이다. 입력 버퍼의 동작을 이해하기 위해서 도 5의 타이밍도를 참조한다.
도 5에 도시한 바와 같이, 등화신호(EQ*)는 등화회로(162)의 트랜지스터들(168, 170, 172)을 활성화하기 위해 시간 t1에서 로우로 천이한다. 트랜지스터들(170, 172)은 노드 B 및 A를 각각 단자전압 V_{term}에 결합한다. 그러므로, 감지 증폭기들은 버스 단자전압으로 등화된다. 시간 t2에서, 등화회로는 비활성되고, 샘플신호는 하이로 천이하고 결합회로(164)를 활성화시켜 입력(120)을 노드 A에 결합한다. 마찬가지로 결합회로(166)는 노드 B를 단자전압 V_{term}에 결합하도록 활성화된다. 시간 t2에서 감지신호가 로우로 되어, p-감지 증폭기 회로(158)의 노드(180)는 로우로 결합되고, n-감지 증폭기의 노드(174)는 트랜지스터(176)을 통해 V_{term}에 결합된다. 시간 t3에서, 감지 신호는 하이로 천이하고 트랜지스터(178)을 활성화시키고 노드(174)를 접지에 결합한다. 샘플 신호는 노드들 A 및 B가 분리되도록 로우로 천이하여 p-감지 증폭기 및 n-감지 증폭기가 노드 A 및 B를 적합한 전압 레벨로 증폭하게 된다. 래치* 신호는 시간 t3에서 하이로 천이하여 래치회로(154)를 활성화시킨다. 따라서, 결합회로(182)는 노드 B의 역을 인버터 회로(184)에 결합하도록 활성화된다. 래치* 신호가 로우 상태로 되돌아 갈 때, 회로(182)는 비활성화되고 회로(186)는 활성화되어 인버터(184)를 래치한다. 래치가 노드 B에 접속되어 있어도, 래치회로(154)는 노드 A에 결합될 수 있으며 본 발명을 제한하려는 것은 아니다. 도 5에 도시된 신호는 외부에서 수신된 클록신호에 응답하여 내부에서 발생됨을 이 분야에 통상의 지식을 가진자들은 알 것이다. 따라서, 입력 데이터 버퍼는 클록신호의 상이한 상들로부터 동작된다.
도 6은 하이 입력 데이터 신호를 수신하였을 때 노드들 A 및 B와 출력노드(156)에 대한 전압을 도시한 것이다. 시간 t1에서 노드들 A 및 B는 V_{term}으로 등화된다. 시간 t2에서, 노드 A는 입력(120)에 결합되어 전압이 증가한다. 시간 t3에서, 감지 증폭기 회로가 활성화되고 노드들 A 및 B가 증폭된다. 동시에, 노드 B는 래치회로에 결합되고 156의 출력 데이터 신호는 노드 B에 결합된다.

도 7은 도 3에 도시한 바와 같이 2개의 병렬 수신기들(122, 126), 및 두 개의 래치회로들(124, 128)을 갖는 고속 입력 버퍼의 개략도이다. 수신기들(122, 126)은 일반적으로 수신기(152)의 회로를 포함하며 도 4를 참조하여 상술한 바와 같이 유사한 방법으로 동작한다. 도 8a, 8b, 8c의 타이밍도는 도 7의 고속 입력 버퍼의 동작을 도시한 것이다. DQ 라인 상의 제공된 데이터 신호는 두 수신기들(122, 126)의 각각의 샘플신호들의 상승에지에서 이들 수신기에 의해 샘플링된다. 그러므로, DQ라인은 2개의 수신기 회로들에 의해 샘플링된다. 출력들(데이터-우수* 및 데이터-기수*)은 함께 DQ라인에 제공된 데이터를 나타낸다. 외부 버스 클록 신호 및 외부클록의 주파수의 두배로 동작하는 내부 클록신호를 도시하였다. 등화신호들(EQ1* 및 EQ2*)은 실제적으로 클록신호들에 일치된다. 그와 같으므로 외부 클록신호는 논리적으로 1/2(EQ1* AND EQ2*)과 동일한 것으로서 정의될 수 있다. 샘플신호들은 데이터 신호들이 신호 피크 상태에 있을 때 DQ라인을 샘플링하기 위해 버니어 지연회로(vernier delay ciruit)를 사용하여 시간을 조정한다.
도 9는 집적회로의 데이터 출력 접속(DQ)에 접속된 푸시/풀 출력 구동기(200)의 개략도이다. 풀업 및 풀다운 신호들은 풀업 트랜지스터(206)나 풀다운 트랜지스터(208)를 활성화하도록 각각 노드들(202, 204)에 제공된다. 구동기 회로는 선택적 슬루 레이트 제어회로들(210;optional slew rate control circuits)을 구비하고 있다. 이들 제어회로들은 일련의 트랜지스터들을 선택적으로 활성화시키기 위해서 Vslew 신호를 사용하여 조정될 수 있다. 즉, 트랜지스터들 중 임의의 것을 활성화시킴으로써 병렬 저항기가 바이패스되고 회로의 응답시간이 변경된다. 따라서, 트랜지스터들(206, 208)의 활성화 타이밍이 조정될 수 있다.
풀업 구동 조정 회로(214;pullup drive adjust circuit)는 풀업 트랜지스터(206)에 결합된 전압을 조종하기 위해서 출력 구동기 회로(200) 내에 제공된다. 마찬가지로, 풀다운 구동 조종회로(216)는 풀다운 트랜지스터(206)에 결합된 전압을 조정하기 위해서 출력 구동기 회로(200) 내에 제공된다. 동작에서, 트랜지스터들(218)의 게이트들은 저항기들(220)을 바이패스하도록 선택적으로 활성화된다. 출력 구동기 회로를 조정하는 것은 집적회로가 버스에 설치된 후에 행해진다. 즉, 출력 구동기 전압들은 특정의 버스 시스템 요건에 맞도록 조정될 수 있다. 이 분야에 통상의 지식을 가진자들은 본 발명으로부터 벗어남이 없이 슬루 레이트 제어회로들이 제거될 수 있음을 알 것이다.
도 10은 상술한 바와 같이, 고속 입력버터(248)을 갖는 다이나믹 랜덤 액세스 메모리 장치(240)(DRAM)의 블록도이다. 메모리는 출력라인들(243)에 제공된 주소신호들에 응답하여 메모리 어레이(241)를 액세스하는 주소회로(242)를 포함한다. 제어회로(252)는 제어신호들(254)에 응답하여 메모리의 판독 및 기록을 제어하기 위해 제공된 것이다. 위상 발생기 회로(244)는 입력 버퍼회로에 대한 내부신호들 DQ*, 샘플, 감지, 및 래치*를 발생하도록 제공된 것이다. 버니어 조정 회로(254)는 내부신호들의 타이밍을 조정하기 위해서 위상 발생기에 결합된다. 입력 버퍼회로(248)는 각각의 데이터 라인(DQ)에 대해 상술한 바와 같은 고속 입력 데이터 회로를 포함한다. 출력 구동기 회로(250)는 DQ라인들에 적합한 출력신호를 구동하기 위해서 제공된다. 도 10에 도시한 예는 DRAM이지만, 본 발명의 고속 입력 버퍼 회로는 SRAM 및 ROM 메모리 장치와 같은 임의의 집적회로 장치에 포함될 수 있다.
<결론>
수신기 회로 및 래치를 사용하여 데이터 신호를 샘플하여 래치하는 집적회로 입력 버퍼 회로를 기술하였다. 버퍼는 외부에서 제공된 클록신호의 상이한 상들에서 발생된 내부신호들에 응답하여 동작된다. 입력 버퍼는 고속 전송속도로 동작하는 데이터 버스에 사용하기 위해서 2개의 수신기 회로들 및 2개의 래치회로들을 포함할 수 있다. 수신기 회로는 입력 데이터 신호를 감지하는 감지회로, 감지회로를 등화하는 등화회로, 및 감지회로를 활성화하는 감지 활성화 회로를 포함한다.
특정한 실시예를 예시하고 여기 기술하였으나, 이 분야에 통상의 지식을 가진 자는 동일한 목적을 달성하도록 한 임의의 구성을 여기 보인 특정한 실시예를 대치할 수 있음을 알 것이다. 이 출원은 본 발명의 어떠한 개조 혹은 변화라도 포함하도록 된 것이다. 그러므로, 명백하게 본 발명은 청구범위 및 이의 등가물에 의해서만 제한되도록 된 것이다.

(57) 청구의 범위

청구항 1.
고속 데이터 버스에 결합되는 입력 버퍼 회로에 있어서,
데이터 입력 노드 및 데이터 버스 단자전압에 선택적으로 결합된 차동 감지 증폭기 회로;
등화신호에 응답하여 상기 차동 감지 증폭기 회로를 상기 데이터 버스 단자전압에 등화시키기 위해, 상기 차동 감지 증폭기 회로 및 상기 데이터 버스 단자 전압에 결합된 등화회로;
샘플신호에 응답하여 상기 데이터 입력 노드 및 상기 데이터 버스 단자전압을 상기 차동 감지 증폭기 회로에 선택적으로 결합하는 결합회로;
감지신호에 응답하여 상기 차동 감지 증폭기 회로를 활성화시키는 감지 증폭기 활성화 회로; 및
상기 차동 감지 증폭기 회로에 결합되며, 래치신호에 응답하여 상기 차동 감지 증폭기 회로의 데이터의 상태를 래치하는 래치회로를 포함하는, 입력 버퍼 회로.

청구항 2.
제1항에 있어서,
상기 등화회로는 트랜지스터를 포함하고, 상기 트랜지스터는 상기 등화신호에 결합된 게이트, 상기 감지 증폭기의 제1 감지 노드에 접속된 소스, 상기 감지 증폭기의 제2 감지노드에 접속된 게이트를 갖는, 입력 버퍼 회로.

청구항 3.
고속 데이터 버스에 결합되는 입력 버퍼를 포함하는 집적회로에 있어서,
상기 입력 버퍼 회로는,

제1 및 제2 수신기 회로들로서, 각각의 수신기 회로는, 데이터 입력 노드 및 데이터 버스 단자전압에 선택적으로 결합되는 차동 감지 증폭기 회로, 등화신호에 응답하여 상기 차동 감지 증폭기 회로를 상기 데이터 버스 단자전압에 등화시키기 위해, 상기 차동 감지 증폭기 회로 및 상기 데이터 버스 단자전압에 결합된 등화회로, 샘플신호에 응답하여 상기 데이터 입력 노드 및 상기 데이터 버스 단자전압을 상기 차동 감지 증폭기 회로에 선택적으로 결합하는 결합회로, 감지신호에 응답하여 상기 차동 감지 증폭기 회로를 활성화시키는 감지 증폭기 활성화 회로를 포함하는, 상기 제1 및 제2 수신기 회로들;

상기 제1 수신기 회로의 차동 감지 증폭기 회로에 결합되어 있으며, 래치신호에 응답하여 상기 제1 수신기 회로의 데이터 상태를 래치하는 제1 래치회로; 및

상기 제2 수신기 회로의 차동 감지 증폭기 회로에 결합되어 있으며, 래치신호에 응답하여 상기 제2 수신기 회로의 데이터를 상태를 래치하는 제2 래치회로를 포함하는, 집적회로.

청구항 4.

제3항에 있어서,

외부에서 제공된 클록신호를 수신하는 클록 입력 노드;

상기 클록 입력 노드에 접속되며, 상기 제1 및 제2 수신기 회로들에 결합된 등화신호, 샘플신호, 감지신호 및 래치신호를 생성하는 위상 발생회로를 더 포함하는, 집적회로.

청구항 5.

제4항에 있어서,

상기 집적회로는 다이나믹 랜덤 액세스 메모리(DRAM)인, 집적회로.

청구항 6.

제3항에 있어서,

상기 고속 데이터 버스에 결합된 출력 구동기 회로를 더 포함하며;

상기 출력 구동기 회로는,

데이터 출력노드에 접속되며, 풀업신호에 응답하여 활성화되는 풀업 트랜지스터,

상기 출력노드에 접속되며, 풀다운 신호에 응답하여 활성화되는 풀다운 트랜지스터,

상기 풀업 트랜지스터와 상위 전압 레벨 노드간에 접속된 풀업 구동 조정 회로, 및

상기 풀다운 트랜지스터와 하위 전압 레벨 노드간에 접속된 풀다운 구동 조정 회로를 포함하는, 집적회로.

청구항 7.

제6항에 있어서,

상기 풀업 및 풀다운 트랜지스터들의 활성화를 제어하는 슬루 레이트(slew rate) 제어회로를 더 포함하는, 집적회로.

청구항 8.

제3항에 있어서,

상기 단자전압은 상위 공급전압(Vdd)과 하위 공급전압(Vss)간의 차의 반인, 집적회로.

청구항 9.

고속 데이터 버스에 결합되는 메모리 장치에 있어서,

외부에서 공급되는 클록신호를 수신하는 클록 입력 노드;

데이터 입력 노드 및 데이터 버스 단자전압에 선택적으로 결합된 차동 감지 증폭기 회로, 상기 차동 감지 증폭기 회로 및 상기 데이터 버스 단자전압에 결합되며, 제1 등화신호에 응답하여 상기 차동 감지 증폭기 회로를 상기 데이터 버스 단자전압에 등화시키는 등화회로, 제1 샘플신호에 응답하여 상기 데이터 입력 노드 및 상기 데이터 버스 단자전압을 상기 차동 감지 증폭기 회로에 선택적으로 결합하는 결합회로, 및 제1 감지신호에 응답하여 상기 차동 감지 증폭기 회로를 활성화시키는 감지 증폭기 활성화 회로를 포함하는 제1 수신기 회로;

상기 제1 수신기 회로의 상기 차동 감지 증폭기 회로에 결합되며, 제1 래치신호에 응답하여 상기 제1 수신기 회로의 데이터 상태를 래치하는 제1 래치회로; 및

상기 클록 입력 노드에 접속되며, 상기 제1 등화신호, 상기 제1 샘플신호, 상기 제1 감지신호 및 상기 제1 래치신호를 생성하는 위상 발생회로를 포함하는, 메모리 장치.

청구항 10.

제9항에 있어서,

출력 구동기 회로를 더 포함하며;

상기 출력 구동기 회로는,

데이터 출력노드에 접속되며, 풀업신호에 응답하여 활성화되는 풀업 트랜지스터;

상기 출력노드에 접속되며, 풀다운 신호에 응답하여 활성화되는 풀다운 트랜지스터;

상기 풀업 트랜지스터와 상위 전압 레벨 노드간에 접속된 풀업 구동 조정 회로; 및

상기 풀다운 트랜지스터와 하위 전압 레벨 노드간에 접속된 풀다운 구동 조정 회로를 포함하는, 메모리 장치.

청구항 11.

제9항에 있어서,

데이터 입력 노드 및 데이터 버스 단자전압에 선택적으로 결합되는 차동 감지 증폭기 회로, 상기 차동 감지 증폭기 회로 및 상기 데이터 버스 단자전압에 결합되며, 제2 등화신호에 응답하여 상기 차동 감지 증폭기 회로를 상기 데이터 버스 단자전압에 등화시키는 등화회로, 제2 샘플신호에 응답하여 상기 데이터 입력 노드 및 상기 데이터 버스 단자전압을 상기 차동 감지 증폭기 회로에 선택적으로 결합하는 결합회로, 및 제2 감지신호에 응답하여 상기 차동 감지 증폭

기 회로를 활성화시키는 감지 증폭기 활성화 회로를 포함하는, 제2 수신기 회로;
상기 제2 수신기 회로의 상기 차동 감지 증폭기 회로에 결합되며, 제2 래치신호에 응답하여 상기 제2 수신기 회로의 데이터를 상태를 래치하는 제2 래치회로; 및
상기 제2 등화신호, 상기 제2 샘플신호, 상기 제2 감지신호 및 상기 제2 래치신호를 또한 생성하는 상기 위상 발생회로를 더 포함하는, 메모리 장치.

청구항 12.

제9항에 있어서,
상기 메모리 장치는 다이나믹 랜덤 액세스 메모리(DRAM)인, 메모리 장치.

청구항 13.

데이터 통신 시스템에 있어서,
단자회로 및 단자전압으로 종단되는 복수의 통신라인들을 갖는 버스;
상기 통신라인들에 접속된 제어회로; 및
상기 통신라인들에 접속된 복수의 메모리 장치들로서, 상기 메모리 장치들은, 상기 통신라인들 중 하나에 제공된 데이터 신호들을 수신하도록 접속된 데이터 통신 입력을 가지며, 상기 데이터 통신 입력 및 상기 단자전압에 선택적으로 결합된 차동 감지 증폭기 회로, 상기 차동 감지 증폭기 회로 및 상기 단자전압에 접속되며, 등화신호에 응답하여 상기 차동 감지 증폭기 회로를 상기 단자전압에 등화시키는 등화회로, 샘플신호에 응답하여 상기 통신 입력 및 상기 단자전압을 상기 차동 감지 증폭기 회로에 선택적으로 결합하는 결합회로, 감지신호에 응답하여 상기 차동 감지 증폭기 회로를 활성화시키는 감지 증폭기 활성화 회로, 및 상기 차동 감지 증폭기 회로에 결합되며, 래치신호에 응답하여 상기 차동 감지 증폭기 회로의 데이터를 상태를 래치하는 래치회로를 포함하는, 상기 복수의 메모리 장치를 포함하는, 데이터 통신 시스템.

청구항 14.

제13항에 있어서,
상기 단자회로는 저항기이고 상기 단자 전압은 상위 공급전압(Vdd)과 하위 공급전압(Vss)간 차의 반인, 데이터 통신 시스템.

청구항 15.

제13항에 있어서,
상기 복수의 메모리 장치들은 다이나믹 랜덤 액세스 메모리들(DRAMs)인, 데이터 통신 시스템.

청구항 16.

메모리 장치에 있어서,
데이터 신호들을 수신하는 입력노드;
상기 입력노드에 선택적으로 결합된 수신기 회로; 및
상기 감지 증폭기 회로의 상기 제2 감지노드에 접속되어 있으며, 래치신호에 응답하여 상기 제2 감지노드 상에 제공된 전압을 래치하는 래치를 포함하며;
상기 수신기 회로는,
제1 및 제2 p형 트랜지스터들을 갖는 차동 감지 증폭기로서, 상기 제1 p형 트랜지스터는 감지신호를 수신하도록 접속된 드레인, 상기 감지 증폭기의 제1 감지노드에 접속된 소스 및 상기 제2 p형 트랜지스터의 소스에 접속된 게이트를 가지며, 상기 제2 p형 트랜지스터는 상기 감지신호를 수신하도록 접속된 드레인, 상기 감지 증폭기의 제2 감지노드에 접속된 소스 및 상기 제1 p형 트랜지스터의 소스에 접속된 게이트를 가지며, 상기 차동 감지 증폭기는 제1 및 제2 n형 트랜지스터들을 더 가지며, 상기 제1 n형 트랜지스터는 감지회로에 접속된 드레인, 상기 감지 증폭기의 제1 감지노드에 접속된 소스 및 상기 제2 n형 트랜지스터의 소스에 접속된 게이트를 가지며, 상기 제2 n형 트랜지스터는 상기 감지회로에 접속된 드레인, 상기 감지 증폭기의 제2 감지노드에 접속된 소스 및 상기 제1 n형 트랜지스터의 소스에 접속된 게이트를 가지는, 상기 차동 감지 증폭기;
상기 차동 감지증폭기의 제1 및 제2 감지노드에 접속되며, 상기 차동 감지 증폭기의 제1 감지노드에 접속된 소스, 상기 차동 감지 증폭기의 제2 감지노드에 접속된 드레인 및 등화신호를 수신하도록 접속된 게이트를 갖는 트랜지스터를 포함하며, 상기 제1 및 제2 감지노드들과 데이터 버스 단자전압간에 접속된 제1 및 제2 트랜지스터들을 더 포함하며, 상기 제1 및 제2 트랜지스터들은 상기 제1 및 제2 감지 노드들을 상기 단자전압에 선택적으로 접속하도록 상기 등화신호에 결합된 게이트를 갖는, 등화 회로;
감지신호에 응답하여 상기 단자전압이나 접지전위에 상기 등화 트랜지스터들을 선택적으로 결합하는 제1 및 제2 감지 트랜지스터들을 포함하는 감지회로;
상기 입력노드와 상기 제1 감지노드 사이에 접속되며, 샘플신호에 응답하여 상기 데이터 신호를 상기 제1 감지노드에 선택적으로 결합하는 제1 결합회로; 및
상기 단자전압과 상기 제2 감지 노드 사이에 접속되며, 상기 샘플신호에 응답하여 상기 단자전압을 상기 제2 감지노드에 선택적으로 결합하는 제2 결합회로를 포함하는, 메모리 장치.

청구항 17.

제16항에 있어서,
출력 구동기 회로를 더 포함하며;
상기 출력 구동기 회로는,
데이터 출력노드에 접속되며, 풀업신호에 응답하여 활성화되는 풀업 트랜지스터;

상기 출력노드에 접속되며, 풀다운 신호에 응답하여 활성화되는 풀다운 트랜지스터;
상기 풀업 트랜지스터와 상위 전압 레벨 노드간에 접속된 풀업 구동 조정 회로; 및
상기 풀다운 트랜지스터와 하위 전압 레벨 노드간에 접속된 풀다운 구동 조정 회로를 포함하는, 메모리 장치.

청구항 18.

제16항에 있어서,
상기 데이터 버스 단자전압은 상위 공급전압(Vdd)과 하위 공급전압(Vss)간 차의 반인, 메모리 장치.

청구항 19.

제16항에 있어서,
상기 메모리 장치는 다이나믹 랜덤 액세스 메모리(DRAM)인, 메모리 장치.

청구항 20.

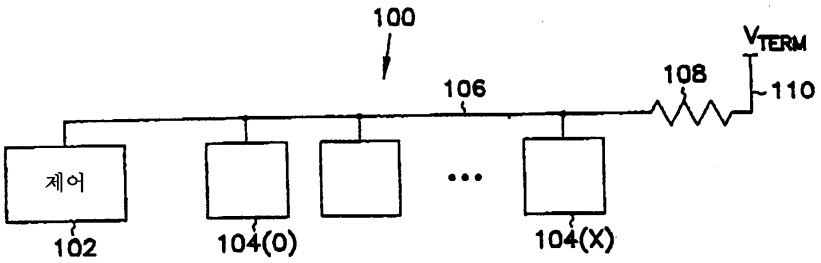
단자전압에 결합된 데이터 버스에 접속된 집적회로에서 데이터를 수신하는 방법에 있어서,
클록신호를 수신하고, 등화신호, 샘플신호, 감지신호 및 래치신호를 발생시키는 단계;
상기 등화신호를 사용하여 제1 및 제2 감지노드들을 갖는 차동 감지 증폭기를 상기 단자전압에 등화시키는 단계;
상기 샘플신호에 응답하여 상기 데이터 버스에 접속된 데이터 입력에 상기 제1 감지노드를 결합하는 단계;
상기 데이터 입력의 상태를 검출 및 증폭하도록 상기 감지신호로 상기 차동 감지 증폭기를 활성화시키는 단계; 및
상기 래치신호에 응답하여 상기 증폭된 데이터 입력을 래치하는 단계를 포함하는, 데이터 수신 방법.

청구항 21.

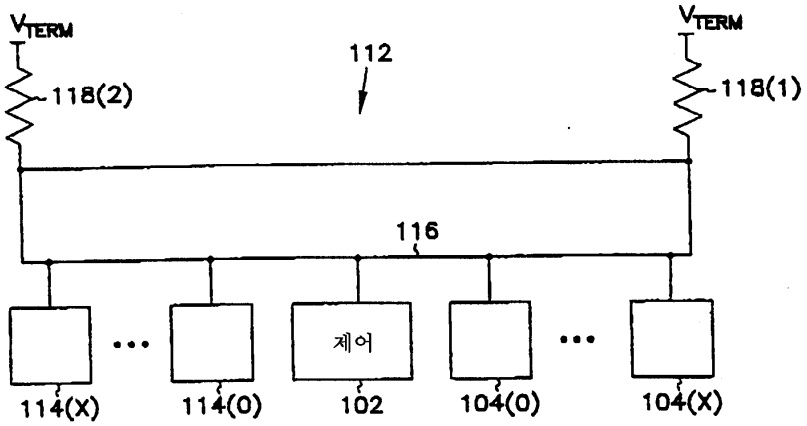
단자전압에 결합된 데이터 버스에 접속된 집적회로에서 데이터를 수신하는 방법에 있어서,
클록신호를 수신하고, 제1 등화신호, 제1 샘플신호, 제1 감지신호 및 제1 래치신호를 발생시키는 단계;
상기 제1 등화신호를 사용하여 제1 및 제2 감지노드들을 갖는 제1 차동 감지 증폭기를 상기 단자전압에 등화시키는 단계;
상기 제1 샘플신호에 응답하여 상기 데이터 버스에 접속된 데이터 입력에 상기 제1 감지 증폭기의 제1 감지노드를 결합하는 단계;
상기 데이터 입력의 상태를 검출 및 증폭하도록 상기 제1 감지신호로 상기 제1 차동 감지 증폭기를 활성화시키는 단계;
상기 제1 래치신호에 응답하여 상기 제1 래치회로에서 상기 증폭된 데이터 입력을 래치하는 단계;
제2 등화신호, 제2 샘플신호, 제2 감지신호 및 제2 래치신호를 발생시키는 단계;
상기 제2 등화신호를 사용하여 제1 및 제2 감지노드들을 갖는 제2 차동 감지 증폭기를 상기 단자전압에 등화시키는 단계;
상기 제2 샘플신호에 응답하여 상기 데이터 버스에 접속된 데이터 입력에 상기 제2 감지 증폭기의 상기 제1 감지노드를 결합하는 단계;
상기 데이터 입력의 상태를 검출 및 증폭하도록 상기 제2 감지신호로 상기 제2 차동 감지 증폭기를 활성화시키는 단계; 및
상기 제2 래치신호에 응답하여 제2 래치회로에서 상기 증폭된 데이터 입력을 래치하는 단계를 포함하는, 데이터 수신 방법.

도면

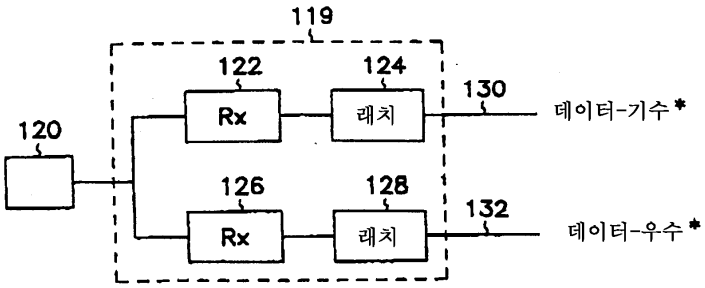
도면1



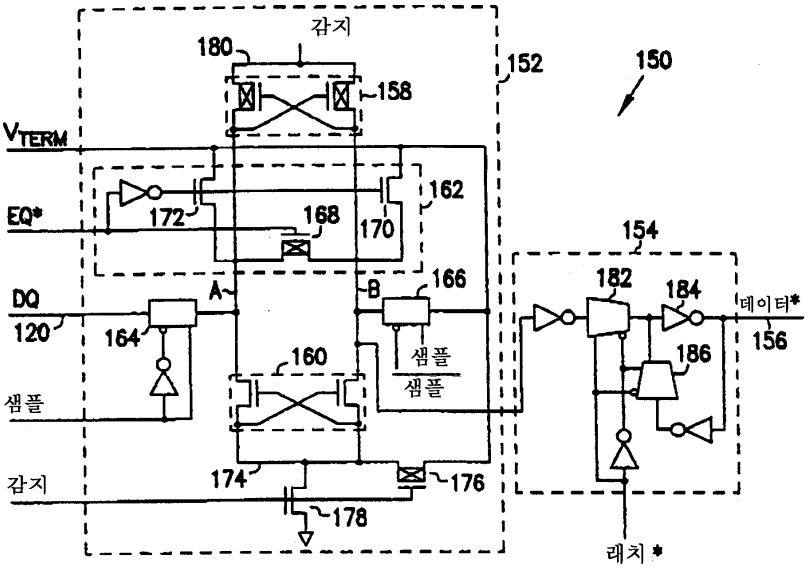
도면2


VTERM
118(2)
112
VTERM
118(1)
116
제어
114(X)
114(0)
102
104(0)
104(X)

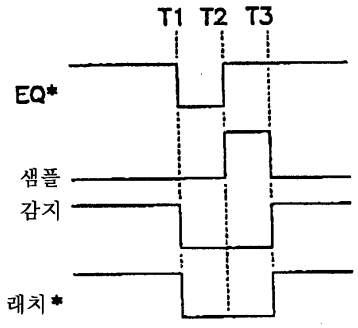
도면3


119
122
124
130
Rx
래치
데이터-기수*
120
126
128
132
Rx
래치
데이터-우수*

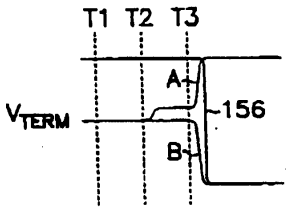
도면4


감지
180
152
150
158
VTERM
162
EQ*
172
168
170
154
DQ
A
B
166
182
184
데이터*
120
164
160
샘플
샘플
186
156
샘플
감지
174
176
178
래치*

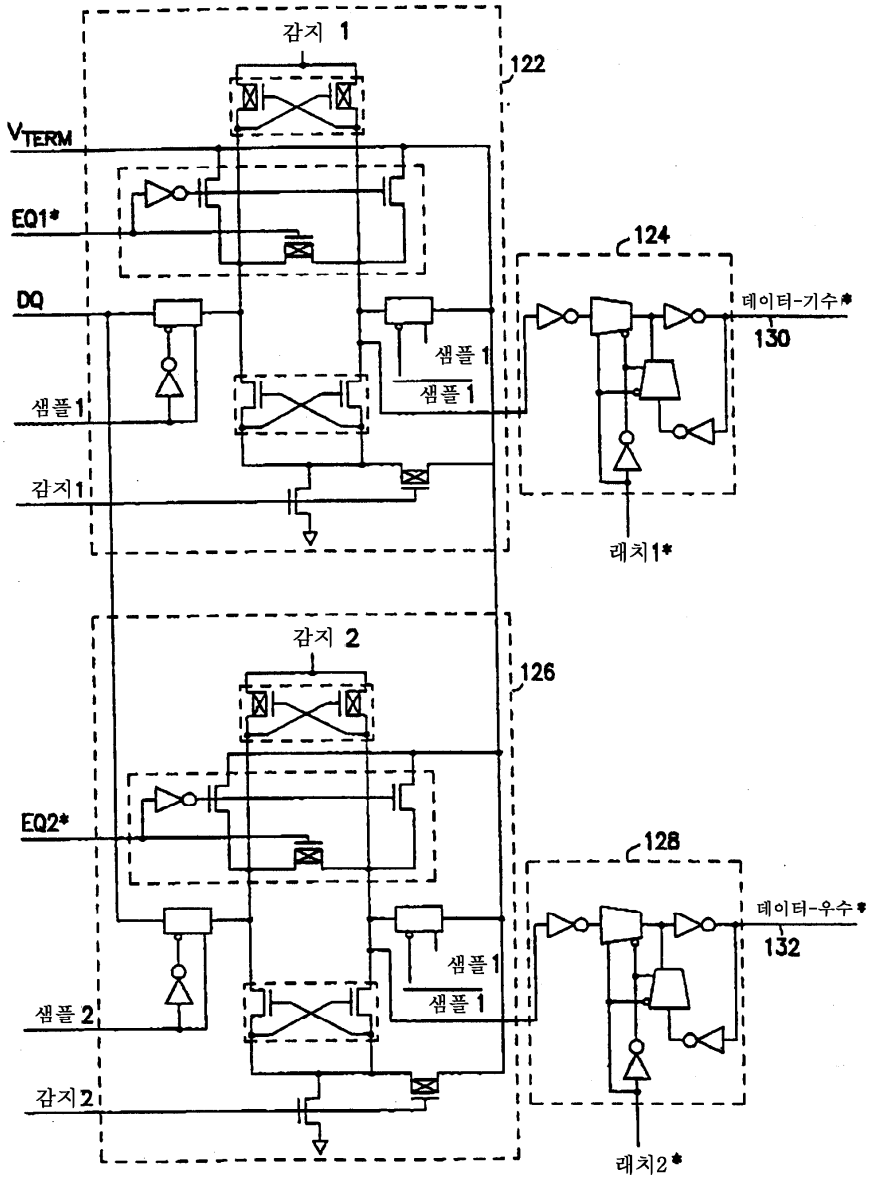
도면5



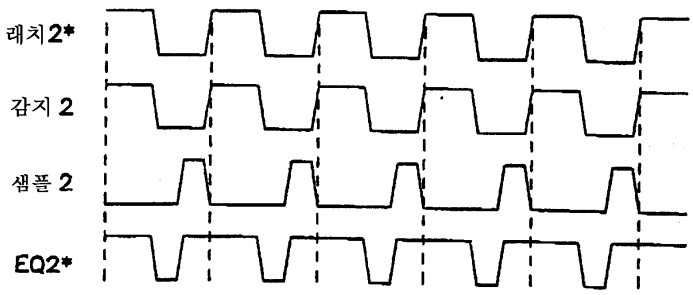
도면6



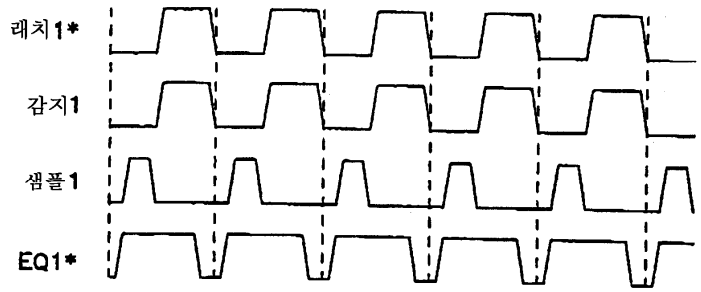
도면7


감지 1
122
VTERM
EQ1*
124
DQ
데이터-기수*
130
샘플 1
샘플 1
샘플 1
감지1
래치1*
감지 2
126
EQ2*
128
데이터-우수*
132
샘플 1
샘플 1
샘플 2
감지2
래치2*

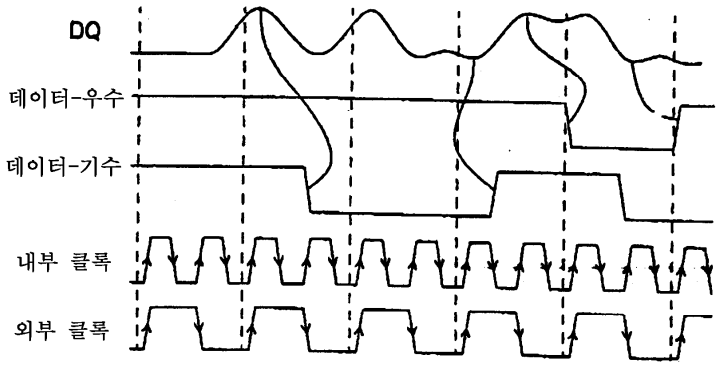
도면8a


래치2*
감지 2
샘플 2
EQ2*

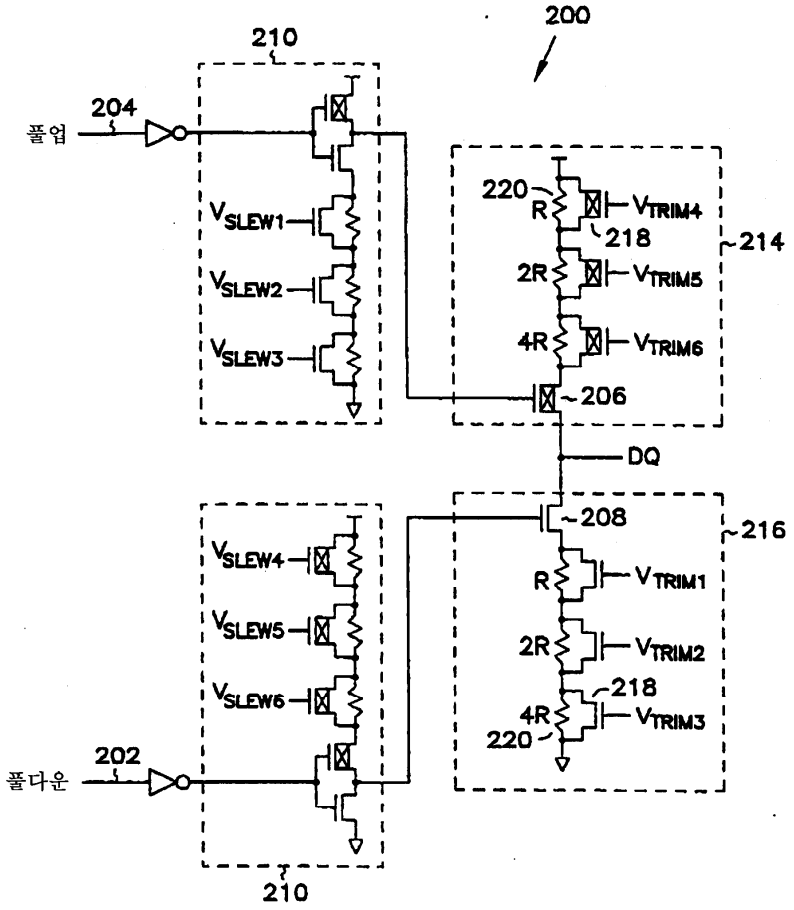
도면8b



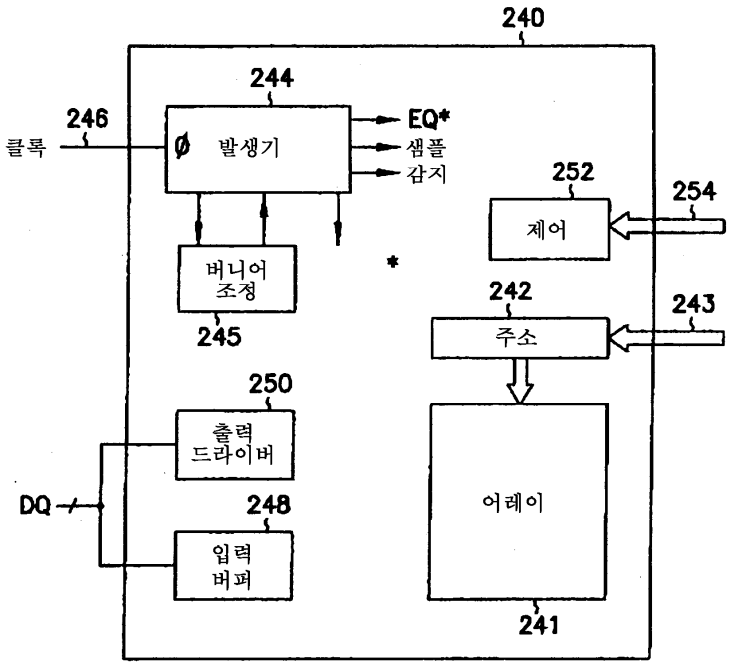
도면8c



도면9


200
210
204
풀업
VSLEW1
VSLEW2
VSLEW3
220
R
VTRIM4
218
214
2R
VTRIM5
4R
VTRIM6
206
DQ
208
216
VSLEW4
VSLEW5
VSLEW6
R
VTRIM1
2R
VTRIM2
218
4R
VTRIM3
220
202
풀다운
210

도면10


240
244
246
클록
발생기
EQ*
샘플
감지
252
254
제어
버니어
조정
245
242
243
주소
250
출력
드라이버
DQ
248
입력
버퍼
어레이
241