(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H01L 21/00

(45) 공고일자 1996년01월03일
(11) 공고번호 특1996-0000177

(21) 출원번호	특1992-0025602	(65) 공개번호	특1993-0014767
(22) 출원일자	1992년12월26일	(43) 공개일자	1993년07월23일
(30) 우선권주장	91-346544 1991년12월27일 일본(JP)		
	92-329401 1992년12월09일 일본(JP)		
(71) 출원인 가부시끼가이샤 도시바 사또 후미오
일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쪼 72

(72) 발명자 무라꼬시 아쯔시
일본국 가나가와껭 가와사끼시 사이와이꾸 고무까이 도시바쪼 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
미즈시마 이찌로
일본국 가나가와껭 가와사끼시 사이와이꾸 고무까이 도시바쪼 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
와따나베 마사하루
일본국 가나가와껭 가와사끼시 사이와이꾸 고무까이 도시바쪼 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내
요시끼 마사히꼬
일본국 가나가와껭 가와사끼시 사이와이꾸 고무까이 도시바쪼 1 가부시끼가이샤 도시바 리서치 앤드 디벨롭먼트 센터 내

(74) 대리인 이상희, 구영창, 주성민

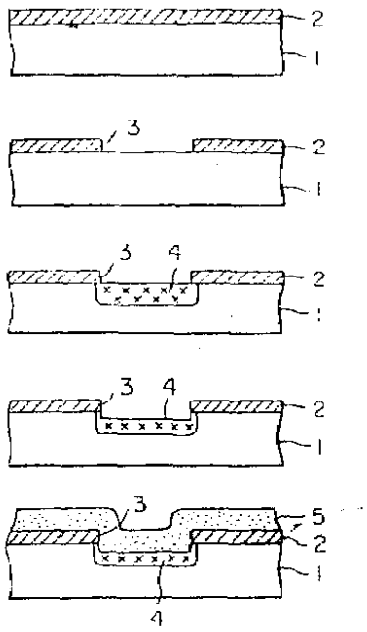
심사관 : 김승조 (책자공보 제4267호)

(54) 반도체 장치 및 그 제조방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

반도체 장치 및 그 제조방법

[도면의 간단한 설명]

제1(a)도 내지 제1(e)도는 본 발명에 따른 반도체 장치의 제조 공정을 도시한 단면도.

제2도는 본 발명에 따른 반도체 장치의 접촉부에서 깊이 방향으로 캐리어 농도의 프로필을 종래 기술의 반도체 장치의 것과 비교하여 도시한 그래프.

제3도는 반도체 장치가 열처리 시간을 매개변수로 하여 질소 분위기 내에서 550℃에서 열처리될때 얻어지는 깊이 방향의 캐리어 농도의 프로필을 열처리 전에 얻어지는 것과 비교하여 도시한 그래프.

제4도는 반도체 장치 샘플이 다양한 도즈(dose)이온 주입되고 1시간 동안 질소 분위기 내에서 550℃로 열처리될때 얻어지는 최대 캐리어 농도와 도즈사이의 관계를 열처리 전에 얻어지는 것과 비교하여 도시한 그래프.

제5도는 이온 주입의 가속 전압을 매개변수로 하여 시트 저항과 도즈 사이이 관계를 도시한 그래프.

제6도는 저 저항층이 형성될 수 있는 영역을 도시한 그래프.

제7도는 열처리 온도를 매개변수로 하여 얻어진 깊이 방향의 캐리어 농도의 프로필을 도시한 그래프.

제8도는 적외선 흡수 스팩트럼 측정 방법에 의해 얻어진 결과를 도시한 그래프.

제9도는 12개의 붕소 원자로 구성된 20면체 구조의 클러스터가 실리콘 결정내에 존재하는 전형적인 결정구조를 도시한 도면.

제10도는 붕소 이온이 기판으로 주입될때 얻어지는 깊이 방향으로의 붕소 및 캐리어 농도의 프로필을 도시한 그패프.

제11도는 시트 캐리어 농도와 붕소 도즈 사이의 관계를 도시한 그래프.

제12도는 시트 캐리어 농도와 각각 12개의 붕소 이온으로 구성된 클러스터의 존재에 의해 발생되는 적외선 흡수의 세기 사이의 관계를 도시한 그래프.

제13도는 장치 샘플이 질소 분위기 내에서 1시간 동안 550℃ 내지 900℃로 열처리되어 얻어진 깊이 방향으로의 캐리어 농도와 프로필을 도시한 그래프.

제14도는 시트 캐리어 농도의 다결정 실리콘막내의 붕소 도즈 사이의 관계를 도시한 그래프.

제15(a)도 내지 제15(e)도는 저온에서 형성된 저 저항 다결정 실리콘 배선에 응용될 때의 본 발명에 따른 반도체 장치의 제조 공정을 도시한 단면도.

제16도는 캐리어 농도와 유용한 혼합 붕소 기체로 침착된 막내의 붕소 농도 사이의 관계를 도시한 그래프.

제17(a)도 내지 제17(c)도는 LDD 구조의 MOS트랜지스터에 응용될때의 본 발명에 따른 반도체 장치의 제조 공정을 도시한 단면도.

* 도면의 주요부분에 대한 부호의 설명

1 : 기판 2, 22 : 이산화실리콘막

3 : 홀 4, 23 : 불순물 확산층

5 : 도전층(알루미늄막) 12, 24 : 다결정 실리콘막

13 : 텅스텐 실리사이드막 14, 17 : 실리콘 산화막

15 : p형 불순물층(소스 및 드레인층) 16 : 측벽 산화막

21 : 단결정 실리콘막 26 : 저 저항 다결정 실리콘막

[발명의 상세한 설명]

본 발명은 저온 공정에 의해 형성된 캐리어가 있는 불순물층이 갖추어진 반도체 장치 및 저온 공정에 따른 불순물 확산층 내에 캐리어를 형성할 수 있는 반도체 장치를 제조하는 방법에 관한 것이다.

MOS 직접 회로 소자의 극미소화 및 고 집적도의 이점으로, 금속 선을 다결정 실리콘층, 게이트 전극, 드레인 확산층 등에 접촉시키는 도전부의 면적이 극히 작아지게 되었다. 이러한 경향의 결과로서, 배선의 접촉 저항이 더욱더 증가하는 문제점이 발생하였다.

단위 면적 당의 접촉 저항은 일반적으로 금속과 반도체 사이의 일함수의 차 및 반도체 기판에서 전기적으로 활성화된 불순물 이온의 농도에 기초하여 결정된다. 접촉 저항을 줄이기 위해서는, 금속과 반도체 기판사이의 일함수의 차를 줄이고 반도체의 불순물 이온 농도를 증가시키는 것이 양호한다. 그러므로, 반도체 기판 내에 전기적으로 활성화된 불순물 이온의 농도를 증가시키는 방법으로서 결정화를 복원하기 위해 불순물이 고온에서 주입되도록 반도에 기판을 열처리함으로써 활성화된 불순

물층을 형성하는 방법이 공지되어 있다.

그러나, 상술한 반도체 기판 내에 불순물 이온을 주입시키고 불순물 이온이 도너나 억셉터로 작용할 수 있도록 하기 위해 반도체를 고온으로 열처리하는 종래 기술의 방법에 있어서는, 활성 불순물 이온 온도를 열처리 온도에서 결정되는 고용체 한계점 이상으로 증가시키는 것이 불가능하다. 따라서, 불순물 농도가 감소되고 확산층의 깊이가 깊어지는 문제가 발생된다. 부수적으로, 불순물 이온이 고온 열처리 중에 내부로 확산되므로, 불순물 원자 농도가 감소되고 확산층의 깊이가 깊어지는 문제가 존재한다.

그러므로, 본 발명의 목적은 불순물을 확산층의 활성 정도가 높고 불순물층의 확산 깊이가 얕은 반도체 장치 및 그 반도체 장치의 제조 방법을 제공하는 것이다.

상술한 목적을 실행하기 위해, 본 발명에 따른 반도체 장치는 실리콘층, 및 최소한 붕소 이온의 일부가 각각 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터 형태로 포함되는 방식으로 붕소 이온을 포함하는 실리콘층 내에 형성된 불순물층을 포함한다.

본 발명에 따른 반도체 장치 제조 방법은 최소한 붕소 이온이 일부가 각각 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터 형태로 포함되는 방식으로 소정 농도로 실리콘층에 불순물층을 형성하는 단계, 및 형성된 불순물층을 사용하여 기능부를 형성하는 단계를 포함한다.

본 발명에 따른 반도체 장치에 있어서, 각각 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터는 반도체의 불순물 확산층에 형성되고, 형성된 클러스터는 홀을 제공하여 억셉터로서 기능한다. 클러스터는 붕소 이온을 주입함으로써 형성되거나 붕소를 포함하는 화합물을 분해함으로써 형성된다.

본 발명의 방법에 있어서, 상대적으로 고온 열처리 공정을 요하는 종래 기술의 방법과 비교하여, 극히 저온 공정을 통해 높은 캐리어 농도를 갖는 홀 전도 형태의 불순물층을 형성하는 것이 가능하다.

이하, 본 발명에 따른 반도체 장치의 실시예가 설명된다.

제1(a)도 내지 제1(e)도는 본 발명에 따른 방법에 의해 반도체 장치 소자를 제조하는 예시적인 단계를 도시한다. 제1(a)도에 도시된 바와 같이 400㎚의 두께를 갖는 이산화실리콘막(2)가 CCD(화학 증착) 방법에 의해 단결정 실리콘 기판(1)상에 침착된다. 연속적으로, 제1(b)도에 도시된 바와 같이, 1㎛×1㎛ 면적의 접촉 홀(3)이 패터닝 공정에 의해 이산화실리콘막(2)에 형성된다. 또한, 붕소 이온 B^+가 35keV의 가속 전압과 $3\times10^{16}㎝^{-2}$의 조건 하에서 이산화실리콘막(2)를 마스크로 하여 단결정 실리콘 기판(1)내에 주입된다. 이러한 이온 주입에 의해, 제1(c)도에 도시된 바와 같이 불순물 확산층(4)가 반도체 기판(1)의 홀 위치에 형성될 수 있다. 그후에 반도체 기판(1)은 가열 노(heating furnace)에 의해 무수 질소 분위기 내에서 1시간 동안 550℃로 열처리된다. 저항 가열 노가 이러한 가열 노로서 사용된다. 또한, 반도체 기판(1)의 표면이 플루오르화 수소산, 아세트산 및 질산의 혼합 용액을 사용하여 약 100㎚의 깊이로 에칭되어서 불순물 확산층(4)가 제1(d)도에 도시된 바와 같이 실리콘 기판(1)의 표면으로부터 약 100㎚정도 파인다. 그후에, 제1(e)도에 도시된 바dhk 같이, 약 800㎚의 두께를 갖는 금속막의 도전층(5)가 예를들면 스퍼터링 기술을 사용하여 알루미늄을 침착시킴으로써 기판 상에 형성된다. 또한, 전극은 접촉 홀(3)과 정렬하여 이 도전층(5)를 패터닝함으로써 형성된다.

측정된 알루미늄 전극과 제1실시예의 방법에 따라 형성된 불순물층 사이의 접촉 저항 값은 $8\times10^{-8}Ω㎝^{-2}$이다.

본 발명에 따른 방법에 의해 얻어진 접촉 저항의 감소 효과를 통상적인 방법에 의해 얻어진 것과 비교하여 검사하기 위해, 붕소 이온이 상술한 것과 동일한 조건 하에서 반도체 기판으로 주입되고, 반도체 기판이 질소 분위기 내에서 열처리된다(열처리 온도는 900℃, 열처리 시간은 30분이고, 불순물 확산층(4)는 에칭되지 않는다). 측정된 접촉 저항 값의 결과는 $4\times10^{-7}Ω㎝^2$이다. 이것은 본 발명에 따른 방법에 있어서, 접촉저항 값이 종래의 방법에 따라 얻어진 값과 비교하여 현저하게 감소될 수 있음을 나타낸다.

또한, 반도체 기판의 표면이 본 발명의 방법으로 혼합 용액에 의해 에칭되지 않을 경우에, 접촉 저항은 $1\times10^{-7}Ω㎝^2$이다. 이것은 접촉 저항 값이 에칭이 행해지는 경우보다 높기는 하지만 접촉 저항 값이 종래 방법의 경우와 비교하여 1/4만큼 감소될 수 있음을 나타낸다. 또한, 서로 다른 크기의 접촉 홀에 대해 상술한 바와 거의 동일한 접촉 저항 값을 얻을 수 있다.

본 발명에 따른 방법에 있어서, 붕소 이온 주입 후에 어떠한 열처리 공정도 거치지 않고 혼합 용액을 사용하여 반도체 기판을 에칭함으로써 불수물 확산층(4)의 표면을 파내어 접촉 홀을 형성할 경우, 접촉 저항 값을 $8\times10^{-8}Ω㎝^2$이다. 이것은 접촉 저항 값이 상술한 경우보다 현저하게 감소될 수 있음을 나타낸다.

그러면, 본 발명에 따른 방법으로 형성된 접촉부에서의 캐리어 농도는-이것은 깊이 방향으로의 활성 불순물 원자의 농도 프로필인데-홀을 측정함으로써 검사될 수 있다. 제2도는 검사된 프로필로서, 이는 $6\times10^{20}㎝^{-3}$만큼 높은 캐리어 농도가 본 발명의 조건 하에서 홀의 표면 근처에서 얻어질 수 있음을 나타낸다. 이와는 반대로, 기판이 질소 분위기 내에서 30분 동안 900℃로 열처리되는 종래 기술의 방법에서는, 접촉부에서의 캐리어 농도가 약 $1\times10^{20}㎝^{-3}$ 정도로 낮다.

부수적으로, 이온 주입 후의 열처리와 에칭 후의 열처리 사이의 관계를 상세하게 검사하기 위해서, 이온이 본 발명의 방법의 경우와 동일한 조건 하에서 주입되고(즉 붕소가 가속 전압이 35keV이고 도즈가 $3\times10^{16}㎝^{-2}$의 조건하에서 단결정 실리콘 기판으로 주입되고), 그 후에 질소 분위기 내에서 다양한 시간으로 550℃에서 열처리가 행해지는 샘플에 대해 열처리가 행해지지 않은 경우와 비교하여 그

캐리어 농도 프로필을 검사한다. 이 검사 결과가 제3도에 도시되어 있다.

제3도는 열처리의 존재 및 부재와 열처리 시간에 관계없이, 약 0.1 내지 약 0.15㎛의 깊이에서 약 $6\times10^{20}cm^{-3}$ 정도의 높은 캐리어 농도를 얻는 것이 가능함을 나타낸다. 또한, 이 그래프는 열처리가 행해지지 않을 경우에는 캐리어 농도가 $1\times10^{19}cm^{-3}$ 로 낮으나, 1시간의 열처리가 행해지는 경우에는 캐리어 농도가 약 $2\times10^{20}\Omega cm^{-3}$ 정도로 증가될 수 있음을 나타낸다.

그러므로, 접촉 저항 값을 $1\times10^{-7}\Omega cm^{2}$ 보다 작게 할 수 있으며, 이것은 에칭 공정의 존재 또는 부재에 관계없이 접촉 홀이 형성되기 전에 얻어지는 불순물 확산층이 표면 상의 농도를 $2\times10^{20}cm^{-3}$ 보다 크게 되도록 결정함으로써 반도체 장치가 충분히 극미소화되도록 하기 위해 요구된다.

제4도는 캐리어 농도 프로필의 측정 결과로부터 얻은 최대 캐리어 농도와 도즈 사이의 관계를 도시한다. 이들 캐리어 농도 프로필은 35keV의 가속 전압 하에서 다양한 도즈로 단결정 실리콘 기판 내에 붕소 이온을 주입시키고 열처리 없이 형성된 샘플과 비교하여, 질소 분위기 내에서 1시간 동안 550℃로 열처리하여 형성된 샘플을 사용하여 얻어진다.

이 그래프는 도즈가 $1.5\times10^{16}cm^{-2}$ 이상인 한, 질소 분위기 내에서 1시간 동안 550℃로의 열처리의 존재 여부에 관계없이 낮은 캐리어 농도 영역과 높은 농도 영역 사이의 전이 영역과 함께 캐리어 농도가 $2\times10^{20}\Omega cm^{-3}$ 정도로 높은 영역을 얻는 것이 가능함을 나타낸다. 또한, 그래프는 $4\times10^{20}\Omega cm^{-3}$ 의 최대 캐리어 농도가 쉽게 실현될 수 있음을 나타낸다.

또한, 붕소가 35keV의 가속 전압과 $1.5\times10^{16}cm^{-2}$ 의 도즈로 주입될때 얻어지는 붕소의 피크 농도는 $1.5\times10^{21}cm^{-3}$ 이고, 또한 $2\times10^{20}\Omega cm^{-3}$ 보다 큰 최대 캐리어 농도를 얻기 위해서는 가속 전압에 관계없이 $1.5\times10^{21}cm^{-3}$ 보다 큰 붕소의 피크 농도가 필요함을 알 수 있다. 이 경우에, 60% 이상의 붕소 농도가 12개의 붕소 이온으로 구성된 클러스터 내에 포함되는 것이 증명된다.

또한, 이온을 주입하기 위한 가속 전압과 시트 저항 사이의 관계를 검사하기 위해, 35, 20 및 60keV의 다양한 가속 전압에 의해 이온 주입이 행해진 후에 즉시 시트 저항 값이 측정된다. 제5도는 종좌표값으로서의 시트 저항값과 황좌표 값으로서의 붕소 도즈와의 관계를 도시한다. 이 그래프는 35keV의 가속 전압과 $1.5\times10^{16}cm^{-2}$ 의 도즈로 얻어진 $5\times10^{2}\Omega/㎠$과 거의 동일한 시트 저항을 얻기 위해, 20keV의 가속 전압에서는 $1.3\times10^{16}cm^{-2}$ 의 도즈가 필요하고, 60keV의 가속 전압에서는 $1.8\times10^{16}cm^{-2}$ 의 도즈가 필요함을 나타낸다. 붕소 가속 전압이 증가할 경우, 깊이 방향으로 주입되는 붕소 이온의 속도가 증가될 수 있다.

또한 제6도는 저 저항층을 형성하기 위해 요구되는 도즈와 가속 전압 사이의 관계를 도시한다. 이 그래프는 저 저항층의 형태가 주입되는 붕소 이온의 도즈 뿐만 아니라 존재하는 붕소 이온의 농도에도 종속된다는 결과와 함께 저 저항층을 얻기 위해 요구되는 도즈가 가속 전압의 증가에 따라 증가됨을 나타낸다. 가속전압은 특별히 제한되지는 않지만, 실질적으로 5 내지 100keV가 사용될 수 있다.

또한, 제7도는 깊이 방향으로의 불순문 확산층(4)의 캐리어 농도 프로필을 도시하는데, 이 프로필은 붕소 이온이 35keV의 가속 전압과 $3\times10^{16}cm^{-2}$ 도즈로 단결정 실리콘 기판에 주입되고 기판이 다양한 온도에서 1시간 동안 열처리될때 얻어진다. 이 그래프는 불순물 확산층(4)의 표면으로부터 약 0.1 내지 0.15㎛정도 깊이에서의 캐리어 농도가 열처리 온도가 증가함에 따라 증가함을 나타낸다.

제3도 내지 제7도에 도시된 바와 같이, 최대 캐리어 농도는 기판이 600℃이하로 열처리되거나 열처리가 행해지지 않을때 얻어진다. 그러므로, 반도체 기판의 표면에서의 더 높은 캐리어 농도는 상술한 조건 하에서의 열처리 후에 약 100㎚로 기판 표면을 에칭함으로써 얻어질 수 있다. 결과적으로, 본 발명의 방법에 있어서, 높은 캐리어 농도를 갖는 층(4)가 제1도에 도시된 접촉부에 형성될 수 있고 접촉 저항 값이 $8\times10^{-8}\Omega cm^{2}$ 까지 감소될 수 있다.

또한, 700℃의 열처리 온도에서도, 확산층의 깊이는 증가되지 않고 부수적으로 최대 캐리어 농도가 $2\times10^{20}cm^{-3}$ 이상이므로, 접촉 저항이 감소되어도 특정 문제가 존재하지 않는다. 한편, 제7도에 도시된 바와 같이, 열처리 온도가 700℃이상이면, 붕소 이온이 내부 확산되고 또한 불활성화되기 때문에, 캐리어 농도가 감소된다. 그러나, 700℃에서 얻어진 캐리어 농도 값은 700℃에서 저 도즈(즉, $1\times10^{16}cm^{-2}$ 이하)의 이온 주입층을 어닐링하여 얻은 종래의 캐리얼 농도 값보다 우수하다.

또한, 실리콘 이온이 주입되고, 그 표면이 비결정질 상태로 형성되고 또한 붕소 이온이 본 발명의 방법과 다르게 주입되면 $1\times10^{16}cm^{-2}$ 의 도즈를 경계로 하여 이온 주입 직후 높은 캐리어 활성도도 현저한 전기 동작도 발견되지 않는다. 이것은 결정(단결정 또는 다결정) 조건 하에서의 이온 주입이 저온에서 높은 캐리어 농도층을 형성하는데 필수적임을 나타낸다.

이제, 높은 캐리어 농도의 얕은 확산층이 상술한 700℃(더 양호하게는 600℃)보다 낮은 온도에서 형성되는 이러한 현저한 효과에 관한 이유가 더 고찰된다.

먼저, 붕소 상태를 검사하기 위해, 가속 전압이 35keV로 고정되고, 붕소 이온이 단결정 실리콘 기판 내에 $3\times10^{16}cm^{-2}$, $5\times10^{16}cm^{-2}$ 및 $1\times10^{17}cm^{-2}$ 의 도즈로 주입된다. 적외선 흡수 스팩트럼이 각각의 샘플에 대해 측정된다.

제8도는 측정될 결과를 도시한다. 도면에서, 각각의 도즈에 대한 흡수 등급 특성이 $900cm^{-1}$ 및 740㎝

$^{-1}$의 파동수 근처에 집중되어 있는 것으로 도시되어 있다. 이 그래프는 특정 파동수(680, 800 및 930 cm^{-1})에서의 흡수 등급이 붕소 도즈가 증가함에 따라 증가함을 나타낸다. 그 파동수에서의 흡수 등급은 각각 12개의 붕소 이온으로 구성된 20면체의 클러스터에 대응한다. 즉, 주입된 붕소 이온의 일부는 12개의 붕소 이온으로 구성된 20면체 구조를 구성한다.

제9도는 실리콘 원자에 주입된 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터의 전형적인 예를 도시하는데, 이 구조에서 5개의 실리콘 원자가 정 4면체 구조를 갖는 단결정 실리콘의 결정 구조로부터 제거되고 20면체 구조의 클러스터가 제거된 실리콘 원자를 대체한다. 이 경우에, 5개의 실리콘 원자와 20면체 구조의 붕소 클러스터 사이의 크기의 차는 10% 이하이다. 12개의 붕소로 구성된 20면체 구조의 클러스터는 12개의 짝 안지은 전자를 갖는다. 한편, 5개의 전자가 제거된 단결정 실리콘 격자 구조도 12개의 짝 안지은 전자를 갖으므로 결합되지 않는 손이 없게 대체를 수행할 수 있다.

상술한 스팩트럼 흡수 측정에 있어서, 붕소 이온이 실리콘 기판 내로 주입될 때 기판은 물에 의해 냉각되어 기판 온도를 실온에서 80℃ 사이로 유지시킨다. 또한, 기판 온도의 영향을 검사하기 위해, 기판은 붕소주입 전에 액체 질소에 의해 냉각된다. 결과적으로, 붕소 이온으로 구성된 클러스터의 존재를 나타내는 적외선 흡수 특성이 발견되지 않는다. 이것은 기판이 냉각될때, 이온이 주입되는 층이 비결정질 상태로 변화된다는 사실 때문이다.

제10도는 반도체 기판의 표면으로부터 깊이 방향으로의 붕소 및 캐리어 농도를 도시한다. 기판 샘플은 실온과 80℃ 사이로 유지되는 온도에서 붕소 이온을 주입함으로써 얻어진다. 또한, 이 반도체 기판 샘플에 대해서는 열처리가 행해지지 않는다.

제11도는 캐리어 농도와 도즈 사이의 관계를 나타내는 특성 곡선을 도시한다. 이 도면에서, 캐리어 농도는 서로 다른 도즈의 다양한 샘플에 대해 측정된다. 제11도는 붕소 도즈가 $1\times10^{16}cm^{-2}$ 이상이고 캐리어 농도가 거의 붕소 도즈의 1/6정도이면 높은 캐리어 농도의 홀 도전성 반도체 기판을 얻는 것이 가능함을 나타낸다.

또한, 제8도에 도시된 스팩트럼 특성에 기초하여, 각각 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터의 존재에서 기인하는 흡수 스팩트럼의 세기가 시트 캐리어 농도와 관련하여 검사된다. 제12도는 적외선 흡수의 세기가 거의 시트 캐리어 농도에 비례함을 나타낸다. 이것은 각각 12개의 붕소 이온으로 구성된 클러스터가 억셉터로 작용하기 때문이다.

상술한 결과는 12개의 붕소 이온으로 구성된 클러스터를 2가 억셉터로 생각함으로써 합리적으로 설명될 수 있다. 이와 관련하여, 디. 더블류. 뷰렛(D. W. Bullet)은 AIP Conf. Proc., 170, 22(1991년)의 '붕소및 붕소가 풍부한 붕소화 물에서의 무질서도의 전기적 기원(The Electric Origin of Disorder in Boron and Boron-Rich Borides)'에서 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터가 2가 이온임을 설명한다. 이 문헌에서는 각각 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터가 상술한 불순물층 내에 형성될 수 있고 또한 클러스터가 2가 억셉터로 작용할 수 있음을 주장한다.

또한, 상기 클러스터와 열처리 사이의 관계를 검사하기 위해서, 기판에 35keV로 $1\times10^{17}cm^{-2}$ 의 도즈로 붕소 이온을 주입하여 샘플을 준비한다. 어떤 샘플들은 열처리되지 않았으며 어떤 샘플들은 각각 500℃, 700℃ 및 900℃로 무수 질소의 분위기 내에서 열처리된다. 깊이 방향으로의 캐리어 농도가 열처리 온도를 매개변수로 하여 측정된다. 제13도는 이러한 방법으로 얻어진 캐리어 농도 특성 곡선을 도시한다. 제13도는 캐리어 농도가 열처리 온도의 증가에 따라 감소함을 보여준다. 이는 각각 12개의 붕소 이온으로 구성된 클러스터가 2가 억셉터로 작용하지 않음을 고려하여 설명될 수 있다. 이는 각각 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터가 실리콘과 결합할때, 12개의 붕소 이온 중 2개의 붕소 이온이 실리콘 원자와치환되어 $B_{10}Si_2$ 의 화합물이 얻어지기 때문이다. 이 화합물은 전기적으로 중성이며 억셉터로서 기능하지 않는다. 따라서 13개의 붕소 이온으로 구성된 20면체 구조의 클러스터가 감소하는 것을 방지하기 위해, 도핑 이후에 구조적 변형이 진행되는 700℃ 이상의 온도로 열처리를 하지 않는 것이 중요하다.

이 경우에, 12개의 붕소 이온 중 1개가 실리콘 원자로 차환된 $B_{11}Si$ 구조는 1개가 억셉터로 작용하기 때문에, 이온이 $B_{11}Si$구조로 유지되는 열처리 조건을 캐리어 농도를 증가시키기 위해 효과적이다.

다결정 실리콘막과 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터 사이의 관계를 이하에 설명한다. 400㎚의 두께를 가진 다결정 실리콘막은 저압 화학 증착법에 의해 단결정 실리콘 기판 상에 형성된 300㎚두께의 열산화막 상에 형성된다. 붕소 이온은 35keV의 가속 전압으로 $1\times10^{17}cm^{-2}$ 의 도즈로 실리콘 막에 주입된다. 이러한 상태에서, 붕소 이온 상태는 각각 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터를 포함한다. 제14도는 시트 캐리어 농도와 붕소의 도즈 사이의 관계를 도시한다.

제14도에 도시된 다결정 막의 특성을 제11도에 도시된 단결정 막의 특성과 비교하면 다결정 막의 캐리어 농도가 동일한 도즈의 단결정 막의 캐리어 농도에 비해 낮은 것을 알 수 있다. 이는 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터가 홀을 가진 억셉터이긴 하지만, 여기에서 발생한 캐리어는 다결정 실리콘 내의 결정 입계(crystal grain boundary)의 존재로 말미암아 전기적으로 불활성화 된다는 사실 때문이다.

그러나, 각각 12개의 붕소 이온으로 형성된 20면체 구조의 클러스터를 형성하는 것이 가능한 점을 이용하여 저온에서 저 저항 다결정 실리콘 배선을 형성하는 것이 가능하다.

예를들어, 제15(a)도 내지 제15(e)도에 도시된 제2실시예에서 제15(a)도에 도시된 단결정 실리콘(21)의 표면 상에 이산화실리콘막(22)및 확산층(23)이 형성된다. 또한 제15(b)도에 도시된 바와 같

이, 의도적으로 불순물 원자를 포함시키지 않은 200㎚두께의 도프되지 않은(고정항의) 다결정 실리콘막(24)가 상기 반도체 장치의 표면 상에 침착된다. 또한, 그 위에 포토레지스트가 인가된다. 인가된 포토레지스트는 제15(c)도에 도시된 바와 같이 저항이 낮아질 영역만 노출되도록 패턴화된다. 이와 같이 얻어진 기판에 붕소이온이 35keV의 가속 전압으로 $1\times10^{17}㎝^{-2}$ 의 도즈로 주입된다. 그 결과, 붕소 이온이 주입된 영역(26)만 이 높은 농도를 갖는 붕소 이온을 포함하는 저 저항 다결정 실리콘막이 된다. 또한, 최고 공정 온도가 다결정 실리콘막을 침착하는 온도를 초과하지 않는 저온 공정을 통하여 다결정 실리콘 배선을 형성하는 것이 가능하다. 붕소 이온이 주입된 영역의 다결정 실리콘의 비저항은 10^{-2} Ω㎝이며 주입되지 않은 영역의 비저항은 10^{5} Ω㎝이다. 따라서 이들 영역 사이의 비저항은 현저한 차이를 보인다. 또한 붕소 이온이 주입된 후, 붕소 이온이 주입되지 않은 부분은 장치 소자의 구조에 따라 제거되거나 제거되지 않을 수 있다. 제15(e)도는 저 저항 다결정 실리콘막(26)만 남도록 패턴화된 장치의 예를 도시한다.

이하에는 12개의 붕소 이온으로 구성된 20면체 구조가 혼합 기체를 이용하여 형성될 수 있음을 설명한다.

붕소를 포함하는 실리콘 박막이 희소 물질인 디실란과 디보란이 혼합 기체를 사용한 저압 화학 증착법에 의해 실리콘 기판 상에 침착 되는데 이때 실리콘 기판 표면은 자연 산화막이 충분히 제거되어야 한다. 증착 조건은 유동 디실란의 양이 100SCCM, 유동 디보란의 양이 20SCCM, 압력이 100mTorr이며 온도는 570℃이다.

제16도는 캐리어 농도와 침착막 내의 붕소 농도 사이의 관계를 도시한다. 제16도는 붕소 농도가 낮은 경우에는 캐리어 농도가 실선으로 표시한 바와 같이 붕소 농도와 일치하나, 붕소 농도가 높은 경우에는 캐리어 농도가 붕소 농도의 약 1/6에 달하도록 붕소 농도보다 낮다는 것을 보여준다. 이러한 결과는 각각 12개의 붕소 이온으로 구성된 클러스터가 형성되고, 형성된 클러스터는 상기 예의 경우가 같이 2가 억셉터로 작용하는 점을 고려하면 잘 설명될 수 있다. 이 경우에 12개의 붕소 이온으로 구성된 클러스터의 존재는 적외선 흡수 측정을 통하여 확인될 수 있다.

또한, 침착 온도가 540℃인 경우에, 붕소 농도와 캐리어 농도 사이의 관계는 제16도에 점선으로 표시된 바와 같이 된다. 침착 온도가 570℃이 경우와 비교하면, 이 점선은 붕소 농도가 낮은 영역에서 캐리어 농도가 극도로 낮음을 보여준다. 이는 침착 온도가 높은 경우에는 디보란이 용이하게 용해되어 12개의 붕소 이온으로 구성된 클러스터가 형성되는 반면, 침착 온도가 낮은 경우에는 디보란이 기체상으로 용해되지 않고 또한 기판 표면 상의 원자들의 용이하게 이동하지 못하여 붕소 클러스터가 용이하게 형성되지 못하지 때문이다.

상기 제1및 제2실시예에서, 붕소가 이온 주입되는 불순물로 사용되었으나, 붕소 이온을 포함하는 BF^{+}, BF_2^{+}등의 이온을 사용하여도 동일한 결과를 얻을 수 있다.

제1실시예에서는 이산화실리콘막이 침착된 위에 이온 주입 및 열처리가 행해졌다. 실리콘 표면을 에칭하기 위해 건식 에칭법 등의 다양한 에칭 기술이 사용될 수 있다. 또한 실리콘 산화막은 예를들어 실리콘 질화막 등의 다른 막으로 대체될 수 있다.

전극으로 사용되는 금속에 있어서, 구리, 텅스텐, 티타늄 등의 다양한 금속 뿐만 아니라 임의의 도전성 화합물도 알루미늄 대신 사용될 수 있다. 특히 실리사이드와 같은 실리콘을 포함하는 화합물은 전극 또는 베이스 재료로 사용될 수 있는데, 이는 화합물과 실리콘 사이의 인터페이스가 화합물이 형성될때 발생하는 둘 사이의 반응에 의해 불순물 원자가 활성화되는 영역 내에 위치할 수 있기 때문이며, 기판 표면의 에칭공정을 생략할 수 있다. 예를 들어 이 경우에는 붕소 이온이 기판으로 주입된 후 니켈이 이 기판에 스퍼터되고, 스퍼터된 니켈이 기판의 실리콘과 융합하도록 기판을 550℃로 열처리함으로써 니켈실리사이드층의 형성될 수 있다. 본 발명에 따른 방법은 2개의 반도체 사이의 접촉부에도 응용될 수 있다.

또한, 제1및 제2실시예에서 설명한 확산이 얕고 농도가 높은 활성화된 불순물층을 형성하는 방법은 반도체 장치의 확산층을 형성하는 방법으로도 응용될 수 있다.

제17도는 본 발명에 따른 방법의 제3실시예를 도시하는데, 이 방법은 저 농도로 도핑된 드레인 구조를 갖는 MOS 트랜지스터 의제작에 응용될 수 있다. 제17도에서, 제1도의 실시예와 동일한 기능을 동일 소자 및 부분에는 동일한 참조 번호를 부여하였다.

제17도(a)도에 도시된 바와 같이, [100]의 표면 결정 방위(azimuth)와 4 내지 6Ω의 비저항을 가진 n형 실리콘 기판(1)이 사용되며 그 위에 통상의 선택적 산화 방법에 의해 약 0.6㎛의 소자 분리 및 절연 막이 형성된다. 이어서, 그 위에 열 산화 방법으로 10㎚두께의 게이트 산화막이 형성된다. 그 후에 불순물이 도핑된 100㎚ 두께의 다결정 실리콘막(12)가 게이트로서 형성되고 추가로 300㎚ 두께의 텅스텐 실리사이드 막(13)이 배선층으로 형성된다. 또한, 그 표면 위에 LPCVD기술로 150㎚ 두께의 실리콘 산화막(14)가 형성된다. 그 후에 이들 적층된 막들은 게이트 전극의 패턴을 형성하기 위해 반응 에칭 방법에 의해 에칭된다.

이렇게 형성된 데이트 전극에 소스 영역 및 드레인 영역에 낮은 농도의 p형 불순물층(15)를 형성하기 위해 상기 형성된 게이트 전극을 마스크로 하여 붕소 이온이 주입된다. 이 경우 이온 주입 조건은 가속 전압이 10keV, 도즈가 $5\times10^{13}㎝^{-2}$ 이다. 이온 주입 후 열처리 조건은 700℃에서 30분간이다.

그후에, 제17(b)도에 도시된 바와 같이, 게이트 전극 측벽으로서 100㎚ 두께의 산화막이 형성된다. 이 측벽 산화막(16)은 CVD법에 의해 표면 전체에 약 150㎚ 두께로 실리콘 산화막을 침착시키고 비등방성 건식 에칭술에 의해 전체 표면을 에칭하여 얻는다.

제17(c)도에 도시된 바와 같이, 붕소 이온이 높은 농도를 가진 확산층(4)를 형성하기 위해 소스 및 드레인 영역의 p형 불순물층(15)에 주입된다. 이온 주입 조건은 가속 전압이 35keV, 도즈가 2×10^{16}

cm^{-2} 이고 이온 주입 후 열처리는 하지 않는다.

그후에 전체 표면에 CVD법에 의해 실리콘 산화막(17)이 형성된다. 제17(c)도에 도시된 바와 같이, 건식 비등방성 에칭에 의해 접촉홀(3)이 실리콘산화막(17)에서 개방된다. 건식 에칭에 의해 실리콘 표면에 접촉홀이 100㎚ 깊이로 에칭된 후, 0.5중량%의 실리콘과 구리를 포함하는 800㎚ 두께의 알루미늄막(5)가 침착된다. 이 알루미늄막(5)가 전극으로 패턴된 후, 장치 전체가 10%의 수소를 포함하는 질소 분위기 내에서 15분 동안 450℃로 열처리된다.

제1실시예의 경우 실리콘 표면은 습식 에칭법에 의해 에칭될 수 있다.

상술한 방법에 의해 제조된 0.8㎛의 채널 길이, 1.1㎛의 채널 폭 및 0.8㎛의 접촉 지름을 갖는 MOS 트랜지스터 소자의 있어서, 채널 차단 저항 및 접촉 저항이 측정되다. 측정 결과는 각각 2000Ω과 2Ω이다.

이와 대비하여, 기판은 소스 및 드레인 영역(15)에 붕소 이온이 통상의 도즈 $5\times10^{15}cm^{-2}$ 로 주입되고 이온 주입 후 850℃에서 30분간 열처리되는 경우, 동일한 크기를 갖는 소자의 채널 차단 저항 및 접촉 저항은 각각 2000Ω과 3Ω이다.

상술한 바와 같이, 본 발명에 따른 방법에 있어서, 반도체 소자의 접촉 저항을 현저하게 감소시키는 것이 가능하다. 채널 차단 저항과 접촉 저항 사이의 차이는 소자의 크기가 감소함에 따라 감소한다. 소자의 크기가 1/k로 감소하였을때 채널 차단 저항은 변화하지 않는데 반하여 접촉 저항은 약 k^2배로 증가한다. 따라서, 반도체 소자가 상기 실시예의 경우보다 소형화되는 경우에, 본 발명에 따라 접촉 저항을 감소시키는 방법은 더욱 효과적이다. 또한, 공정 온도가 낮기 때문에, 본 발명에 따른 방법은 소위 다층 상호접속 기판에도 양호하게 적용될 수 있다.

상술한 실시예에서는 높은 농도를 가진 불순물층이 단결정 실리콘 기판 상에 직접 형성되었으나, 본 발명은 CVD법에 의해 단결정 실리콘 기판 상에 새로운 단결정 실리콘 층이 형성된 경우에도 적용할 수 있다.

또한, 본 발명의 방법은 접촉부에만 한정되는 것이 아니라 확산층이 얕고 활성이 높은 접합부가 요구되는 다양한 부분에 적용될 수 있다.

상술한 바와 같이, 본 발명에 따른 반도체 장치는 각각 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터 형태의 붕소 이온을 포함하는 불순물층을 포함하기 때문에, 깊이가 낮고 활성이 높은 확산층을 형성하는 것이 가능하다. 또한, 본 발명에 따른 제조 방법은 불순물층 내에 붕소 이온이 각각 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터를 형성하여 연속적인 공정을 거친 후에도 그 구조를 유지하도록 반도체 기판의 불순물층에 붕소 이온을 높은 농도로 도핑하는 단계를 포함하기 때문에, 깊이가 얕고 활성이 높은 확산층을 형성하는 것이 가능하며, 이로 인해 차세대 LSI이 성능을 현저하게 개선할 수 있다.

(57) 청구의 범위

청구항 1

실리콘층 및 최소한 붕소 이온의 일부가 각각 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터 형태로 포함되는 방식으로 붕소 이온을 포함하는 불순물층을 포함하되, 불순물층이 상기 실리콘층 내에 형성되는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 실리콘층이 실리콘 기판인 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서, 상기 실리콘층이 실리콘 기판상에 형성된 다결정 실리콘막인 것을 특징으로 하는 반도체 장치.

청구항 4

최소한 붕소 이온의 일부가 각각 12개의 붕소 이온으로 구성된 20면체 구조의 클러스터 형태로 포함되는 방식으로 소정 농도가 실리콘층에 불순물층을 형성하는 단계 및 형성된 불순물층을 사용하여 기능부를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 5

제4항에 있어서, 상기 실리콘층이 실리콘 기판이고, 상기 기능부가 반도체 기판의 표면 상에 형성된 확산층인 것을 특징으로 하는 방법.

청구항 6

제4항에 있어서, 상기 실리콘층이 다결정 실리콘층으로, 상기 기능부가 배선층인 것을 특징으로 하는 방법.

청구항 7

제4항에 있어서, 상기 불순물층 형성 단계가 이온 주입에 의해 처리되는 것을 특징으로 하는 방법.

청구항 8

제7항에 있어서, 상기 이온 주입이 20keV의 가속 전압에서의 제1도즈 $1.3\times10^{16}cm^{-2}$, 35keV의 가속 전압에서의 제2도즈 $1.5\times10^{16}cm^{-2}$ 및 60keV의 가속 전압에서의 제3도즈 $1.8\times10^{16}cm^{-2}$ 를 연결하여 얻어지는 선형 특성 곡선을 벗어난 높은 도즈 범위에서 행해지는 것을 특징으로 하는 방법.

청구항 9

제4항에 있어서, 상기 불순물층 형성 단계가 붕소 및 실리콘을 포함하는 화합물을 분해함으로써 행해지는 것을 특징으로 하는 방법.

청구항 10

제4항에 있어서, 20면체 구조의 클러스터로 형성된 클러스터의 최소한 일부가 잔존하는 그러한 온도 조건하에서 불순물층을 가열하는 열처리 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 11

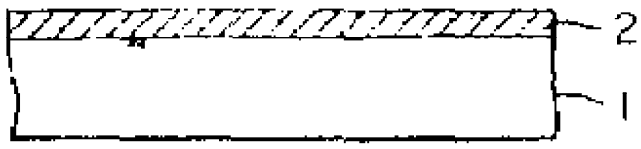
제10항에 있어서, 상기 열처리 단계가 700℃이하의 노에서 행해지는 것을 특징으로 하는 방법.

청구항 12

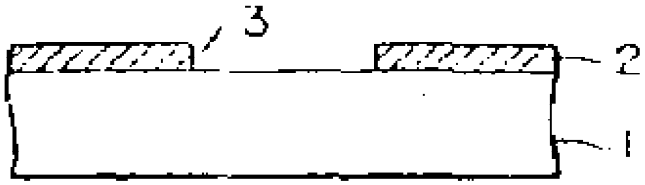
제7항에 있어서, 이온 주입 후에 반도체 기판의 표면을 에칭함으로써 요구되는 도전층이 형성되는 것을 특징으로 하는 방법.

도면

도면1A



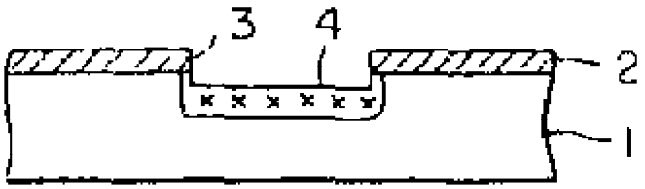
도면1B



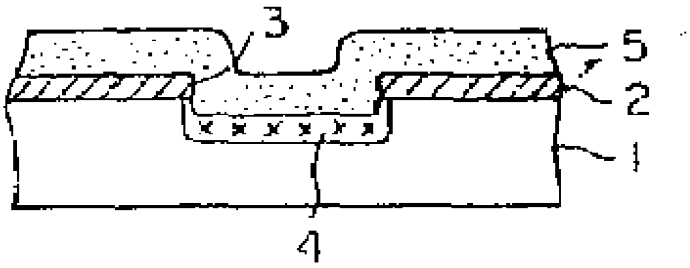
도면1C



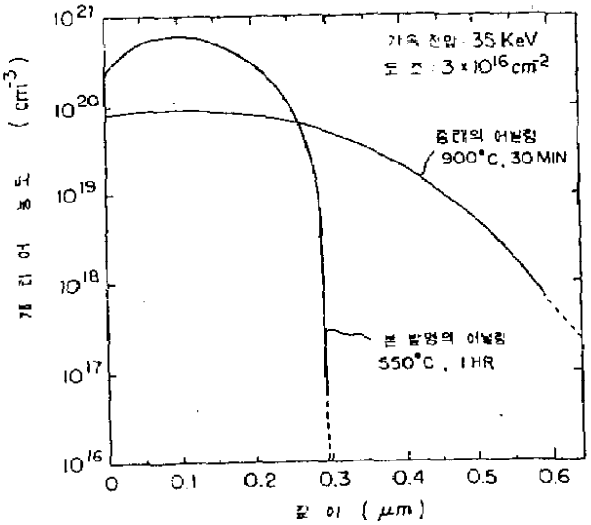
도면1D



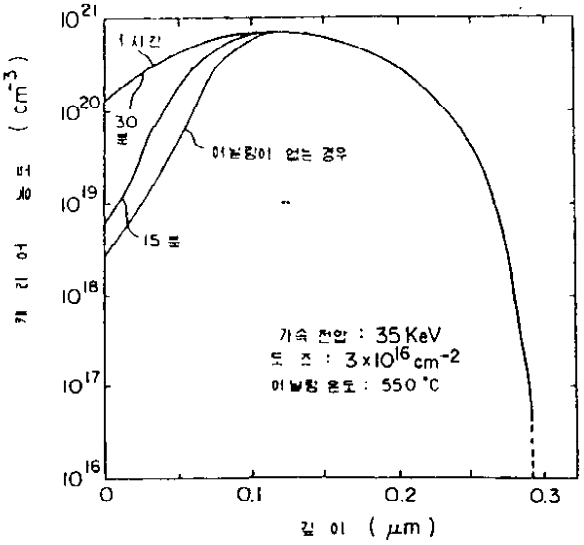
도면1E



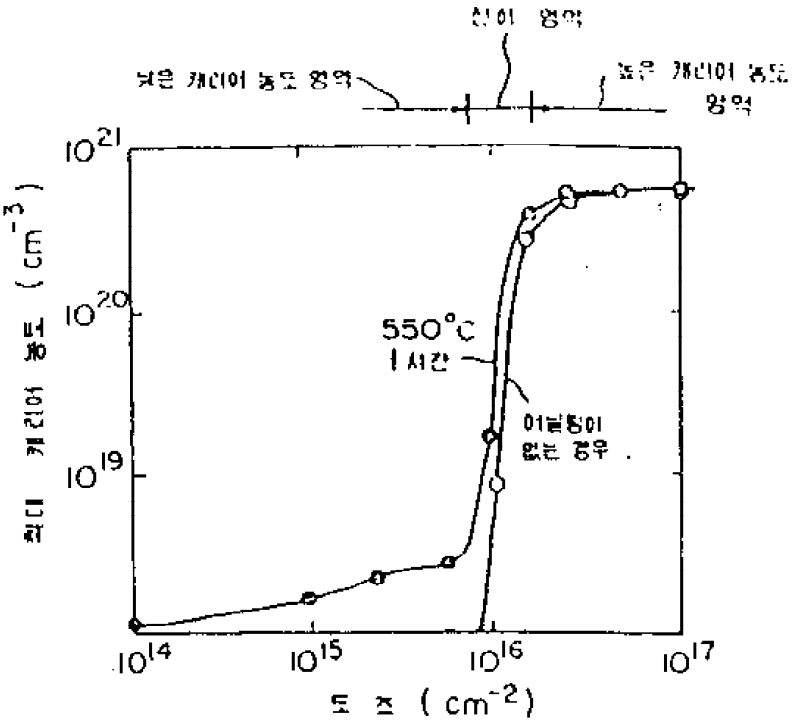
도면2



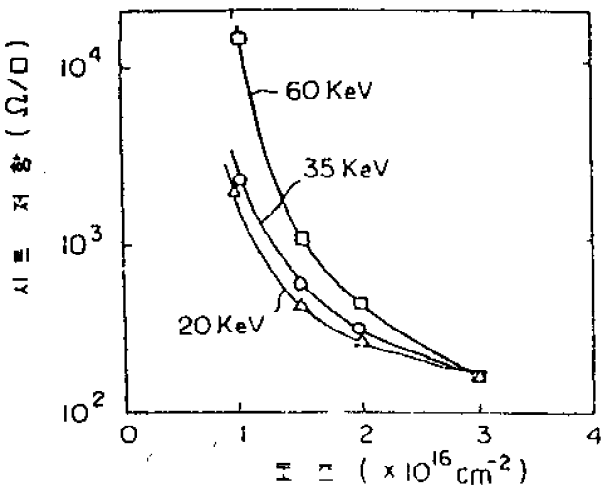
도면3


1시간
30분
15분
어닐링이 없는 경우
가속 전압 : 35KeV
도 즈 : 3×10^16cm^-2
어닐링 온도 : 550 °C
캐리어 농도 (cm^-3)
깊 이 (μm)

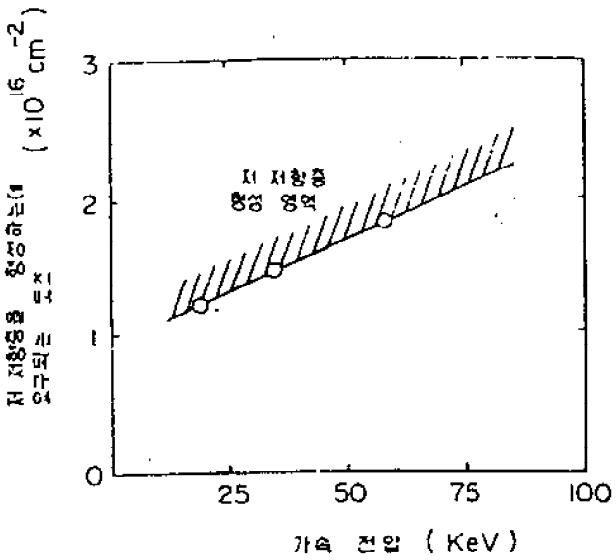
도면4


낮은 캐리어 농도 영역
높은 캐리어 농도 영역
550°C
1시간
어닐링이 없는 경우
최대 캐리어 농도 (cm^-3)
도 즈 (cm^-2)

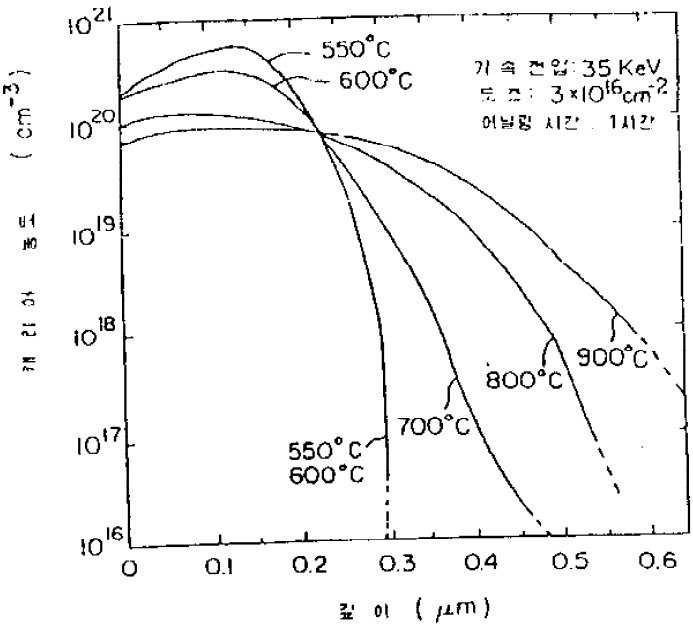
도면5


60 KeV
35 KeV
20 KeV
10^4
10^3
10^2
0
1
2
3
4
$(\times 10^{16} cm^{-2})$

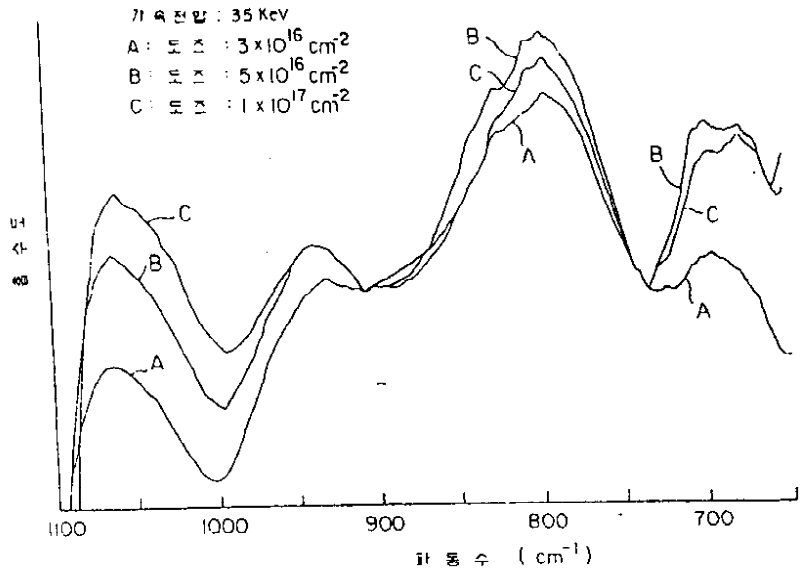
도면6


3
2
1
0
25
50
75
100
$(\times 10^{16} cm^{-2})$
(KeV)

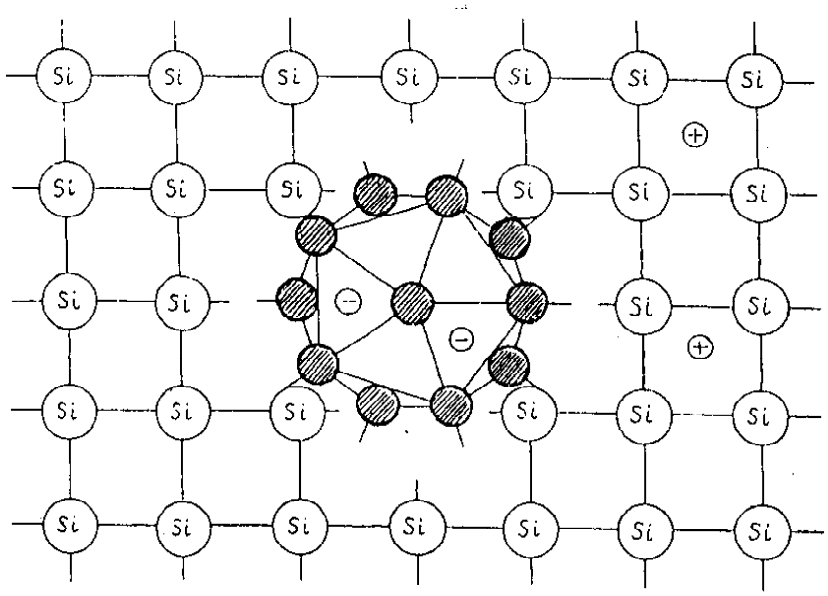
도면7


550°C
600°C
가속전압: 35 KeV
도즈: 3×10^16 cm^-2
어닐링 시간: 1시간
900°C
800°C
700°C
550°C
600°C
10^21
10^20
10^19
10^18
10^17
10^16
0
0.1
0.2
0.3
0.4
0.5
0.6
깊 이 (μm)

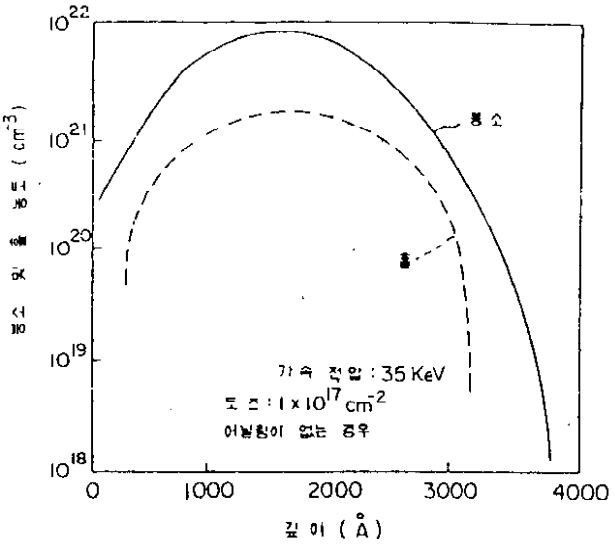
도면8


가속전압 : 35 KeV
A : 도즈 : 3×10^16 cm^-2
B : 도즈 : 5×10^16 cm^-2
C : 도즈 : 1×10^17 cm^-2
1100
1000
900
800
700
파 동 수 (cm^-1)

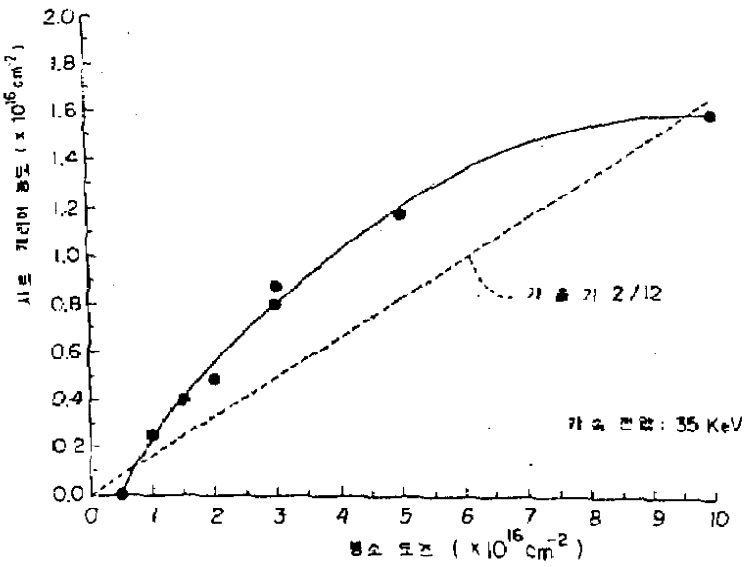
도면9


Si
⊕
⊖

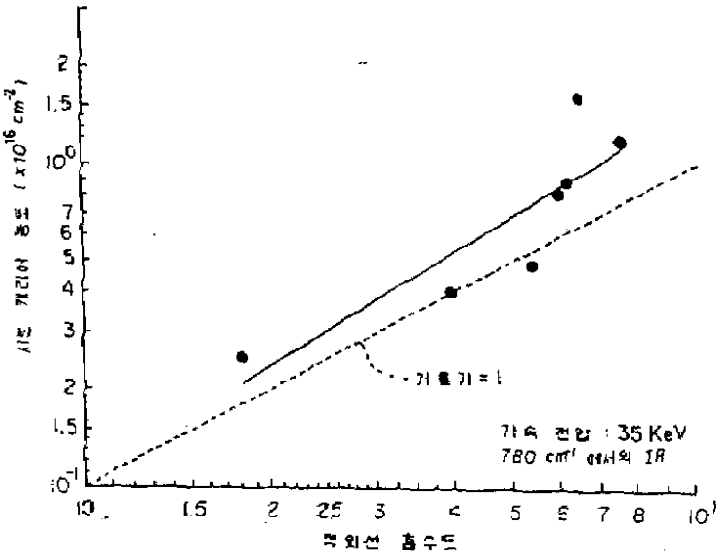
도면10


10^{22}
10^{21}
10^{20}
10^{19}
10^{18}
붕소 원자 농도 (cm^{-3})
붕소
0
1000
2000
3000
4000
깊 이 (Å)
가속 전압 : 35 KeV
도 즈 : 1×10^{17} cm^{-2}
어닐링이 없는 경우

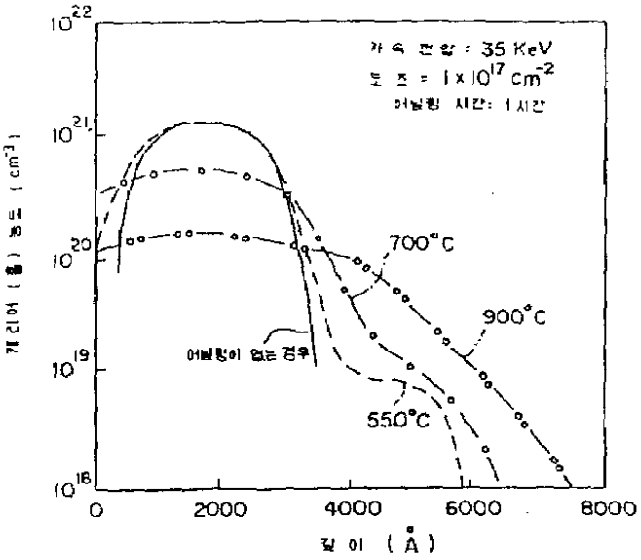
도면11


2.0
1.8
1.6
1.4
1.2
1.0
0.8
0.6
0.4
0.2
0.0
0
1
2
3
4
5
6
7
8
9
10
가 출 기 2/12
가속 전압 : 35 KeV
붕소 도즈 (×10^16 cm^-2)

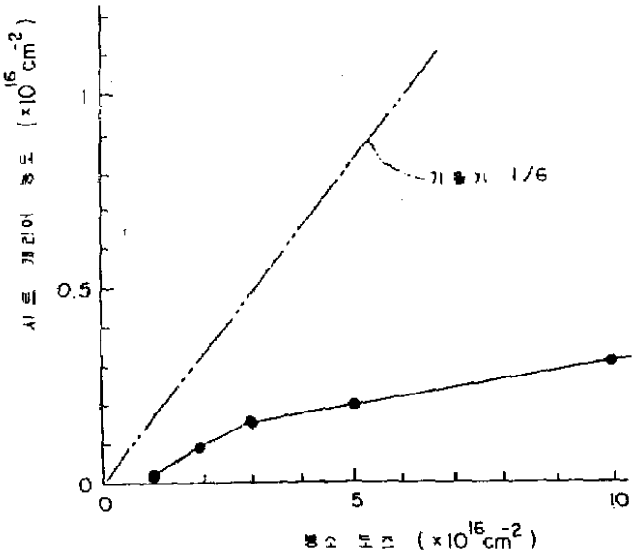
도면12


2
1.5
10^0
7
6
5
4
3
2
1.5
10^-1
1.5
2
2.5
3
4
5
6
7
8
10^1
가속 전압 : 35 KeV
780 cm^-1 에서의 IR

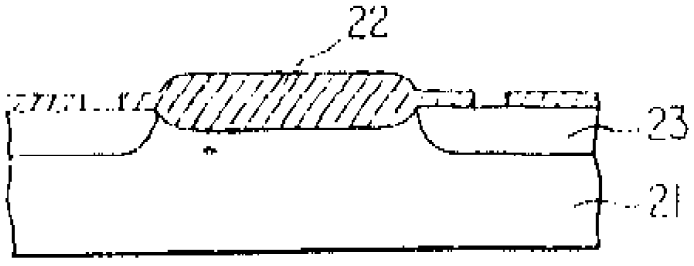
도면13



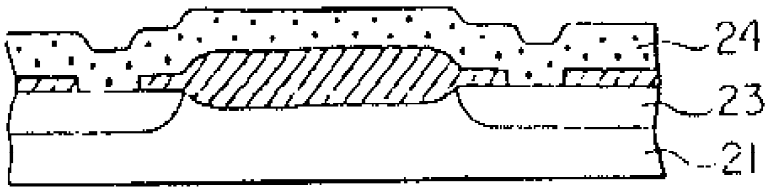
도면14



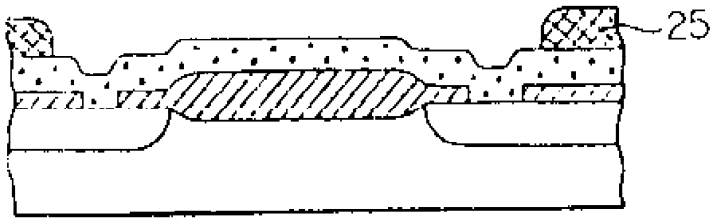
도면15A



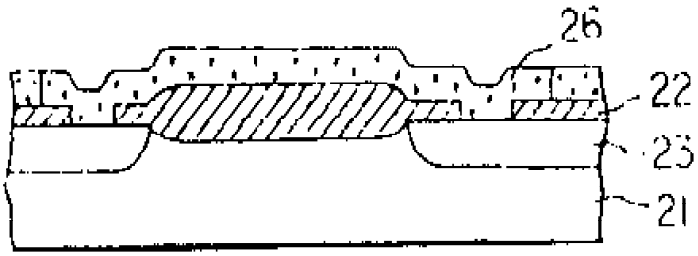
도면15B



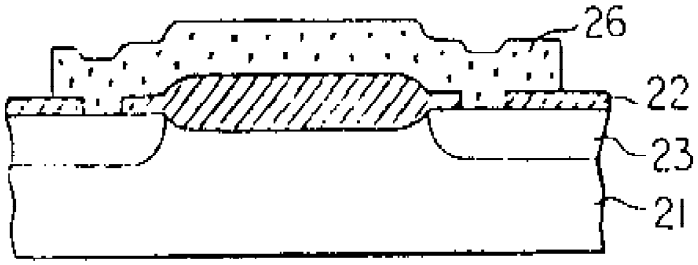
도면15C



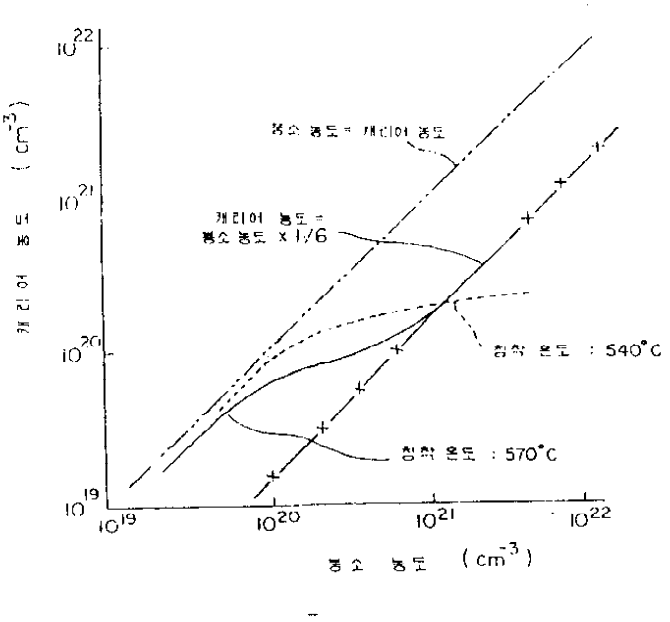
도면15D



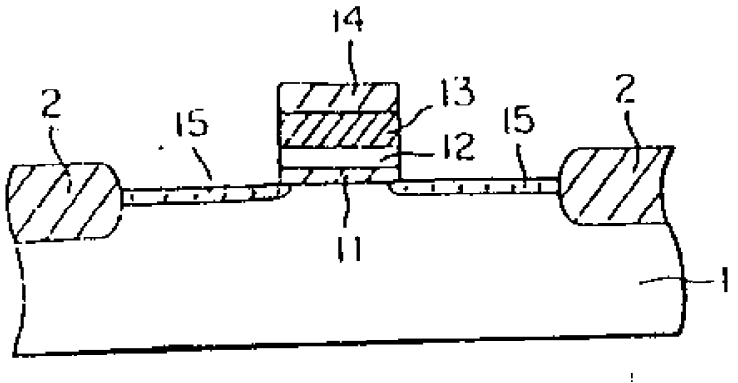
도면15E



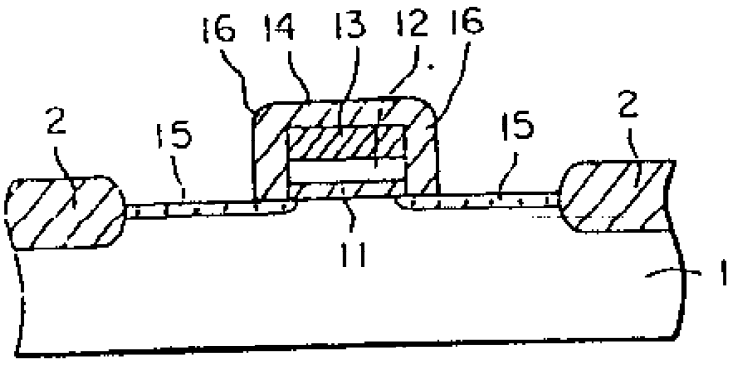
도면16



도면17A



도면17B



도면17C

